



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 33/00 (2006.01)

H01L 29/808 (2006.01)

(11) 공개번호 10-2007-0012262

(43) 공개일자 2007년01월25일

(21) 출원번호 10-2006-0068506

(22) 출원일자 2006년07월21일

심사청구일자 없음

(30) 우선권주장 11/187,477 2005년07월22일 미국(US)

(71) 출원인 아바코 테크놀로지스 제너럴 아이피 (싱가포르) 피티이 리미티드
싱가포르 768923 이순 애비뉴 7 넘버 1

(72) 발명자 밀러 제프리 엔
미국 캘리포니아주 94022 로스 알토스 힐스 스벨 레인 26699
코진 스코트 더블유
미국 캘리포니아주 94087 서니베일 이그리트 드라이브 1354
보어 데이비드 피
미국 캘리포니아주 95014 쿠퍼티노 벨 에어 코트 11092

(74) 대리인 김창세
김원준

전체 청구항 수 : 총 20 항

(54) VCSEL 시스템

(57) 요약

본 발명은 제 1 미러를 형성하는 단계와, 제 1 미러 상에 집적된 복수의 이득 영역들을 포함하는 수직 공동을 형성하는 단계 및 집적된 복수의 이득 영역들의 측면에 p/n 횡접합을 형성하는 단계를 포함하는 VCSEL 시스템에 관한 것으로, p/n 횡접합에 순방향 바이어스를 인가하면 집적된 복수의 이득 영역들 내에서 광자의 방출이 일어난다.

대표도

도 1

특허청구의 범위

청구항 1.

제 1 미러를 형성하는 단계와,

상기 제 1 미러 상에 집적된 복수의 이득 영역(multiple gain regions)을 포함하는 수직 공동을 형성하는 단계와,
 순방향 바이어스를 인가하면 상기 복수의 이득 영역 내에서 광자의 방출을 일으키는 p/n 횡접합(transverse p/n junction)을 상기 집적된 복수의 이득 영역들의 측면에 형성하는 단계를 포함하는

VCSEL 시스템.

청구항 2.

제 1 항에 있어서,

상기 복수의 이득 영역 위에 제 2 미러를 형성하는 단계를 더 포함하되,

상기 집적된 복수의 이득 영역 내에서 방출되는 광자들은 상기 제 1 미러와 상기 제 2 미러 사이에서 반사되는

VCSEL 시스템.

청구항 3.

제 1 항에 있어서,

상기 집적된 복수의 이득 영역들을 갖는 수직 공동을 형성하는 단계는 상기 복수의 이득 영역들 사이의 수직 공동 내에 형성된 n형 반도체 스페이스보다 낮은 밴드갭(bandgap) 에너지를 갖는 p/n 횡접합들을 적층(stack)하는 단계를 더 포함하는

VCSEL 시스템.

청구항 4.

제 1 항에 있어서,

상기 제 1 미러를 형성하는 단계는 상보적인 굴절-인덱스 재료가 번갈아 존재하는 교번 층들(alternating layers)을 형성하는 단계를 더 포함하는

VCSEL 시스템.

청구항 5.

제 1 항에 있어서,

기판 상에 벌크 n형 반도체 영역을 형성하는 단계를 더 포함하되,

상기 제 1 미러가 상기 기판 상에 침착 또는 웨이퍼 본딩(bonding) 되거나, 또는 제 1 미러를 상기 벌크 n형 반도체 영역에 웨이퍼 본딩 또는 침착시키기 전에 상기 기판이 제거되는

VCSEL 시스템.

청구항 6.

광자들의 반사를 위해 제 1 미러를 형성하는 단계와,

서로 간에 1/2 파장의 배수만큼의 거리를 두고 배치되는 집적된 복수의 이득 영역들을 포함하는 수직 공동을 형성하는 단계와,

순방향 바이어스를 인가하면 집적된 복수의 이득 영역들 내에서 광자의 방출을 위한 전자들과 홀들의 재결합이 발생하는 p/n 횡접합을 상기 집적된 복수의 이득 영역들의 측면에 형성하는 단계와,

상기 집적된 복수의 이득 영역들 위에 제 2 미러를 형성하는 단계를 포함하되,

상기 집적된 복수의 이득 영역들로부터 방출된 광자들은 상기 제 1 미러와 상기 제 2 미러 사이에서 반사되는

VCSEL 시스템.

청구항 7.

제 6 항에 있어서,

상기 집적된 복수의 이득 영역들을 형성하는 단계는 상기 집적된 복수의 이득 영역들 사이의 수직 공동 내에 형성된 n형 반도체 스페이서보다 낮은 밴드갭 에너지를 갖는 p/n 횡접합을 적층하는 단계를 포함하는

VCSEL 시스템.

청구항 8.

제 6 항에 있어서,

상기 제 1 미러를 형성하는 단계는 상보적인 굴절-인덱스 재료가 번갈아 존재하는 교번 층들을 형성하는 단계를 포함하는

VCSEL 시스템.

청구항 9.

제 6 항에 있어서,

상기 제 2 미러를 형성하는 단계는 상기 제 1 미러와 상기 제 2 미러 사이에 Fabry-Perot 공진 공동을 형성하는 단계를 포함하는

VCSEL 시스템.

청구항 10.

제 6 항에 있어서,

기관 상에 벌크 n형 반도체 영역을 형성하는 단계를 더 포함하되,

상기 제 1 미러가 상기 기판 상에 침착 또는 웨이퍼 본딩되거나, 또는 제 1 미러를 벌크 n형 반도체 영역에 웨이퍼 본딩 또는 침착시키기 전에 상기 기판이 제거되는

VCSEL 시스템.

청구항 11.

제 1 미러와,

제 1 미러 위에 위치하며 집적된 복수의 이득 영역들을 포함하는 n형 수직 공동과,

상기 복수의 이득 영역들의 측면에 형성되며 순방향 바이어스를 인가하면, 상기 집적된 복수의 이득 영역들 내에서 광자의 방출을 위한 전극과 홀들의 재결합을 발생시키는 p/n 횡접합을 포함하는

VCSEL 시스템.

청구항 12.

제 11 항에 있어서,

제 1 미러와 상기 집적된 복수의 이득 영역들 위에 위치하는 n형 수직 공동 상의 제 2 미러를 더 포함하는

VCSEL 시스템.

청구항 13.

제 11 항에 있어서,

상기 집적된 복수의 이득 영역들은 서로 간에 1/2 파장의 배수만큼의 거리를 두고 배치되는 집적된 복수의 영역들을 포함하는

VCSEL 시스템.

청구항 14.

제 11 항에 있어서,

상기 집적된 복수의 이득 영역들 사이의 수직 공동 내에 형성된 n형 반도체 스페이서보다 낮은 밴드갭 에너지를 갖는 양자 우물 층을 더 포함하는

VCSEL 시스템.

청구항 15.

제 11 항에 있어서,

벌크 n형 반도체 영역 위에 유전체 ELOG 마스크를 더 포함하는

VCSEL 시스템.

청구항 16.

제 11 항에 있어서,

상기 p/n 횡접합에 순방향 바이어스를 인가하기 위해 p형 콘택트 및 n형 콘택트를 더 포함하는

VCSEL 시스템.

청구항 17.

제 11 항에 있어서,

자체 상에서의 벌크 n형 반도체 영역의 에피택셜 성장을 위한 사파이어 기판을 더 포함하는

VCSEL 시스템.

청구항 18.

제 11 항에 있어서,

상기 제 1 미러의 둘레에 벌크 n형 반도체 영역을 더 포함하는

VCSEL 시스템.

청구항 19.

제 11 항에 있어서,

상기 제 1 미러에 웨이퍼 본딩된 사파이어 기판을 더 포함하는

VCSEL 시스템.

청구항 20.

제 11 항에 있어서,

상기 제 1 미러를 웨이퍼 본딩 또는 침착시키기 전에 벌크 n형 반도체 영역의 에피택셜 성장을 위한 사파이어 기판을 더 포함하는

VCSEL 시스템.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전반적으로 복수의 이득 영역 시스템에 관한 것으로, 보다 구체적으로는 p/n 횡접합을 갖는 VCSEL 시스템에 관한 것이다.

VCSEL(vertical cavity surface emitting laser)은 원격통신 분야에 혁명을 일으켰다. VCSEL은 일반적으로 광을 증폭시키기 위해 반도체 재료로 제조되는 이득 매질(gain medium)을 포함하는 공진 공동을 정의하는 반도체 미러의 쌍으로 구성된다.

VCSEL은 일반적으로 DBR(distributed Bragg reflector)이라 불리는 한 쌍의 미러들을 특징으로 하는데, 그 사이에 광학적 공동이 위치되어 있다. 전체의 구조체는 때때로 MOCVD(metal organic chemical vapor deposition)라 불리는 OMVPE(organometallic vapor phase epitaxy) 프로세스에 의해 기판 웨이퍼 상에 형성될 수 있다. 광학적 공동은 또한 일반적으로 스페이서 층과 활성 영역을 포함한다. 활성 영역은 전형적으로 한 개 이상의 양자 우물을 포함한다. 전형적으로 한 쌍의 인접한 배리어 층(barrier layer)에 의해 샌드위치되는 양자 우물 층을 포함하는 양자 우물들은 캐리어(carrier), 즉 전자들과 홀(hole)들이 주입되는 층이다. 전자들과 홀들은 양자 우물 내에서 재결합하며 양자 우물 내의 재료 층에 의해 결정되는 파장에서 광을 방출한다. 양자 우물 층은 전형적으로 낮은 밴드갭의 반도체 재료를 포함하는 반면, 배리어 층은 전형적으로 양자 우물 층의 밴드갭보다 높은 밴드갭을 갖는다. 이런 식으로, 장치에 순방향 바이어스가 인가되었을 때, 전자들과 홀들은 양자 우물 층으로 주입되며 트랩(trap)되고 재결합하여 특정 파장에서 광을 방출한다.

전기적으로 펌핑되는(electrically-pumped) VCSEL은 p형 및 n형 재료의 층 사이에 샌드위치된 양자 우물을 형성하는 intrinsic 재료(intrinsic material) 내에 P-I-N 접합 구조체를 포함한다. 최적의 광 방출을 위해, 양자 우물은 광학적 공동 내에서 발생하는 정상파(축파 또는 종파 모드)의 극대점(peak)에 위치되어야 한다. 그러나, 복수의 양자 우물 활성 영역을 갖는 VCSEL 내에서, 각각의 양자 우물 세트는 50 내지 수백 나노미터의 거리를 두고 분리된다.

VCSEL 내의 양자 우물의 개수는 VCSEL의 광학적 이득을 결정한다. VCSEL로부터 간섭성 광이 방출되기 전에, 레이저 동작 임계치에 도달하기 위해서는 VCSEL 고유의 많은 손실을 극복해야만 한다. VCSEL에서의 손실은 미러, 회절 및 분산 손실에 의해 발생된다. 미러에서의 손실은 100%보다 낮은 미러 반사율 때문에 발생된다. 실제로, 만약 미러들이 100%의 반사율을 가진다면, 광들은 VCSEL로부터 방출될 수 없다. 회절 손실은 방출된 광이 VCSEL 내의 안내 개구(guiding aperture)로부터 퍼져나가면서 연장할 때 발생된다. 분산 손실은 VCSEL 구조체 내에서의 광의 흡수와 산란에 의해 발생된다. 이러한 결합된 손실들을 극복하기 위해서는 QW(quantum well) 이득이 충분해야 한다. 그러므로 복수의 QW 활성 영역은, 특히 높은 온도에서의 동작 및 높은 데이터 레이트에서의 변조를 가능케 하는 데에 유리하다.

만약 공동 내에 존재하는 정상파의 한 극대점 아래에 피트(fit)될 수 있는 것보다 많은 QW이 필요하다면, 추가적인 QW 활성 영역들이 RPG 구조(resonant periodic gain arrangement) 내에 포함될 수 있다. RPG VCSEL 구조체는 두 개 이상의 활성 영역을 포함하며, 각각의 활성 영역들은 정상파의 서로 다른 극대점들에 놓인다(따라서 1/2 파장의 배수의 간격을 두고 분리된다). 이러한 RPG 구조체는 VCSEL의 광학적 이득을 최대화하기 위해 사용된다.

RPG VCSEL은 붉은 색 또는 적외선 부근 광의 발광기에 사용되는 GaAs- 및 InP- 기반의 재료들에서 보다 흔히 나타나지만, GaN-기반의 VCSEL은 훨씬 민감하다. 이것은 낮은 이득과 높은 손실을 의미하는, 낮은 캐리어 운반 효율, 구조 결함 등을 포함하는, 상대적으로 열등한 광전자적 특성 때문이다. 따라서, 높은 효율과 낮은 전류 및 전압 문턱값을 나타내는 자외선의 또는 가시광선의 GaN-기반 VCSEL에 있어, RPG 구조 내에 몇몇 QW 세트를 포함하는 활성 영역들은 필요한 광학적 이득을 달성하는 데에 특히 유리하다.

그러나, 복수의 GaN-기반 활성 영역들에서 균일한 전기적 펌핑은 나타나지 않는다. 또한, 부분적으로 GaN에서의 열등한 홀-전달 때문에 복수의 GaN-기반 활성 영역들을 단일 p-n 접합으로 펌핑하는 것은 매우 어렵다.

발명이 이루고자 하는 기술적 과제

본 발명은 제 1 미러를 형성하는 단계와, 제 1 미러 상에 집적된 복수의 이득 영역들을 포함하는 수직 공동을 형성하는 단계 및 집적된 복수의 이득 영역들의 측면에 p/n 횡접합을 형성하는 단계를 포함하는 VCSEL 시스템에 관한 것으로, p/n 횡접합에 순방향 바이어스를 인가하면 집적된 복수의 이득 영역들 내에서 광자의 방출이 일어난다.

본 발명의 실시예들은 앞서 기술된 내용에 추가되거나 또는 대체되는 다른 장점들을 갖는다. 당업자들은 첨부된 도면들을 참조하여 이어지는 상세한 설명을 읽음으로써 본 발명의 장점을 보다 명확하게 알 수 있을 것이다.

발명의 구성

아래의 설명에서, 많은 수의 특정한 세부 사항들이 본 발명에 대한 충분한 이해를 제공하기 위해 주어질 것이다. 그러나, 본 발명은 이러한 특정한 세부 사항 없이도 실시될 수 있다는 것은 명백하다. 본 발명이 모호해지는 것을 막기 위해, 일부 잘 알려진 구조체들, 구성들 및 처리 단계들은 아래 세부 사항에 나타나지 않는다.

이와 마찬가지로, 장치/장치의 실시예를 도시하는 도면들은 개략적인 것으로 실제 축척대로 그려진 것이 아니며, 특히, 일부 치수는 명확한 표현을 위한 것으로 도면에서 훨씬 과장되어 도시된다. 도시된 모든 도면에서 동일한 또는 유사한 소자들에 대해 동일한 번호가 사용될 것이다.

유사하게, 설명을 돕기 위해 도면들의 단면도는 실장된 표면이 아래 방향을 향하도록 본 발명은 도시했지만, 도면들의 이러한 배열은 임의의 방향이며 본 발명이 반드시 아래 방향을 향하여 부착되어야 하는 것은 아니다. 일반적으로, 본 발명은 어떠한 방향으로도 동작될 수 있다. 도면에 사용된 동일한 번호들은 동일한 소자들에 관련된다.

본 명세서에 사용된 "수평의"라는 용어는 그 방향과는 무관하게, 통상적인 평면 또는 기관의 표면에 평행한 평면으로 정의된다. "수직의"라는 용어는 위에서 정의된 "수평"의 방향에 직교하는 방향을 일컫는다. "위의(above)", "아래의(below)", "하부의(bottom)", "상부의(top)", ("측벽"에서와 같은) 옆의(side)", "보다 높은(higher)", "보다 낮은(lower)", "보다 위의(upper)", "~를 덮은(over)" 및 "~아래의(under)"와 같은 용어들은 수평 평면에 관련되어 정의된다. "~상의(on)"라는 용어는 하나의 소자가 다른 소자와 직접 접촉하는 경우를 나타낸다.

도 1에는, 본 발명의 실시예에 따른 VCSEL 시스템(100)의 단면도가 도시되어 있다. VCSEL 시스템(100)은 제 1 미러(102), AlGaIn과 같은 벌크 n형 반도체 영역(104), SiO₂와 같은 중간층(intermediate layer)(106), 제 1 이득 영역(gain region)(108), 제 1 n형 반도체 스페이서(110), 제 2 이득 영역(112), 제 2 n형 반도체 스페이서(114), 제 3 이득 영역(116), 제 3 n형 반도체 스페이서(118), p-GaN 외부 셸(outer shell)(120), 제 2 미러(122), p형 콘택트(124) 및 n형 콘택트(126)를 포함하는 DBR(distributed Bragg reflector)을 포함한다. 이 예에는 세 개의 활성 영역인 제 1 이득 영역(108), 제 2 이득 영역(112), 제 3 이득 영역(116)이 RPG 내에 도시되어 있지만, 단일 활성 영역, 또는 두 개 이상의 활성 영역 등 다른 수의 활성 영역이 RPG 구조 내에 사용될 수 있다.

제 1 미러(102)는 TiO₂ 및 SiO₂와 같은 상보적인 굴절 유전체 물질(complementary refractive dielectric materials)로 제조된 복수의 층들을 포함한다. 각각의 층은 약 1/4 파장의 광학적 두께를 가지며 제 1 미러(102)의 전반적인 반사율이 100%에 달할 때까지 결합된다. 설명을 돕기 위해 6개의 층을 갖는 제 1 미러(102)가 도시되었지만, 제 1 미러(102)는 임의의 수의 층을 가질 수 있다는 것을 이해할 것이다. 상보적인 굴절 유전체 물질의 다른 조합도 가능하다. 벌크 n형 반도체 영역(104)은 OMVPE(organometallic vapor phase epitaxy)에 의해 사파이어 또는 SiC 기관 상에서 에피택셜 성장되어 n형 수직 공동의 베이스를 형성한다. 전체 수직 공동은 집적된 복수의 이득 영역들과 n형 반도체 스페이서들을 포함하는 n형 반도체 물질로 성장된다.

제 1 이득 영역(108), 제 2 이득 영역(112) 및 제 3 이득 영역(116)은 InGaIn으로 형성되며 서로 간에 1/2 파장(λ)의 배수의 간격을 두고 배치된다. 이러한 간격은 VCSEL의 광학적 이득(gain)을 최대화하는, RPG를 허용한다. 중간층(106)은 외부 셸(120)의 p-GaN에 대한 유전체 ELOG(epitaxial layer over growth) 마스크를 형성한다. p-GaN으로 형성된 외부 셸(120)과, 제 1 이득 영역(108), 제 2 이득 영역(112) 및 제 3 이득 영역(116)의 InGaIn 양자 우물은 p/n 횡접합을 더 포함한다.

p/n 횡접합은 에칭된 필러(pillar) 둘레의 p-GaN 외부 셸(120)의 선택적인 에피택셜 침착에 의해 형성된다. 최초의 에피택셜 성장에서 활성 영역(108, 112, 116) 및 스페이서 층(104, 110, 114, 118)을 함께 포함하는 전체 VCSEL 공동은 평탄하게 침착된다. 이어서, 유전체 마스크(SiO₂ 또는 Si₃N₄)가 표면을 덮도록 침착되고 패터닝되며, VCSEL 필러를 정의하고 에칭하는 데에 사용된다. 필러는 원형, 육각형 또는 다른 형태일 수 있으며, 단일 공간 모드 동작(single-spatial mode operation)에 유리한 치수일 수 있다. 에칭은 RIE(reactive ion etching) 또는 CAIBE(chemically-assisted ion beam etching)에 의해 실행될 수 있다. 에칭은 하단 스페이서(104)에서 종료되며, 다음으로 필러의 기반 둘레에 에칭된 표면에 상층 중간 마스크(masking) 층(106)이 침착 및 패터닝된다. 필러의 상부를 덮은 에칭 마스크를 그대로 두고, 웨이퍼는 p-

GaN 외부 셸(120)의 선택적인 과성장(overgrowth)을 위한 OMVPE 리액터로 복구된다. 선택적인 과 성장에 이어서, 필러의 상부를 덮은 에칭 마스크는 에칭에 의해 제거된다. 그 다음 상부 유전체 미러(122)는 예로서, 스퍼터링(sputtering)에 의해 침착되며, 필러의 상부를 덮도록 정의된다. 마지막으로, 금속 p-전극(124)과 n-전극(126)이 구비된다.

p형 콘택트(124) 및 n형 콘택트(126)는 p/n 횡접합을 순방향 바이어스하기 위해 사용된다. 순방향 바이어스될 때, 제 1 이득 영역(108), 제 2 이득 영역(112) 및 제 3 이득 영역(116)의 양자 우물들은 제 1 n형 반도체 스페이스(110), 제 2 n형 반도체 스페이스(114) 또는 제 3 n형 반도체 스페이스(118)보다 낮은 밴드갭(bandgap)을 외부 셸(120)과 형성한다. 외부 셸(120)과 InGaN 양자 우물 사이의 순방향 바이어스된 접합은 외부 셸(120)과 제 1 n형 반도체 스페이스(110), 제 2 n형 반도체 스페이스(114) 또는 제 3 n형 반도체 스페이스(118) 사이의 접합보다 낮은 임계 전압에서 전류를 통과시킨다.

설명을 돕기 위해, 유전체 재료들로 형성되며, DBR(distributed Bragg reflector)로서 구성된 제 1 미러(102) 및 제 2 미러(122)가 도시되었지만, 다른 반사기 재료, 프로세스 또는 구성이 사용될 수 있다는 것을 이해할 것이다. 제 1 미러(102) 및 제 2 미러(122)는 서로 간에 1/2 파장의 정수배의 거리를 두도록 배치되어, Fabry-Perot 공진 공동을 형성한다.

도 2에는, 도 1에 도시된 바와 같은 VCSEL 시스템(100)의 제 1 이득 영역(108)의 보다 자세한 단면도(200)가 도시되어 있다. 제 1 이득 영역(108)은 배리어 층(202)과 양자 우물 층(204) 내의 InGaN으로 형성된다. 양자 우물 층(204)은 배리어 층(202), 제 1 n형 반도체 스페이스(110), 제 2 n형 반도체 스페이스(114) 및 제 3 n형 반도체 스페이스(118)에 비해 낮은 밴드갭 재료로 제조된다. 순방향 바이어스될 때, 전자들과 홀(hole)들은 양자 우물 층(204)으로 주입되며, 뒤이은 방사성 재결합은 광자의 방출을 일으킨다. 인접하는 제 1 n형 반도체 스페이스(110), 제 2 n형 반도체 스페이스(114) 및 제 3 n형 반도체 스페이스(118)에 관련된 p-n 접합의 턴온 전압은 활성 영역 p-n 접합에 대해 전형적으로 십분의 수 볼트(a few tenths of a volt)의 전압만큼 상승된다. 이렇게 보다 낮은 턴온 전압 때문에, 활성 영역은 평행 구조물에 효과적으로 주입되며, 스페이스 층의 p-n 접합에 걸친 주입은 억제된다. 그러므로, 감소된 턴온 전압은 다른 n형 층들이 전류를 전도시키는 것을 방지한다.

제 1 이득 영역(108)은 몇 개의 양자 우물 층(204)을 갖는다. 벌크 n형 반도체 영역(104) 및 제 1 n형 반도체 스페이스(110)는, 제 1 이득 영역(108)의 하부 및 상부 상의 양자 우물 층(204)에 인접하는 배리어 층들을 형성한다. 외부 셸(120)을 추가함으로써 n형 수직 공동 내부에 이득 영역을 형성하는 복수의 p/n 횡접합이 생성된다. p/n 횡접합을 적층시킴으로써, n형 반도체 스페이스보다 낮은 밴드갭을 가지게 되어, 효과적인 VCSEL이 제조될 수 있다. 한번 접합이 순방향 바이어스되면, 광자를 방출시키기 위해 전극 및 홀들이 재결합하도록 각각의 p/n 횡접합이 집적된 복수의 이득 영역들에 대해 횡방향으로 형성된다.

설명을 돕기 위해, 제 1 이득 영역(108)은 n형 InGaN으로 도시되었지만, 다른 재료, 프로세스 또는 구성이 사용될 수 있다는 것을 이해할 것이다. 또한 제 2 이득 영역(112) 및 제 3 이득 영역(116)도 제 1 이득 영역(108)과 동일한 방법으로 구성된다.

도 3은, 도 1에 도시된 바와 같은 VCSEL 시스템(100)을 도시한 평면도(300)이다. 평면도(300)는 벌크 n형 반도체 영역(104), 중간층(106), 제 3 n형 반도체 스페이스(118), 외부 셸(120), 제 2 미러(122), p형 콘택트(124) 및 n형 콘택트(126)를 포함한다. 제 2 미러(122)는 육각형으로 도시되었지만, 제 3 n형 반도체 스페이스(118)에 맞는 임의의 기하학적 형태도 가능하다는 것을 이해할 것이다. p형 콘택트(124) 및 n형 콘택트(126)는 장치로의 전기적인 접속을 가능케 한다.

레이저 동작 임계치(lasing threshold) 위에서, 만약 제 2 미러(122)의 반사율이 제 1 미러(102)의 반사율보다 낮다면 대부분의 또는 모든 광자의 방출이 제 2 미러(122)를 통해 일어난다. 설명을 돕기 위해, 제 1 미러(102) 및 제 2 미러(122)는 제 2 미러(122) 구조체가 제 1 미러(102)의 배리어 층과 양자 우물 층 쌍의 수보다 적은 수의 층과 보다 낮은 반사율을 가지거나, 또는 서로 다른 유전체 또는 반도체 재료 세트에 의해 제조된 유사한 구성의 DBR 구조체로서 도시되었다.

도 4는, 도 1에 도시된 바와 같은 VCSEL 시스템(100)의 제 2 미러(122)를 보다 자세하게 도시한 단면도(400)이다. 제 2 미러(122)는 복수의 상보적인 굴절 유전체 물질 층 쌍으로 형성된다. 이러한 상보적인 층의 쌍은 반도체 층, TiO_2 및 SiO_2 와 같은 유전체 물질들, 반도체, 유전체 및 금속 층들의 혼성의 결합물들을 포함하는 다수의 물질들의 서로 다른 조합으로 제조될 수 있다. 재료와 구성은 "유전체" DBR, 반도체 DBR 또는 금속 DBR과 같이 반사기의 유형을 결정한다. 본 발명에서 개시하는 것은 유전체 DBR이지만, 본 발명은 반도체 또는 금속 DBR을 사용하여 구현될 수도 있다는 것을 이해할 것이다.

제 2 미러(122)는 상보적인 굴절 인덱스들을 갖는 재료들인 제 1 유전체 층(402) 및 제 2 유전체 층(404)의 교번의 층을 사용하여 형성된다. 제 2 미러(122)는 광자 반사를 위해 제 1 이득 영역(108), 제 2 이득 영역(112), 제 3 이득 영역(116)의 위에 형성된다. 제 2 미러(122)가 제 1 미러(102)에 비해 약간 낮은 반사율을 가질 때, 반사기의 반사율은 층 쌍을 구성하는 층들의 재료의 두께 굴절 인덱스에 의해 결정된다.

도 5는, 본 발명의 다른 실시예(500)에서의, VCSEL 시스템(100)의 단면도이다. 이것은 도 1의 VCSEL 구조체와 유사하며, 본 발명의 다른 실시예에서의 차이점은 사파이어와 같은 재료로 제조되고, 제 1 미러(102)의 에지 둘레에 형성된 벌크 n형 반도체 영역(104)을 갖는 기관(502)을 사용한다는 점이다. 이 실시예는 본 발명에 대한 다른 제조 방법을 나타낸다.

도 6에는, 본 발명의 또 다른 실시예(600)에서의, VCSEL 시스템(100)의 단면도가 도시되어 있다. 도 1에 도시된 VCSEL 구조체와 유사하며, 이 실시예에서의 차이점은 벌크 n형 반도체 영역(104)이 사파이어(Al_2O_3), 탄화규소(SiC) 또는 질화갈륨(GaN)으로 제조된 기관(602) 상에서 성장된다는 점이다. 본 발명의 제조에 있어서의 다른 해법은 기관(602) 상에서 장치의 성장을 시작하는 것인데, 기관은 장치 상에 제 1 미러(102)를 침착 또는 웨이퍼 본딩시키기 이전에 제거된다. 본 발명의 제조에 있어서의 또 다른 해법은 기관(602) 상에서 장치 성장을 시작하며 웨이퍼 본딩 또는 유전체 침착 기술을 사용하여 제 1 미러(102)를 기관(602)의 바닥에 부착시키는 것이다.

도 7은, 본 발명의 실시예에 따른 p/n 횡접합을 갖는 VCSEL 시스템(100)에 대한 시스템(700)의 순서도이다. 시스템(700)은 제 1 미러를 형성하는 단계(블록(702)), 집적된 복수의 이득 영역들을 포함하는 수직의 공동을 제 1 미러 상에 형성하는 단계(블록(704)), p/n 횡접합을 형성하며, 이 p/n 횡접합에 순방향 바이어스를 인가함으로써 집적된 복수의 이득 영역들에서 광자 방출이 발생하는 단계(블록(706))를 포함한다.

본 명세서로부터 시스템(700)의 순서도는 다만 예시적일 뿐이며 다른 많은 단계들이 추가될 수 있고 종래 기술을 습득하고 있는 당업자에게 있어 명확한 일부 단계는 제거될 수 있다는 점을 이해할 수 있을 것이다.

보다 자세하게, 본 발명의 실시예에 따른 VCSEL 시스템(100)의 제조 방법은, 다음과 같이 실행된다:

1. 광자의 방출을 위해 제 1 이득 영역(108), 제 2 이득 영역(112) 및 제 3 이득 영역(116)이 수직 공동 내에 형성된다.(도 1)
2. 외부 셸(120)이 형성되어 p/n 횡접합을 생성한다.(도 1)
3. 제 1 미러(102)가 침착 또는 웨이퍼 본딩에 의해 벌크 n형 반도체 영역(104)에 부착된다.(도 1)

따라서 본 발명은 많은 유리한 측면들을 갖는다.

본 발명이 특정한 최상의 모드에 관련하여 기술되었지만, 다수의 대안, 변경, 수정들이 앞선 설명의 범위 내에서 당업자에게 명백하게 나타날 것임을 이해할 수 있을 것이다. 따라서, 본 발명은 첨부된 청구 범위의 사상 내에 있는 그러한 모든 대안, 변경 및 수정들을 포함한다. 본 명세서에 설정된 모든 사항들 또는 첨부된 도면에 나타난 사항들은 설명을 위한 것으로 해석해야 하며 제한하는 것은 아니다.

발명의 효과

본 발명은 많은 유리한 측면들을 갖는다.

이는 본 발명이 서로 간에 1/2 파장의 거리를 두고 배치된 복수의 이득 영역의 스택을 제공하여, 보다 높은 장치 이득을 제공하기 위해 공진 주기 이득을 허용한다는 점이다. 이것은 낮은 이득 활성 영역들을 갖는 VCSEL에 비해 상당한 개선점이다. 본 명세서에 개시된 구조체는 VCSEL 성능을 향상시킨다는 점이 확인되었다. 성능의 개선은 제조 마진 및 수율의 향상뿐 아니라 추가적인 응용 또는 시스템 기회를 제공한다.

결과적으로 본 발명의 이러한 중요한 측면들은 기술의 단계를 더 나아가게 한다.

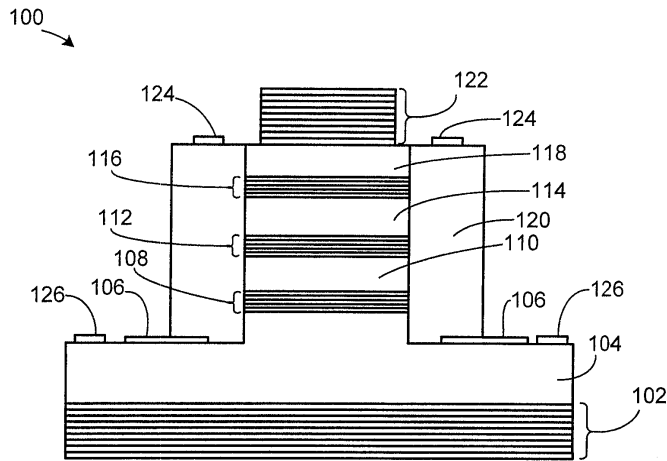
요컨대, 본 발명의 VCSEL 시스템 방법 및 장치들은 디스플레이 시스템들과 광학적 데이터 저장에 대한 중요하고 지금껏 알려지지 않았으며 사용할 수 없었던 해법, 가능성 및 기능적 측면들을 제공한다는 것이 확인되었다. 결과적인 프로세스 및 구성들은 명료하고, 비용 효율적이며, 복잡하지 않고, 다용도로 사용될 수 있으며 매우 효율적이고, 당 업계의 종래 기술을 받아들여 구현될 수 있어, VCSEL의 효율적, 경제적인 제조에 매우 적합하다.

도면의 간단한 설명

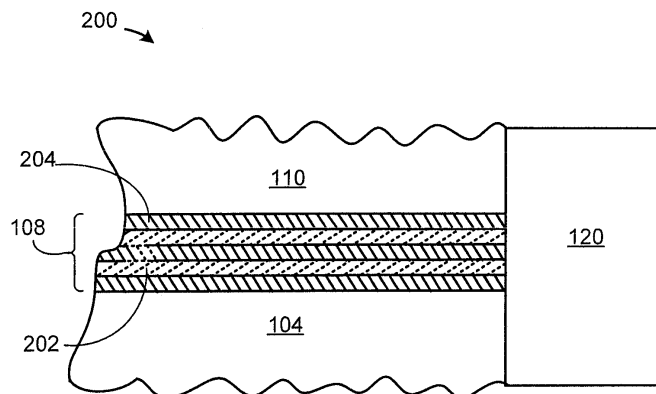
- 도 1은 본 발명의 실시예에서 따른 VCSEL 시스템의 단면도,
- 도 2는 도 1에 도시된 VCSEL 시스템의 제 1 이득 영역의 보다 상세한 단면도,
- 도 3은 도 1에 도시된 바와 같은 VCSEL 시스템의 평면도,
- 도 4는 도 1에 도시된 바와 같은 VCSEL 시스템의 제 2 DBR의 보다 상세한 단면도,
- 도 5는 본 발명의 다른 실시예에 따른 VCSEL 시스템의 단면도,
- 도 6은 본 발명의 또 다른 실시예에 따른 VCSEL 시스템의 단면도,
- 도 7은 본 발명의 실시예에 따른 VCSEL 시스템을 위한 시스템의 순서도.

도면

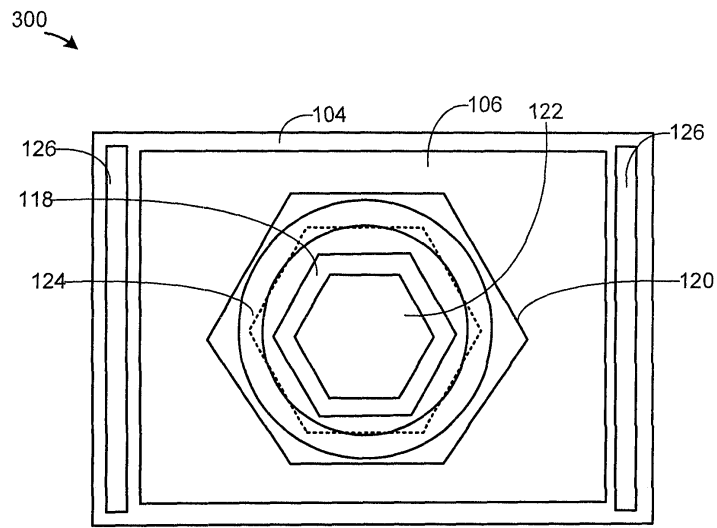
도면1



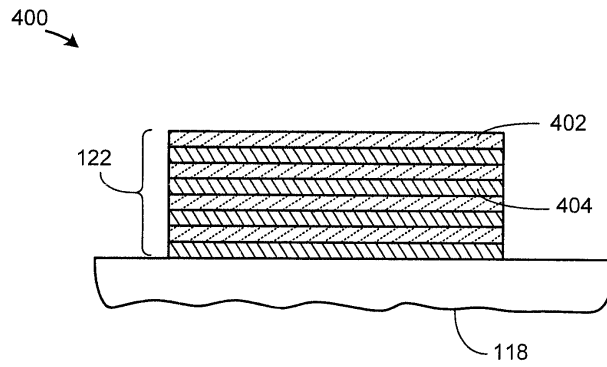
도면2



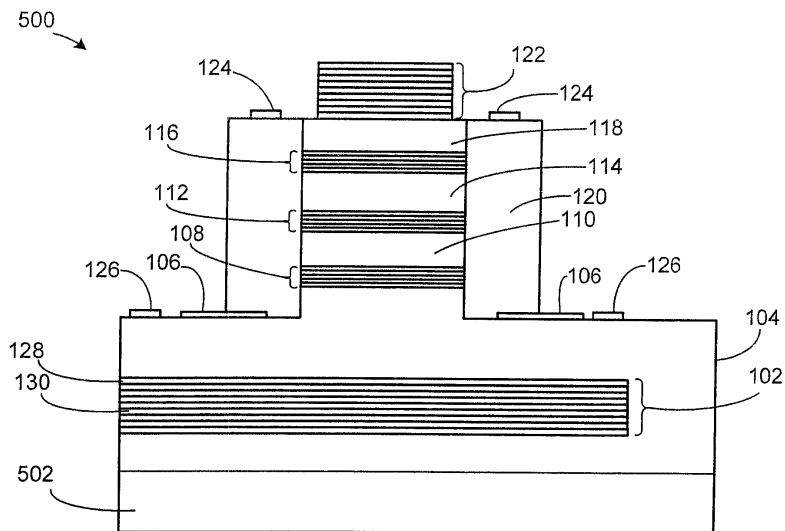
도면3



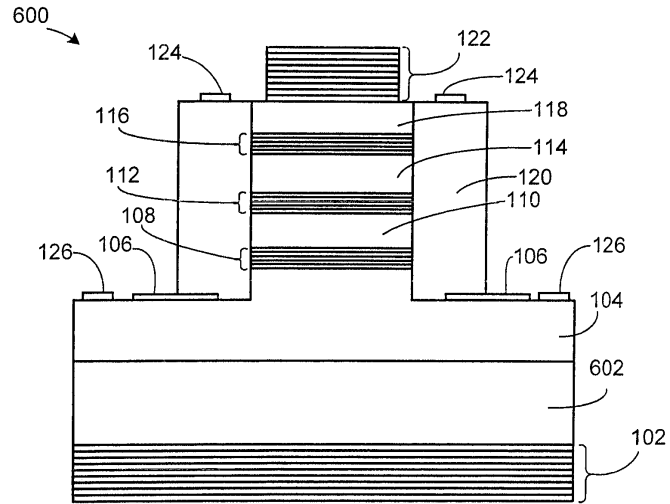
도면4



도면5



도면6



도면7

