(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5008032号
(P5008032)
(45)発行日　平成24年8月22日(2012.8.22)　(24)登録日　平成24年6月8日(2012.6.8)

(51)Int.Cl.　　F I
G09G 3/36 (2006.01)　G09G 3/36
G09G 3/20 (2006.01)　G09G 3/20　611A
G02F 1/133 (2006.01)　G09G 3/20　612R
H03K 19/0948 (2006.01)　G09G 3/20　612L
　　G09G 3/20　621M
請求項の数 8　(全 30 頁)　最終頁に続く

(21)出願番号　特願2007-224925 (P2007-224925)
(22)出願日　平成19年8月30日 (2007.8.30)
(65)公開番号　特開2009-58693 (P2009-58693A)
(43)公開日　平成21年3月19日 (2009.3.19)
審査請求日　平成21年9月18日 (2009.9.18)

(73)特許権者　598172398
ソニーモバイルディスプレイ株式会社
愛知県知多郡東浦町大字緒川字上舟木５０番地
(74)代理人　100092152
弁理士　服部　毅巖
(72)発明者　ジャルプーンポン　ウィーラポン
東京都港区港南１丁目７番１号　ソニー株式会社内
(72)発明者　木田　芳利
イギリス国　ＫＴ１３　０ＸＷ　サリー，ウエイブリッジ，ブルックランズ，ザ　ハイツ　ソニー・ユナイテッド・キングダム・リミテッド内

最終頁に続く

(54)【発明の名称】遅延回路、半導体制御回路、表示装置、および電子機器

(57)【特許請求の範囲】
【請求項１】
充電または放電を２段階で行い、信号を遅延させる遅延回路であって、
遅延信号を出力する出力部と、
２つの電源と、
遅延インバータと、を有し、
上記遅延インバータは、
上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、
上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲートに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、
上記遅延インバータの入力パルスが上記第３トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う
遅延回路。
【請求項２】
充電または放電を２段階で行い、信号を遅延させる遅延回路であって、
遅延信号を出力する出力部と、

２つの電源と、
遅延インバータと、を有し、
上記遅延インバータは、
上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、
上記出力部と他側との間に、第１回目の放電または充電用の上記第３トランジスタと同一チャネル型の第４および第５トランジスタが直列に接続され、当該第４トランジスタまたは第５トランジスタに並列に、第２回目の放電または充電用の上記第１および第２トランジスタと同じチャネル型の第６トランジスタが接続され、
上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲート、並びに、上記第４および第５トランジスタに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、
上記遅延インバータの入力パルスが上記第３トランジスタおよび第６トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う
遅延回路。
【請求項３】
制御対象回路に制御信号を供給する半導体制御回路であって、
検出パルスを受けてトランジスタ特性に応じた遅延量の異なる複数の遅延信号を出力する遅延回路と、
上記検出パルスを基準信号として上記遅延回路の遅延信号をサンプリングするサンプリング回路と、
上記サンプリング回路でサンプリングされた複数の遅延信号の差に応じたヒステリシス特性を有する制御信号を生成するヒステリシス性回路と、を有し、
上記遅延回路は、
充電または放電を２段階で行い、信号を遅延させる遅延回路であって、
遅延信号を出力する出力部と、
２つの電源と、
遅延インバータと、を有し、
上記遅延インバータは、
上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、
上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲートに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、
上記遅延インバータの入力パルスが上記第３トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う
半導体制御回路。
【請求項４】
制御対象回路に制御信号を供給する半導体制御回路であって、
検出パルスを受けてトランジスタ特性に応じた遅延量の異なる複数の遅延信号を出力する遅延回路と、
上記検出パルスを基準信号として上記遅延回路の遅延信号をサンプリングするサンプリング回路と、
上記サンプリング回路でサンプリングされた複数の遅延信号の差に応じたヒステリシス特性を有する制御信号を生成するヒステリシス性回路と、を有し、
上記遅延回路は、

充電または放電を２段階で行い、信号を遅延させる遅延回路であって、
遅延信号を出力する出力部と、
２つの電源と、
遅延インバータと、を有し、
上記遅延インバータは、
上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、
上記出力部と他側との間に、第１回目の放電または充電用の上記第３トランジスタと同一チャネル型の第４および第５トランジスタが直列に接続され、当該第４トランジスタまたは第５トランジスタに並列に、第２回目の放電または充電用の上記第１および第２トランジスタと同じチャネル型の第６トランジスタが接続され、
上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲート、並びに、上記第４および第５トランジスタに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、
上記遅延インバータの入力パルスが上記第３トランジスタおよび第６トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う
半導体制御回路。

【請求項５】
有効表示部と、
上記有効表示部の動作にかかわる処理を行う少なくとも一つの周辺回路と、
上記周辺回路を制御対象回路として制御信号を出力する半導体制御回路と、が絶縁基板上に一体形成され、
上記半導体制御回路は、
検出パルスを受けてトランジスタ特性に応じた遅延量の異なる複数の遅延信号を出力する遅延回路と、
上記検出パルスを基準信号として上記遅延回路の遅延信号をサンプリングするサンプリング回路と、
上記サンプリング回路でサンプリングされた複数の遅延信号の差に応じたヒステリシス特性を有する制御信号を生成するヒステリシス性回路と、を含み、
上記遅延回路は、
充電または放電を２段階で行い、信号を遅延させる遅延回路であって、
遅延信号を出力する出力部と、
２つの電源と、
遅延インバータと、を有し、
上記遅延インバータは、
上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、
上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲートに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、
上記遅延インバータの入力パルスが上記第３トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う
表示装置。

【請求項６】
有効表示部と、
上記有効表示部の動作にかかわる処理を行う少なくとも一つの周辺回路と、

上記周辺回路を制御対象回路として制御信号を出力する半導体制御回路と、が絶縁基板上に一体形成され、
上記半導体制御回路は、
検出パルスを受けてトランジスタ特性に応じた遅延量の異なる複数の遅延信号を出力する遅延回路と、
上記検出パルスを基準信号として上記遅延回路の遅延信号をサンプリングするサンプリング回路と、
上記サンプリング回路でサンプリングされた複数の遅延信号の差に応じたヒステリシス特性を有する制御信号を生成するヒステリシス性回路と、を含み、
上記遅延回路は、
充電または放電を２段階で行い、信号を遅延させる遅延回路であって、
遅延信号を出力する出力部と、
２つの電源と、
遅延インバータと、を有し、
上記遅延インバータは、
上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、
上記出力部と他側との間に、第１回目の放電または充電用の上記第３トランジスタと同一チャネル型の第４および第５トランジスタが直列に接続され、当該第４トランジスタまたは第５トランジスタに並列に、第２回目の放電または充電用の上記第１および第２トランジスタと同じチャネル型の第６トランジスタが接続され、
上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲート、並びに、上記第４および第５トランジスタに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、
上記遅延インバータの入力パルスが上記第３トランジスタおよび第６トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う
表示装置。
【請求項７】
表示装置を有する電子機器であって、
上記表示装置は、
有効表示部と、
上記有効表示部の動作にかかわる処理を行う少なくとも一つの周辺回路と、
上記周辺回路を制御対象回路として制御信号を出力する半導体制御回路と、が絶縁基板上に一体形成され、
上記半導体制御回路は、
検出パルスを受けてトランジスタ特性に応じた遅延量の異なる複数の遅延信号を出力する遅延回路と、
上記検出パルスを基準信号として上記遅延回路の遅延信号をサンプリングするサンプリング回路と、
上記サンプリング回路でサンプリングされた複数の遅延信号の差に応じたヒステリシス特性を有する制御信号を生成するヒステリシス性回路と、を含み、
上記遅延回路は、
充電または放電を２段階で行い、信号を遅延させる遅延回路であって、
遅延信号を出力する出力部と、
２つの電源と、
遅延インバータと、を有し、
上記遅延インバータは、

上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、

上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲートに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、

上記遅延インバータの入力パルスが上記第３トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う

電子機器。

【請求項８】

表示装置を有する電子機器であって、

上記表示装置は、

有効表示部と、

上記有効表示部の動作にかかわる処理を行う少なくとも一つの周辺回路と、

上記周辺回路を制御対象回路として制御信号を出力する半導体制御回路と、が絶縁基板上に一体形成され、

上記半導体制御回路は、

検出パルスを受けてトランジスタ特性に応じた遅延量の異なる複数の遅延信号を出力する遅延回路と、

上記検出パルスを基準信号として上記遅延回路の遅延信号をサンプリングするサンプリング回路と、

上記サンプリング回路でサンプリングされた複数の遅延信号の差に応じたヒステリシス特性を有する制御信号を生成するヒステリシス性回路と、を含み、

上記遅延回路は、

充電または放電を２段階で行い、信号を遅延させる遅延回路であって、

遅延信号を出力する出力部と、

２つの電源と、

遅延インバータと、を有し、

上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、

上記出力部と他側との間に、第１回目の放電または充電用の上記第３トランジスタと同一チャネル型の第４および第５トランジスタが直列に接続され、当該第４トランジスタまたは第５トランジスタに並列に、第２回目の放電または充電用の上記第１および第２トランジスタと同じチャネル型の第６トランジスタが接続され、

上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲート、並びに、上記第４および第５トランジスタに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、

上記遅延インバータの入力パルスが上記第３トランジスタおよび第６トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う

電子機器。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、遅延回路、半導体制御回路、表示装置、および電子機器に関するものである。

【背景技術】

【０００２】
一般に、駆動回路一体型表示装置の絶縁基板上にインバータ回路を形成するときに、薄膜トランジスタ（ＴＦＴ；thin film transistor）のポリシリコンプロセスまたはアモルファスシリコンプロセスでは、閾値電圧Vthや移動度μ等のトランジスタ特性のバラツキが単結晶プロセスに比べて大きい。
【０００３】
図１は、典型的なＣＭＯＳインバータ回路を２段に繋いだバッファ回路（以降はディレイバッファ回路と呼ぶ）を示す図である。
【０００４】
この回路は、構成がシンプル（面積が小さい）、リーク電流が少ない（低消費電力）などのメリットが上げられる。
しかし、Nチャネルトランジスタ（以降はNch Trと呼ぶ）あるいはPチャネルトランジスタ（以降はPch Trと呼ぶ）の特性（閾値電圧・移動度）のバラツキにより入力INに対しての出力OUTのディレイ量が変動されてしまうことが知られている。
つまり、ディレイ量はトランジスタの特性を表わすものの一つである。トランジスタの特性が悪ければディレイ量が大きく、トランジスタの特性が良ければディレイ量が小さい。
【０００５】
デジタル回路では、ディレイ量が簡単に比較できることからディレイ量を精度よく検知できればトランジスタの特性が簡単に検知できるはずである。
【０００６】
しかし、ＣＭＯＳトランジスタで構成された典型的なインバータによるディレイ量はNch TrにもPch Trにも大きく依存して実用的ではないという課題がある。
【０００７】
たとえば、図２ではポリシリコンプロセスで作製されたディレイバッファ回路のディレイ量とNch Tr、Pch Trの特性との関係を示す。
【０００８】
単チャネルトランジスタだけで構成されるインバータ回路がいくつの非特許・特許文献に取り上げられている。
【０００９】
たとえば、非特許文献１は、ブートストラップ型インバータ回路が紹介される。図３は非特許文献１に記載された回路を示す図である。
図３の回路は、３つの単一チャネルトランジスタ(Pch Tr)Q11，Q12，Q13とキャパシタＣ１１を有する。
【００１０】
図４は、特許文献１に紹介された単一チャネルトランジスタ(Pch Tr)を用いたブートストラップ型インバータ回路を示す図である。
【００１１】
トランジスタQp21は、ソースがVDD電源に接続され、ゲートに回路入力端子２１を通して入力信号INが与えられるとともに、ドレインから回路出力端子２２を通して出力信号OUTが導出される。
トランジスタQp22は、ソースがMOSトランジスタQp21のドレインに、ドレインがVSS電源に接続される。容量Cp21は、トランジスタQp22のゲートとソースとの間に接続されて、トランジスタQp22と共にブートストラップ回路２３を構成している。
トランジスタQp23は、ソースがトランジスタQp22のゲートに、ドレインがVSS電源にそれぞれ接続されて、ゲートにリファレンス信号REF1が与えられる。このトランジスタQp23のソースとトランジスタQp22のゲートの接続点をノードNDと呼ぶこととする。トランジスタQp24は、ソースがVDD電源に、ドレインがノードNDにそれぞれ接続されて、ゲートにリファレンス信号REF2が与えられる。
【００１２】

図５は図４の回路における入力信号IN、リファレンス信号REF1、REF2、ノードNの電位および出力信号OUTの各レベルおよびタイミング関係を示す図である。

【００１３】

リファレンス信号REF1は、VSSレベルとなる期間をプリチャージ期間と呼び、リファレンス信号REF2は、VSSレベルとなる期間をリセット期間と呼ばれる。

これらのリセットおよびプリチャージ期間を設けることによりリーク電流を抑え、回路出力信号OUT電位の振幅が入力信号IN電位の振幅と同じく、段数を増すことができる。

【非特許文献１】原央著，「MOS集積回路の基礎」，近代科学社，p.94～96
【特許文献１】特開２００５-１４３０６８号公報
【特許文献２】特開２００７-６０７２２号公報

【発明の開示】

【発明が解決しようとする課題】

【００１４】

しかし、非特許文献１に記載された回路は、消費電力が大きいことから次世代モバイル機器のテーマの一つとして低消費電力に向いていない。

【００１５】

また、特許文献１で紹介されたブートストラップ型インバータ回路はリーク消費電力が改善されているが、回路規模が大きい（ディレイバッファ１個当たりトランジスタ８個、容量２個）。さらに、複数な入力信号が必要である。狭額縁に向いていない。

すなわち、回路構成素子数が多く、回路入力信号がIN以外にREF1、２が必要(つまり、配線のレイアウト面積や信号生成回路などの面積が必要)で、リーク電流が流れる期間であるプリチャージ期間がまだ存在することにより狭額縁化・低消費電力化に向いていない。

【００１６】

また前述したように、一般に、駆動回路一体型表示装置の絶縁基板上形成されるTFT(Thin Film Transistor:薄膜トランジスタ)のポリシリコンプロセスまたはアモルファスシリコンプロセスでは、閾値電圧Vthや移動度μ等のトランジスタ特性のバラツキが単結晶プロセスに比べて大きい。

そのため、設計することに当たって大きなバラツキに対して十分な動作マージンを確保するのにトランジスタサイズを大きくしたりや駆動電源電圧レベルを高くしたりする。

その結果、消費電力の増大やトランジスタサイズ大による大きな額縁などが課題となる。消費電力を低減させる駆動システムや狭額縁のレイアウト法などの多くの技術が提案されている。

【００１７】

図６は、消費電力を低減させる駆動システムの構成例を示す図である（たとえば特許文献２参照）。

【００１８】

遅延回路３１および位相周波数比較回路３２で構成される速度モニタ回路３３は、速度切り換えのための制御信号を受けて、その動作速度に応じて速度検出信号を出力する。

基板バイアス制御回路３４は、速度モニタ回路３３が出力する速度検出信号Ｓ３３をもとに速度モニタ回路の動作速度を検出し、制御信号と比較して動作速度が所望の値になるようにPMOS基板バイアスおよびNMOS基板バイアスを発生して、速度モニタ回路３３および主回路３５のP Tr，N Trがそれぞれ形成される半導体領域に供給する。　そのため、トランジスタのバラツキを吸収して歩留まり改善・高速化を実現した半導体制御回路が得られる。

【００１９】

しかし、この技術は所望の動作速度を保持するのに基板バイアス電圧を利用しなければならない。

一般的に基板バイアスのない絶縁基板上で形成されるトランジスタに適用できない。

また、ヒステリシス特性を持たせてないため基板バイアス値を交互に選択され、所望速

度値を中心に保持できず不安定な状態にある。また、低消費電力化のメリットがない。

【００２０】

本発明は、狭額縁化・低消費電力化を図ることが可能な遅延回路、半導体制御回路、表示装置、および電子機器を提供することにある。

【課題を解決するための手段】

【００２１】

本発明の第１の観点は、充電または放電を２段階で行い、信号を遅延させる遅延回路であって、遅延信号を出力する出力部と、２つの電源と、遅延インバータと、を有し、上記遅延インバータは、上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲートに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、上記遅延インバータの入力パルスが上記第３トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う。

【００２３】

本発明の第２の観点は、充電または放電を２段階で行い、信号を遅延させる遅延回路であって、遅延信号を出力する出力部と、２つの電源と、遅延インバータと、を有し、上記遅延インバータは、上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、上記出力部と他側との間に、第１回目の放電または充電用の上記第３トランジスタと同一チャネル型の第４および第５トランジスタが直列に接続され、当該第４トランジスタまたは第５トランジスタに並列に、第２回目の放電または充電用の上記第１および第２トランジスタと同じチャネル型の第６トランジスタが接続され、上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲート、並びに、上記第４および第５トランジスタに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、上記遅延インバータの入力パルスが上記第３トランジスタおよび第６トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う。

【００２４】

本発明の第３の観点は、制御対象回路に制御信号を供給する半導体制御回路であって、検出パルスを受けてトランジスタ特性に応じた遅延量の異なる複数の遅延信号を出力する遅延回路と、上記検出パルスを基準信号として上記遅延回路の遅延信号をサンプリングするサンプリング回路と、上記サンプリング回路でサンプリングされた複数の遅延信号の差に応じたヒステリシス特性を有する制御信号を生成するヒステリシス性回路と、を有し、上記遅延回路は、充電または放電を２段階で行い、信号を遅延させる遅延回路であって、遅延信号を出力する出力部と、２つの電源と、遅延インバータと、を有し、上記遅延インバータは、上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲートに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、上記遅延インバータの入力パルスが上記第３トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う。

また、上記遅延インバータは、上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１およ

び第２トランジスタと異なるチャネル型の第３トランジスタが接続され、上記出力部と他側との間に、第１回目の放電または充電用の上記第３トランジスタと同一チャネル型の第４および第５トランジスタが直列に接続され、当該第４トランジスタまたは第５トランジスタに並列に、第２回目の放電または充電用の上記第１および第２トランジスタと同じチャネル型の第６トランジスタが接続され、上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲート、並びに、上記第４および第５トランジスタに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、上記遅延インバータの入力パルスが上記第３トランジスタおよび第６トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う。

【００２６】

本発明の第４の観点は、有効表示部と、上記有効表示部の動作にかかわる処理を行う少なくとも一つの周辺回路と、上記周辺回路を制御対象回路として制御信号を出力する半導体制御回路と、が絶縁基板上に一体形成され、上記半導体制御回路は、検出パルスを受けてトランジスタ特性に応じた遅延量の異なる複数の遅延信号を出力する遅延回路と、上記検出パルスを基準信号として上記遅延回路の遅延信号をサンプリングするサンプリング回路と、上記サンプリング回路でサンプリングされた複数の遅延信号の差に応じたヒステリシス特性を有する制御信号を生成するヒステリシス性回路と、を含み、上記遅延回路は、充電または放電を２段階で行い、信号を遅延させる遅延回路であって、遅延信号を出力する出力部と、２つの電源と、遅延インバータと、を有し、上記遅延インバータは、上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲートに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、上記遅延インバータの入力パルスが上記第３トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う。

また、上記遅延インバータは、上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、上記出力部と他側との間に、第１回目の放電または充電用の上記第３トランジスタと同一チャネル型の第４および第５トランジスタが直列に接続され、当該第４トランジスタまたは第５トランジスタに並列に、第２回目の放電または充電用の上記第１および第２トランジスタと同じチャネル型の第６トランジスタが接続され、上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲート、並びに、上記第４および第５トランジスタに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、上記遅延インバータの入力パルスが上記第３トランジスタおよび第６トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う。

【００２７】

本発明の第４の観点は、表示装置を有する電子機器であって、上記表示装置は、有効表示部と、上記有効表示部の動作にかかわる処理を行う少なくとも一つの周辺回路と、上記周辺回路を制御対象回路として制御信号を出力する半導体制御回路と、が絶縁基板上に一体形成され、上記半導体制御回路は、検出パルスを受けてトランジスタ特性に応じた遅延量の異なる複数の遅延信号を出力する遅延回路と、上記検出パルスを基準信号として上記遅延回路の遅延信号をサンプリングするサンプリング回路と、上記サンプリング回路でサンプリングされた複数の遅延信号の差に応じたヒステリシス特性を有する制御信号を生成するヒステリシス性回路と、を含み、上記遅延回路は、充電または放電を２段階で行い、

信号を遅延させる遅延回路であって、遅延信号を出力する出力部と、２つの電源と、遅延インバータと、を有し、上記遅延インバータは、上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲートに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、上記遅延インバータの入力パルスが上記第３トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う。

また、上記遅延インバータは、上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および第２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、上記出力部と他側との間に、第１回目の放電または充電用の上記第３トランジスタと同一チャネル型の第４および第５トランジスタが直列に接続され、当該第４トランジスタまたは第５トランジスタに並列に、第２回目の放電または充電用の上記第１および第２トランジスタと同じチャネル型の第６トランジスタが接続され、上記遅延インバータの入力の前の逆相パルスが上記第１および第２トランジスタのゲート、並びに、上記第４および第５トランジスタに供給され、第１回目の充電または放電は上記遅延インバータの入力の前の逆相パルスで行い、上記遅延インバータの入力パルスが上記第３トランジスタおよび第６トランジスタのゲートに供給され、第２回目の充電または放電は上記遅延インバータの入力パルスで行う。

【００２８】

本発明によれば、駆動回路一体型表示装置の絶縁基板上に生成され、低消費電力、簡単な構成、小レイアウト面積、片トランジスタのタイプ（Pch Tr又はNch Tr）だけに依存して遅延処理を行う。

【発明の効果】

【００２９】

本発明によれば、狭額縁化・低消費電力化を図ることができる。

【発明を実施するための最良の形態】

【００３０】

以下、本発明の実施の形態を図面に関連付けて説明する。

【００３１】

図７は、本発明の実施形態に係るPch Trの特性だけに依存してディレイするディレインバータ回路を用いた遅延回路としてのディレイバッファ回路を示す図である。

これ以降は、本発明の説明が容易に行えるためにディレインバータを用いたディレイバッファ回路を例として利用する。

【００３２】

本実施形態に係るディレイバッファ回路４０は、第１～４のPチャネルMOSトランジスタQp41～Qp44および第１～２のNチャネルMOSトランジスタQn41～Qn42を有する。

このとき、ディレインバータ回路INV４1は、PチャネルMOSトランジスタQp42～44及びNチャネルMOSトランジスタQn42を有する。

【００３３】

回路入力INがトランジスタQp41とQn41のゲートに接続されるとともに次段のトランジスタQp43、Qp44のゲートに接続されている。トランジスタQp41とQn41で構成されるインバータの出力をノードNDAと呼び、トランジスタQn42、Qp42のゲートに接続される。

トランジスタQp41、Qp42のソースが正側電源VDD（以降、VDD電源と記す）に接続されている。

トランジスタQn41，Qn42のソースおよびトランジスタQp44のドレインが負側電源VSS（以降、VSS電源と記す）に接続される。また、トランジスタQp43のソースがQp42のドレイ

ンに接続され、回路出力信号OUTが導出され、ドレインがトランジスタQn42のドレイン、Qp44のソースに接続され、その接続点をノードNDBと呼ぶことにする。

【００３４】

典型的なCMOSインバータ（図１）をベースに考えると、本実施形態においては、スイッチ素子であるPチャネルQp43およびQp44を出力部と電源部（ここではVSS）の間に配置される形である。

【００３５】

図８は、図７で示されるディレイバッファ回路の動作を説明するためのタイミングチャートを示す図である。

【００３６】

期間t41では、回路入力信号INがVDDレベルからVSSレベルに変わり始めるとき、VDD－|Vpth|となった時点でトランジスタQp41がオンし、ノードNDA電位がVSSレベルから引き上げられると同時にトランジスタQp43、Qp44も同様にオンし、ノードNDBとOUT電位がショートされ、VSS電源に放電しながらノードNDBの電位が出力信号OUTの電位にまで引き上げられる。この期間t41をstep1放電と呼ぶこととする。

【００３７】

次に、期間t42期間では、入力信号INがVSSレベルまで下ったときにノードNDBが出力信号OUTとショートしているためノードNDBが低くてもVSS+|Vpth|である(トランジスタQp43によるオン抵抗がトランジスタQn42とQp44によるCMOSスイッチのオン抵抗より十分に低く設定しておく)。

ノードNDAがVDDレベルのためトランジスタQn42がオンし、ノードNDB電位がVSSまでさらに下り続く。

入力信号INがノードBとの間にいくつの寄生容量（たとえば、トランジスタＱｐ43のゲート・ドレイン容量Cgd、Qp44のゲート・ソース容量Cgs）があり、これらのカップリング（Coupling）を受けて、入力信号INの電位がVSSより低い電位まで下る。

また、トランジスタQp43のソース・ドレイン容量Csdより出力OUTもノードNDBの電位変化に引き下げられる。同様に入力信号INも前段の出力部のトランジスタのソース・ドレイン容量Csdで引き下げられる。この引き下げる分はΔVとする。ΔVはPチャネルトランジスタ特性だけに依存すると言える。この期間t42をstep2放電と呼ぶこととする。

【００３８】

以上の説明によりstep1,step2の2段階の放電期間を設けることにより入力信号INの立下りタイミングに対して出力信号OUTの立下りタイミングのディレイはほぼPチャネルトランジスタの特性のみに依存させることができる。

期間t43では、入力信号INがVSSレベルからVDDに変化するときにVSS+|Vnth|レベルになると、トランジスタQn41がオンし、ノードNDAが引き下げられる。

ノードNDA電位がVDD-|Vpth|まで下るとトランジスタQp42がオンし、出力OUTが引き上げられる。

よって、入力信号INの立ち上がりタイミングに対して出力信号OUTの立ち上がりタイミングのディレイ量はPch Tr, Nch Trの両方の特性に依存する。

ただしこれは問題とならない。その理由は、立下りタイミングのディレイ量が片トランジスタの特性だけに依存しているので絶縁性基板上で形成されるトランジスタの特性を検知するのに十分であるからだ。

【００３９】

図９は、本発明の第２の実施形態に係るNch　Trの特性だけに依存してディレイするディレイバッファ回路を示す図である。

【００４０】

本実施形態に係るディレイバッファ回路５０は、第１～４のNチャネルMOSトランジスタQn51～Qn54及び第１～２のPチャネルMOSトランジスタQp51～Qp52を有する。

このとき、ディレインバータ回路INV51は、NチャネルMOSトランジスタQn52～54およびPチャネルMOSトランジスタQp52を有する。

【００４１】
回路入力INがトランジスタQn５１とQp51のゲートに接続されるとともに次段のトランジスタQn53、Qn54のゲートに接続されている。トランジスタQn51とQp51で構成されるインバータの出力をノードNDAと呼び、トランジスタQn51、Qn52のゲートに接続される。
トランジスタQn51、Qn52のソースが負側電源VSSに接続されている。トランジスタQp51,Qp52のソースおよびトランジスタQn54のドレインが正側電源VDDに接続されている。
また、トランジスタQn53のソースがQn52のドレインに接続し、回路出力信号OUTを導出され、ドレインがトランジスタQp52のドレイン、Qn54のソースに接続され、その接続をノードNDBと呼ぶことにする。
【００４２】
図１０は、図９で示されるディレイバッファ回路の動作を説明するためのタイミングチャートを示す図である。
【００４３】
期間t51期間では、回路入力信号INがVSSレベルからVDDレベルに変わり始めるとき、VSS+|Vnth|となった時点でトランジスタQn51がオンし、ノードNDA電位がVDDレベルから引き下げられると同時にトランジスタQn53、Qn54も同様にオンし、ノードNDBとOUT電位がショートされ、VDD電源から充電しながらノードNDB電位が出力信号OUTの電位にまで引き下げられる。この期間t51をstep11充電と呼ぶこととする。
【００４４】
次に、期間t52では、入力信号INがVDDレベルまで上がったときにノードNDBが出力信号OUTとショートしているためノードNDBの電位は高くてもVDD-|Vnth|である(トランジスタQn53によるオン抵抗がトランジスタQp54とQp52によるCMOSスイッチのオン抵抗より十分に低く設定しておく)。
ノードNDAがVSSレベルのためトランジスタQp52がオンし、ノードNDB電位がVDDまでさらに上がり続ける。
入力信号INがノードNDBとの間にいくつの寄生容量（たとえば、トランジスタQn53のゲート・ドレイン容量Cgd、Qn54のゲート・ソース容量Cgs）があり、これらのカップリング（Coupling）を受けて、入力信号INの電位がVDDより高い電位まで上がる。
また、トランジスタQn53のソース・ドレイン容量Csdより出力OUTもノードNDBの電位変化に引き上げられる。同様に入力信号INも前段の出力部のトランジスタのソース・ドレイン容量Csdで引き上げられる。この引き上げられる分はΔVとする。ΔVはNチャネルトランジスタ特性だけに依存すると言える。この期間t52をstep21充電と呼ぶこととする。
【００４５】
以上step11,step12充電期間を設けることにより入力信号INの立ち上がりタイミングに対して出力信号OUTの立ち上がりタイミングのディレイはほぼNチャネルトランジスタの特性のみに依存すると言える。
【００４６】
期間t53では、入力信号INがVDDレベルからVSSに変化するときにVDD－|Vpth|レベルになるトランジスタQp51がオンし、ノードNDAが引き上げられる。
ノードNDA電位がVSS＋|Vnth|まで上がるとトランジスタQn52がオンし、出力OUTが引き下げられる。よって、入力信号INの立ち下がりタイミングに対して出力信号OUTの立ち下がりタイミングのディレイ量はPch Tr, Nch Trの両方の特性に依存する。
ただしこれは問題とならない。その理由は、立ち上がりタイミングのディレイ量が片トランジスタの特性だけに依存しているので絶縁性基板上で形成されるトランジスタの特性を検知するのに十分であるからだ。
【００４７】
以上、本発明の第１および第２の実施形態について説明した。CMOSトランジスタ回路の構成に係らず片チャネルのトランジスタ特性だけに依存してディレイするディレイバッファ回路を作製できた。この実施形態に基づいて変形例を示す。
【００４８】

使う用途に応じて、たとえば、Pチャネル・Nチャネルの両方のトランジスタ特性を検知したい場合にNチャネルトランジスタ特性だけに依存するディレイバッファとPチャネルトランジスタ特性だけに依存するディレイバッファが必要である。

上述した第１の実施形態と第２の実施形態の組み合わせることにより１個ディレイバッファ（素子数：トランジスタ８個）で両チャネルのトランジスタ特性を検知することができる。

すでに紹介した特許文献１（特開2005-143068号公報）の技術を用いた場合N、Pの両チャネルトランジスタ用のバッファの素子数がトランジスタ１６個＋容量４個必要である。仮にM個のバッファを使用するとなれば素子数の面から見てもM×（トランジスタ８個＋容量４個）が減らせる。

【００４９】

図１１は、本発明の実施形態に係るディレイバッファ回路の変形例であって、Pch Trの特性もNch Trの特性もそれぞれ独自に依存してディレイするディレイバッファ回路を示す図である。

【００５０】

本変形例に係るディレイバッファ回路６０は、第１～４のPチャネルMOSトランジスタQp61～Qp64および第１～4のNチャネルMOSトランジスタQn61～Qn64を有する。

このとき、ディレインバータ回路INV61は、NチャネルMOSトランジスタQn62～Qn64およびPチャネルMOSトランジスタQn64～Qp64を有する。

【００５１】

回路入力INがトランジスタQp６１とQn61のゲートに接続されるとともに次段のトランジスタQp63、Qp６４、Qn62、Qn63のゲートに接続されている。

トランジスタQp61とQn61で構成されるインバータの出力をノードNDAと呼び、トランジスタQp62、Qn64のゲートに接続される。

トランジスタQp61、Qp６２のソースおよびトランジスタQn62のドレインが正側電源VDDに接続されている。トランジスタQn61，Qn64のソースおよびトランジスタQp64のドレインが負側電源VSSに接続されている。

また、トランジスタQp63のソースがQn63ソースに接続され、ドレインがトランジスタQn64のドレイン、Qp64のソースに接続され、その接続点をノードNDCと呼ぶことにする。

トランジスタQn63のソースがQp6ソースに接続され、ドレインがトランジスタQp62のドレイン、Qn62のソースに接続され、その接続点をノードNDBと呼ぶことにする。

回路出力信号OUTはトランジスタQn６３のソースとトランジスタQp６３ソースの接続配線となる。

【００５２】

図１２は、図１１で示されるディレイバッファ回路の動作を説明するためのタイミングチャートを示す図である。

【００５３】

期間t61では、回路入力信号INがVDDレベルからVSSレベルに変わり始めるとき、VDD－|Vpth|となった時点でトランジスタQp61がオンし、ノードNDA電位がVSSレベルから引き上げられると同時にトランジスタQp63、Qp64も同様にオンし、ノードNDCとOUT電位がショートされ、VSS電源に放電しながらノードNDC電位が出力信号OUTの電位にまで引き上げられる。この期間t61をstep21放電と呼ぶこととする。

【００５４】

次に、期間t62では、入力信号INがVSSレベルまで下ったときにノードNDCが出力信号OUTとショートしているためノードNDCが低くてもVSS+|Vpth|である(トランジスタQp63によるオン抵抗がトランジスタQn64とQp64によるCMOSスイッチのオン抵抗より十分に低く設定しておく)。ノードNDAがVDDレベルのためトランジスタQn64がオンし、ノードNDC電位がVSSまでさらに下り続く。

入力信号INがノードNDCとの間にいくつの寄生容量（たとえば、トランジスタQｐ63のゲート・ドレイン容量Cgd、Qp64のゲート・ソース容量Cgs）があり、これらのカップリング

（Coupling）を受けて、入力信号INの電位がVSSより低い電位まで下る。
また、トランジスタQp63のソース・ドレイン容量Csdより出力OUTもノードNDCの電位変化に引き下げられる。
同様に入力信号INも前段の出力部のトランジスタのソース・ドレイン容量Csdで引き下げられる。この引き下げる分はΔＶ１とする。ΔＶ１はPチャネルトランジスタ特性だけに依存すると言える。この期間t62をstep22放電と呼ぶこととする。

【００５５】

以上step21,step22放電期間を設けることにより入力信号INの立下りタイミングに対して出力信号OUTの立下りタイミングのディレイはほぼPチャネルトランジスタの特性のみに依存すると言える。

【００５６】

期間t63では、期間t62で切り替わった電位の状態を保持する期間で、入力信号INがVSS－ΔV1(ΔV1>0)、ノードNDAがVDD、ノードNDCがVSS、出力信号OUTがVSS－ΔV1(ΔV1>0)である。

【００５７】

期間t64では、回路入力信号INがVSSレベルからVDDレベルに変わり始めるとき、VSS+|Vnth|となった時点でトランジスタQn61がオンし、ノードNDA電位がVDDレベルから引き下げられると同時にトランジスタQn63、Qn64も同様にオンし、ノードNDBとOUT電位がショートされ、VDD電源から充電しながらノードNDB電位が出力信号OUTの電位にまで引き下げられる。この期間t64をstep31充電と呼ぶこととする。

【００５８】

次に、期間t65では、入力信号INがVDDレベルまで上がったときにノードNDBが出力信号OUTとショートしているためノードNDBの電位は高くてもVDD-|Vnth|である(トランジスタQn63によるオン抵抗がトランジスタQn62とQp62によるCMOSスイッチのオン抵抗より十分に低く設定しておく)。
ノードNDAがVSSレベルのためトランジスタQp62がオンし、ノードNDB電位がVDDまでさらに上がり続ける。入力信号INがノードNDBとの間にいくつの寄生容量（たとえば、トランジスタQn63のゲート・ドレイン容量Cgd、Qn62のゲート・ソース容量Cgs）があり、これらのカップリング（Coupling）を受けて、入力信号INの電位がVDDより高い電位まで上がる。
また、トランジスタQn63のソース・ドレイン容量Csdより出力OUTもノードNDBの電位変化に引き上げられる。
同様に入力信号INも前段の出力部のトランジスタのソース・ドレイン容量Csdで引き上げられる。この引き上げられる分はΔＶ２とする。ΔＶ２はNチャネルトランジスタ特性だけに依存すると言える。この期間t65をstep32充電と呼ぶこととする。

【００５９】

以上step31,step32充電期間を設けることにより入力信号INの立ち上がりタイミングに対して出力信号OUTの立ち上がりタイミングのディレイはほぼNチャネルトランジスタの特性のみに依存すると言える。

【００６０】

以上に説明した変形例は、１個のディレイバッファでPチャネル、Nチャネルトランジスタの特性をそれぞれ検知し、ディレイ量として表現できるディレイバッファである。
本発明に係る簡単な構成、小レイアウト面積、片トランジスタのタイプ（Pch TrまたはNch Tr）だけに依存してディレイするという特徴をもつディレインバータ回路およびディレインバータをディレイバッファに使用された場合を例として説明したが、これに限られるものではなく、本発明に係るディレイバッファ以外にも回路動作で片トランジスタの特性だけに依存してディレイしない回路全般に対しても適用できる。
また、絶縁基板上形成されるポリシリコンを用いた回路、さらにポリシリコンに限らず欠陥のあるシリコンを用いた回路全般に対して適用可能である。

【００６１】

以上説明したように、本実施形態によれば、出力部と電源との間に複数のスイッチ素子を挿入し、このスイッチ素子らによって出力電位の放電（又は充電）を２段階に行う。

その結果、回路構成が簡単で、省スペースで実現可能で、またバラツキが大きいと知られる容量を使用しないため精度がよい。

また、片トランジスタの特性だけに依存しディレイさせることができることで様々な応用がたくさん、たとえば、同じ絶縁基板上に形成される回路のトランジスタ特性を検知し、電源電圧やあらゆる制御信号にフィードバック（Feed back）し、トランジスタ特性の変動に伴って制御信号が反応するので歩留まり改善（コストダウン）や性能向上（高信頼性）などが期待できる。

【００６２】

次に、上述したディレイバッファ回路（遅延回路）を採用可能で、駆動回路一体型表示装置の絶縁基板上に形成される半導体制御回路について説明する。

【００６３】

前述したように、駆動回路一体型表示装置の絶縁基板上に形成されるＴＦＴのポリシリコンプロセスまたはアモルファスシリコンプロセスでは、閾値電圧Vthや移動度μ等のトランジスタ特性のバラツキが単結晶プロセスに比べて大きい。そのため、設計することに当たって大きなバラツキに対して十分な動作マージンを確保するのにトランジスタサイズを大きくしたりや駆動電源電圧レベルを高くしたりする。そのため、消費電力の増大やトランジスタサイズ大による大きな額縁などが課題となる。

本実施形態として、大きなバラツキを吸収し、マージンをできるだけ少なくして消費電力の低減と狭額縁を同時に得られる半導体制御回路について説明する。

【００６４】

図１３は、駆動回路一体型表示装置の概略構成を示す図である。

【００６５】

この液晶表示装置１００は、図１３に示すように、透明絶縁基板、たとえばガラス基板１０１上に、液晶セルを含む複数の画素がマトリクス状に配置された有効表示部１０２、図１３において有効画素部１０２の上下に配置された一対の水平駆動回路（Ｈドライバ）１０３Ｕ，１０３Ｄ、図１３において有効表示部１０２の側部に配置された垂直駆動回路（Ｖドライバ）１０４、複数の基準電圧を発生する一つの基準電圧発生回路１０５、およびデータ処理回路１０６、半導体制御回路２００等が集積されている。

【００６６】

このように、図１３の駆動回路一体型表示装置１００は、２つの水平駆動回路１０３Ｕ，１０３Ｄを有効画素部１０２の両サイド（図１３では上下）に配置しているが、これは、データ線の奇数ラインと偶数ラインとに分けて駆動するためである。

【００６７】

図１３においては、半導体制御回路２００として、他の回路と別個に設けたように図示されているが、以下に説明する半導体制御回路２００の制御対象回路としては、基準電圧発生回路１０５やデータ処理回路１０６に適用することが可能である。

【００６８】

以下、半導体制御回路２００に構成および機能について説明する。

【００６９】

図１４は、本発明の実施形態に係る半導体制御回路の構成を示すブロック図である。

【００７０】

半導体制御回路２００は、図１４に示すように、タイミング生成回路２１０、遅延回路２２０、サンプリング回路２３０、ヒステリシス性生成回路２４０、および制御対象回路２５０を有する。

【００７１】

半導体制御回路２００においては、タイミング生成回路２１０から生成される検出パルスDPLSが遅延回路２２０および位相周波数比較回路（たとえば、サンプリング回路。以降は“サンプリング回路”と呼ぶ）２３０に基準パルREFPとして入力される。

遅延回路２２０の出力信号の遅延信号S23，S24がそれぞれサンプリングされ、信号S21，S22が出力される。

また、信号S21，S22がヒステリシス性生成回路２４０を通し、ヒステリシス性をもつサンプリングされた波形が制御信号として様々な制御対象回路２５０に送る。

【００７２】

初めに全体駆動概念を説明する。

図１５は、図１４の半導体制御回路のタイミングチャートを示す図である。

【００７３】

タイミング生成回路２１０で生成された検出パルスDPLSが遅延回路２２０に入力され、たとえば、サンプリングトリガーを基準信号の立下りにする場合にトランジスタ特性（閾値Vth，ドレイン・ソース電流など）が良ければ遅延信号の遅延量が少なく、サンプリングされた信号S21，S22はハイ（High）レベルになる。

ここでは、遅延信号S23の通す遅延回路２２０内のディレイバッファ（Delay buffer）数が信号S24用のディレイバッファ数より多いとする。

このディレイバッファ数の差を利用してヒステリシス特性を制御に持たせる。詳細例は後で説明する。

制御対象回路２５０としては、たとえば電源電圧生成回路ＤＤコンバータ回路、アナログバッファ（Analog buffer）回路、データ処理回路、基準電圧生成回路が適用される。

【００７４】

本実施形態においては、既存技術と異なって基板バイアスを利用せず（ポリシリコンプロセスまたはアモルファスシリコンプロセスに適用できる）、ヒステリシス特性を持たて安定な出力値を得るように構成される。

また、表示装置能力に繋がる低消費電力化、狭額縁や表示装置コストダウンに繋がる歩留まりの改善・修正マスク低減のメリットが得られる。

【００７５】

以下、より具体的な構成、機能および変形例について説明する。

【００７６】

図１６は、Ｐチャネル、Ｎチャネルトランジスタ特性を別々に検出して制御する場合の構成例を示す回路図である。

【００７７】

制御対象回路２５０によって片チャネルだけを検出（検知）したい場合がある。

Ｎチャネルトランジスタ特性に依存して遅延回路２２０－１で遅延される遅延信号S31，S40はサンプリング回路２３０－１でそれぞれサンプリングされて信号S33、S34が出力される。ヒステリシス性生成回路２４０－１を通してセレクト回路２６０に入力される。

同様に、Ｐチャネルトランジスタ特性に依存して遅延回路２２０－２で遅延される遅延信号S32，S41はサンプリング回路２３０－２でそれぞれサンプリングされて信号S35、S36が出力される。ヒステリシス性生成回路２４０－２を通してセレクト回路２６０に入力される。

ＰチャネルとＮチャネルトランジスタ特性を両方考慮するか片チャネルトランジスタチャネルだけを考慮するか（たとえば、Ｐチャネルトランジスタ特性だけを検知したいなど）をセレクト回路２６０で選択し、セレクト回路２６０の選択出力が制御信号S39として制御対象回路２５０に送出される。

もちろん、用途に応じてセレクト回路が必要のない場合もある。

【００７８】

図１７および図１８は、片チャネルトランジスタ特性だけに依存してディレイ量が生じる回路を示す図である。

この回路として、上述した第１および第２の実施形態、または変形例として説明した回路が適用可能である。

【００７９】

図１７は、Ｎチャネルトランジスタ特性に依存してディレイ量を生成するディレイバッ

ファ列（ディレイバッファ数：m個とする）を示す図である。

【００８０】

ディレイバッファ列２２１Ａは、m個のディレイバッファ回路Ｄ２２１－１～２２１－mが縦続接続されている。

遅延信号S41，S42がそれぞれ端子OUT1，OUT2に出力される。信号S41の通すディレイバッファ段数が信号S42のより多いとする。

【００８１】

図１８は、Ｐチャネルトランジスタ特性に依存してディレイ量を生成するディレイバッファ列（ディレイバッファ数：ｎ個とする）を示す図である。

ディレイバッファ列２２２Ａは、m個のディレイバッファ回路Ｄ２２２－１～２２２－ｎが縦続接続されている。

遅延信号S51，S52がそれぞれ端子OUT1，OUT2に出力される。信号S51の通すディレイバッファ段数が信号S52のより多いとする。

【００８２】

図１９は、本実施形態に係るヒステリシス性生成回路の構成例を示す図である。

図２０は、図１９のヒステリシス性生成回路の真理値表示す図である。

【００８３】

図１９のヒステリシス性生成回路２４０は、排他的論理和（ＥＸＯＲ）ゲート２４１、切り替え制御回路２４２、スイッチ２４３、およびラッチ回路２４４を有する。

【００８４】

ヒステリシス性生成回路２４０は、入力ＩＮ１、ＩＮ２のレベルが異なるときに出力が前出力状態を保持する。

入力ＩＮ１、ＩＮ２のレベルが同ディレイレベル（たとえばハイレベル）のときに出力ＯＵＴのレベルが入力レベルと同じ（たとえばハイレベル）になる。

入力ＩＮ１、ＩＮ２の切り替え期間に出力信号ＯＵＴが誤動作を起こさないように切り替え制御パルスＳＷＰＬＳを利用する。

この回路は、切り替え期間にスイッチ２４３がオフ（OFF）状態になり、入力ＩＮ１、ＩＮ２信号レベルが完全に切り替えてからスイッチ２４３をオン状態(有効)とし、出力ＯＵＴに反映する回路である。

また、初期値の出力レベルのためにリセット信号ＲＳＴがラッチ回路２４４に供給される。

【００８５】

ヒステリシス性生成回路２４０の入力ＩＮ１、ＩＮ２は両方とも単純に遅延回路２２０から受け取る回路として説明したが、この構成に限らず様々な構成にも適用できる。

たとえば、片入力が遅延回路から遅延された信号で、もう一つの入力が前記の遅延信号に対してカウンタ回路でカウントして一定のディレイさせるものである。

【００８６】

次に、システム全体に対してトランジスタ能力検出（検知）システムの出力特性例を簡単に述べる。

【００８７】

図２１は、トランジスタ検出システムの出力特性の一例を示す図である。

【００８８】

図２１に示すように、はじめに、出力値ＯＵＴのレベルがリセット信号で初期値となり、検出パルスが送られてきたらトランジスタの能力特性によってディレイ量が発生し、ケース＜１＞として、Ｃ領域の電流特性（ドレイン・ソース電流Ｉｄｓなど）とする場合、電流特性が良く、ディレイ量が少ない。遅延信号S23,S24のサンプリングされた結果がＨレベルとなる。ヒステリシス性生成回路２４０を通した制御信号Ｓ２４０がハイレベルになる。

【００８９】

ケース＜２＞として、Ｂ領域の電流特性（ドレイン・ソース電流Ｉｄｓなど）とする場

合、電流特性が多少良く、ディレイ量が多少少ない。遅延信号S24のサンプリングされた結果はＨレベルとなるが、遅延信号Ｓ２３のサンプリングされた結果はＬレベル。ヒステリシス性生成回路２４０を通した制御信号Ｓ２４０が前の状態を保持する（この場合は初期値がRESET）のでローレベルになる。

【００９０】

ケース＜３＞として、Ａ領域の電流特性（ドレイン・ソース電流Ｉｄｓなど）とする場合、電流特性が悪く、ディレイ量が大きい。遅延信号S23，S24のサンプリングされた結果がローレベルとなる。ヒステリシス性生成回路２４０を通した制御信号がローレベルなる。

【００９１】

また、ケース＜１＞になった場合、制御信号がＨレベル（ハイレベル）になり、なんらかの要因（温特、周波数、供給電源電圧など）でパネル特性が悪化してきて、（たとえば、ドレイン・ソース電流Ｉｄｓで表現）領域Ｂに移ってきた場合、ヒステリシス性生成回路２４０により前の出力状態を保持するので制御信号はＨレベルである。

さらに特性が悪化してきて領域Ａに移ってきた場合、遅延信号S23，S24のサンプリングされた結果がローレベルとなり、ヒステリシス性生成回路２４０を通した制御信号Ｓ２４０がローレベルになる。

領域Ａから領域Ｂに再び戻り制御信号は前の状態を保持するのでローレベルである。さらに、領域Ｂから領域Ｃに戻り制御信号はハイレベルとなる。

このようにヒステリシス性を持たせることによって、不安定な制御信号が出力されない(安定な制御信号を出力可能である。表示装置の画質や駆動システムに安定な制御システムを実現できる。

【００９２】

これからは制御対象回路２５０の具体例について述べる。

一般的に消費電力の低減方法の一つとして電圧比較回路を利用して駆動電圧レベルを制御することだが、トランジスタの特性バラツキを検出（検知）できなかったことから幅広い範囲のトランジスタバラツキを考慮しないといけないことによりレグレーション（Regulation）設定値を積極的に低くできない（例として正の電源電圧にしている。もちろん、負電源も同様）という課題がある。

しかし、本実施形態のトランジスタ検出システムを設けることにより標準以上の特性をもつトランジスタに対して積極的に電源電圧を低く設定し、ワースト特性のトランジスタに対して供給電源電圧を高く設定する。

トランジスタ検出システムを用いた例をいくつか示す。

【００９３】

（電圧比較回路　その１）

図２２は、ＤＣ／ＤＣコンバータの電圧比較回路に応用した場合のシステムの第１の構成例を示す図である。

【００９４】

この電圧比較回路３１０は、ＤＣ／ＤＣコンバータ３１１、抵抗分圧回路３１２、電圧比較回路３１３、ＡＮＤゲート３１４、および主回路３１５を有する。

【００９５】

制御信号がＨレベル（前記図２１より引用する。トランジスタ特性が良いことを意味する）のときに電圧比較回路３１０を有効とし、ＤＣ／ＤＣコンバータ３１１の出力電圧VDD2を低減させる。

制御信号がＬレベル（前記図２１より引用する。トランジスタ特性が悪いことを意味する）のときに電圧比較回路を無効させ、ＤＣ／ＤＣコンバータ３１１の出力電圧VDD2を低減させなく、全パワーを出力させる。

【００９６】

（電圧比較回路　その２）

図２３は、ＤＣ／ＤＣコンバータの電圧比較回路に応用した場合のシステムの第２の構

成例を示す図である。

【００９７】

遅延回路列からの出力信号を複数に使用することによりトランジスタの能力レベルを何段に検出することができる。

複数の制御信号（図２３では２つ）ＣＴＬ１、ＣＴＬ２を出力させて、図２２のように電圧比較回路を有効・無効の選択だけではなく、電圧比較回路３１０Ａのレグレーション値（Regulation voltage）を複数に設定することができる。

トランジスタの能力はとても良いときレグレーション値をとても低く設定し、多少良いときレグレーション値を多少低く設定し、多少悪いときレグレーション値を多少高く設定する等、様々な設定ができる。

【００９８】

（アナログバッファ　Analog buffer）

図２４は、アナログバッファ（Analog buffer）回路に応用した場合のシステムの構成例を示す図である。

【００９９】

図２４のアナログバッファ（Analog buffer）回路３２０は、スイッチ３２１～３２３、Ｎチャネルトランジスタ３２４、およびキャパシタ３２５を有する。

【０１００】

ポリシリコンプロセスまたはアモルファスシリコンプロセスにおいてバラツキが大きい欠点がある。

このようなバラツキによる影響を少なくするため、定電流源においては、比較的大きな電流を流すように設計されるようになる。

しかし、このようにするとその分、消費電力が大きくなる欠点がある。

そこで本実施形態のトランジスタ能力検出システムを用い、制御信号をもらうことによりトランジスタ能力に応じて定電流源の能力を調整できる。

【０１０１】

たとえば、図２４でトランジスタ能力検出システムからの出力制御信号をタイミング生成回路３３０に入力させ、定電流源の制御パルスxNcnt1, xNcnt3を出力させる。

トランジスタの状態が良い場合、定電流源の能力を落としスイッチ３２１のスイッチＳＷ１１１を有効、スイッチＳＷ１１２を無効になるようにする。

トランジスタの状態が悪い場合、定電流源の能力を全パワー出力させ、スイッチＳＷ１１１も有効、スイッチＳＷ１１２も有効になるようにする。

【０１０２】

（データ処理回路）

図２５は、データ処理回路に応用した場合のシステムの構成例を示す図である。

【０１０３】

図２５のデータ処理回路３５０(図１３のデータ処理回路１０６等に相当)は、複数のディレイバッファＤＢ、スイッチ３５１，３５２、シフトレジスタ３５３、およびラッチ回路３５４を有する。ラッチ回路３５４は、インバータ３５４１，３５４２、スイッチ４５４４，３５４４を有する。

【０１０４】

ポリシリコンプロセスまたはアモルファスシリコンプロセスにおいてバラツキが大きい欠点がある。

そのため、基準クロックから作成されるサンプリングパルスとサンプリングしたいデータの位相関係を正しく得ることが困難である。

仮にサンプリングしたいデータの位相が基準クロックから生成されたサンプリングパルスより早い場合、データ系列にディレイバッファを配置して、所望のデータを遅らせる。

しかし、トランジスタのバラツキによって得られるディレイ量が異なる。ディレイバッファ個数を調整することが困難である。調整ミスになるとマスク修正を行うことになり、無駄なコスト増に繋がる。

また、高周波数になればなるほどバラツキを吸収できない状態になる可能性もある。
ポリシリコンプロセスまたはアモルファスシリコンプロセスは、高周波駆動に適用できるように解決しないといけない課題の一つである。
そこで、本実施形態のトランジスタの能力検出システムを導入することにより、トランジスタの能力がよいときにディレイ量が少ないため、ディレイブッファ数を多くする。トランジスタの能力が悪いときにディレイ量が大きいため、ディレイブッファ数を少なくする。

【０１０５】

たとえば、図２５に示すように、トランジスタの能力検出システムからの出力制御信号がタイミング生成回路３３０に入力させ、ディレイブッファ数制御パルスS121が出力される。トランジスタの能力がよいときにディレイ量が少ないため、スイッチ３５１をオフ、スイッチ３５２をオンにし、ディレイブッファ数を多くする。
トランジスタの能力が悪いときにディレイ量が大きいため、スイッチ３５１をオン、スイッチ３５２をオフにし、ディレイブッファ数を少なくする。
データとシフトレジスタ３５３で生成されたサンプリングパルスとの位相関係について説明してきたが、これに限らずデータとマスタークロックと直接にサンプリングしてもよいし、他のロジックで組み合わせてもよいし、考え方は同じである。

【０１０６】

（基準電圧生成回路）
図２６は、基準電圧生成回路に応用した場合のシステムの構成例を示す図である。

【０１０７】

図２６の基準電圧生成回路３６０は、黒側γ調整回路３６１、白側γ調整回路３６２、基準電圧を生成する抵抗ラダー部３６３を有する。

【０１０８】

たとえば、液晶駆動電源電圧は仕様により定められる範囲内に設定される。標準値の電源電圧で設計される基準電圧生成回路が一般的で、供給電源電圧が異なるとガンマ(γ)特性も変わってしまう。画質向上にむけて解決しないといけない課題の一つである。
このような場合、光学特性センサによって検知して制御パルスを生成することはもちろんできる。トランジスタの能力の変動として検出することも可能なのでここで説明する。

【０１０９】

遅延回路に供給電源電圧を液晶駆動させる電源電圧(VDD1_ref)と同じおよび同じではない（仕様によって変動されないもの。たとえばICのレグレーション電源電圧VDD1Aなど）ものの2系列しておく。
同じトランジスタ特性（Vth）において、液晶駆動させる電源電圧(VDD1_ref)が低くなると、液晶駆動させる電源電圧(VDD1_ref)と同じく電源電圧を使用する遅延回路におけるディレイ量が大きくなる。
一方、液晶駆動させる電源電圧(VDD1_ref)と同じではない電源電圧VDD1Aを使用する遅延回路おけるディレイ量が変わらない。このディレイ量の差が設計される期間以上あれば、適切なガンマが得られるようにγ制御信号ＣＴＬ１１、ＣＴＬ１２を出力する。このように、常時適切なガンマを得られることができる。

【０１１０】

図２７は、図２６の黒側γ調整回路と白側γ調整回路の詳細例を示す図である。
図２６のγ制御信号ＣＴＬ１１は、図２７では信号GS1,GS2となり、γ制御信号ＣＴＬ１２は、図２７では信号GS3,GS4となる。

【０１１１】

上述の実施形態においては、ポリシリコンプロセスまたはアモルファスシリコンプロセスを用いた場合について説明してきたが、これに限りなく欠陥のあるシリコンを用いた回路全般に対して適用可能である。
また、本発明は、絶縁基板上に駆動回路を一体に形成したTFT液晶表示装置、CGS(Continuous Grain Silicon)液晶など、各種の液晶表示装置、さらにはEL（Electro Luminesc

ence）表示装置等、種々のフラットディスプレイ装置に広く適用することができる。

【０１１２】

以上説明したように発明効果として、プロセスによる大きなバラツキを吸収して消費電力を積極的に低減でき、バラツキを吸収することができる。そのため、必要以上のトランジスタサイズがなくなり、狭額縁化データ処理回路に適用されるとディレイブッファ修正するための無駄なマスク代がなくなる。短期間設計、コストダウンを実現することが可能となる。

データ処理回路に適用されるとサンプリングのマージンが拡大されるので高速周波数駆動になればなるほど必要な技術であり、歩留まり向上を図ることが可能である。

基準電圧生成回路に適用されると、常時に適切なガンマが得られ、画質向上に貢献できる。

回路構成が簡単のため、額縁に影響少ない。また、長い周期の検出パルスにしておけば消費電力は非常に少ない。

【０１１３】

またさらに、上記実施形態に係るアクティブマトリクス型液晶表示装置に代表されるアクティブマトリクス型表示装置は、パーソナルコンピュータ、ワードプロセッサ等のＯＡ機器やテレビジョン受像機などのディスプレイとして用いられる外、特に装置本体の小型化、コンパクト化が進められている携帯電話機やＰＤＡなどの電子機器の表示部として用いて好適なものである。

【０１１４】

図２８は、本発明が適用される電子機器、たとえば携帯電話機の構成の概略を示す外観図である。

【０１１５】

本例に係る携帯電話機４００は、装置筐体４１０の前面側に、スピーカ部４２０、表示部４３０、操作部４４０、およびマイク部４５０が上部側から順に配置された構成となっている。

このような構成の携帯電話機において、表示部４３０にはたとえば液晶表示装置が用いられ、この液晶表示装置として、先述した実施形態に係るアクティブマトリクス型液晶表示装置が用いられる。

【０１１６】

このように、携帯電話機などの電子機器（携帯端末）において、先述した実施形態に係るアクティブマトリクス型液晶表示装置を表示部４３０として用いることにより、狭ピッチ化が可能で、狭額縁化を実現でき、また表示装置の低消費電力化を図ることができ、よって端末本体の低消費電力化が可能になる。

【図面の簡単な説明】

【０１１７】

【図１】典型的なＣＭＯＳインバータ回路を２段に繋いだバッファ回路（ディレイバッファ回路）を示す図である。

【図２】ポリシリコンプロセスで作製されたディレイバッファ回路のディレイ量とNch Tr、Pch Trの特性との関係を示す図である。

【図３】非特許文献１に記載された回路を示す図である。

【図４】特許文献１に紹介された単一チャネルトランジスタ(Pch Tr)を用いたブートストラップ型インバータ回路を示す図である。

【図５】図４の回路における入力信号IN、リファレンス信号REF1、REF2、ノードNの電位および出力信号OUTの各レベルおよびタイミング関係を示す図である。

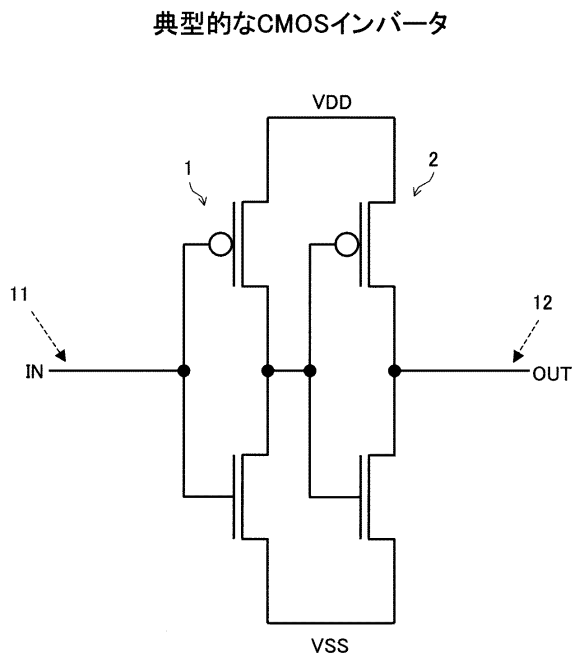
【図６】消費電力を低減させる駆動システムの構成例を示す図である。

【図７】本発明の第１の実施形態に係るPch　Trの特性だけに依存してディレイするディレインバータ回路を用いたディレイバッファ回路を示す図である。

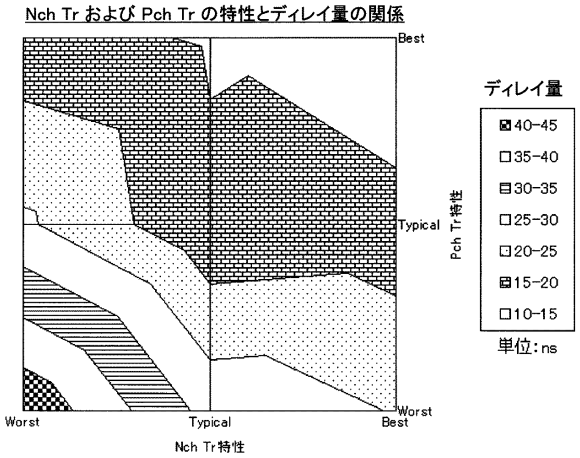
【図８】図７で示されるディレイバッファ回路の動作を説明するためのタイミングチャートを示す図である。

【図９】本発明の第２の実施形態に係るNch Trの特性だけに依存してディレイするディレイバッファ回路を示す図である。
【図１０】図９で示されるディレイバッファ回路の動作を説明するためのタイミングチャートを示す図である。
【図１１】本発明の実施形態に係るディレイバッファ回路の変形例であって、Pch Trの特性もNch Trの特性もそれぞれ独自に依存してディレイするディレイバッファ回路を示す図である。
【図１２】図１１で示されるディレイバッファ回路の動作を説明するためのタイミングチャートを示す図である。
【図１３】駆動回路一体型表示装置の概略構成を示す図である。
【図１４】本発明の実施形態に係る半導体制御回路の構成を示すブロック図である。
【図１５】図１４の半導体制御回路のタイミングチャートを示す図である。
【図１６】Ｐチャネル、Ｎチャネルトランジスタ特性を別々に検出して制御する場合の構成例を示す回路図である。
【図１７】Ｎチャネルトランジスタ特性に依存してディレイ量を生成するディレイバッファ列（ディレイバッファ数：ｍ個とする）を示す図である。
【図１８】Ｐチャネルトランジスタ特性に依存してディレイ量を生成するディレイバッファ列（ディレイバッファ数：ｎ個とする）を示す図である。
【図１９】本実施形態に係るヒステリシス性生成回路の構成例を示す図である。
【図２０】図１９のヒステリシス性生成回路の真理値表示す図である。
【図２１】トランジスタ検出システムの出力特性の一例を示す図である。
【図２２】ＤＣ／ＤＣコンバータの電圧比較回路に応用した場合のシステムの第１の構成例を示す図である。
【図２３】ＤＣ／ＤＣコンバータの電圧比較回路に応用した場合のシステムの第２の構成例を示す図である。
【図２４】アナログバッファ（Analog buffer）回路に応用した場合のシステムの構成例を示す図である。
【図２５】データ処理回路に応用した場合のシステムの構成例を示す図である。
【図２６】基準電圧生成回路に応用した場合のシステムの構成例を示す図である。
【図２７】図２６の黒側γ調整回路と白側γ調整回路の詳細例を示す図である。
【図２８】本発明の実施形態に係る電子機器である携帯電話機の構成の概略を示す外観図である。
【符号の説明】
【０１１８】
４０・・・ディレイバッファ回路、Qp41～Qp44・・・PチャネルMOSトランジスタ、Qn41～Qn42・・・NチャネルMOSトランジスタ、INV４１・・・ディレインバータ回路INV４１、５０・・・ディレイバッファ回路、５０は、Qn51～Qn54・・・NチャネルMOSトランジスタ、Qp51～Qp52・・・PチャネルMOSトランジスタ、１００・・・表示装置、１０１・・・明絶縁基板、１０２・・・有効表示部、１０３・・・水平駆動回路、１０４・・・垂直駆動回路（Ｖドライバ）、１０５・・・基準電圧発生回路、１０６・・・データ処理回路、２００・・・半導体制御回路、２１０・・・タイミング生成回路、２２０・・・遅延回路、２３０・・・サンプリング回路、２４０・・・ヒステリシス性生成回路、２５０・・・制御対象回路。

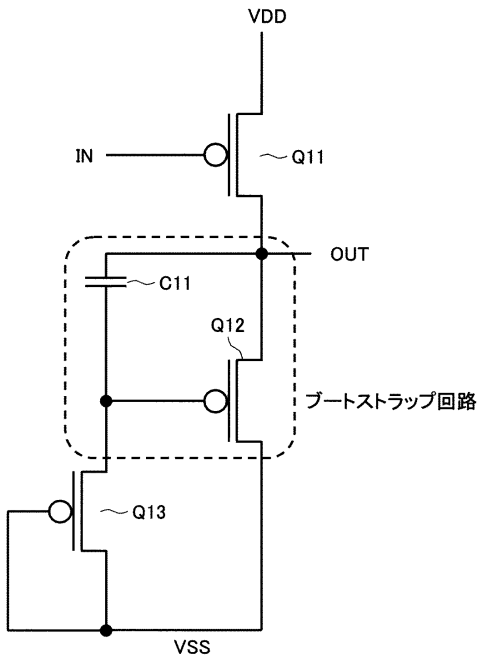
【図１】


典型的なCMOSインバータ
VDD
1
2
11
12
IN
OUT
VSS

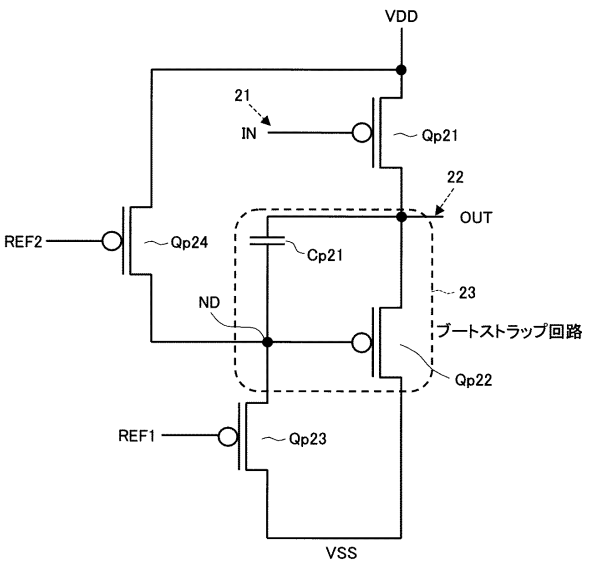
【図２】


Nch Tr および Pch Tr の特性とディレイ量の関係
Best
Typical
Worst
Pch Tr特性
Worst
Typical
Best
Nch Tr特性
ディレイ量
40-45
35-40
30-35
25-30
20-25
15-20
10-15
単位:ns

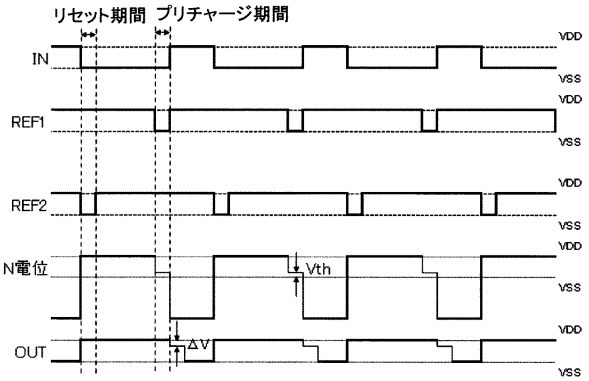
【図３】


VDD
IN
Q11
OUT
C11
Q12
ブートストラップ回路
Q13
VSS

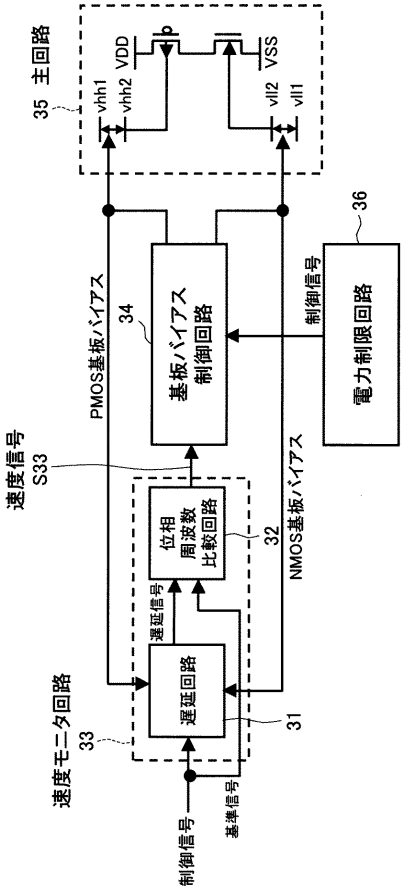
【図４】


VDD
21
IN
Qp21
22
OUT
REF2
Qp24
Cp21
23
ND
ブートストラップ回路
Qp22
REF1
Qp23
VSS

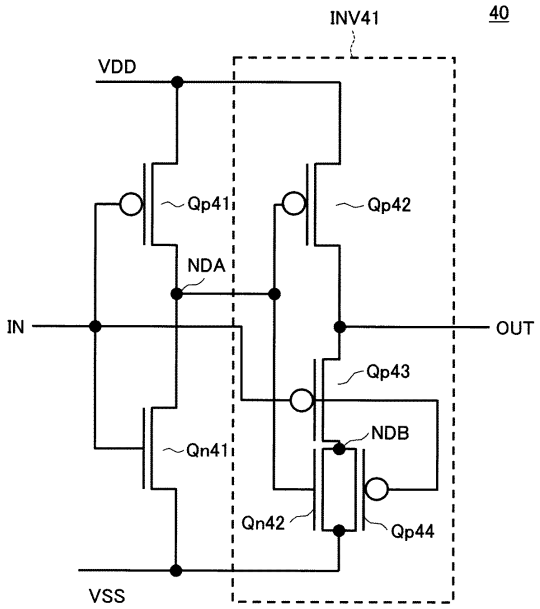
【図５】


リセット期間
プリチャージ期間
IN
REF1
REF2
N電位
OUT
VDD
VSS
Vth
ΔV

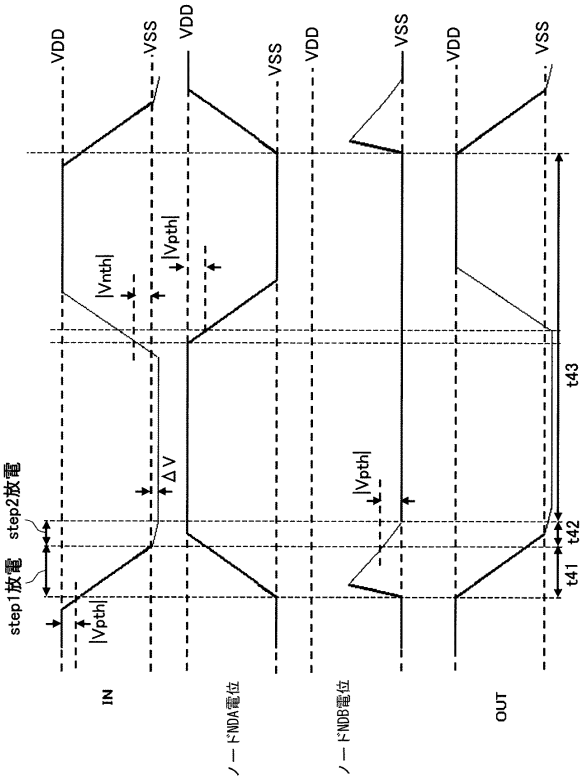
【図６】


35 主回路
vhh1
vhh2
VDD
VSS
vll2
vll1
36
制御信号
電力制限回路
PMOS基板バイアス
34
基板バイアス制御回路
速度信号 S33
位相周波数比較回路
32
NMOS基板バイアス
遅延信号
遅延回路
31
速度モニタ回路
33
制御信号
基準信号

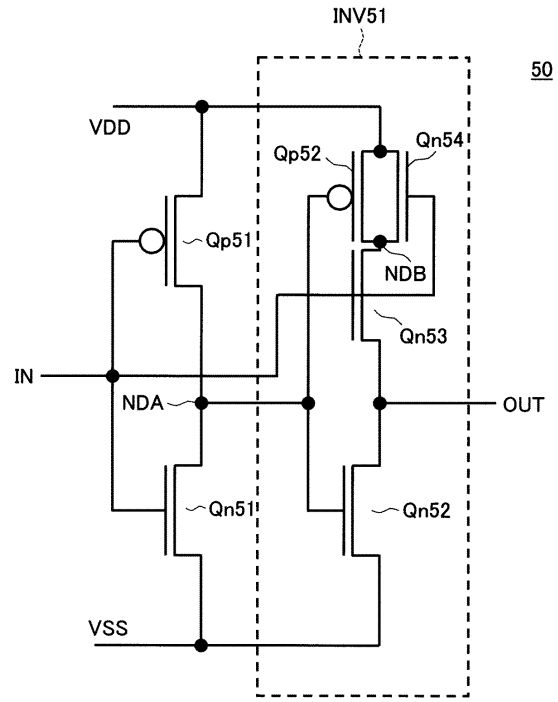
【図７】


INV41
40
VDD
Qp41
Qp42
NDA
IN
OUT
Qp43
NDB
Qn41
Qn42
Qp44
VSS

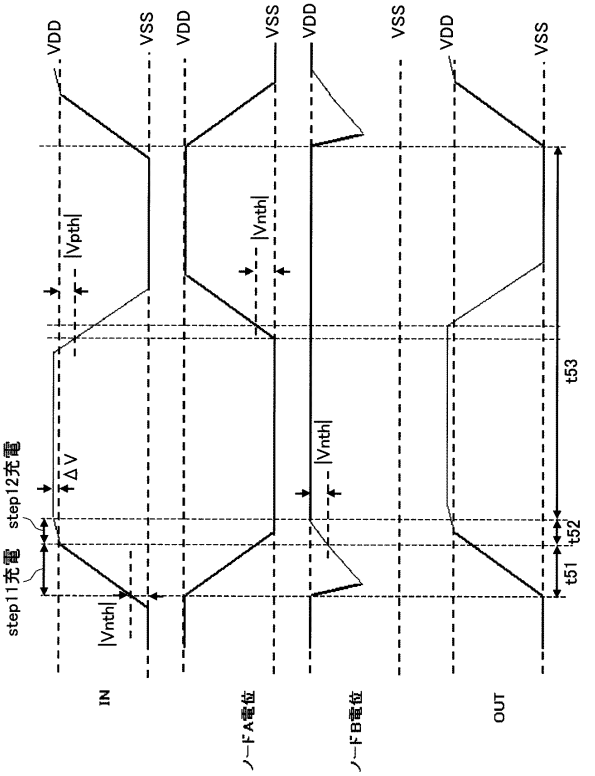
【図８】


VDD
VSS
|Vnth|
|Vpth|
ΔV
step2放電
step1放電
t43
t42
t41
IN
ノードNDA電位
ノードNDB電位
OUT

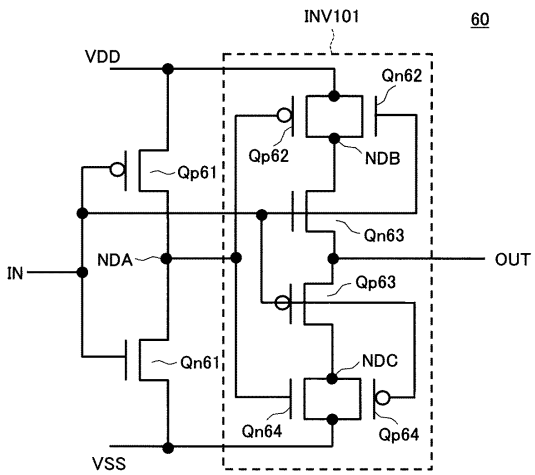
【図９】



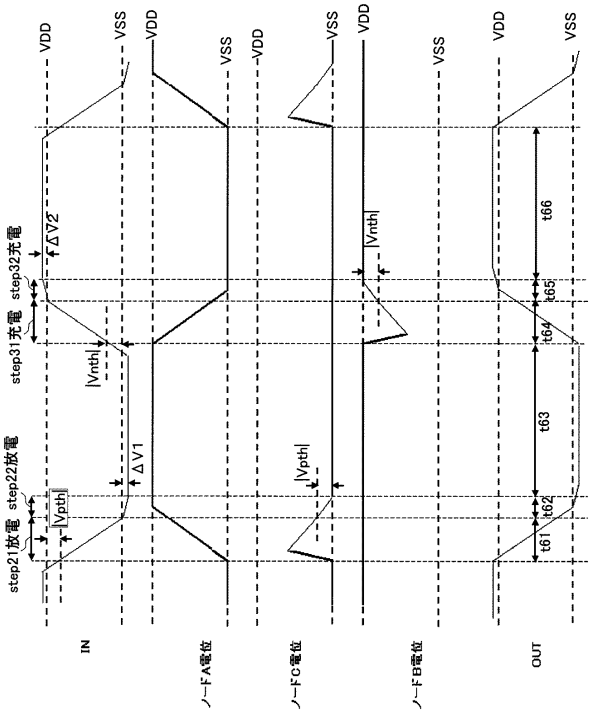
【図１０】



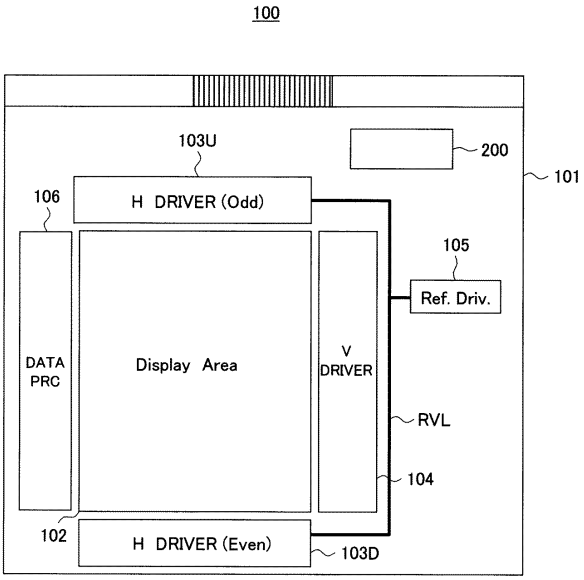
【図１１】



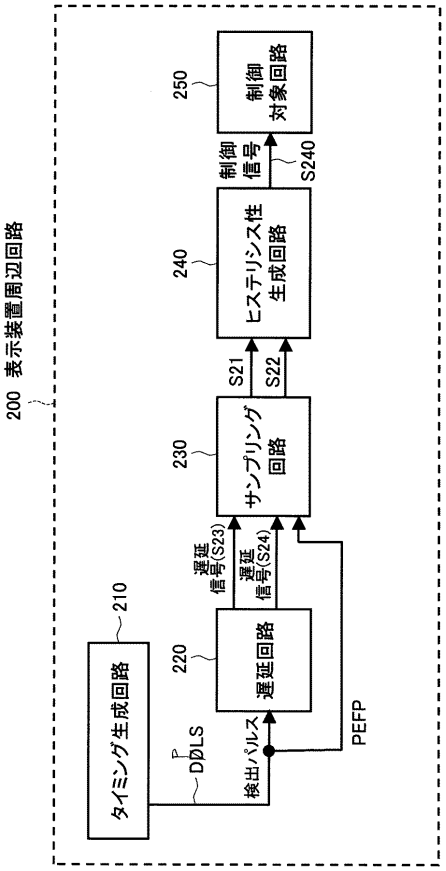
【図１２】



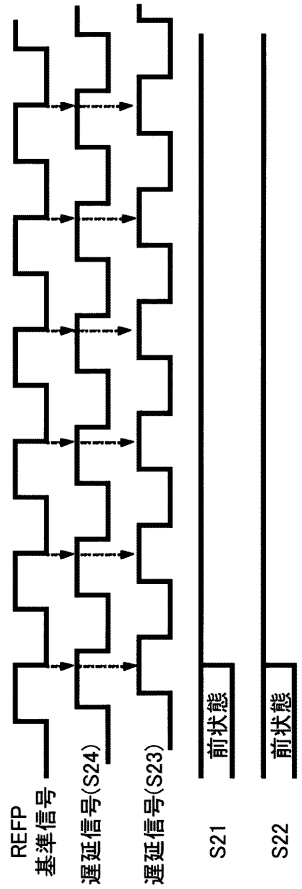
【図１３】



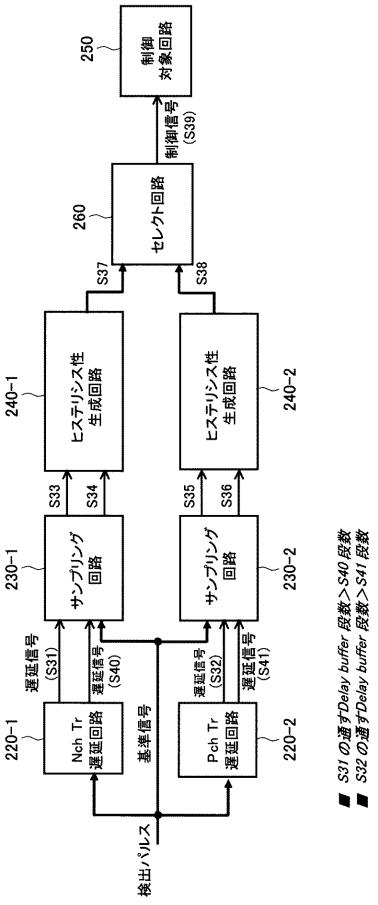
【図１４】



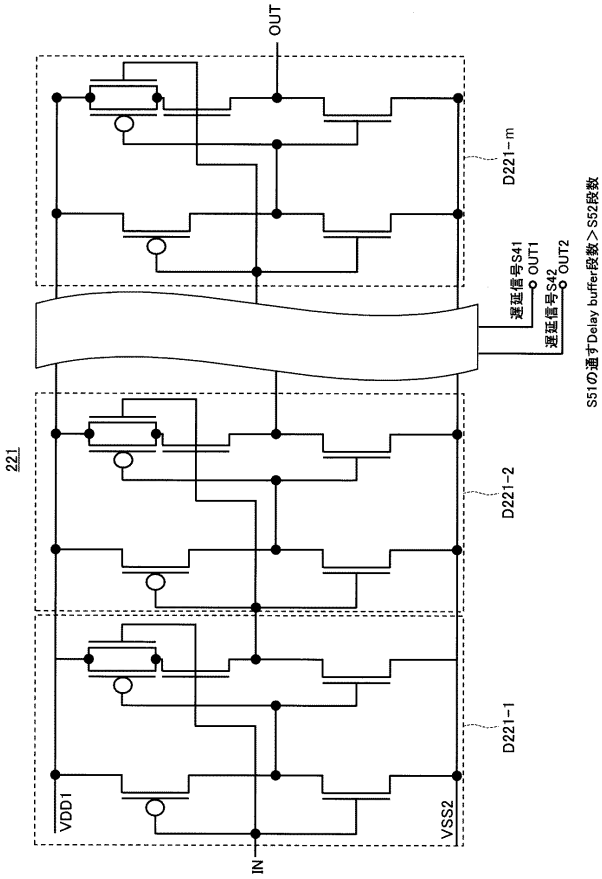
【図１５】



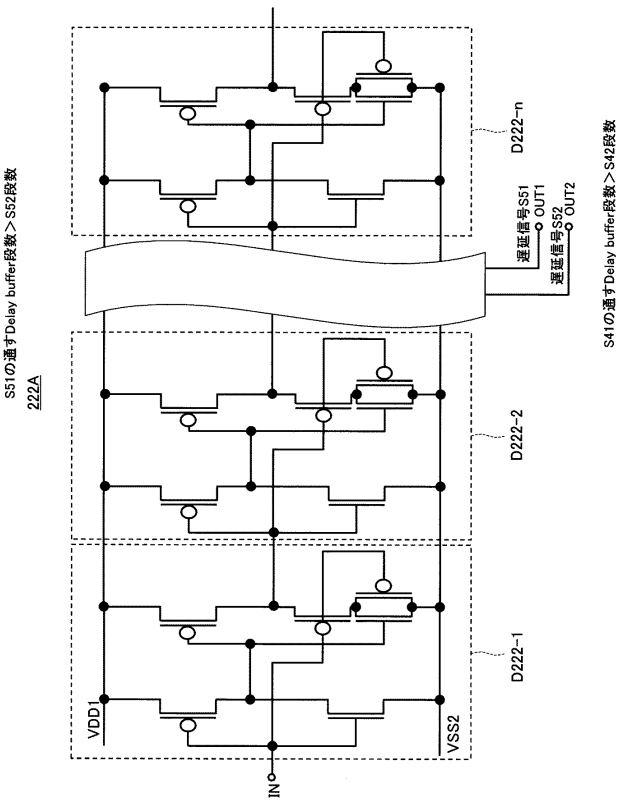
【図１６】



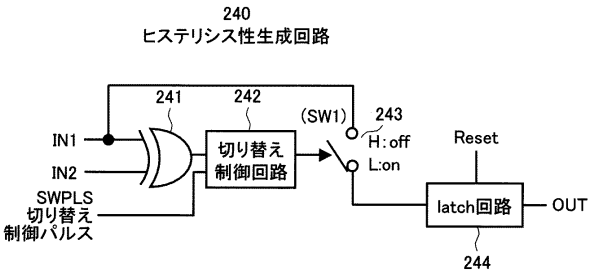
【図１７】



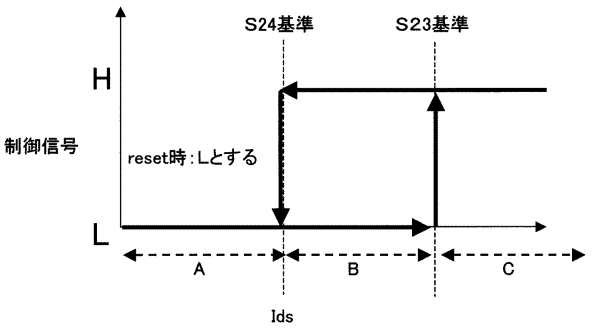
【図１８】



【図１９】



【図２１】



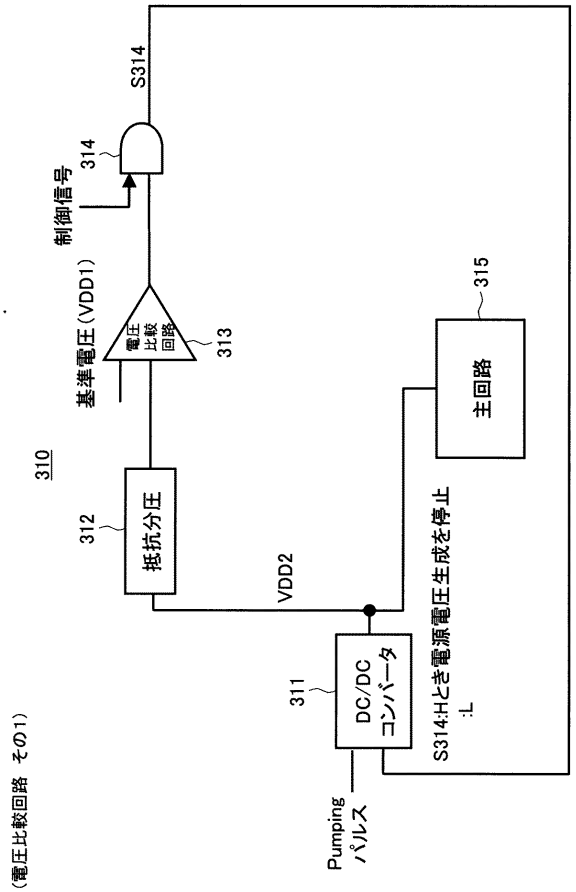
S23の通すDelay buffer段数＞S24段数

【図２０】

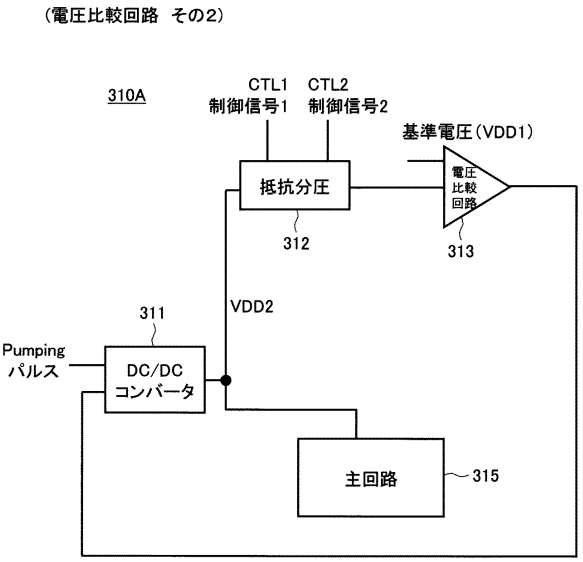
ヒステリシス性生成回路の真理値表

IN1	IN2	OUT
H	L	前の状態ラッチ
L	H	前の状態ラッチ
L	L	L
H	H	H

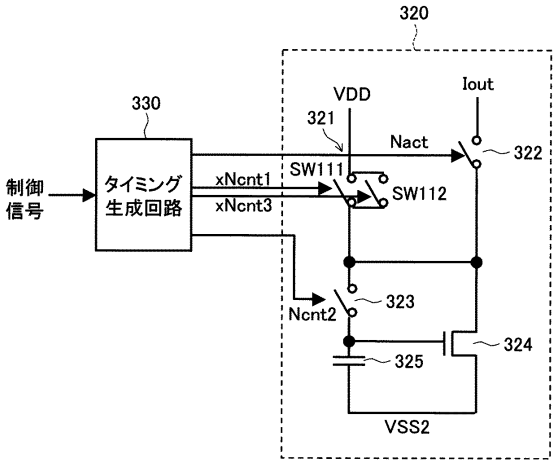
【図２２】



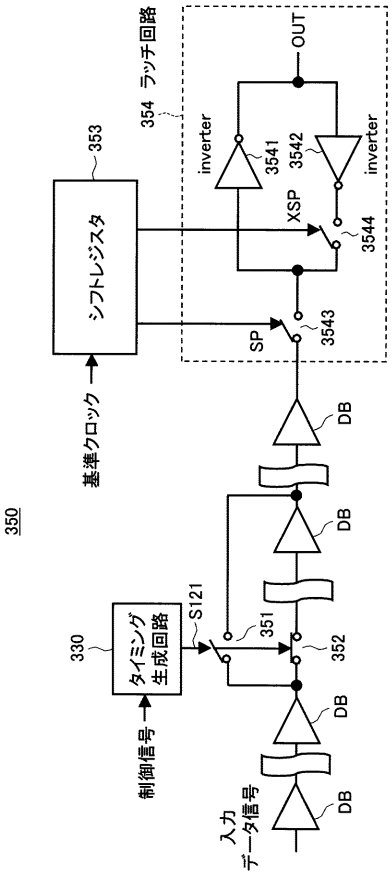
【図２３】



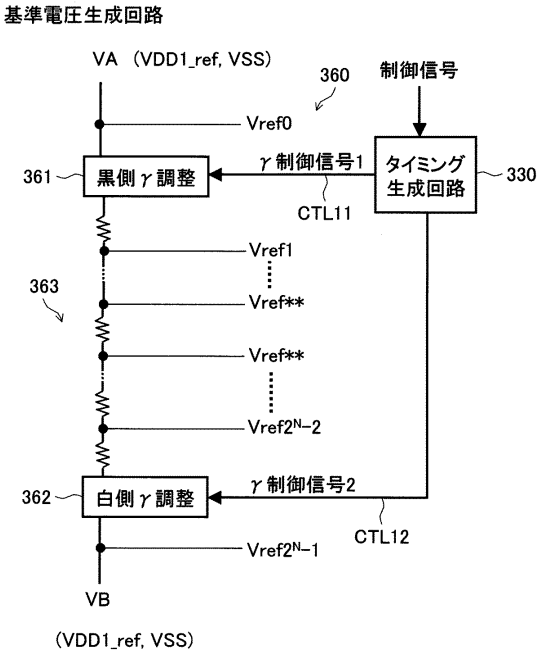
【図２４】



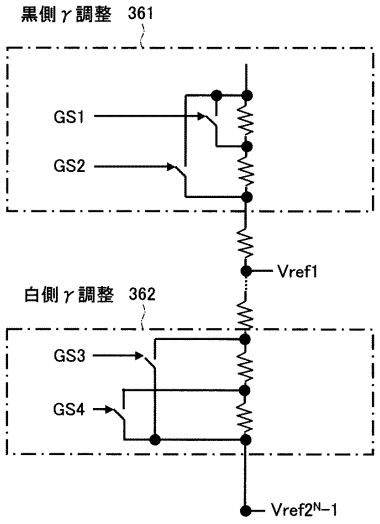
【図２５】



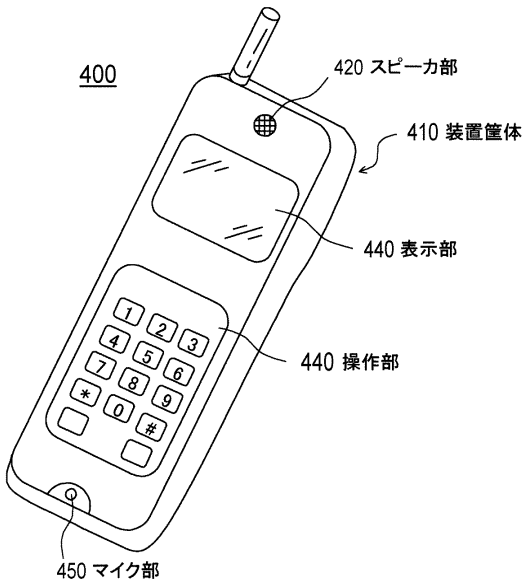
【図２６】


基準電圧生成回路
VA (VDD1_ref, VSS)
360
制御信号
Vref0
361
黒側γ調整
γ制御信号1
タイミング
生成回路
330
CTL11
Vref1
363
Vref**
Vref**
Vref2N-2
362
白側γ調整
γ制御信号2
CTL12
Vref2N-1
VB
(VDD1_ref, VSS)

【図２７】


黒側γ調整 361
GS1
GS2
Vref1
白側γ調整 362
GS3
GS4
Vref2N-1

【図２８】


400
420 スピーカ部
410 装置筐体
440 表示部
440 操作部
450 マイク部

フロントページの続き

(51)Int.Cl. FI
G09G 3/20 680G
G02F 1/133 505
H03K 19/094 B

審査官 森口 忠紀

(56)参考文献 特開平09－257839（JP, A）
特開平07－142990（JP, A）
特開2003－051741（JP, A）

(58)調査した分野(Int.Cl., DB名)
G09G 3／00－3／38
G02F 1／133, 505－1／133, 580
H03K 19／00－19／096