(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3647069号
(P3647069)
(45)発行日　平成17年5月11日(2005.5.11)　(24)登録日　平成17年2月18日(2005.2.18)

(51)Int.Cl.[7]	F I		
G11B 20/10	G11B	20/10	341B
G11B 5/09	G11B	5/09	341
G11B 15/467	G11B	15/467	F

請求項の数 13　(全 13 頁)

(21)出願番号　特願平6-277832
(22)出願日　平成6年11月11日(1994.11.11)
(65)公開番号　特開平8-147892
(43)公開日　平成8年6月7日(1996.6.7)
審査請求日　平成13年10月18日(2001.10.18)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100090538
弁理士　西山　恵三
(74)代理人　100096965
弁理士　内尾　裕一
(72)発明者　田中　康之
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内

審査官　小林　大介

(56)参考文献　特開平７－１１４７５９（ＪＰ，Ａ）
特開平４－２１６３５１（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】デジタル信号再生装置

(57)【特許請求の範囲】
【請求項１】
パイロット信号成分が重畳された信号を記録媒体から再生する再生手段と、
前記再生手段により再生された信号がとるべき複数の振幅値を示す複数の所定値に対する、前記再生手段により再生された信号の大小を示すバイナリデータを形成する形成手段と、
前記バイナリデータ中の前記パイロット信号成分を検出する検出手段とを備えるデジタル信号再生装置。
【請求項２】
前記再生手段により再生された信号を複数ビットのデジタル信号に変換する変換手段を備え、前記形成手段は前記複数ビットのデジタル信号と前記複数の所定値中の１つとの差を示すデジタル信号の最上位ビットを抽出することを特徴とする請求項１記載のデジタル信号再生装置。
【請求項３】
前記複数の所定値がそれぞれ２のべき乗であることを特徴とする請求項２記載のデジタル信号再生装置。
【請求項４】
前記再生手段により再生された信号を複数ビットのデジタル信号に変換する変換手段を備え、前記形成手段は前記複数ビットのデジタル信号と前記複数の所定値中の１つとの差を示すデジタル信号の上位から２番目のビットを抽出することを特徴とする請求項１記載の

デジタル信号再生装置。
【請求項５】
前記再生手段により再生された信号が前記複数の振幅値をとるようにその振幅を制御するＡＧＣ回路を備えたことを特徴とする請求項１から請求項４のいずれかに記載のデジタル信号再生装置。
【請求項６】
前記ＡＧＣ回路から出力された信号を複数ビットのデジタル信号に変換する変化手段を備え、前記ＡＧＣ回路は前記複数ビットのデジタル信号から前記再生手段により再生された信号の振幅を検出し、この検出された振幅に応じて前記再生手段により再生された信号の振幅を制御することを特徴とする請求項５記載のデジタル信号再生装置。
【請求項７】
前記再生手段により再生された信号に位相ロックしたクロックを発生するＰＬＬ回路を備え、前記形成手段と前記検出手段は前記クロックによって動作することを特徴とする請求項１記載のデジタル信号再生装置。
【請求項８】
前記再生手段により再生された信号に位相ロックしたクロックを発生するＰＬＬ回路と、前記クロックに応じて、前記再生手段により再生された信号を複数ビットのデジタル信号に変換する変換手段とを備え、
前記ＰＬＬ回路は前記再生手段により再生された信号の位相情報を前記複数ビットのデジタル信号から検出し、この位相情報に応じて前記クロックを生成することを特徴とする請求項１記載のデジタル信号再生装置。
【請求項９】
前記検出手段により検出されたパイロット信号を用いて前記記録媒体と前記再生手段との相対位置を制御する制御手段を備えたことを特徴とする請求項１から請求項８のいずれかに記載のデジタル信号再生装置。
【請求項１０】
前記再生手段は前記記録媒体上に並列して形成されたトラックを順次トレースする回転ヘッドを含み、前記検出手段は前記回転ヘッドがトレースしているトラックの両隣接トラックからのパイロット信号成分を検出し、前記制御手段はこの両隣接トラックからのパイロット信号成分を比較することにより前記相対位置を制御することを特徴とする請求項９記載のデジタル信号再生装置。
【請求項１１】
前記検出手段は前記バイナリデータをプレフィルタを介してサブサンプルし、前記サブサンプルされたバイナリデータから前記パイロット信号成分を検出することを特徴とする請求項１から請求項１０のいずれかに記載のデジタル信号再生装置。
【請求項１２】
記録媒体からデジタル情報を示す信号を再生する再生手段と、
前記再生手段により再生された信号の振幅を制御する振幅制御手段と、
前記振幅制御手段による目標振幅値に対する、前記再生手段により再生された信号の大小を示すバイナリデータを形成する形成手段と、
前記バイナリデータ中の前記パイロット信号成分を検出する検出手段とを備えるデジタル信号再生装置。
【請求項１３】
パイロット信号成分が重畳された信号を記録媒体から再生する再生手段と、
前記再生手段により再生された信号を複数ビットのデジタル信号に変換するＡ／Ｄ変換器と、
前記複数ビットのデジタル信号が供給され、前記再生手段により再生された信号がとるべき複数の振幅値を示す複数の所定値に対する、前記デジタル信号の大小を示す１ビットのバイナリデータを形成するデータ整形回路と、
前記バイナリデータから前記パイロット信号成分を検出し、この検出されたパイロット信

号を用いて前記記録媒体と前記再生手段との相対位置を制御するためのトラッキング誤差信号を生成するＡＴＦ回路とを備えるデジタル信号再生装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明はデジタル信号再生装置に関し、特に、再生信号中の所定のパイロット信号成分を検出する装置に関するものである。

【０００２】

【従来の技術】

近年、磁気記録再生技術の進歩、及び、磁気記録媒体の進歩等により、小型の磁気テープや磁気ディスクに対して大量のデジタル情報を記録することが可能となってきた。このように高密度記録を行う場合には、記録媒体上の記録トラックのピッチはますます小さくなってきており、このような小さなピッチのトラックを再生ヘッドが正確にトレースする様にする技術、即ち、トラッキング制御はこの種の装置において重要な技術課題である。

【０００３】

そこで、トラックに記録するデジタル信号に対して、トラッキング制御用のパイロット信号成分を重畳するべくデジタル変調を施す技術が提案されている。すなわち、記録するデジタルデータに冗長ビットを設け、該冗長ビットを適宜、１もしくは０に設定することで、所定周波数のパイロット信号成分（例えばｆ１、ｆ２）を重畳する。図１０はデジタル信号に重畳されたパイロット信号を検出して、トラッキング制御を行うＶＴＲの再生系回路の概略構成を示すブロック図である。

【０００４】

回転ヘッドドラム１には磁気テープ３が１８０°以上の角範囲に亙って巻装されており、互いに１８０°の位相差をもって回転する２つの回転ヘッドＨＡ、ＨＢによって磁気テープ上に形成された多数のトラックが順次再生されることになる。ヘッドＨＡ、ＨＢの出力は再生アンプ５、７によって増幅され、スイッチ１３に入力される。

【０００５】

ドラム１の回転位相はＰＧヘッド９によって検出され、検出された回転位相検出信号（ＰＧ）に応じて、ヘッドスイッチング回路（ＨＳＷ回路）１１にてヘッドスイッチングパルス（ＨＳＷ）が形成される。図１１は磁気テープ３上の記録パターンを示す図、図１２は図１０各部の波形を示すタイミングチャートであり、図１２に示すようにＨＳＷ回路１１から矩形波のＨＳＷが得られる。

【０００６】

スイッチ１３はＨＳＷに応じて動作し、磁気テープ３上をトレースしている側のヘッドの出力を後段の回路に出力する。

【０００７】

ここで、スイッチ１３から出力される信号のエンベロープ波形は図１２に示すごとくなるが、図示の如きパイロット信号成分を含んでいる。図１１においてｆ１、ｆ２で示されるトラックは夫々所定周波数ｆ１、ｆ２のパイロット信号成分が重畳されているという意味であり、ｆ０はいずれのパイロット信号ｆ１、ｆ２も重畳されておらず、ｆ１、ｆ２成分が減衰されていることを示す。従って、スイッチ１３から出力される信号中に主に含まれるパイロット信号成分は図１２に示すようになる。

【０００８】

スイッチ１３の出力は再生信号処理回路１５に供給され、ここでもとのデジタル情報が検出され、誤り訂正、テータの復号、等の処理が施され、元のデジタルビデオ信号を復元して、再生ビデオ信号を出力端子１７に出力する。

【０００９】

一方、スイッチ１３の出力は帯域通過フィルタ（ＢＰＦ）２１、２３に入力され、前述のｆ１、ｆ２のパイロット信号成分が検出される。トラッキング制御はｆ０で示されたトラックを再生している際に、再生信号中にその両隣接トラックから漏れ込んだｆ１成分とｆ

２成分を比較し、これら各成分の比率が一定（通常１：１）となる様に磁気テープ３の搬送量を制御することによって達成される。

【００１０】

ＢＰＦ２１、２３にて抽出されたｆ１、ｆ２成分は、夫々スイッチ２５、２７に入力される。ここで、ｆ１、ｆ２の量成分が重畳されたトラックのｆ０で示されるトラックに対する向きは、２トラックごとに反転するので、ＨＳＷを１／２分周期１９にて分周した信号によってスイッチ２５、２７を２トラック周期で切り換えることで、検波回路２９、３１に夫々現在トレースしているトラック（ｆ０）に対して所定の向きのトラックから漏れ込んだパイロット信号成分が供給される様にしている。１／２分周期１９の出力も図１２に示している。

【００１１】

検波回路２９、３１においては入力された信号を検波することで電圧の大きさに変え減算回路３３に供給する。減算回路３３は両隣接トラックからの漏洩量を比較し、トラッキング誤差信号としてスイッチ３５に入力する。スイッチ３５の開閉タイミングは、図１２のＨＳＷがハイレベルの時にはｆ０で示されるトラックを再生中であるので、スイッチ３５を開閉し、図１２のＨＳＷがローレベルの時にはｆ１もしくはｆ２で示されるトラックを再生中であるので、スイッチ３５を解放して、その直前の電圧をホールドする。

【００１２】

このスイッチ３５の出力はループフィルタ３７において平滑化され、トラッキングエラ信号として加算回路３９に入力される。キャプスタンモータ４７には周波数発生器（以下ＦＧヘッドと称する）４５が取り付けられており、キャプスタンモータ４７の回転数に比例した周波数のパルスを出力する。ＦＧヘッド４５の出力する周波数信号（キャプスタンＦＧ）は速度ループサーボ回路４１に入力され、キャプスタンの回転数を所望の回転数にするための速度制限信号が形成される。

【００１３】

加算回路３９は上記トラッキングエラー信号とこの速度制御信号を加算し、最終的なキャプスタンモータの制御電圧としてモータドライバ４３に印加される。このモータドライバ４３によりキャプスタンモータ４７が駆動されることによって、磁気テープ３はその長手方向に搬送され、各ヘッドＨＡ、ＨＢが磁気テープ３上の各トラックを正しくトレースする様にされる。

【００１４】

【発明が解決しようとしている課題】

しかしながら、上述の例では、トラッキング制御回路（ＡＴＦ回路）がアナログ回路で構成されており、特にＢＰＦ２１、２３が濾波帯域がかなり低くしかも狭帯域（数１０ｋＨｚ）の帯域濾波器となってしまうので、回路構成が大型化していた。

【００１５】

ここで、このＡＴＦ制御回路をデジタル化することを考える。デジタル信号のクロック周波数（例えば４１．８５ＭＨｚ）と、抽出したいパイロット信号の周波数ｆ１、ｆ２とがかなり離れており、その上ＢＰＦが狭帯域であるので、デジタルフィルタを構成してもそのタップ数が膨大になってしまう。

【００１６】

そこで、デジタルＢＰＦの手前でサブサンプリングを行い、クロック周波数を充分に下げることも考えられるが、そのためにはサブサンプリングを行う前に、折り返し雑音をカットするためにプレフィルタを挿入する必要がある。即ち、サブサンプリングの周波数がf_S'であるとすれば、$f_S'/2$以上の周波数成分を抑圧しておく必要がある。しかしながら、このようにプレフィルタを設けた場合、このプレフィルタ自体のタップ数がかなり大きくなってしまい、ハード規模が大きくなってしまうという問題がある。

【００１７】

斯かる背景下に於て、本発明は回路規模を大きくすることなく、再生信号中に含まれるパイロット信号成分を確実に抽出することのできるデジタル信号再生装置を提供することを

目的とする。
【００１８】
【課題を解決するための手段】
本発明のデジタル信号再生装置においては、パイロット信号成分が重畳された信号を記録媒体から再生する再生手段と、前記再生手段により再生された信号がとるべき複数の振幅値を示す複数の所定値に対する、前記再生手段により再生された信号の大小を示すバイナリデータを形成する形成手段と、前記バイナリデータ中の前記パイロット信号成分を検出する検出手段とを備える構成とした。
【００１９】
上述の如く構成することにより、パイロツト信号成分を検出に不要な成分を効率よく除去することができ、しかもパイロット信号の検出をバイナリデータを処理する回路にて実現できているので、回路規模は著しく小さくなる。
【００２０】
【実施例】
以下、本件発明の実施例について、図面を参照して説明する。
【００２１】
図１は、本件発明を適用したＶＴＲの再生系回路の概略構成を示すブロック図であり、図中、図１０と同一の構成要件については同一番号を付し、詳しい説明は省略する。
【００２２】
各ヘッドＨＡ、ＨＢの出力を増幅した信号を選択的に出力するスイッチ１３の出力は、イコライザ５１に入力される。このイコライザ（等化器）は、リングヘッドの微分特性に従って失われた低域成分とスペーシングロス等によって失われた高域成分とを補償する、いわゆる積分等価を行い、等化後の信号を後段のＡＧＣ回路５０に入力する。
【００２３】
ＡＧＣ回路５０は、アナログ乗算回路５３、振幅検出回路５５、ボリウム６１、減算回路５９及びループフィルタ５７よりなり、ＡＧＣ回路５０の出力が目標の振幅となる様に、アナログ乗算回路５３のゲインが調整される。ＡＧＣ回路５０の出力はＡ／Ｄ変換器６３以降のトラッキング制御回路とＰＬＬ回路７０に入力される。
【００２４】
ＰＬＬ回路７０は、位相検出回路７１、ループフィルタ７３、及び電圧制御発信器（ＶＣＯ）７５により構成され、入力される信号のエッジの位相とＶＣＯ７５の出力クロックのエッジの位相とが一定になる様にフィードバック制御を行うことで入力データ信号に同期したクロックＣＬＫを作り出し、Ａ／Ｄ変換器６３からＤ／Ａ変換器８１に至るデジタルＡＴＦ回路の各部にこのクロックＣＬＫを供給する。
【００２５】
デジタルＡＴＦ回路はＡ／Ｄ変換器６３、データ整形回路６５、低域通過フィルタ（ＬＰＦ）７７、間引き回路７９、ＢＰＦ１２１、１２３、スイッチ１２５、１２７、デジタル検波回路１２９、１３１、減算器１３３、スイッチ１３５、及びＤ／Ａ変換器８１からなり、全体がデジタル回路で構成されており、上述したＰＬＬ回路７０から出力されるクロックＣＬＫによって動作する。
【００２６】
前述の様に積分等化され、ＡＧＣ回路５０にてその振幅が所定の振幅となった再生信号はＡ／Ｄ変換器６３に入力され、デジタル値に変換される。本実施例においては、このＡ／Ｄ変換器６３により８ビットの正負のサイン付きのデジタル値が出力されるものとする。このＡ／Ｄ変換器６３の出力はデータ整形回路６５に入力される。
【００２７】
図２は図１におけるデータ整形回路６５の具体例を示すブロック図である。データ整形回路６５に入力された信号は、前述のＡＧＣ回路５０によってデジタルレベル“１”、“０”が夫々＋Ａと－Ａとに設定される様にその振幅が制御されているものとする。即ち、言い換えれば、この値＋Ａと－Ａは再生信号がとるべき複数の振幅値であり、ＡＧＣ回路の

目標振幅値である。この信号は８ビットのパラレルデータとして比較器２０２及び減算器２０５に入力される。

【００２８】

比較器２０２においては、再生データが上記“１”、“０”のいずれを示すかが検出される。即ち、上記８ビットのパラレルデータが符号付きであるので、本実施例においてはその最上位ビット（ＭＳＢ）を検出してやればよい。これを更に定量的にいうと、比較器２０２において入力された８ビットデータと値０とが比較され、その結果が出力されるということになる。ただ実態としては単に最上位ビット（ＭＳＢ）を抽出しているだけである。

【００２９】

比較器２０２の出力は端子２０３及びデータセレクタ２０４に入力され、端子２０３からの１ビット出力は図１の再生データ復元回路６９に入力され、元のビデオ情報が復元されることになる。復元されたビデオ情報は端子８５から再生ビデオ信号として出力される。

【００３０】

一方、データセレクタは８ビットデータのＭＳＢが“１”の場合には値＋Ａを選択し、“０”の場合には値－Ａを選択する。選択された値は減算器２０５に入力される。減算器２０５においては、入力８ビットデータから値＋Ａもしくは値－Ａを差し引いた値が、比較器２０６に入力される。この比較器２０６は減算器２０５の出力値を０と比較し、その結果を１ビットのバイナリデータとして出力端子２０７に供給する。ここで、この比較器２０６についても０との比較なのでそのＭＳＢを検出することによって結果を得ることができる。

【００３１】

ここで、Ａを２のべき乗に設定した場合には上記構成を簡略化することが可能である。即ち、上記図２の構成全体を単に特定のビットを取り出したり、特定のビットを取り出してその簡単な論理演算により結果を得ることができる。例えば、Ａを６４とした場合には、ＭＳＢはデジタル値を示し、その隣のビットに上記比較回路２０６の出力が得られる。

【００３２】

このデータ整形回路６５の出力はＬＰＦ７７に入力される。ＬＰＦ７７は後段の回路を１／１０程度のクロック周波数で動作させるためのプレフィルタであり、入力が１ビツトデータであるのでアップダウンカウンタで構成するのが最適である。ＬＰＦ７７の出力は間引き回路７９において１／１０程度にダウンサンプルされ、ＢＰＦ１２１及びＢＰＦ１２３に入力される。ＢＰＦ１２１、１２３は夫々ｆ１、ｆ２を抽出するためのデジタルフィルタである。

【００３３】

このＢＰＦ１２１、１２３の構成としては、ＦＩＲ（有限インパルスレスポンス型）やＩＩＲ（無限インパルスレスポンス型）が考えられるが、いずれの場合においても同じｆ１（例えば４６５ｋＨｚ）やｆ２（６９７．５ｋＨｚ）中心で同じ帯域幅を抜き出すことを考えた場合に、クロック周波数が何十倍も離れ過ぎない方が回路構成を小さくできる。即ち、元の再生データのクロック周波数が４１．８５ＭＨｚである場合、このクロックを用いてＢＰＦを構成するよりは４．１８５ＭＨｚのクロックでこれらのＢＰＦを駆動する方がＢＰＦの回路規模を大幅に小さくできる。

【００３４】

上記実施例の構成により、ハードウエアの量を大幅に小さくできるポイントは、簡単なロジック回路等のデータ整形回路を追加することによりデータを１ビットとし、サブサンプル用のプレフィルタの入力を１ビットとし、プレフィルタを簡単なカウンタ構成にて実現する点と、更には、クロックの周波数を下げたことにより１ビット入力のＢＰＦの構成を更に簡単にした点などがある。

【００３５】

図３は、図１の回路における各部の波形を示すタイミングチャートであり、ＢＰＦ２１の出力するエンベロープは図示の如くになる。ＢＰＦ１２１、１２３の出力は２トラックご

とにデータセレクタ１２５、１２７にて切り換えられ、デジタル検波回路１２９、１３１に供給される。検波回路１２９、１３１は入力された信号を検波してその検波出力を減算回路１３３に入力する。減算回路１３３は両隣接トラックからのパイロット信号の漏洩量を比較し、その差を誤差信号として出力する。

【００３６】

スイッチ１３５の開閉タイミングは１／２分周期１９の出力※２によって定められる点は、図１０の例と同様である。スイッチ１３５の出力はＤ／Ａ変換器８１においてアナログ値に変換され、デジタルＡＴＦ回路の出力としてループフィルタ３７に印加される。ここで、ルーフフィルタ３７は信号を平滑化し、加算器３９において速度制御信号と加算され、図１０の場合と同様にキャプスタンモータ４７の制御信号を導出する。

【００３７】

次に、等化法が積分等化の場合を仮定してＡ／Ｄ変換器６３に入力されるデジタル再生信号の振幅と、ＢＰＦ１２１もしくはＢＰＦ１２３に出力されるパイロット信号成分の量との関係について図４を用いて説明する。なお、以下の説明は説明の簡単のため、データ整形回路６５において入力された８ビットデータのＭＳＢに隣接するビットを抽出する場合について説明する。

【００３８】

図４において、横軸はＡ／Ｄ変換器への再生信号の振幅を示し、振幅Ａとの関係については図５に示す。ここで、ＡＧＣ回路５０において設定される目標振幅Ａはボリウム６１を用いて任意に設定できる。図４の縦軸はトラッキング制御状態が良好な場合にＢＰＦ１２１もしくはＢＰＦ１２３に出力されるクロクトーク量である。

【００３９】

図４から明らかな様に、Ａを６４と設定した場合にクロクトーク量が最大になる。これは、データの検出点での大きさが＋６４と－６４近傍に集中するため、再生すべきデジタルデータはＡ／Ｄ変換された８ビットのうちのＭＳＢに集中し、隣のビットには残った隣接トラックからのパイロット信号のクロストーク成分がノイズや等化誤差でディザされて重畳されるからである。尚、図６はこの再生データを検出する場合のアイパターンを示す。

【００４０】

上述の説明は記録信号が２値のデジタルデータを示す場合であったが、３値以上のデジタルデータから再生信号を復元する装置にも本発明の考え方を適用することができる。

【００４１】

図７はデータが３値記録されていた場合の、図１のデータ整形回路の一具体例を示す図であり、図８はこの３値信号から再生データを検出する場合のアイパターンを示す。入力端子３００に３値に等化されたデジタルデータが入力されると、３値検出器を構成する比較器３０１、３０２において、夫々、値＋Ａ、値－Ａと比較される。この比較器３０１、３０２の出力は２ビットデータとして端子３０４、３０５に出力され、後段の再生データ復元回路に供給される。

【００４２】

これら比較器３０１、３０２の出力はデータセレクタ３０６にも供給され、セレクタ３０６では３値検出される再生信号レベルが＋Ａ以上、＋Ａと－Ａの中間もしくは－Ａ以下のいずれかに応じて値＋２Ａ、０、－２Ａのいずれかを選択し、減算器で入力された８ビットデータからこの選択されたデータを減算する。比較器３０８においてはこの減算されたデータを０と比較して１ビットデータを形成し、端子３０９に入力する。

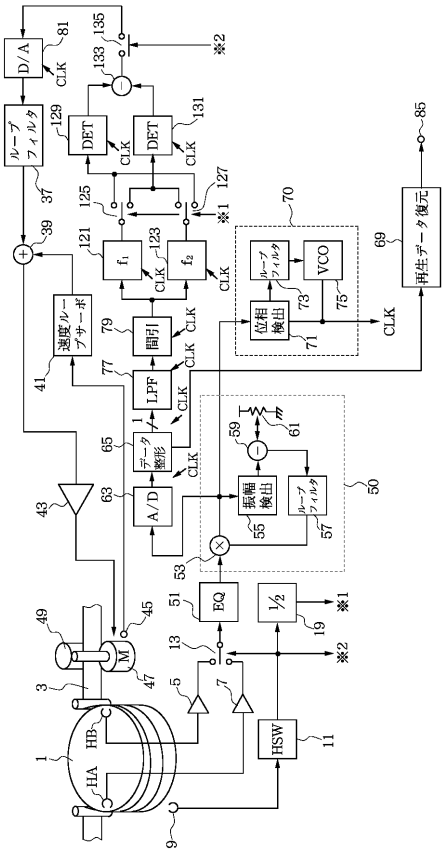
【００４３】

ここで、Ａを３２とする様にＡＧＣ回路５０のボリウム６１を調整すると、検出されたデータの値（＋２Ａ、０、－２Ａ）は夫々（＋６４、０、－６４）となり、これらの１つをもとのデジタルデータから減算して得た結果のＭＳＢは、端子３００に入力された８ビットデータのＭＳＢから数えて３ビット目となる。したがって、同様にＡ／Ｄ変換器６３の出力のＭＳＢから数えて３ビット目を用いてトラッキング制御を行うことによって、上述の例と同様に良好なトラッキング制御が極めて小規模な回路構成にて実現できる。

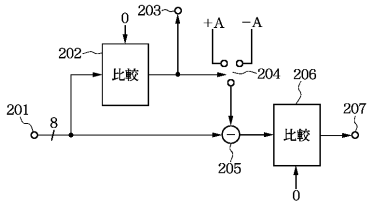
【００４４】
尚、３値検出を行う場合においては、ＰＲ（１、１）等、低域成分が保存される等化方式に特に有効であるが、ＰＲ（１、０、－１）やＰＲ（１、－１）等の他の等化方式によってもＳ／Ｎが多少劣化するもののトラッキング制御を行うことができる。
【００４５】
次に、本発明の他の実施例について図９を用いて説明する。図９は本件の他の実施例としてのデジタルＶＴＲの再生系の構成を示す図であり、図１と同様の構成要件については同一番号を付し、詳細な説明は省略する。
【００４６】
イコライザ５１によって積分等化された再生波形は、ＡＧＣのためのアナログ乗算器５３を介してＡ／Ｄ変換器６３に加えられ、例えば８ビット符号付きのデジタルデータに変換される。変換されたデータは位相検出器１５１及び振幅検出器１６１、更にはデータ整形回路６５に供給される。
【００４７】
位相検出器１５１は入力波形のエッジと後述するＶＣＯ１５７から出力されるクロックのエッジとの位相差を検出し、その結果をループフィルタ１５３に出力する。このループフィルタ１５３は検出された位相差情報を平滑化し、その結果をＤ／Ａ変換器１５５に印加する。このＤ／Ａ変換器１５５の出力はＶＣＯ１５７に印加され、結果として入力された波形に位相ロックしたクロックＣＬＫが発生される。このＶＣＯ１５７の出力は全体のクロックＣＬＫとして用いられる。
【００４８】
一方、振幅検出器１６１は入力された積分等化波形の振幅を求め、その結果を減算器１６３に供給する。減算器１６３においては、この積分等化波形の振幅からレジスタ１６５から出力される目標振幅値が減算され、この減算出力がループフィルタ１６７に印加される。ループフィルタ１６７は入力された振幅差を平滑化し、Ｄ／Ａ変換器１６３に供給する。Ｄ／Ａ変換器１６３はこのデジタルデータをアナログ量に変換し、アナログ乗算器５３に印加する。この結果、ＡＧＣループが構成され、Ａ／Ｄ変換器６３に入力される波形の振幅が、デジタル値の平均として望む目標値、例えば６４になる様にフィードバックループが働く。
【００４９】
本実施例においては、デジタルＡＧＣを用いることで、アナログの場合と比較して、応答速度を速めることができ、上に述べたデジタル値の平均を所望の値に設定できることと相まって、データ整形回路６５の出力する１ビットに重畳されるパイロット信号成分のクロストーク量が大幅に安定する。
【００５０】
また、本実施例ではキャプスタンサーボをマイコンを用いて行っている。即ち、ＦＧ検出器４５の出力するキャプスタンＦＧはそのままサーボマイコン（ＭＰＵ）１７１に入力される。また、両隣接トラックからのパイロット信号成分のクロストーク分は、減算器１３３にて比較差分され、スイッチ１３５、ＬＰＦ１７３を介して平滑化され、ＭＰＵ１７１に入力される。
【００５１】
このＭＰＵ１７１はＦＧの周波数からキャプスタンの回転する誤差を計算し、ＬＰＦ１７３からのトラッキングエラー信号を加算して、その大きさに比例したパルス幅を持つＰＷＭ信号として出力する。このＰＷＭ信号はＬＰＦ１７５にて平滑化され、モータドライバ４３に印加される。これによって、ヘッドＨＡ、ＨＢが所望のトラックを正しくトレースする様に磁気テープ３の搬送が制御される。
【００５２】
上述の図９の実施例においてはＡＴＦ回路をデジタル化したことにより、サーボマイコンに対し、ＡＴＦ制御信号をデジタルデータのまま供給することができ、更に回路構成を簡略化することで可能となった。

【００５３】
尚、上記各実施例においては図１１の如く記録された磁気テープを再生するデジタルＶＴＲを例にとって説明したが、トラッキング制御の方法についてはこれに限られるものではなく、デジタル信号にパイロット信号を重畳し、このパイロット信号成分を抽出する装置において、本発明を適用することにより、同様に回路規模を大幅に削減できる。
【００５４】
【発明の効果】
以上説明したように、本発明によれば、回路規模を大きくすることなく、再生信号中に含まれるパイロット信号成分を確実に検出することができる。
【図面の簡単な説明】
【図１】本発明のデジタル信号再生装置の一実施例としてのデジタルＶＴＲの再生系の構成を示すブロック図である。
【図２】図１のデータ整形回路の具体的な構成を示すブロック図である。
【図３】図１における各部の波形を示すタイミングチャートである。
【図４】デジタル再生信号の振幅と検出されるパイロット信号成分の両との関係を示す図である。
【図５】再生信号の振幅と振幅Ａとの関係を示す図である。
【図６】図２の回路で再生データを検出する場合のアイパターンを示す図である。
【図７】図１のデータ整形回路の他の具体的な構成を示すブロック図である。
【図８】図７の回路で再生データを検出する場合のアイパターンを示す図である。
【図９】本発明の他の実施例としてデジタルＶＴＲの再生系の構成を示すブロック図である。
【図１０】従来のデジタルＶＴＲの再生系の構成例を示すブロック図である。
【図１１】磁気テープ上の記録パターンの一例を示す図である。
【図１２】図１０における各部の波形を示すタイミングチャートである。
【符号の説明】
ＨＡ、ＨＢ　再生ヘッド
５、７　再生アンプ
５０　ＡＧＣ回路
５１　イコライザ
５３　乗算器
６１　ボリウム
６３　Ａ／Ｄ変換器
６５　データ整形回路
７０　ＰＬＬ回路
７７　ＬＢＦ（ローパスフィルタ）
７９　間引き回路
１２１、１２３　デジタルＢＰＦ（バンドパスフィルタ）
１２５、１２７　データセレクタ
１２９、１３１　検波回路
１３６、１４６　加算回路
１３７、１４７　減算回路
１５０　比較回路
１５１　位相検出回路
１５７　ＶＣＯ
１６１　振幅検出回路
１７１　ＭＰＵ（サーボマイコン）

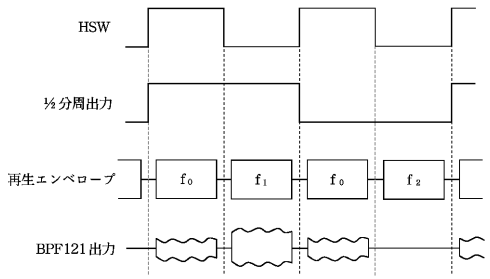
【図１】


D/A
CLK
81
135
133
※2
ループフィルタ
129
DET
131
37
125
127
※1
39
121
123
f1
f2
70
ループフィルタ
VCO
73
75
位相検出
71
再生データ復元
69
85
速度ループサーボ
41
79
間引
77
LPF
1
65
データ整形
63
A/D
43
59
61
振幅検出
55
ループフィルタ
57
50
53
51
EQ
½
19
※1
※2
13
49
45
M
47
3
5
7
HB
HA
1
HSW
11
9

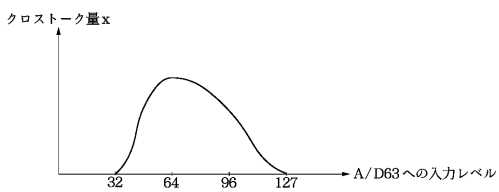
【図２】


0
203
+A
−A
202
比較
204
206
201
8
207
比較
205
0

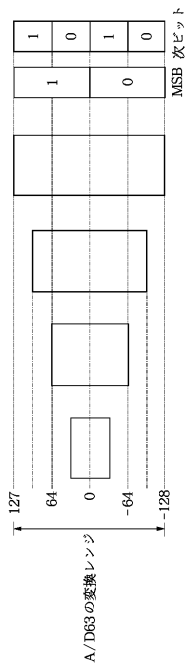
【図３】


HSW
½分周出力
再生エンベロープ
f0
f1
f0
f2
BPF121出力

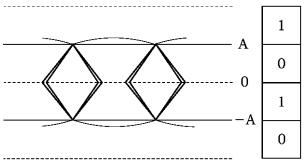
【図４】


クロストーク量x
32
64
96
127
A/D63への入力レベル

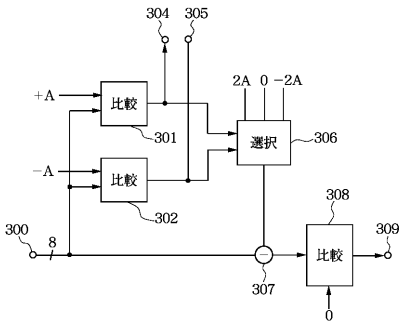
【図５】


1
0
1
0
MSB 次ビット
1
0
127
64
0
-64
-128
A/D63の変換レンジ

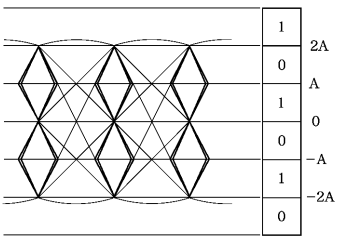
【図６】


A
0
−A
1
0
1
0

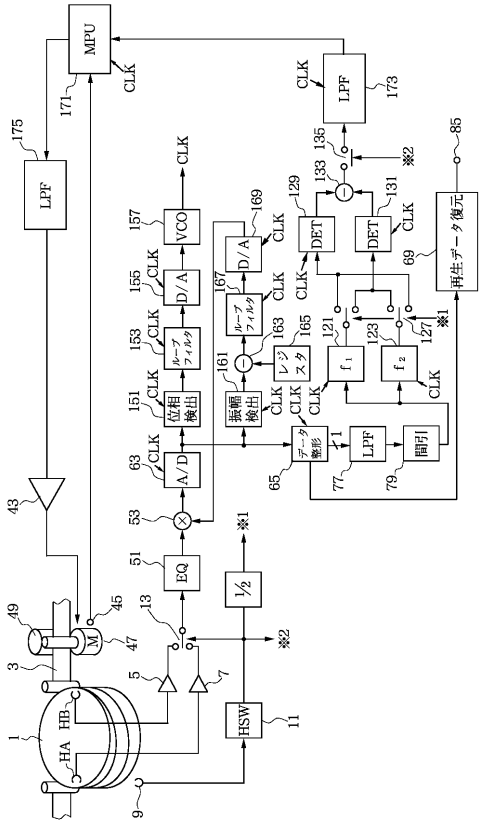
【図７】


304
305
+A
比較
301
2A 0 −2A
選択
306
−A
比較
302
308
300
8
比較
309
307
0

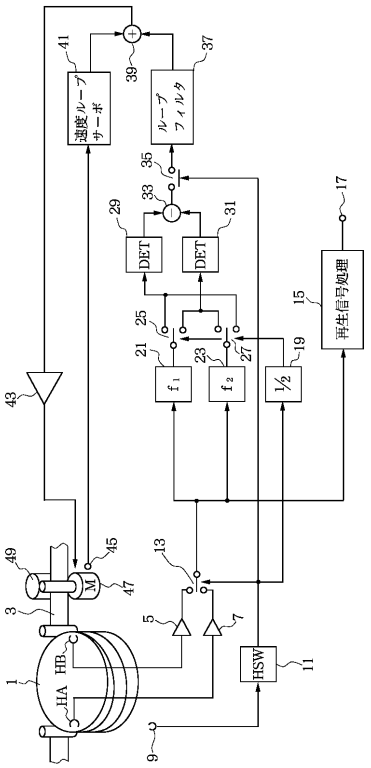
【図８】


1
0
1
0
1
0
2A
A
0
−A
−2A

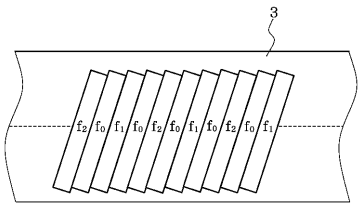
【図９】



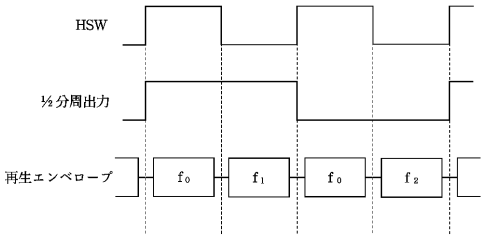
【図１０】



【図１１】



【図１２】



フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
G11B 20/10
G11B 5/09
G11B 15/467