

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
28. März 2002 (28.03.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/25740 A1

(51) Internationale Patentklassifikation⁷: **H01L 29/861**,
29/06, 21/304

Reiner [DE/DE]; Kuelbe 29, 59581 Warstein-Belecke (DE). **PFIRSCH, Frank** [DE/DE]; Saebener Strasse 230, 81545 München (DE). **MAUDER, Anton** [DE/DE]; Wilhelm-Zerr-Strasse 3A, 83059 Kolbermoor (DE). **SCHMIDT, Gerhard** [DE/AT]; Waldrainweg 12, A-9241 Wernberg-Wudmath (AT).

(21) Internationales Aktenzeichen: PCT/DE01/03240

(74) Anwalt: **KOTTMANN, Dieter**; Müller & Hoffmann, Innere Wiener Strasse 17, 81667 München (DE).

(22) Internationales Anmeldedatum:
24. August 2001 (24.08.2001)

(81) Bestimmungsstaaten (national): JP, US.

(25) Einreichungssprache: Deutsch

(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(26) Veröffentlichungssprache: Deutsch

Veröffentlicht:
— mit internationalem Recherchenbericht

(30) Angaben zur Priorität:
100 47 152.8 22. September 2000 (22.09.2000) DE

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

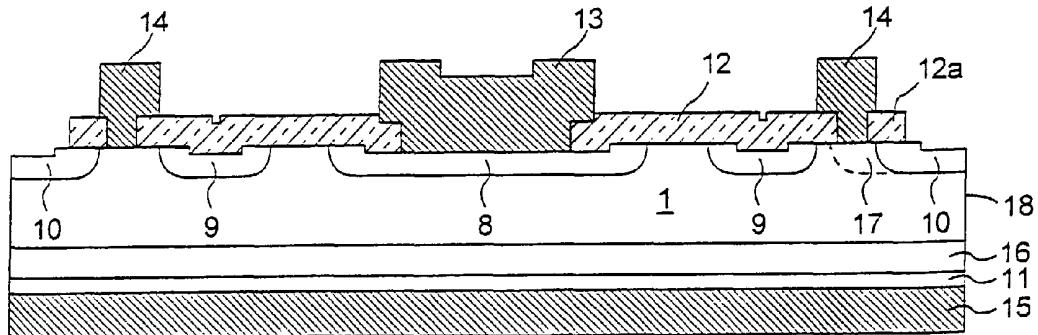
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): EUPEC EUROPÄISCHE GESELLSCHAFT FÜR LEISTUNGSHALBLEITER MBH & CO. KG [DE/DE]; Max-Planck-Strasse 5, 59581 Warstein-Belecke (DE). **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **BARTHELMESS**,

(54) Title: HIGH-VOLTAGE DIODE AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung: HOCHVOLT-DIODE UND VERFAHREN ZU DEREN HERSTELLUNG



(57) Abstract: The invention relates to a high-voltage diode and to a method for the production thereof. According to the invention, only three masking steps are required due to the use of adjustment structures (6) and of a chipping stopper with an edge passivation (12) comprised of a-C:H or a-Si.

WO 02/25740 A1

(57) Zusammenfassung: Die Erfindung betrifft eine Hochvolt-Diode sowie ein Verfahren zu deren Herstellung, bei denen unter Verwendung von Justage-Strukturen (16) und eines Chipping-Stoppers mit einer Randpasivierung (12) aus a-C:H oder a-Si nur drei Maskenschritte benötigt werden.

Beschreibung

Hochvolt-Diode und Verfahren zu deren Herstellung

- 5 Die vorliegende Erfindung betrifft eine Hochvolt-Diode nach dem Oberbegriff des Patentanspruches 1 sowie ein Verfahren zum Herstellen einer solchen Hochvolt-Diode.

10 Bisher werden Hochvolt-Dioden, die für höhere Spannungen insbesondere oberhalb von etwa 400 V vorgesehen sind, bei Verwendung von planaren Strukturen mit Randabschlüssen aus Feldplatten, Feldringen, dielektrischen Isolierschichten, semi-isolierenden Abdeckungen und variierender Dotierung im Randbereich versehen. Dabei werden diese Maßnahmen einzeln oder in 15 Kombination angewandt, wobei durchaus beispielsweise auch Feldplatten, Feldringe und dielektrische Isolierschichten gemeinsam zum Einsatz kommen.

20 Dabei hat es sich gezeigt, dass bei der Herstellung der Diode für einen den an ihn gestellten Forderungen genügenden Randabschluss sogar mehr Schritte als zur Einstellung der gewünschten Durchlass- und Schalteigenschaften notwendig sind. So erfordern beispielsweise Diodenränder auf der Basis von 25 Feldplatten relativ aufwändige Herstellungsprozesse.

25 Im Einzelnen sind in C. Mingues und G. Charitat: "Efficiency of Junction Termination Techniques vs. Oxide Trapped Charges", 1997, IEEE International Symposium on Power Semiconductor Devices and ICs, Weimar, Seiten 137 bis 140, Randabschlüsse mit Feldringen, semiisolierenden Schichten oder einer JTE (Junction Termination Extension) speziell hinsichtlich ihrer Empfindlichkeit gegenüber Oxydladungen miteinander verglichen. Dabei werden für Hochspannungsanwendungen als semiisolierende Schichten der Einsatz von SIPOS-Techniken empfohlen.

30 35 Aus EP-B1-0 341 453 ist ein MOS-Halbleiterbauelement für hohe Sperrspannung bekannt, bei dem Feldplatten auf verschiedenen dicken Isolierschichten angeordnet sind. Einige dieser Feld-

platten dienen dabei als Kanal- bzw. Channel-Stopper. Solche als Kanal-Stopper verwendeten Feldplatten werden bei Dioden oft durch ein p-leitendes Gebiet im Randbereich an das Rückseitenpotenzial der Diode angeschlossen, obwohl an sich ein
5 Anschluss über ein n-leitendes Gebiet vorteilhafter wäre, weil dadurch ein p-leitender Kanal zuverlässig verhindert werden könnte. Allerdings wäre für einen solchen Anschluss über ein n-leitendes Gebiet bei einem sonst üblichen Herstellungsprozess ein zusätzlicher Maskenschritt erforderlich.

10

So genannte Chipping-Stopper sollen beim Sägen einer Scheibe in einzelne Chips eine Ausbreitung von Kristalldefekten von der Sägekante in das aktive Gebiet der jeweiligen Chips verhindern. Diese Chipping-Stopper werden üblicherweise durch ein
15 Feldoxid zwischen dem funktionellen Randbereich des Chips und dem Sägerahmen realisiert.

Werden hoch sperrende pn-Übergänge nur mit dielektrischen Passivierungsschichten abgedeckt, so können bei Einwirkung von
20 äußeren Ladungen, die beispielsweise auf Feuchtigkeit, alkalische oder metallische Kontamination etc. zurückzuführen sind, bei Sperrbelastung des pn-Überganges Veränderungen in der Langzeit-Sperrstabilität beobachtet werden. Diese Veränderungen werden durch Drift von Ionenladungen im elektrischen
25 Feld des in Sperrrichtung gepolten pn-Überganges auf oder in der Passivierungsschicht hervorgerufen. Abhängig von dem Vorzeichen der Ionenladungen und auch abhängig von der Struktur des Randabschlusses, also abhängig von der so genannten Randkontur, können die Ionenladungen zu einer Erhöhung oder zu einer Erniedrigung der Sperrfähigkeit des pn-Überganges führen.
30 Bei einer Diode mit p-leitender Anode nimmt dabei mit abnehmender Dotierung in der n-leitenden Basis und daher mit zunehmender Volumensperrfähigkeit der Diode durch eine größere Influenzwirkung der Einfluss solcher Oberflächenladungen in und auf der Passivierungsschicht zu, was zu einer dramatischen
35 Steigerung der Gefahr von Sperrinstabilitäten führt. In diesem Zusammenhang ist auf den so genannten Yoshida-Effekt zu verweisen: Bei Einsatz von Isolatorschichten zur Passivierung

wird gelegentlich infolge einer Injektion von heißen Elektronen während der Durchlassbelastung beim Umschalten in den Sperrzustand des pn-Überganges eine Drift der Sperrspannung beobachtet.

5

Durch den Einsatz von semiisolierenden Schichten direkt auf den pn-Übergängen kann bei geeigneten Einstellungen der Schicht- und Grenzflächenparameter, wie beispielsweise der Schichtdicke und Dotierung der semiisolierenden Schichten, der 10 Einfluss solcher Oberflächenladungen unterdrückt werden. Die semiisolierenden Schichten, die derzeit zur Passivierung von pn-Übergängen eingesetzt werden, bestehen beispielsweise aus amorphem Silizium (a-Si) oder aus mit Wasserstoff dotiertem amorphem Kohlenstoff (a-C:H), wie sie in EP-B1-0 400 178 und 15 EP-B1-0 381 111 beschrieben sind. Mit diesen semiisolierenden Schichten können bei entsprechender Optimierung der amorph-kristallinen Heteroübergänge zwischen diesen Schichten und dem elektrisch aktiven Siliziumsubstrat parasitäre Effekte, wie ein erhöhter Sperrstrom oder die Ausbildung von In- 20 versionsschichten, vermieden werden. Außerdem können semiisolierende Passivierungsschichten durch ihre endliche Zustandsdichte aktiv Bildladungen aufbauen und so von außen eindringende Fremdladungen abschirmen sowie durch ihre endliche spezifische Leitfähigkeit injizierte Ladungsträger ableiten. Insgesamt 25 führt so eine semiisolierende Passivierung gegenüber einer dielektrischen Passivierung zu einer wesentlich verbesserten Langzeitstabilität.

Es ist Aufgabe der vorliegenden Erfindung, eine Hochvolt-Diode 30 für Sperrspannungen insbesondere über etwa 400 V und vorzugsweise über etwa 500 V anzugeben, welche mit möglichst geringer Prozesskomplexität und damit geringer Anzahl von Fototechniken herstellbar ist und im Randbereich ohne Weiteres mit einem Kanal-Stopper zur Vermeidung von Leckströmen und einem Chipping- 35 Stopper zur Begrenzung der Ausdehnung von Sägedefekten ausgestattet werden kann; außerdem soll ein Verfahren zum Herstellen einer solchen Hochvolt-Diode geschaffen werden.

Diese Aufgabe wird bei einer Hochvolt-Diode nach dem Oberbegriff des Patentanspruches 1 erfindungsgemäß durch die in dessen kennzeichnendem Teil enthaltenen Merkmale gelöst.

- 5 Ein vorteilhaftes Verfahren zum Herstellen der erfindungsgemäßen Hochvolt-Diode ist in Patentanspruch 12 angegeben.

Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

10

Die im kennzeichnenden Teil des Patentanspruches 1 angegebenen Maßnahmen (a) und (b) dienen jede einzeln für sich dazu, eine Hochvolt-Diode zu ermöglichen, die mit geringem Aufwand für Masken und Justage herstellbar ist und über einen Kanal-

15 Stopper, Chipping-Stopper etc. verfügt. Die Maßnahmen (a) und (b) können in vorteilhafter Weise gemeinsam angewandt werden. Selbstverständlich ist es aber auch möglich, eine Hochvolt-Diode zu schaffen, die nur eine dieser Maßnahmen realisiert.

20 Bei der erfindungsgemäßen Hochvolt-Diode kann es sich um eine schnelle schaltfeste Diode oder aber auch um eine Gleichrichter- und Universal-Diode in verschiedenen Spannungs- und Stromklassen handeln. Die Hochvolt-Diode kann einen oder mehrere Feldringe abhängig von der gewünschten Spannungsklasse in 25 ihrem Randbereich haben.

In bevorzugter Weise besteht bei der erfindungsgemäßen Hochvolt-Diode der Halbleiterkörper aus n-leitendem Silizium, in das eine p-leitende wannenförmige Zone eingebracht ist.

30

Anstelle eines n-leitenden Siliziumkörpers kann aber auch ein p-leitender Siliziumkörper mit einer n-leitenden wannenförmigen Zone vorgesehen werden.

35 Das Halbleitermaterial ist nicht auf Silizium begrenzt. Anstelle von Silizium kann beispielsweise auch SiC oder ein $A_{III}B_V$ -Halbleitermaterial eingesetzt werden.

Nachfolgend wird die Erfindung anhand von Zeichnungen näher erläutert, in deren Fig. 1 bis 5 verschiedene Schritte zur Herstellung der erfindungsgemäßen Hochvolt-Diode dargestellt sind.

5

Fig. 1 zeigt ein n-leitendes Siliziumsubstrat 1, auf das beispielsweise in einem Ofenprozess mit feuchter Oxidation auf der Vorderseite eine etwa $0,5 \mu\text{m}$ dicke Siliziumdioxidschicht 2 aufgebracht wird. Anstelle von Siliziumdioxid kann gegebenenfalls für diese Schicht 2 auch ein anderes Material, beispielsweise Siliziumnitrid, gewählt werden.

10 In der Siliziumdioxidschicht 2 werden sodann Strukturen für die Anode der Diode und gegebenenfalls im Randbereich für 15 Feldringe mittels Fotolithografie eingebracht. Hierzu wird auf die Siliziumdioxidschicht 2 eine Fotolackschicht aufgetragen, belichtet und entwickelt. Bei dieser Entwicklung werden die Bereiche der Fotolackschicht, in denen die Anode und gegebenenfalls Feldringe erzeugt werden sollen, entfernt. Auf die so 20 freiliegende Siliziumdioxidschicht 2 wird ein Ätzmittel, beispielsweise während einer nasschemischen Ätzung, zur Einwirkung gebracht, um in den genannten Bereichen die Siliziumdioxidschicht zu entfernen.

25 Es schließt sich sodann ein weiterer Ätzschritt an, bei welchem ein Silizium-Abtrag von beispielsweise 10 ... 1000 nm, vorzugsweise 50 ... 200 nm in der freiliegenden Oberfläche des Siliziumsubstrates 1, also in den Bereichen der in die Siliziumdioxidschicht 2 eingebrachten "Fenster" vorgenommen wird. 30 Dieser Silizium-Abtrag kann über den noch vorhandenen Fotolack oder über die nach Entfernung des Fotolackes verbleibende Siliziumdioxidschicht 2 vorgenommen werden. Damit wird die in Fig. 2 gezeigte Anordnung erhalten, welche auf dem Siliziumsubstrat 1 die verbleibenden Teile der Siliziumdioxidschicht 2 und in Fenstern 3 bis 5 für eine Anode (Fenster 3), einen 35 Feldring (Fenster 4) und Justage-Strukturen zeigt, die in einem Ritzrahmen am Rand des jeweiligen Halbleiterchips (in Fig. 2 rechter Rand) definiert werden (Fenster 5). Anstelle eines

Feldringes können auch mehrere Feldringe vorgesehen sein. Gegebenenfalls kann auf die Feldringe auch verzichtet werden. Die Justage erfolgt an Justage-Strukturen bildenden verbleibenden Kanten oder Stufen 6 des Fensters 5.

5

Bei der Ätzung des Siliziumsubstrates 1 in den Fenstern 3 bis 5 kann über die noch vorliegende Lackmaske die Siliziumdioxidschicht weiter nasschemisch zurückgeätzt werden, um einen gewissen Abstand 7 zwischen später in den Fenstern 3 bis 5 einzubringenden p-Dotierungen und den Kanten 6 der Justage-Strukturen bzw. der durch diese gebildeten Stufe im Siliziumsubstrat 1 zu erzeugen. Spätestens nach diesem gegebenenfalls erfolgenden Rückätzen wird der verbleibende Fotolack entfernt. Damit liegt die in Fig. 2 (ohne zusätzliches Rückätzen des Siliziumsubstrates) bzw. in Fig. 3 (mit zusätzlichem Rückätzen des Siliziumsubstrates) gezeigte Anordnung vor.

Es sei noch angemerkt, dass im vorliegenden Ausführungsbeispiel der Silizium-Abtrag in den Fenstern 3 bis 5 vorgenommen wird. Zumindest erfolgt dieser Abtrag im Fenster 3, um im Bereich einer Wanne 8 außerhalb eines Anodenkontaktes 13 (vgl. unten) eine Kante bzw. Stufe als Justage-Struktur zu erzeugen.

Die in Fig. 2 gezeigte Anordnung kann also in der Weise erzeugt werden, dass der Silizium-Abtrag in den Fenstern 3 bis 5 über die verbleibende Siliziumdioxidschicht 2 (Oxidmaske) bzw. über den auf dieser Siliziumdioxidschicht 2 noch vorhandenen Fotolack erfolgt.

Im Folgenden wird davon ausgegangen, dass die Anordnung von Fig. 3 weiterverarbeitet wird. Es ist jedoch auch möglich, die Anordnung von Fig. 2 in entsprechender Weise zu verarbeiten. In diesem Fall ist aber der Abstand 7 zwischen dem Rand der verbleibenden Siliziumdioxidschicht 2 und den Kanten 6 der Justage-Strukturen nicht vorhanden. Vielmehr schließen sich diese Kanten 6 der Justage-Strukturen dann lagemäßig direkt an den Rand der Fenster 3 bis 5 an.

Es folgt sodann eine p-Dotierung, beispielsweise mit Bor, um eine p-leitende wattenförmige Zone 8, einen p-leitenden Feldring 9 und im Bereich des Chipping-Stoppers einen p-leitenden Ring 10 zu erzeugen, wie diese in Fig. 4 dargestellt sind. Die 5 wattenförmige Zone 8 sowie der Feldring 9 und der Ring 10 können beispielsweise einstufig mittels Ionenimplantation oder auch mehrstufig hergestellt werden. So ist es speziell bei schnell schaltenden Dioden für die Zone 8 möglich, diese mit einem p⁺-leitenden Anoden-emitter von geringer Eindringtiefe zu 10 versehen, dessen Dotierstoff-Dosis zwischen $1,3 \times 10^{12}$ Dotierstoff-Atomen cm⁻² und 5×10^{13} Dotierstoffatomen cm⁻² liegt, und den Rest der Zone 8 mit einer Dosis von etwa $(1,3 \dots 3) \times 10^{12}$ Dotierstoffatomen cm⁻² zu dotieren (vgl. hierzu auch DE-A1-100 31 461).

15

Für die Weiterprozessierung der in Fig. 4 gezeigten Anordnung gibt es nun verschiedene Varianten, bei denen notwendige Prozessschritte, wie das Einbringen einer n-Dotierung (beispielsweise Phosphor) auf der Rückseite des Halbleitersubstrates 1, also der Scheibenrückseite, als Rückseiten-Emitter zur Bildung einer n⁺-leitenden Siliziumschicht 11 beispielsweise durch Ionenimplantation, das Abätzen der verbleibenden Siliziumdioxidschicht 2 (Opferoxid) auf der Scheibenvorderseite, das Aufbringen und Strukturieren einer Randpassivierungsschicht 12 mit einem Chipping-Stopper 12a aus jeweils insbesondere mit Wasserstoff dotiertem amorphem Kohlenstoff (a-C:H) unter Verwendung eines Litnographieschrittes, das Abscheiden und die Strukturierung einer Vorderseitenmetallisierung aus beispielsweise AlSi zur Bildung eines Anodenkontakte 13 und eines Kanal-Stoppers 14 und das Abscheiden einer Rückseitenmetallisierung aus beispielsweise AlSi zur Bildung eines Kathodenkontakte 15 sowie fakultative Prozessschritte, wie das Dünnschleifen bzw. Ätzen des Siliziumsubstrates 1 von der Rückseite auf Enddicke, das Einbringen einer n-leitenden Dotierung als Feldstoppschicht 16 auf der Scheibenrückseite und Ausdiffusion dieser n-leitenden Dotierung, das Einbringen von Schwermetallatomen zur Ladungsträgerlebensdauer-Einstellung, die Schwermetalldiffusion, die Bestrahlung zur Ladungs-

- trägerlebensdauer-Einstellung, das Temperiern der Vorderseitenmetallisierung und das Temperiern des Rückseitenmetalls vorgenommen werden. Bei diesen Prozeßschritten werden, soweit erforderlich, die Kanten 6 als Justage-Strukturen verwendet. Da-5 bei ist es sogar möglich, die p-leitenden Dotierungen für die Zone 8, den Feldring 9 und den Ring 10, also das Einbringen des Vorderseiten-p-Kontaktes bzw. des p-leitenden Emitters mit Ionenimplantation zu einem späteren Zeitpunkt vorzunehmen.
- 10 Diese einzelnen Prozessvarianten sind in der folgenden Tabelle zusammengestellt. Dabei ist die Prozessvariante 1 besonders für Grundmaterial geeignet, das aus durch Zonenziehen (FZ) erhaltenen Silizium-Substratscheiben besteht, während die Prozessvarianten 2 und 3 auch für Czochralski- (CZ-) 15 Substratscheiben oder für mit epitaktischen Schichten versehene bzw. diffundierte ("diffused") Wafer vorteilhaft sind.

Die Randpassivierungsschicht 12 (und damit der Chipping-Stopper 12a) kann gegebenenfalls auch aus amorphen Silizium (a-Si) 20 bestehen.

Prozessvariante 1 für: Grundmaterial: Si-FZ-Substratscheiben	Prozessvariante 2 für: Grundmaterial: Si-FZ-/CZ-Substratscheiben oder Epi- bzw. Diffused Wafer	Prozessvariante 3 für: Grundmaterial: Si-FZ-/CZ-Substratscheiben oder Epi- bzw. Diffused Wafer
Dünnenschleifen/Ätzen auf Enddicke		
Ggf. Einbringen einer n-Dotierung auf der Scheibenrückseite als Rückseiten-Emitter z. B.		

mit Ionenimplanta- tion		
Ggf. Einbringen von Schwermetallatomen zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Einbringen von Schwermetallatomen zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Einbringen von Schwermetallatomen zur Ladungsträger- lebensdauer-Ein- stellung

Ggf. Schwermetall-diffu- sion	Ggf. Schwermetall-diffu- sion	Ggf. Schwermetall-diffu- sion
		Dünnenschleifen/Ätzen auf Enddicke
		Ggf. Einbringen ei- nes n-Rückseiten- kontakte z. B. durch Implantation mit nachfolgendem Ausheilschritt
Ggf. jetzt erst Einbringen des Vor- derseiten-p-Kon- takts/p-Emitters mit Ionenimplanta- tion	Ggf. jetzt erst Ein- bringen des Vor- derseiten-p-Kon- takts/p-Emitters mit Ionenimplantation	Ggf. jetzt erst Einbringen des Vor- derseiten-p-Kon- takts/p-Emitters mit Ionenimplanta- tion
Abätzen des Opfer- oxids auf der Vor- derseite	Abätzen des Opfer- oxids auf der Vor- derseite	Abätzen des Opfer- oxids auf der Vor- derseite
Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung
Aufbringen der Randpassivierung, z. B. aus a-C:H	Aufbringen der Rand- passivierung, z. B. aus a-C:H	Aufbringen der Randpassivierung, z. B. aus a-C:H
Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung
Abscheiden/ Strukturieren der Vorderseiten-Metal- lisierung z. B. aus AlSi	Abscheiden/ Strukturieren der Vorderseiten-Metal- lisierung z. B. aus AlSi	Abscheiden/ Strukturieren der Vorderseiten-Metal- lisierung z. B. aus AlSi

Ggf. Temperi n der Vorderseiten-Metal- lisierung	Ggf. Temperi n der Vorderseiten-Metal- lisierung	Ggf. Temperi n der Vorderseiten-Metal- lisierung
Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung
	Dünnenschleifen/Ätzen auf Enddicke	
	Einbringen einer n-Dotierung auf der Scheibenrückseite als Rückseiten-kon- takt z. B. mit Io- nenimplantation	
Abscheiden Rücksei- tenmetall	Abscheiden Rücksei- tenmetall	Abscheiden Rücksei- tenmetall
Ggf. Temperi n des Rückseitenmetalls	Ggf. Temperi n des Rückseitenmetalls	Ggf. Temperi n des Rückseitenmetalls

Bei den obigen verschiedenen Prozessvarianten wird der Prozessschritt "Ggf. Bestrahlung zur Ladungsträgerlebensdauer-Einstellung" mehrmals vorgenommen, da je nach verwendeter Dosis bei der Ionenimplantation und Strahlenart unterschiedlich hohe Temperaturbudgets zur Ausheilung von Strahlenschäden erforderlich sind.

Die insbesondere aus mit Wasserstoff dotiertem amorphem Kohlenstoff bestehende Randpassivierungsschicht 12 wirkt teilweise als Chipping-Stopper 12a und verhindert die Ausbreitung von Kristalldefekten ausgehend von einem Ritzrahmen in ein aktives Gebiet beim Vereinzeln bzw. Sägen einer Siliziumscheibe in Chips. Im Ritzrahmen selbst ist dabei die Passivierungsschicht 12 analog zu den Kontaktlöchern für den Anodenkontakt 13 und den Kanal-Stopper 14 geöffnet, wobei hier aber keine Abdeckung mit Metall erfolgt.

Der Kanal-Stopper 14 wirkt als Feldplatte und verhindert die weitere Ausbreitung einer Raumladungszone nach außen in den Ritzrahmen. Dadurch ist es möglich, die notwendige Randbreite speziell bei einem hochohmigen Grundmaterial für das Siliziumsubstrat 1 zu reduzieren.

Der Kanal-Stopper 14 kann auch mit einem p-leitenden Gebiet verbunden sein, wie dies durch eine gestrichelte Linie 17 in Fig. 5 angedeutet ist. Dieses p-leitende Gebiet sollte dann das gleiche elektrische Potenzial wie die Rückseite des Siliziumsubstrates haben, also mit dem Kathodenkontakt 15 verbunden sein.

Besonders vorteilhaft ist es aber, wenn der Kanalstopper 14 direkt mit einem n-leitenden Gebiet verbunden ist, wie dies in Fig. 5 gezeigt ist.

Zusätzlich zu dem Feldring 9 können gegebenenfalls zwischen dem aktiven Gebiet, also der wattenförmigen Zone 8, und einem Sägerand 18 noch weitere Feldringe 9 vorhanden sein, die zudem alle oder teilweise mit Metallstrukturen versehen sein können. Auch kann der Feldring 9 eine solche Metallstruktur haben.

Die erfindungsgemäße Hochvolt-Diode lässt sich dank der Justage-Strukturen 6, die außerhalb des Anodenkontaktees 13 gelegen sind, und der Ausführung des Chipping-Stoppers 12a im Randbereich durch die Passivierungsschicht 12 mittels lediglich insgesamt drei Maskierungsschritten für die Erzeugung der strukturierten Siliziumdioxidschicht 2, der Passivierungsschicht 12 und der Vorderseitenmetallisierung aus dem Anodenkontakt 13 und dem Kanal-Stopper 14 herstellen. In vorteilhafter Weise kann dabei die Justage-Struktur 6 ausgenutzt werden, die ein genaues Positionieren beispielsweise des Anodenkontaktees 13 und des Kanal-Stoppers 14 erlaubt.

Bezugszeichenliste

- | | |
|----|--|
| 1 | Siliziumsubstrat |
| 5 | 2 Siliziumdioxidschicht |
| | 3 Fenster für Wanne |
| | 4 Fenster für Feldring |
| | 5 Fenster für Chipping-Stopper-Ring |
| | 6 Kante |
| 10 | 7 Abstand |
| | 8 wannenförmige Zone |
| | 9 Feldring |
| | 10 Chipping-Stopper-Ring |
| | 11 n ⁺ -leitende Siliziumschicht |
| 15 | 12 Passivierungsschicht |
| | 12a Chipping-Stopper |
| | 13 Anodenkontakt |
| | 14 Kanal-Stopper |
| | 15 Kathodenkontakt |
| 20 | 16 Feldstoppschicht |
| | 17 gestrichelte Linie für p-leitendes Gebiet |
| | 18 Sägerand |

Patentansprüche

1. Hochvolt-Diode mit:

- einer wattenförmigen Zone (8) des einen Leitungstyps, die in einer ersten Hauptoberfläche eines Halbleiterkörpers (1) des 5 anderen, zum einen Leitungstyp entgegengesetzten Leitungstyps vorgesehen ist,
- einem auf der wattenförmigen Zone (8) vorgesehenen Metallkontakt (13),
- einer dem Metallkontakt (13) gegenüber liegenden Rückseitenmetallisierung (15) auf einer der ersten Hauptoberfläche gegenüber liegenden zweiten Hauptoberfläche des Halbleiterkörpers (1),
- einem Randabschluss mit einem Kanal-Stopper (14) und
- einer Passivierungsschicht (12), die auf der ersten Hauptoberfläche im Bereich zwischen dem Metallkontakt (13) und dem Kanal-Stopper (14) vorgesehen ist und den an die erste Hauptoberfläche tretenden pn-Übergang bedeckt,
dadurch gekennzeichnet, daß
- die Passivierungsschicht (12) aus amorphem, mit Wasserstoff 20 dotiertem Kohlenstoff oder aus amorphem Silizium besteht und im Bereich des Halbleiterkörpers (1) außerhalb des Kanal-Stoppers (14) als Chipping-Stopper (12a) dient und
- in der ersten Hauptoberfläche im Bereich der wattenförmigen Zone (8) mindestens eine Kante (6) als Justage-Struktur vorgesehen ist.

2. Hochvolt-Diode nach Anspruch 1,

dadurch gekennzeichnet, dass
der Randabschluß einen oder mehrere Feldringe (9) aufweist.

30

3. Hochvolt-Diode der Ansprüche 1 oder 2,

dadurch gekennzeichnet, dass
der Kanal-Stopper (14) auf dem Halbleiterkörper (1) vorgesehen 35 ist.

4. Hochvolt-Diode nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass der Kanal-Stopper (14) auf einem Gebiet des einen Leitungstyps vorgesehen ist.

5

5. Hochvolt-Diode nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass zwischen dem Halbleiterkörper (1) und einer Kathodenmetallierung (15) eine Feldstoppschicht (16) des anderen Leitungstyps und eine hochdotierte Emitterschicht (11) des anderen Leitungstyps vorgesehen sind.

6. Hochvolt-Diode nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die Justage-Strukturen (6) aus Siliziumstufen in der ersten Hauptoberfläche mit einer Höhe von etwa 10 ... 1000 nm, vorzugsweise 50 ... 200 nm bestehen.

7. Hochvolt-Diode nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die Justage-Strukturen (6) außerhalb des Anodenkontaktes (13) gelegen sind.

8. Hochvolt-Diode nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Passivierungsschicht (12) nicht bis zum Sägerand (18) des Halbleiterkörpers reicht.

9. Hochvolt-Diode nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass im Bereich des Sägerandes (18) eine ringförmige Zone (10) des einen Leitungstyps an der ersten Hauptoberfläche freiliegen kann.

10. Hochvolt-Diode nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass die wattenförmige Zone (8) des einen Leitungstyps mit einer Dosis von $(1,3 \dots 3) \times 10^{12}$ Dotierstoffatomen cm^{-2} dotiert ist, 5 um die Hochvolt-Diode als schnelle Freilaufdiode zu betreiben.

11. Hochvolt-Diode nach Anspruch 10, dadurch gekennzeichnet, dass ein Oberflächenbereich der wattenförmigen Zone (8) mit einer 10 Dosis zwischen $1,3 \times 10^{12}$ Dotierstoffatomen cm^{-2} und 5×10^{13} Dotierstoffatomen cm^{-2} dotiert ist.

12. Verfahren zum Herstellen der Hochvolt-Diode nach einem der Ansprüche 1 bis 11, 15 gekennzeichnet durch die folgenden Verfahrensschritte:
(a) Erzeugen einer Maskenisolierschicht (2) auf einem Halbleiterkörper (1),
(b) Strukturieren der Maskenisolierschicht (2) zur Erzeugung 20 wenigstens eines Fensters (3, 4, 5) für eine wattenförmige Zone (8),
(c) Erzeugen von Stufen als Justage-Strukturen (6) im Siliziumkörper (1) durch die Fenster (3, 4, 5),
(d) Erzeugen der wattenförmigen Zone (8) durch das Fenster (3) 25 mit jeweils einem zum Leitungstyp des Halbleiterkörpers (1) entgegengesetzten Leitungstyp,
(e) Entfernen der strukturierten Maskenisolierschicht (2),
(f) Aufbringen und mittels eines mit den Justage-Strukturen 30 (6) justierten Lithographieschrittes Strukturieren einer Passivierungsschicht (12) aus amorphem, mit Wasserstoff dotiertem Kohlenstoff oder aus amorphem Silizium,
(g) Aufbringen und Strukturieren eines Metallkontakte (13) und eines Kanal-Stoppers (14) in Fenstern der strukturierten Passivierungsschicht (12) auf einer Vorderseite der wattenförmigen Zone (8) bzw. des Halbleiterkörpers (1) und 35
(h) Aufbringen einer Metallisierung (15) auf der Rückseite des Halbleiterkörpers (1).

13. Verfahren nach Anspruch 12,
dadurch gekennzeichnet, dass
bei Verfahrensschritt (b) ein Strukturieren für einen Feldring
(9) und einen Chipping-Stopper-Ring (10) vorgenommen wird.

5

14. Verfahren nach Anspruch 12 oder 13,
dadurch gekennzeichnet, dass
vor oder nach dem Verfahrensschritt (d) wenigstens einer der
folgenden Verfahrensschritte durchgeführt wird:

- 10 (i) Dünnschleifen und/oder Ätzen des Halbleiterkörpers (1) auf
Enddicke,
(j) Einbringen einer Dotierung des anderen Leitungstyps als
Feldstoppschicht (16) auf der Rückseite des Halbleiterkörpers
(1) und Ausdiffusion dieser Dotierung,
15 (k) Einbringen einer n-leitenden Dotierung auf der Rückseite
des Halbleiterkörpers (1) als Rückseiten-Emitter (11) insbe-
sondere durch Ionenimplantation,
(l) Einbringen von Schwermetallatomen zur Ladungsträgerle-
bensdauer-Einstellung und
20 (m) Diffusion der Schwermetallatome.

15. Verfahren nach den Ansprüchen 12 und 14,
dadurch gekennzeichnet, dass
einer der Verfahrensschritte (l) und (m) vor oder nach dem
25 Verfahrensschritt (d) durchgeführt wird.

16. Verfahren nach den Ansprüchen 12 und 14,
dadurch gekennzeichnet, dass
die Verfahrensschritte (i) bis (k) nach den Verfahrensschrit-
30 ten (l) und (m) durchgeführt werden.

17. Verfahren nach einem der Ansprüche 12 bis 16,
dadurch gekennzeichnet, dass
nach dem Verfahrensschritt (e) und vor dem Verfahrensschritt
35 (f) der folgende Verfahrensschritt durchgeführt wird:
(n) Bestrahlen des Halbleiterkörpers (1) und/oder darin ent-
haltenen Zonen (8) und Ringe (9, 10) zur Ladungsträgerlebens-
dauer-Einstellung.

18. Verfahren nach einem der Ansprüche 12 bis 17, dadurch gekennzeichnet, dass nach dem Verfahrensschritt (f) und vor dem Verfahrensschritt 5 (g) der folgende Verfahrensschritt durchgeführt wird:
(o) Bestrahlen des Halbleiterkörpers (1) und/oder der darin enthaltenen Zonen (8) und Ringe (9, 10) zur Ladungsträgerlebensdauer-Einstellung.
- 10 19. Verfahren nach einem der Ansprüche 12 bis 18, dadurch gekennzeichnet, dass nach dem Verfahrensschritt (g) wenigstens einer der folgenden Verfahrensschritte durchgeführt wird:
(p) Temperiern der Vorseiten-Metallisierung aus dem Metallkontakt 15 (13) und dem Kanal-Stopper (14) und
(q) Bestrahlen des Halbleiterkörpers (1) und der darin enthaltenen Zonen (8) und Ringe (9, 10) zur Ladungsträgerlebensdauer-Einstellung.
- 20 20. Verfahren nach einem der Ansprüche 12 bis 19, dadurch gekennzeichnet, dass die Verfahrensschritte (i) und (k) nach dem Verfahrensschritt (q) durchgeführt werden.
- 25 21. Verfahren nach einem der Ansprüche 12 bis 20, dadurch gekennzeichnet, dass nach dem Verfahrensschritt (h) der folgende Verfahrensschritt durchgeführt wird:
(r) Temperiern der Metallisierung (15) auf der Rückseite des 30 Halbleiterkörpers.
22. Verfahren nach einem der Ansprüche 12 bis 21, dadurch gekennzeichnet, dass die Maskenisolierschicht (2) in einem Ofenprozess mit feuchter 35 Oxidation bis zu einer Schichtdicke von etwa 0,5 µm durchgeführt wird.

23. Verfahren nach einem der Ansprüche 12 bis 22,
dadurch gekennzeichnet, dass
die Justage-Strukturen (6) bis zu einer Tiefe von
10 ... 1000 nm, vorzugsweise 50 ... 200 nm in den Halbleiter-
körper (1) durch Ätzen eingebracht werden.

24. Verfahren nach Anspruch 23,
dadurch gekennzeichnet, dass
für das Ätzen eine isotrope Ätzung durchgeführt wird.

10

25. Verfahren nach einem der Ansprüche 12 bis 24,
dadurch gekennzeichnet, dass
die Justage-Strukturen (6) mit einem Abstand (7) gegenüber den
Fenstern (3, 4, 5) versehen werden.

15

26. Verfahren nach einem der Ansprüche 12 bis 25,
dadurch gekennzeichnet, dass
zur Herstellung der Hochvolt-Diode nur drei Fototechnik-
Schritte durchgeführt werden.

20

1 / 2

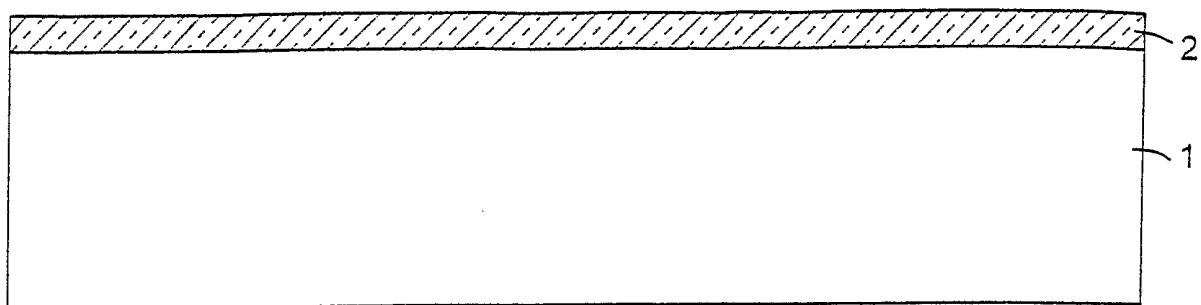


Fig. 1

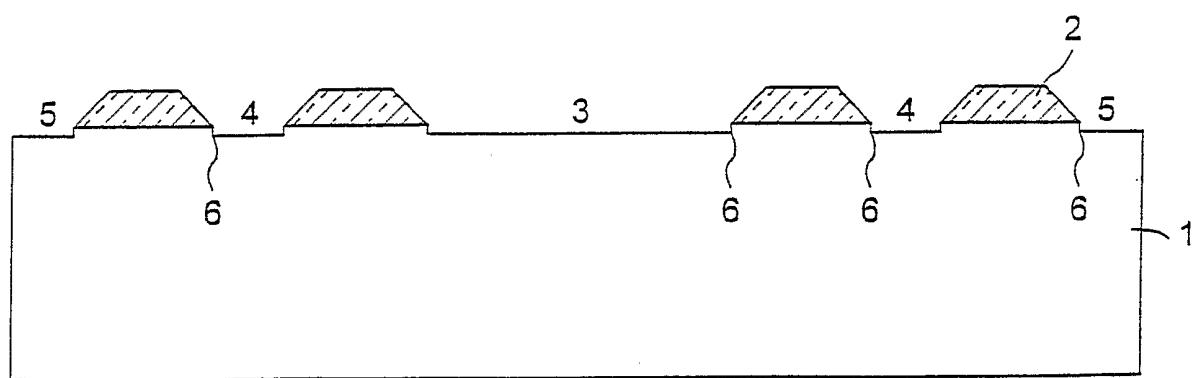


Fig. 2

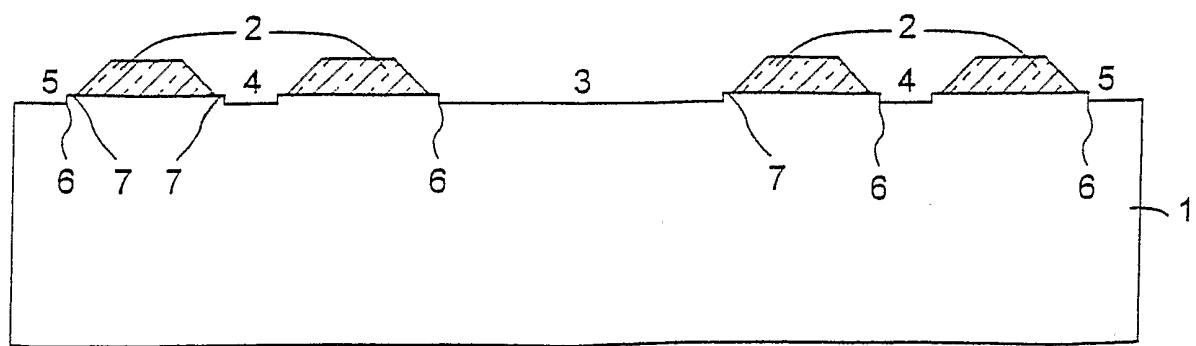


Fig. 3

2/2

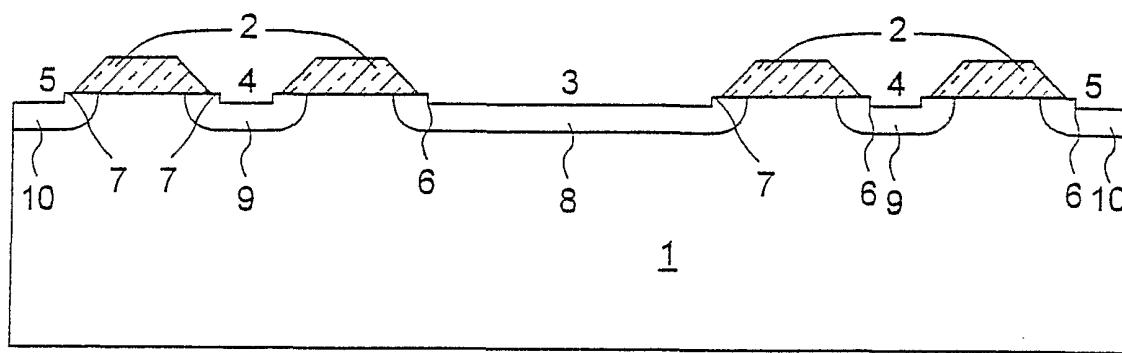


Fig. 4

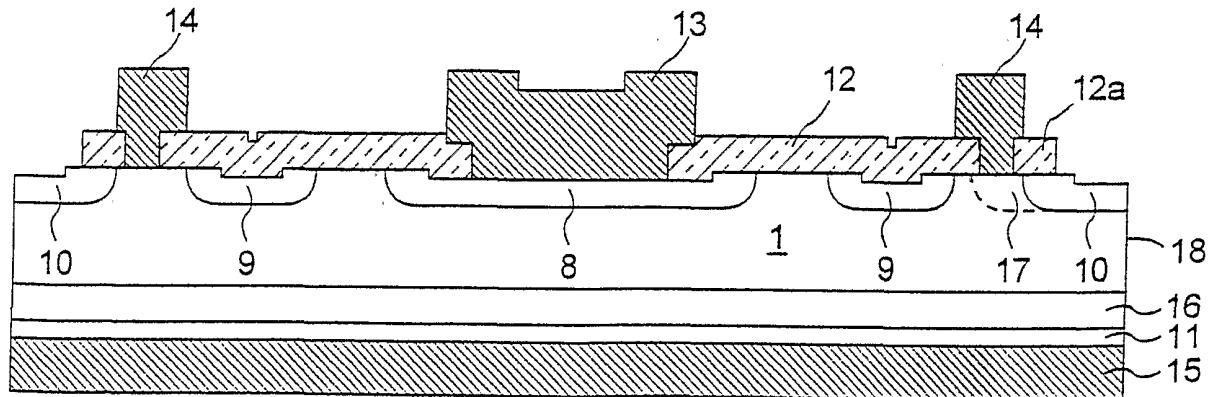


Fig. 5

INTERNATIONAL SEARCH REPORT

In **onal Application No**
PCT/DE 01/03240

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/861 H01L29/06 H01L21/304

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category ^o	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 760 528 A (SIEMENS AG) 5 March 1997 (1997-03-05) column 12, line 42 - line 47; figure 3 ---	1-26
A	EP 0 264 564 A (SIEMENS AG) 27 April 1988 (1988-04-27) column 5, line 45 - line 58; figure 4 ---	1-26
A	EP 0 381 111 A (SIEMENS AG) 8 August 1990 (1990-08-08) cited in the application claim 1 ---	1-26
A	EP 0 341 453 A (SIEMENS AG) 15 November 1989 (1989-11-15) cited in the application figure 2 ---	1-26
		-/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

^o Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search 10 December 2001	Date of mailing of the international search report 18/12/2001
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Juhl, A

INTERNATIONAL SEARCH REPORT

Int'l Application No
PCT/DE 01/03240

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 400 178 A (SIEMENS AG) 5 December 1990 (1990-12-05) cited in the application figure 4 ----	1, 12
A	US 4 804 641 A (ARLT MANFRED ET AL) 14 February 1989 (1989-02-14) figure 2 ----	1
A	EP 0 982 768 A (ASEA BROWN BOVERI) 1 March 2000 (2000-03-01) claim 7 ----	1

INTERNATIONAL SEARCH REPORT

Int'l Application No

PCT/DE 01/03240

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
EP 0760528	A 05-03-1997	DE 19531369 A1 EP 0760528 A2 JP 9107098 A		27-02-1997 05-03-1997 22-04-1997
EP 0264564	A 27-04-1988	DE 3782609 D1 EP 0264564 A1		17-12-1992 27-04-1988
EP 0381111	A 08-08-1990	DE 59009167 D1 EP 0381111 A2 ES 2072321 T3 JP 2239623 A US 5039358 A		06-07-1995 08-08-1990 16-07-1995 21-09-1990 13-08-1991
EP 0341453	A 15-11-1989	DE 58905356 D1 EP 0341453 A1 JP 2017676 A JP 2566210 B2 US 4954868 A		30-09-1993 15-11-1989 22-01-1990 25-12-1996 04-09-1990
EP 0400178	A 05-12-1990	EP 0400178 A1 DE 4013435 A1 DE 58908152 D1 JP 2856847 B2 JP 3116785 A		05-12-1990 06-12-1990 08-09-1994 10-02-1999 17-05-1991
US 4804641	A 14-02-1989	DE 3677455 D1 EP 0220404 A1 JP 62081729 A		14-03-1991 06-05-1987 15-04-1987
EP 0982768	A 01-03-2000	DE 19837944 A1 CN 1245974 A EP 0982768 A1 JP 2000106368 A		24-02-2000 01-03-2000 01-03-2000 11-04-2000

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 01/03240

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L29/861 H01L29/06 H01L21/304

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP 0 760 528 A (SIEMENS AG) 5. März 1997 (1997-03-05) Spalte 12, Zeile 42 – Zeile 47; Abbildung 3 ---	1-26
A	EP 0 264 564 A (SIEMENS AG) 27. April 1988 (1988-04-27) Spalte 5, Zeile 45 – Zeile 58; Abbildung 4 ---	1-26
A	EP 0 381 111 A (SIEMENS AG) 8. August 1990 (1990-08-08) in der Anmeldung erwähnt Anspruch 1 ---	1-26
A	EP 0 341 453 A (SIEMENS AG) 15. November 1989 (1989-11-15) in der Anmeldung erwähnt Abbildung 2 ---	1-26
	-/-	

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

° Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung,

eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem Internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erforderlicher Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erforderlicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

& Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

Absendedatum des internationalen Recherchenberichts

10. Dezember 2001

18/12/2001

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL – 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Juhl, A

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

F 01, DE 01/03240

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^a	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP 0 400 178 A (SIEMENS AG) 5. Dezember 1990 (1990-12-05) in der Anmeldung erwähnt Abbildung 4 ---	1,12
A	US 4 804 641 A (ARLT MANFRED ET AL) 14. Februar 1989 (1989-02-14) Abbildung 2 ---	1
A	EP 0 982 768 A (ASEA BROWN BOVERI) 1. März 2000 (2000-03-01) Anspruch 7 ----	1

INTERNATIONALER RECHERCHENBERICHT

Int'nales Aktenzeichen

F01, DE 01/03240

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0760528	A	05-03-1997	DE EP JP	19531369 A1 0760528 A2 9107098 A	27-02-1997 05-03-1997 22-04-1997
EP 0264564	A	27-04-1988	DE EP	3782609 D1 0264564 A1	17-12-1992 27-04-1988
EP 0381111	A	08-08-1990	DE EP ES JP US	59009167 D1 0381111 A2 2072321 T3 2239623 A 5039358 A	06-07-1995 08-08-1990 16-07-1995 21-09-1990 13-08-1991
EP 0341453	A	15-11-1989	DE EP JP JP US	58905356 D1 0341453 A1 2017676 A 2566210 B2 4954868 A	30-09-1993 15-11-1989 22-01-1990 25-12-1996 04-09-1990
EP 0400178	A	05-12-1990	EP DE DE JP JP	0400178 A1 4013435 A1 58908152 D1 2856847 B2 3116785 A	05-12-1990 06-12-1990 08-09-1994 10-02-1999 17-05-1991
US 4804641	A	14-02-1989	DE EP JP	3677455 D1 0220404 A1 62081729 A	14-03-1991 06-05-1987 15-04-1987
EP 0982768	A	01-03-2000	DE CN EP JP	19837944 A1 1245974 A 0982768 A1 2000106368 A	24-02-2000 01-03-2000 01-03-2000 11-04-2000