



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월19일
(11) 등록번호 10-1297788
(24) 등록일자 2013년08월12일

(51) 국제특허분류(Int. Cl.)

H01L 33/14 (2010.01)

(21) 출원번호 10-2012-0028725

(22) 출원일자 2012년03월21일

심사청구일자 2012년03월21일

(56) 선행기술조사문헌

KR100826422 B1*

KR100835116 B1

KR1020050063493 A*

KR1020080010136 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

성태연

서울 서초구 잠원동 63-34 한신로얄@ 1동 506호

염웅선

인천 계양구 계산1동 신도아파트 107동 1102호

전준우

서울 동대문구 제기2동 67-181 402호

(74) 대리인

특허법인주원

전체 청구항 수 : 총 20 항

심사관 : 구영희

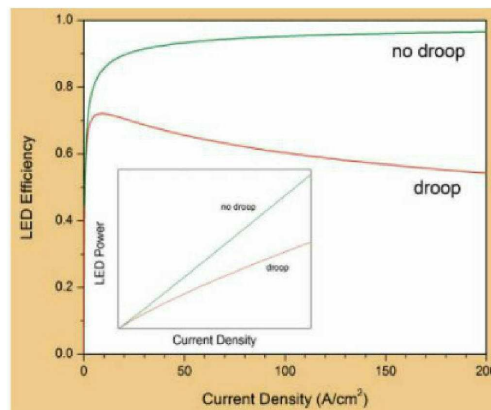
(54) 발명의 명칭 발광 소자

(57) 요약

본 발명은 활성층으로의 정공과 전자의 공급 불균형을 감소시켜 발광 효율을 증가시키고 광 효율 저하 현상 (Efficiency droop)을 감소시킴으로써 고효율 발광 소자의 구현을 가능하게 하는 발광 소자에 관한 것이다.

일례로, 기관; 상기 기관 상에 형성되는 n형 반도체층; 상기 n형 반도체층 상에 형성되는 전자 차단층; 상기 전자 차단층 상에 형성되는 활성층; 상기 활성층 상에 형성되는 p형 반도체층을 포함하는 것을 특징으로 하는 발광 소자가 개시된다.

대표도 - 도1



특허청구의 범위

청구항 1

기관;

상기 기관 상에 형성되는 n형 반도체층;

상기 n형 반도체층 상에 형성되는 반도체층인 전자 차단층;

상기 전자 차단층 상에 형성되는 활성층; 및

상기 활성층 상에 형성되는 p형 반도체층을 포함하는 발광 소자로서,

상기 n형 반도체층과 상기 전자 차단층 사이에 형성되는 언도프드 반도체층을 더 포함하는 것을 특징으로 하는 발광 소자.

청구항 2

제 1 항에 있어서,

상기 전자 차단층은 상기 n형 반도체층보다 높은 밴드갭 에너지를 가지는 것을 특징으로 하는 발광 소자.

청구항 3

제 1 항에 있어서,

상기 전자 차단층은 $Al_xGa_{(1-x)}N$ ($0 < x \leq 1$)로 형성되는 것을 특징으로 하는 발광 소자.

청구항 4

제 1 항에 있어서,

상기 전자 차단층은 10nm ~ 50nm의 두께를 가지는 것을 특징으로 하는 발광 소자.

청구항 5

제 1 항에 있어서,

상기 활성층은 적어도 하나의 양자 우물층과 양자 장벽층이 교대로 배치되어 형성되는 것을 특징으로 하는 발광 소자.

청구항 6

제 1 항에 있어서,

상기 p형 반도체층 상에 형성되는 p형 전극; 및

상기 n형 반도체층 중 상기 기관과 접하는 면의 반대 면 일측에 형성되는 n형 전극을 더 포함하는 것을 특징으로 하는 발광 소자.

청구항 7

제 1 항에 있어서,

상기 전자 차단층과 상기 활성층 사이에 형성되는 언도프드 반도체층을 더 포함하는 것을 특징으로 하는 발광 소자.

청구항 8

삭제

청구항 9

제 7 항에 있어서,

상기 언도프드 반도체층은 상기 전자 차단층보다 낮은 밴드갭 에너지를 가지는 것을 특징으로 하는 발광 소자.

청구항 10

제 7 항에 있어서,

상기 언도프드 반도체층은 10nm ~ 50nm의 두께를 가지는 것을 특징으로 하는 발광 소자.

청구항 11

제 2 항에 있어서,

상기 활성층과 상기 p형 반도체층 사이에 형성되는 전자 오버 플로우 방지층을 더 포함하는 것을 특징으로 하는 발광 소자.

청구항 12

기판;

상기 기판 상에 형성되는 n형 반도체층;

상기 n형 반도체층 상에 형성되는 반도체층인 전자 차단층;

상기 전자 차단층 상에 형성되는 활성층; 및

상기 활성층 상에 형성되는 p형 반도체층을 포함하는 발광 소자로서,

상기 활성층과 상기 p형 반도체층 사이에 형성되는 전자 오버 플로우 방지층을 더 포함하며,

상기 오버 플로우 방지층의 밴드갭 에너지는 상기 n형 반도체층의 밴드갭 에너지보다 크고 전자 차단층의 밴드갭 에너지보다 작은 것을 특징으로 하는 발광 소자.

청구항 13

기판;

상기 기판 상에 형성되는 p형 반도체층;

상기 p형 반도체층 상에 형성되는 활성층;

상기 활성층 상에 형성되는 반도체층인 전자 차단층; 및

상기 전자 차단층 상에 형성되는 n형 반도체층을 포함하는 발광 소자로서,

상기 n형 반도체층과 상기 전자 차단층 사이에 형성되는 언도프드 반도체층을 더 포함하는 것을 특징으로 하는 발광 소자.

청구항 14

제 13 항에 있어서,

상기 전자 차단층은 상기 n형 반도체층보다 높은 밴드갭 에너지를 가지는 것을 특징으로 하는 발광 소자.

청구항 15

제 13 항에 있어서,

상기 전자 차단층은 $Al_xGa_{(1-x)}N(0 < x \leq 1)$ 로 형성되는 것을 특징으로 하는 발광 소자.

청구항 16

제 13 항에 있어서,

상기 전자 차단층은 10nm ~ 50nm의 두께를 가지는 것을 특징으로 하는 발광 소자.

청구항 17

제 13 항에 있어서,

상기 활성층은 적어도 하나의 양자 우물층과 양자 장벽층이 교대로 배치되어 형성되는 것을 특징으로 하는 발광 소자.

청구항 18

제 13 항에 있어서,

상기 n형 반도체층 상에 형성되는 n형 전극을 포함하는 것을 특징으로 하는 발광 소자.

청구항 19

제 18 항에 있어서,

상기 p형 반도체층과 기판 사이에 개재되는 p형 전극을 더 포함하는 것을 특징으로 하는 발광 소자.

청구항 20

제 13 항에 있어서,

상기 활성층과 상기 p형 반도체층 사이에 형성되는 전자 오버 플로우 방지층을 더 포함하는 것을 특징으로 하는 발광 소자.

청구항 21

기판;

상기 기판 상에 형성되는 p형 반도체층;

상기 p형 반도체층 상에 형성되는 활성층;

상기 활성층 상에 형성되는 반도체층인 전자 차단층; 및

상기 전자 차단층 상에 형성되는 n형 반도체층을 포함하는 발광 소자로서,

상기 활성층과 상기 p형 반도체층 사이에 형성되는 전자 오버 플로우 방지층을 더 포함하며,

상기 오버 플로우 방지층의 밴드갭 에너지는 상기 n형 반도체층의 밴드갭 에너지보다 크고 상기 전자 차단층의 밴드갭 에너지보다 작은 것을 특징으로 하는 발광 소자.

명세서

기술분야

[0001] 본 발명은 발광 소자에 관한 것으로, 특히 활성층으로의 정공과 전자의 공급 불균형을 감소시켜 발광 효율을 증가시키고 광 효율 저하 현상(Efficiency droop)을 감소시킴으로써 고출력 발광 소자의 구현을 가능하게 하는 발광 소자에 관한 것이다.

배경기술

[0002] 발광 소자는 전기 에너지를 빛 에너지로 변환하여 빛을 외부로 방출하는 소자이다. 이러한 발광 소자의 예로써 전압이 가해지면 p형 및 n형 반도체의 접합 부분의 활성층에서 정공과 전자의 재결합에 의해 다양한 색상의 빛을 발생시킬 수 있는 발광 다이오드(light emitting diode; LED)가 있다.

[0003] 발광 다이오드는 환경 친화적이고 높은 에너지 효율과 고 신뢰성을 가지는 장점으로 차세대 발광 소자로 각광받고 있다.

[0004] 최근에는 발광 다이오드의 기술이 발전하고 광도가 증가함에 따라, 더 많은 양의 전류가 발광 다이오드에 공급되어야 하는 것이 요구되고 있다.

[0005] 그런데, 더 많은 양의 전류가 발광 다이오드에 공급함에 있어서 광 효율 저하 현상(Efficiency droop)이 발생하

고 있다. 광 효율 저하 현상(Efficiency droop)은 공급되는 전류량이 증가함에 따라 외부 양자 효율이 감소하는 현상으로, 발광 다이오드 적용의 가장 주요한 목적인 조명용 고효율 발광 다이오드를 구현하는 데 가장 큰 걸림돌이 된다(도 1 참조).

[0006] 이러한 광 효율 저하 현상은 여러 가지 원인이 복합적으로 작용하여 발생한다고 알려져 있으며, 그 메커니즘이 정확히 정의되지 않고 있다. 이러한 원인 중의 하나로 전자와 하나의 정공의 속도 차이로 인한 정공 공급의 부족이 있다. 즉, 동일한 개수의 전자와 정공이 필요하나, 전자와 정공의 큰 질량 차이로 인해 전자와 정공의 이동도(Mobility)가 크게 차이가 남으로써 전자와 정공의 공급 차이가 발생된다.

[0007] 위와 같은 전자와 정공의 공급 차이는 특히 고효율 발광 다이오드에서 정공을 부족(전자를 과잉 공급)하게 하며, 이로 인해 부족한 정공으로 인해 재결합하지 못한 전자들이 활성층 밖으로 넘쳐나가는 전류 오버 플로우(overflow) 또는 전류 누출(leakage)이 발생하는 문제점이 있다.

이러한 문제점을 해결하기 위해 종래 2012년 2월 7일 공개된 한국 공개특허공보 제10-2012-0011198호에서와 같은 시도가 있어 왔다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 목적은 활성층으로의 정공과 전자의 공급 불균형을 감소시켜 발광 효율을 증가시키고 광 효율 저하 현상(Efficiency droop)을 감소시킴으로써 고효율 발광 소자의 구현을 가능하게 하는 발광 소자를 제공하는 데 있다.

과제의 해결 수단

[0009] 상기의 목적을 달성하기 위한 본 발명의 실시예에 따른 발광 소자는 기판; 상기 기판 상에 형성되는 n형 반도체층; 상기 n형 반도체층 상에 형성되는 전자 차단층; 상기 전자 차단층 상에 형성되는 활성층; 상기 활성층 상에 형성되는 p형 반도체층을 포함하는 것을 특징으로 한다.

[0010] 상기 전자 차단층은 상기 n형 반도체층보다 높은 밴드갭 에너지를 가질 수 있다.

[0011] 상기 전자 차단층은 $Al_xGa_{(1-x)}N$ ($0 < x \leq 1$)로 형성될 수 있다.

[0012] 상기 전자 차단층은 10nm ~ 50nm의 두께를 가질 수 있다.

[0013] 상기 활성층은 적어도 하나의 양자 우물층과 양자 장벽층이 교대로 배치되어 형성될 수 있다.

[0014] 또한, 본 발명의 실시예에 따른 발광 소자는 상기 p형 반도체층 상에 형성되는 p형 전극; 및 상기 n형 반도체층 중 상기 기판과 접하는 면의 반대 면 일측에 형성되는 n형 전극을 더 포함할 수 있다.

[0015] 또한, 본 발명의 실시예에 따른 발광 소자는 상기 전자 차단층과 상기 활성층 사이에 형성되는 언도프드 반도체층을 더 포함할 수 있다.

[0016] 또한, 본 발명의 실시예에 따른 발광 소자는 상기 n형 반도체층과 상기 전자 차단층 사이에 형성되는 언도프드 반도체층을 더 포함할 수 있다.

[0017] 상기 언도프드 반도체층은 상기 전자 차단층보다 낮은 밴드갭 에너지를 가질 수 있다.

[0018] 상기 언도프드 반도체층은 10nm ~ 50nm의 두께를 가질 수 있다.

[0019] 또한, 본 발명의 실시예에 따른 발광 소자는 상기 활성층과 상기 p형 반도체층 사이에 형성되는 전자 오버 플로우 방지층을 더 포함할 수 있다.

[0020] 상기 오버 플로우 방지층의 밴드갭 에너지는 상기 n형 반도체층의 밴드갭 에너지보다 크고 상기 전자 차단층의 밴드갭 에너지보다 작을 수 있다.

[0021] 또한, 상기의 목적을 달성하기 위한 본 발명의 실시예에 따른 발광 소자는 기판; 상기 기판 상에 형성되는 p형 반도체층; 상기 p형 반도체층 상에 형성되는 활성층; 상기 활성층 상에 형성되는 전자 차단층; 상기 전자 차단층 상에 형성되는 n형 반도체층을 포함하는 것을 특징으로 한다.

- [0022] 상기 전자 차단층은 상기 n형 반도체층보다 높은 밴드갭 에너지를 가질 수 있다.
- [0023] 상기 전자 차단층은 $Al_xGa_{(1-x)}N(0 < x \leq 1)$ 로 형성될 수 있다.
- [0024] 상기 전자 차단층은 10nm ~ 50nm의 두께를 가질 수 있다.
- [0025] 상기 활성층은 적어도 하나의 양자 우물층과 양자 장벽층이 교대로 배치되어 형성될 수 있다.
- [0026] 또한, 본 발명의 실시예에 따른 발광 소자는 상기 n형 반도체층 상에 형성되는 n형 전극을 포함할 수 있다.
- [0027] 또한, 본 발명의 실시예에 따른 발광 소자는 상기 p형 반도체층과 기판 사이에 개재되는 p형 전극을 더 포함할 수 있다.
- [0028] 또한, 본 발명의 실시예에 따른 발광 소자는 상기 활성층과 상기 p형 반도체층 사이에 형성되는 전자 오버 플로우 방지층을 더 포함할 수 있다.
- [0029] 상기 오버 플로우 방지층의 밴드갭 에너지는 상기 n형 반도체층의 밴드갭 에너지보다 크고 상기 전자 차단층의 밴드갭 에너지보다 작을 수 있다.

발명의 효과

- [0030] 본 발명의 실시예에 따른 발광 소자는 n형 반도체층과 활성층 사이에 형성되는 전자 차단층을 구비함으로써, 활성층으로의 정공의 공급을 방해하지 않고 정공 주입 효율을 향상시키면서 정공보다 작은 질량을 가져 큰 이동도를 가지는 전자의 공급을 방해하게 할 수 있다.
- [0031] 따라서, 본 발명의 실시예에 따른 발광 소자는 활성층으로의 전자와 정공의 공급 불균형을 감소시켜 발광 효율을 증가시킬 수 있으며, 광 효율 저하 현상(Efficiency droop)을 감소시켜 고효율 발광 소자의 구현을 가능하게 할 수 있다.

도면의 간단한 설명

- [0032] 도 1은 고효율의 발광 다이오드에서 발생하는 광 효율 저하 현상을 설명하기 위한 그래프이다.
- 도 2는 본 발명의 일 실시예에 따른 발광 소자의 단면도이다.
- 도 3은 도 2에 도시된 발광 소자의 에너지 밴드 다이어그램이다.
- 도 4는 도 2의 발광 소자가 낮은 전류 밀도를 가지는 경우 전자와 정공의 이동을 보여주는 에너지 밴드 다이어그램이다.
- 도 5는 본 발명의 다른 실시예에 따른 발광 소자의 단면도이다.
- 도 6은 도 5에 도시된 발광 소자의 에너지 밴드 다이어그램이다.
- 도 7은 본 발명의 또다른 실시예에 따른 발광 소자의 단면도이다.
- 도 8은 도 7에 도시된 발광 소자의 에너지 밴드 다이어그램이다.
- 도 9는 본 발명의 또다른 실시예에 따른 발광 소자의 단면도이다.
- 도 10은 도 9에 도시된 발광 소자의 에너지 밴드 다이어그램이다.
- 도 11은 본 발명의 또다른 실시예에 따른 발광 소자의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하 도면을 참조하면서 본 발명의 실시예를 통해 본 발명을 상세히 설명하기로 한다.
- [0034] 도 2는 본 발명의 일 실시예에 따른 발광 소자의 단면도이고, 도 3은 도 2에 도시된 발광 소자의 에너지 밴드 다이어그램이고, 도 4는 도 2의 발광 소자가 낮은 전류 밀도를 가지는 경우 전자와 정공의 이동을 보여주는 에너지 밴드 다이어그램이다.
- [0035] 도 2를 참조하면, 본 발명의 일 실시예에 따른 발광 소자(100)는 기판(101), n형 반도체층(102), 전자 차단층(103), 활성층(104), p형 반도체층(105), p형 전극(106) 및 n형 전극(107)을 포함한다. 이러한 발광 소자(100)

0)는 수평 구조 발광 다이오드를 구현할 수 있다.

- [0036] 상기 기판(101)은 사파이어 기판(Al_2O_3), GaN, SiC, ZnO, Si, GaP, InP, Ga_2O_3 , 도전성 기판 및 GaAs 로 이루어진 그룹에서 선택되어 형성될 수 있다.
- [0037] 상기 n형 반도체층(102)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료, 예를 들어 InAlGaN, GaN, AlGaIn, AlInN, InGaIn, AlN, InN 등에서 선택될 수 있으며, Si, Ge, Sn 등의 n형 도펀트가 도핑될 수 있다. 여기서, 상기 n형 도펀트의 도핑 농도는 $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ 일 수 있다.
- [0038] 상기 전자 차단층(electron blocking layer; EBL)(103)은 n형 반도체층(102) 상에 형성되며, 도 3에 도시된 바와 같이 n형 반도체층(102)보다 높은 밴드갭 에너지를 가진다. 상기 전자 차단층(103)은 p형 반도체층(105)에서 활성층(104)으로 제공되는 정공의 공급을 방해하지 않으면서 n형 반도체층(102)에서 활성층(104)으로 제공되는 전자의 공급을 방해한다. 이러한 전자 차단층(103)은 정공 주입 효율을 향상시키면서 정공보다 작은 질량을 가져 큰 이동도를 가지는 전자의 공급을 방해하여 활성층(104)으로의 전자와 정공의 공급 불균형을 감소시킬 수 있다. 이에 따라, 상기 전자 차단층(103)은 전자와 정공의 재결합에 의한 발광 효율을 증가시키게 할 수 있으며, 기존에 활성층에서 정공이 부족하여 재결합하지 못한 전자들이 활성층 밖으로 넘쳐나가는 전류 오버 플로우(overflow) 또는 전류 누출(leakage)이 발생하는 것을 방지하게 할 수 있다.
- [0039] 한편, 도 4를 참조하면 본 발명의 일 실시예에 따른 발광 소자(100)가 낮은 전류 밀도를 가지면, 정공이 먼저 활성층(104)에 채워져 활성층(104)에서 전공의 오버 플로우는 발생하지 않는다. 그러나, 본 발명의 일 실시예에 따른 발광 소자(100)가 고출력을 위해 증가된 전류 밀도를 가지면, 전자는 전자 차단층(103)을 넘어 활성층(104)으로 공급되어 전공과 재결합한다. 이에 따라, 상기 전자 차단층(103)은 고출력 조영용 발광 소자를 구현 가능하게 하는데 적용될 수 있으며, 광 효율 저하 현상(Efficiency droop)을 감소시키게 할 수 있다.
- [0040] 상기 전자 차단층(103)은 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ ($0 < x \leq 1$)로 형성될 수 있으며, 전자의 공급을 크게 방해하지 않도록 10nm ~ 50nm의 두께를 가질 수 있다.
- [0041] 상기 활성층(104)은 전자 차단층(103) 상에 형성되며, 예를 들어 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 가지는 반도체 물질을 포함하여 형성할 수 있으며, 양자 우물층을 가지는 단일 양자 우물 구조, 적어도 하나의 양자 우물층과 양자 장벽층이 교대로 배치되는 다중 양자 우물 구조(MQW : Multi Quantum Well), 양자점 구조 또는 양자선 구조 중 어느 하나로 형성될 수 있다. 도 3 및 도 4에서는, 활성층(104)이 예를 들어 다중 양자 우물 구조(MQW)로 형성되는 것이 도시되었다. 여기서, 상기 활성층(104)을 구성하는 다중 양자 우물 구조(MQW)의 양자 장벽층은 전자 차단층(103)보다 낮은 밴드갭 에너지를 가질 수 있다. 이는 기 활성층(104)을 구성하는 다중 양자 우물 구조(MQW)의 양자 장벽층이 전자 차단층(103)보다 높은 밴드갭을 가지면 전자 차단층(103)에서 양자 장벽층으로 전자가 원활히 넘어갈 수 없기 때문이다.
- [0042] 위와 같은 활성층(104)은 n형 도전형 반도체층(101) 및 p 도전형 반도체층(105)의 전자 및 정공의 재결합(recombination) 과정에서 발생하는 에너지에 의해 빛을 생성할 수 있다.
- [0043] 상기 p형 반도체층(105)은 활성층(104) 상에 형성되며, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질, 예를 들어 InAlGaIn, GaN, AlGaIn, AlInN, InGaIn, AlN, InN 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다. 여기서, 상기 p형 도펀트의 도핑 농도는 $1 \sim 5 \times 10^{17} \text{ cm}^{-3}$ 일 수 있다.
- [0044] 상기 p형 전극(106)은 p형 반도체층(105) 상에 형성되며, 전극 역할을 위해 도전성 금속으로 형성된다.
- [0045] 상기 n형 전극(107)은 n형 반도체층(102) 중 기판(101)과 접하는 면의 반대 면 일측에 형성되며, 전극 역할을 위해 도전성 금속으로 형성된다.
- [0046] 상기와 같이 본 발명의 일 실시예에 따른 발광 소자(100)는 n형 반도체층(102)과 활성층(104) 사이에 형성되는 전자 차단층(103)을 구비함으로써, 활성층(104)으로의 정공의 공급을 방해하지 않고 정공 주입 효율을 향상시키면서 정공보다 작은 질량을 가져 큰 이동도를 가지는 전자의 공급을 방해하게 할 수 있다.
- [0047] 따라서, 본 발명의 일 실시예에 따른 발광 소자(100)는 활성층(104)으로의 전자와 정공의 공급 불균형을 감소시켜 발광 효율을 증가시킬 수 있으며, 광 효율 저하 현상(Efficiency droop)을 감소시켜 고출력 발광 소자, 예를

들어 고출력 수평 구조 발광 다이오드의 구현을 가능하게 할 수 있다.

- [0048] 다음은 본 발명의 다른 실시예에 따른 발광 소자(200)에 대해 설명하기로 한다.
- [0049] 도 5는 본 발명의 다른 실시예에 따른 발광 소자의 단면도이고, 도 6은 도 5에 도시된 발광 소자의 에너지 밴드 다이어그램이다.
- [0050] 본 발명의 다른 실시예에 따른 발광 소자(200)는 본 발명의 일 실시예에 따른 발광 소자(100)와 비교하여 언도프트(Un-doped) 반도체층(208)이 더 형성된 점만 다를뿐 동일한 구성을 가진다. 이에 따라, 본 발명의 다른 실시예에 따른 발광 소자(200)에서는 언도프트 반도체층(208)에 대해서만 설명하기로 한다.
- [0051] 도 5를 참조하면, 본 발명의 다른 실시예에 따른 발광 소자(200)는 기판(101), n형 반도체층(102), 전자 차단층(103), 언도프트 반도체층(208), 활성층(104), p형 반도체층(105), p형 전극(106) 및 n형 전극(107)을 포함한다. 이러한 발광 소자(200)는 수평 구조 발광 다이오드를 구현할 수 있다.
- [0052] 상기 언도프트 반도체층(208)은 전자 차단층(103)과 활성층(104) 사이에 형성되며, 예를 들어 언도프트 GaN(u-GaN)으로 형성될 수 있다. 상기 언도프트 반도체층(208)은 도 6에 도시된 바와 같이 전자 차단층(103)보다 낮은 밴드갭 에너지를 가진다. 상기 언도프트 반도체층(208)은 n형 반도체층(102)으로부터 활성층(104)으로 제공되는 전자의 공급을 추가적으로 방해하는 역할을 한다. 이러한 언도프트 반도체층(208)은 전자 차단층(103)과 함께 전자의 공급을 방해하여 활성층(104)으로의 전자와 정공의 공급 불균형을 감소시킴으로써 전자의 오버 플로우 또는 전류 누출을 방지하게 할 수 있다. 또한, 상기 언도프트 반도체층(208)은 활성층(104)과의 격자 상수의 차이를 줄여 층의 품질을 향상시킬 수 있다. 여기서, 상기 언도프트 반도체층(208)은 전자의 공급을 크게 방해하지 않도록 10nm ~ 50nm의 두께를 가질 수 있다.
- [0053] 상기와 같이 본 발명의 다른 실시예에 따른 발광 소자(200)는 전자 차단층(103)과 활성층(104) 사이에 형성되는 언도프트 반도체층(208)을 구비함으로써, 층의 품질을 향상시킬 수 있고 전자 차단층(103)과 함께 활성층(104)으로의 정공의 공급을 방해하지 않고 정공 주입 효율을 향상시키면서 정공보다 작은 질량을 가져 큰 이동도를 가지는 전자의 공급을 방해하게 할 수 있다.
- [0054] 따라서, 본 발명의 다른 실시예에 따른 발광 소자(200)는 활성층(104)으로의 전자와 정공의 공급 불균형을 더욱 효과적으로 감소시켜 발광 효율을 증가시킬 수 있으며, 광 효율 저하 현상(Efficiency droop)을 감소시켜 고출력 발광 소자, 예를 들어 고출력 수평 구조 발광 다이오드의 구현을 가능하게 할 수 있다.
- [0055] 다음은 본 발명의 또다른 실시예에 따른 발광 소자(300)에 대해 설명하기로 한다.
- [0056] 도 7은 본 발명의 또다른 실시예에 따른 발광 소자의 단면도이고, 도 8은 도 7에 도시된 발광 소자의 에너지 밴드 다이어그램이다.
- [0057] 본 발명의 또다른 실시예에 따른 발광 소자(300)는 본 발명의 일 실시예에 따른 발광 소자(100)와 비교하여 언도프트(Un-doped) 반도체층(308)이 더 형성된 점만 다를뿐 동일한 구성을 가진다. 이에 따라, 본 발명의 또다른 실시예에 따른 발광 소자(300)에서는 언도프트 반도체층(308)에 대해서만 설명하기로 한다.
- [0058] 도 7을 참조하면, 본 발명의 또다른 실시예에 따른 발광 소자(300)는 기판(101), n형 반도체층(102), 언도프트 반도체층(308), 전자 차단층(103), 활성층(104), p형 반도체층(105), p형 전극(106) 및 n형 전극(107)을 포함한다. 이러한 발광 소자(300)는 수평 구조 발광 다이오드를 구현할 수 있다.
- [0059] 상기 언도프트 반도체층(308)은 n형 반도체층(102)과 전자 차단층(103) 사이에 형성되며, 예를 들어 언도프트 GaN층으로 형성될 수 있다. 상기 언도프트 반도체층(308)은 도 8에 도시된 바와 같이 전자 차단층(103)보다 낮은 밴드갭 에너지를 가진다. 상기 언도프트 반도체층(308)은 n형 반도체층(102)으로부터 활성층(104)으로 제공되는 전자의 공급을 추가적으로 방해하는 역할을 한다. 이러한 언도프트 반도체층(308)은 전자 차단층(103)과 함께 전자의 공급을 방해하여 활성층(104)으로의 전자와 정공의 공급 불균형을 감소시킴으로써 전자의 오버 플로우 또는 전류 누출을 방지하게 할 수 있다. 또한, 상기 언도프트 반도체층(308)은 전자 차단층(103)과의 격자 상수의 차이를 줄여 층의 품질을 향상시킬 수 있다. 여기서, 상기 언도프트 반도체층(308)은 전자의 공급을 크게 방해하지 않도록 10nm ~ 50nm의 두께를 가질 수 있다.

- [0060] 상기와 같이 본 발명의 또다른 실시예에 따른 발광 소자(300)는 n형 반도체층(102)과 전자 차단층(103) 사이에 형성되는 언도프드 반도체층(308)을 구비함으로써, 층의 품질을 향상시킬 수 있고 전자 차단층(103)과 함께 활성층(104)으로의 정공의 공급을 방해하지 않고 정공 주입 효율을 향상시키면서 정공보다 작은 질량을 가져 큰 이동도를 가지는 전자의 공급을 방해하게 할 수 있다.
- [0061] 따라서, 본 발명의 또다른 실시예에 따른 발광 소자(300)는 활성층(104)으로의 전자와 정공의 공급 불균형을 더욱 효과적으로 감소시켜 발광 효율을 증가시킬 수 있으며, 광 효율 저하 현상(Efficiency droop)을 감소시켜 고출력 발광 소자, 예를 들어 고출력 수평 구조 발광 다이오드의 구현을 가능하게 할 수 있다.
- [0062] 다음은 본 발명의 또다른 실시예에 따른 발광 소자(400)에 대해 설명하기로 한다.
- [0063] 도 9는 본 발명의 또다른 실시예에 따른 발광 소자의 단면도이고, 도 10은 도 9에 도시된 발광 소자의 에너지 밴드 다이어그램이다.
- [0064] 본 발명의 또다른 실시예에 따른 발광 소자(400)는 본 발명의 일 실시예에 따른 발광 소자(100)와 비교하여 전자 오버 플로우 방지층(electron overflow prevention layer: EOPL)(409)이 더 형성된 점만 다른 동일한 구성을 가진다. 이에 따라, 본 발명의 다른 실시예에 따른 발광 소자(400)에서는 전자 오버 플로우 방지층(409)에 대해서만 설명하기로 한다.
- [0065] 도 9를 참조하면, 본 발명의 또다른 실시예에 따른 발광 소자(400)는 기판(101), n형 반도체층(102), 전자 차단층(103), 활성층(104), 전자 오버 플로우 방지층(409), p형 반도체층(105), p형 전극(106) 및 n형 전극(107)을 포함한다. 이러한 발광 소자(400)는 수평 구조 발광 다이오드를 구현할 수 있다.
- [0066] 상기 전자 오버 플로우 방지층(409)은 활성층(104)과 p형 반도체층(105) 사이에 형성된다. 상기 전자 오버 플로우 방지층(409)은 전자 차단층(103)과 동일한 물질로 형성된다. 이러한 전자 오버 플로우 방지층(409)은 n형 반도체층(102)으로부터 활성층(104)으로 공급되는 전자가 활성층(104)에서 재결합되지 않고 p형 반도체층(105)으로 오버 플로우되는 것을 효과적으로 방지한다. 이에 따라, 전자 오버플로우 방지층(409)은 전자의 오버 플로우로 인해 활성층(104)에서 전자의 소모를 감소시켜 발광 소자의 발광 효율을 향상시킬 수 있다. 여기서, 상기 전자 오버 플로우 방지층(409)은 n형 반도체층(102)의 밴드갭 에너지보다 크고 전자 차단층(103)의 밴드갭 에너지보다는 작은 밴드갭 에너지를 가진다.
- [0067] 상기와 같이 본 발명의 또다른 실시예에 따른 발광 소자(400)는 활성층(104)과 p형 반도체층(105) 사이에 형성되는 전자 오버 플로우 방지층(409)을 구비함으로써, 전자 차단층(103)과 함께 활성층(104)으로의 정공의 공급을 최대한 방해하지 않고 정공 주입 효율을 향상시키면서 정공보다 작은 질량을 가져 큰 이동도를 가지는 전자의 공급을 방해하게 할 수 있으며 더불어 전자의 오버 플로우를 더욱 효과적으로 방지하게 할 수 있다.
- [0068] 따라서, 본 발명의 또다른 실시예에 따른 발광 소자(400)는 활성층(104)으로의 전자와 정공의 공급 불균형을 더욱 효과적으로 감소시켜 발광 효율을 증가시킬 수 있으며, 광 효율 저하 현상(Efficiency droop)을 감소시켜 고출력 발광 소자, 예를 들어 고출력 수평 구조 발광 다이오드의 구현을 가능하게 할 수 있다.
- [0069] 다음은 본 발명의 또다른 실시예에 따른 발광 소자(500)에 대해서 설명하기로 한다.
- [0070] 도 11은 본 발명의 또다른 실시예에 따른 발광 소자의 단면도이다.
- [0071] 본 발명의 또다른 실시예에 따른 발광 소자(500)는 기판(501), p형 전극(502), p형 반도체층(503), 활성층(504), 전자 차단층(505), n형 반도체층(506) 및 n형 전극(507)을 포함한다. 이러한 발광 소자(500)는 수직 구조 발광 다이오드를 구현할 수 있다.
- [0072] 상기 기판(501)은 발광 소자(500)의 지지체로서 작용한다. 상기 기판(501)은 p형 반도체층(503)에 절연성 물질로 형성되거나, 전류가 흐르도록 도전성 물질 예를 들어 Cu, Au, Ni, Mo, Cu-W 및 캐리어 웨이퍼(예를 들어, Si, Ge GaAs, ZnO, SiC 등) 중 적어도 어느 하나로 형성될 수 있다.
- [0073] 상기 p형 전극(502)은 기판(501)에 형성되며, n형 전극(507)과 함께 p형 반도체층(503)과 n형 반도체층(506)에 전압을 인가하도록 도전성 물질로 형성될 수 있다. 한편, 상기 p형 전극(502)은 상기 기판(501)이 도전성 물질로 형성되어 전극으로서의 역할을 하면 생략될 수도 있다.

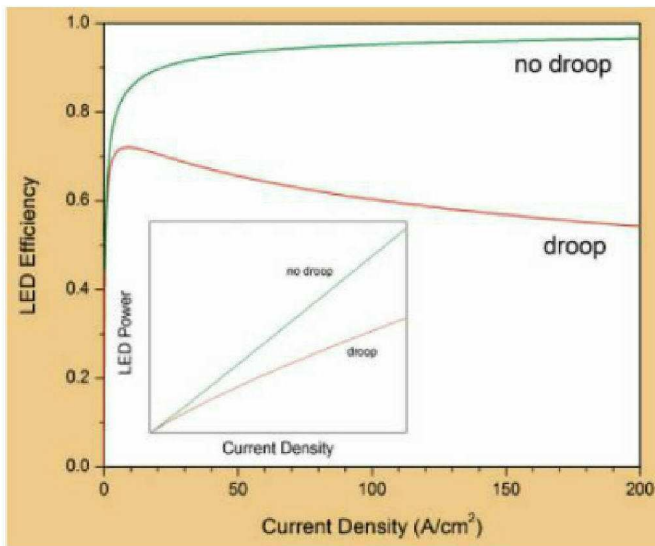
- [0074] 상기 p형 반도체층(503)은 기판(501) 상에, 더 구체적으로는 p형 전극(502) 상에 형성되며, 도 2의 p형 반도체층(105)과 동일한 물질로 형성되며 동일한 역할을 하므로 중복된 설명을 생략하기로 한다.
- [0075] 상기 활성층(504)은 p형 반도체층(503) 상에 형성되며, 도 2의 활성층(104)과 동일한 물질로 형성되며 동일한 역할을 하므로 중복된 설명을 생략하기로 한다.
- [0076] 상기 전자 차단층(505)은 활성층(504) 상에 형성되며, 도 2의 전자 차단층(103)과 동일한 물질로 형성되며 동일한 역할을 하므로 중복된 설명을 생략하기로 한다.
- [0077] 상기 n형 반도체층(506)은 전자 차단층(505) 상에 형성되며, 도 2의 n형 반도체층(102)과 동일한 물질로 형성되며 동일한 역할을 하므로 중복된 설명을 생략하기로 한다.
- [0078] 상기 n형 전극(507)은 n형 반도체층(506) 상에 형성되며, 도 2의 n형 전극(107)과 동일한 물질로 형성되며 동일한 역할을 하므로 중복된 설명을 생략하기로 한다.
- [0079] 상기와 같이 본 발명의 또다른 실시예에 따른 발광 소자(500)는 n형 반도체층(506)과 활성층(504) 사이에 형성되는 전자 차단층(505)을 구비함으로써, 활성층(504)으로의 정공의 공급을 방해하지 않고 정공 주입 효율을 향상시키면서 정공보다 작은 질량을 가져 큰 이동도를 가지는 전자의 공급을 방해하게 할 수 있다.
- [0080] 따라서, 본 발명의 또다른 실시예에 따른 발광 소자(500)는 활성층(504)으로의 전자와 정공의 공급 불균형을 감소시켜 발광 효율을 증가시킬 수 있으며, 광 효율 저하 현상(Efficiency droop)을 감소시켜 고출력 발광 소자, 예를 들어 고출력 수직 구조 발광 다이오드의 구현을 가능하게 할 수 있다.
- [0081] 한편 도시하진 않았지만, 도 11의 발광 소자(500)는 활성층(504)과 p형 반도체층(503) 사이에 도 9의 오버 플로우 방지층(409)을 형성하여 구성될 수 있다.
- [0082] 본 발명은 첨부된 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.

부호의 설명

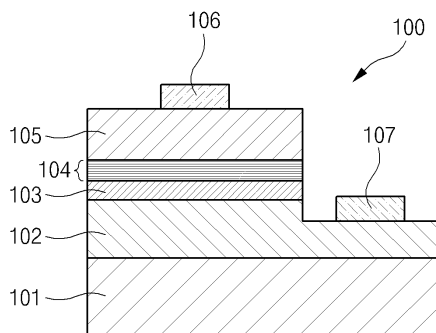
- [0083]
- | | |
|--------------------------------|-------------------|
| 100, 200, 300, 400, 500: 발광 소자 | 101, 501: 기판 |
| 102, 507: n형 전극 | 103, 505: 전자 차단층 |
| 104, 504: 활성층 | 105, 503: p형 반도체층 |
| 106, 502: p형 전극 | 107, 507: n형 전극 |
| 409: 전자 오버 플로우 방지층 | |

도면

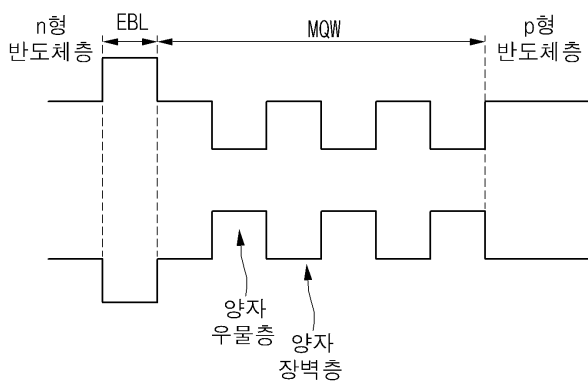
도면1



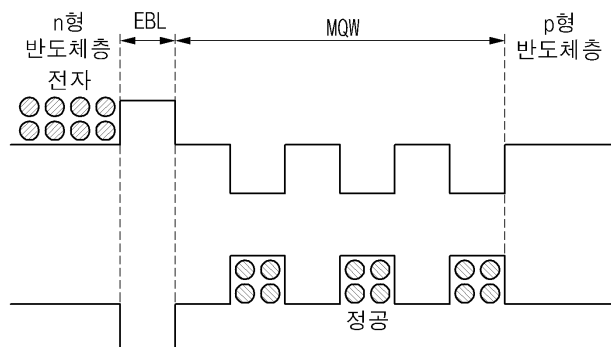
도면2



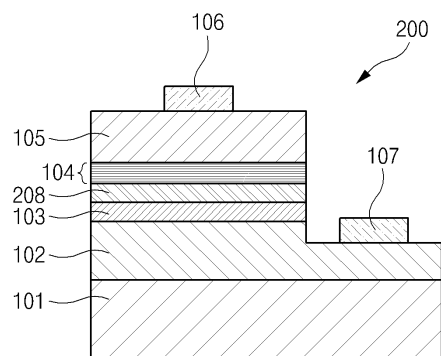
도면3



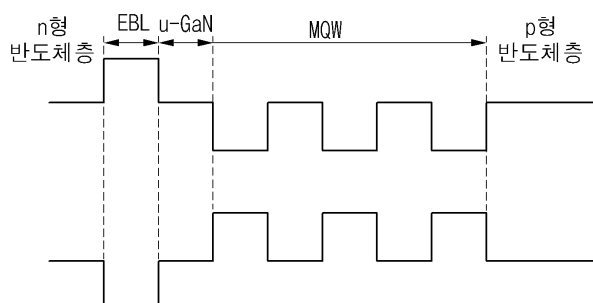
도면4



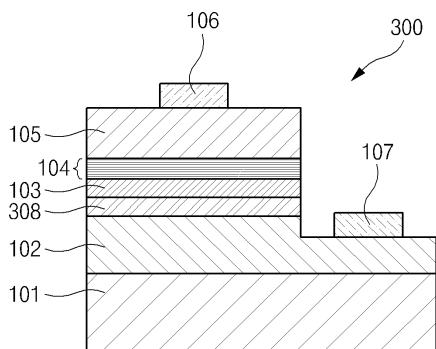
도면5



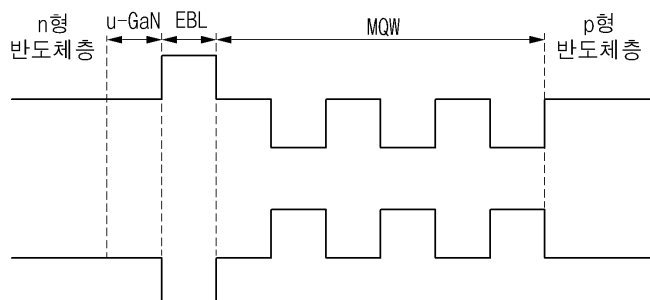
도면6



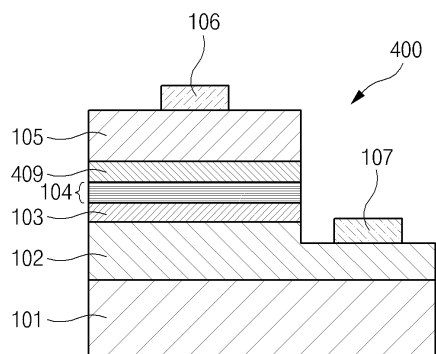
도면7



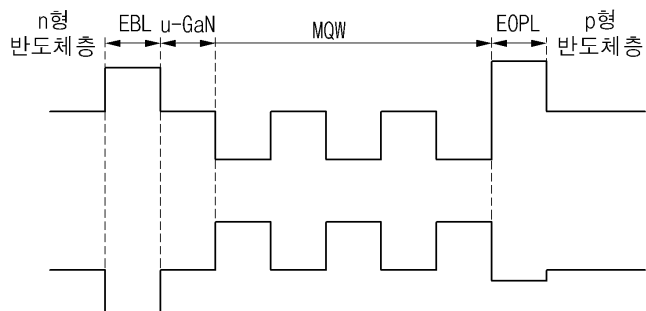
도면8



도면9



도면10



도면11

