

DISPOSITIF DE COMMANDE D'UN CIRCUIT DE GENERATION
DE TENSIONS DE REFERENCE.

La présente invention concerne un dispositif de commande d'un circuit de génération de tensions de référence. Plus précisément, ce dispositif de commande permet de commuter des tensions de référence en
5 fonction d'un signal de contrôle logique, pour être appliquées notamment comme tensions de polarisation de transistors cascades dans un translateur de niveau haute tension.

Un exemple d'application concerne les circuits
10 intégrés comprenant des mémoires non volatiles électriquement programmables.

Ces mémoires utilisent en effet pour leur programmation, une tension de niveau supérieur à la tension d'alimentation logique Vcc du circuit intégré.
15 La valeur nominale de cette haute tension de programmation dépend essentiellement de la technologie considérée.

Pour appliquer cette haute tension à un élément du circuit intégré, par exemple pour l'appliquer sur une
20 rangée d'une mémoire, on utilise habituellement un translateur haute tension, appelé encore translateur de niveaux.

Ce translateur reçoit en entrées, un signal logique de commande et une entrée haute tension. En fonction du
25 niveau logique Vcc ou 0 du signal logique de commande, qui dans le cas d'une mémoire sera issu d'un signal de commande d'écriture, on obtient en sortie du translateur, soit la masse, soit le niveau de l'entrée haute tension. Ces translateurs sont bien connus de
30 l'homme du métier.

Ces translateurs comprennent habituellement un étage intermédiaire, entre l'étage des transistors du haut et l'étage des transistors du bas. Cet étage intermédiaire comprend un ou plusieurs étages cascades.

5 Il permet de limiter à des niveaux de tension intermédiaires les noeuds internes du translateur, en sorte qu'aucun transistor du translateur ne voit une trop haute tension à ses bornes.

Un exemple d'un translateur à étage cascode de ce type, en technologie CMOS, est représenté sur la figure 1.

Dans cet exemple, l'étage du haut comprend dans la première branche, un transistor Mos de type P, M1, et dans la deuxième branche, un transistor Mos de type P, M2. La source de ces transistors est connectée au nœud d'entrée haute tension EHV.

L'étage du bas comprend un transistor Mos de type N, M3, et dans la deuxième branche, un transistor Mos de type N, M4. Ces transistors ont leur source connectée à la masse GND.

L'étage cascode comprend quatre transistors Mos : deux transistors Mos de type P, M5 et M6, un dans chaque branche, sous chaque transistor du haut et deux transistors Mos de type N, M7 et M8, un dans chaque branche, au-dessus de chaque transistor du bas. Les transistors MOS P M5 et M6 reçoivent la tension de référence V_{REF_p} sur leur grille. Les transistors MOS N M7 et M8 reçoivent la tension de référence V_{REF_n} sur leur grille.

30 La sortie VOUT du translateur est prise entre les transistors cascades N et P d'une branche, aux drains des transistors M6 et M8 dans l'exemple.

La grille du transistor du bas M3 de la première branche du translateur reçoit un signal logique de

commutation noté IN, et la grille du transistor du bas M4 de la deuxième branche du translateur reçoit le signal inverse, noté /IN.

5 Le rôle de l'étage cascode est de limiter à des niveaux intermédiaires les tensions vues par les transistors du translateur.

Les transistors cascades d'un translateur sont habituellement polarisés par les tensions d'alimentation logique Vcc (transistors cascades Mos N) et GND (transistors cascades Mos P). Dans d'autres
10 translateurs, ils sont polarisés par des tensions de référence V_{REFn} , V_{REFp} , générées à partir de la haute tension.

Dans la demande de brevet français n° 99 09970
15 déposée le 30 juillet 1999, on montre qu'aucun des deux modes de polarisation n'est satisfaisant. En effet, quand le translateur n'est pas utilisé, le noeud haute tension EHV est à un niveau de repos inférieur ou égal à Vcc. La haute tension est appliquée sous forme d'une
20 rampe de tension qui fait passer le noeud de haute tension depuis sa valeur de repos à sa valeur nominale de haute tension, Vpp. Ainsi, le niveau de tension au noeud EHV, est d'abord inférieur ou égal au niveau de la tension d'alimentation logique Vcc puis devient
25 supérieur pour s'établir à sa valeur nominale Vpp. Quel que soit le mode de polarisation des transistors cascades choisi, cette polarisation est fixe, déterminée. Dans la demande on montre que la
30 polarisation des transistors cascades a alors une influence sur la plage de fonctionnement du translateur, ou sur le stress des transistors du translateur, liée à la montée en tension sur le noeud de haute tension EHV.

Dans la demande précitée, et comme représenté sur la figure 1, un dispositif de commande est prévu, comprenant un circuit REF de référence de tension et un circuit de commande COM, en sorte d'obtenir des

5 références de tension, en fonction du niveau de l'entrée haute tension EHV. Appliqué au translateur haute tension, ce dispositif de commande permet de faire commuter le translateur dans les valeurs basses de l'entrée haute tension (niveau de repos), en

10 commutant comme tensions de polarisation des transistors cascodes, des tensions de référence égales aux tensions d'alimentation logique VCC et GND. Une fois que les transistors ont commuté, le niveau de l'entrée haute tension peut monter à sa valeur nominale VPP, sans

15 risques pour les transistors du translateur. Le dispositif de commande commute alors comme tensions de polarisation des transistors cascodes, les tensions de référence V_{REF_n} , V_{REF_p} , définies par la mise en série de transistors du circuit de référence montés en diode

20 entre le noeud haute tension et la masse.

La sortie du translateur suit alors la montée en tension de l'entrée haute tension EHV avec les avantages d'une polarisation des transistors cascodes par les tensions de référence V_{REF_n} , V_{REF_p} . Tant que le noeud EHV

25 reste à sa valeur nominale VPP, le translateur peut commuter dans un sens ou dans l'autre, avec ces tensions de polarisation. Dès que le noeud EHV retrouve son niveau de repos, VCC dans l'exemple, ce sont les tensions VCC et GND qui s'appliquent comme tensions de

30 polarisation. Ainsi, la fenêtre de fonctionnement du translateur est élargie (commutation à basse tension) et ses translateurs ne subissent pas de stress dû au passage du noeud haute tension de sa position de repos, VCC dans l'exemple, à sa valeur nominale VPP.

Comme détaillé sur la figure 1, selon la demande précitée, le circuit REF comprend ainsi trois transistors Mos de type P M12, M13 et M14, connectés en série entre le noeud N d'entrée haute tension EHV, et la masse GND. Le premier et le troisième transistors M12 et M14 ont chacun leur grille connectée à leur drain. Le deuxième transistor M13 est commandé par un circuit de commande COM. Son drain et sa source fournissent respectivement une première tension de référence V_{POL_1} et une deuxième tension de référence V_{POL_2} . Ce sont les tensions qui sont appliquées dans l'exemple comme tensions de polarisation de grille des transistors cascodes du translateur haute tension.

Le circuit de commande COM permet de contrôler la tension de grille, de drain et de source du deuxième transistor M13, selon le niveau d'un signal de contrôle /WR.

Le fonctionnement d'un tel dispositif de commande est illustré sur les figures 2 et 3, dans un exemple dans lequel le niveau de repos de l'entrée haute tension EHV est Vcc.

Lorsque le signal de contrôle /WR est à un premier niveau logique, "1" dans l'exemple, le transistor M13 est bloqué et son drain et sa source sont respectivement forcés à Vcc et GND par des moyens du circuit de commande COM. On a alors $V_{POL_1} = V_{CC}$ et $V_{POL_2} = GND$.

Lorsque le signal de contrôle /WR est au deuxième niveau logique, "0" dans l'exemple, le drain et la grille du transistor M13 sont connectés ensemble, en sorte qu'il est monté en diode, comme les deux autres transistors du circuit de référence M12 et M14. Ce sont alors ces transistors de référence M12, M13 et M14 du circuit de référence qui établissent les niveaux de

tensions sur les noeuds A et B, en fonction du niveau sur l'entrée haute tension EHV. On a alors $V_{POL1} = V_{REFh}$ et $V_{POL2} = V_{REFp}$.

Ainsi, selon le niveau du signal de contrôle
5 logique /WR, on commute des tensions de référence
différentes. Dans l'exemple d'application à la
polarisation des transistors cascodes d'un translateur
haute tension, le premier mode de fonctionnement (/WR à
"1") correspond à l'entrée haute tension à son niveau
10 de repos, Vcc, dans l'exemple, et le deuxième mode de
fonctionnement (/WR à "0") correspond à l'entrée haute
tension montant à sa valeur nominale Vpp.

Le circuit de commande COM comprend principalement
quatre transistors Mos M15, M16, M17 et M18, comme
15 représenté sur la figure 1.

Le transistor Mos de type P M15 est connecté entre
la tension d'alimentation logique Vcc et le premier
noeud intermédiaire A du circuit de référence REF,
connecté à la source du transistor M13.

20 Le transistor Mos de type N M16 est connecté entre
le deuxième noeud intermédiaire B du circuit de
référence, connecté au drain du transistor M13, et la
masse GND.

Le transistor Mos de type P M17 est connecté entre
25 la tension d'alimentation logique Vcc et la grille du
transistor M13.

Le transistor M18 est connecté entre la grille et
le drain (noeud B) du deuxième transistor M13.

Les transistors M16 et M18 sont commandés sur leur
30 grille par le signal de contrôle logique /WR du circuit
de commande et le transistor M15 est commandé par un
signal VNP référencé à l'entrée haute tension EHV et issu
du signal /WR et de logique inverse.

Le transistor M17 est connecté sur sa grille au deuxième noeud intermédiaire B.

Le fonctionnement de ce circuit de commande est le suivant :

5 Lorsque le signal /WR est à "1", le transistor M16 est passant et tire le deuxième noeud intermédiaire B à zéro, et par suite la grille du transistor M17.

Le transistor M18 lui est bloqué. Aussi, le transistor M17, qui lui est passant, amène la tension
10 Vcc sur la grille du transistor M13, qui est ainsi forcé à l'état bloqué.

Le transistor M15 est lui aussi passant, puisque le signal VNP est de logique inverse au signal /WR. Il amène donc la tension Vcc sur le premier nœud
15 intermédiaire A.

Comme le transistor M13 est forcé à l'état bloqué par les transistors M16 et M17 du circuit de commande, les noeuds intermédiaires A et B sont confortés dans leurs niveaux respectifs Vcc et GND, quel que soit le
20 niveau de tension sur l'entrée haute tension.

Lorsque le signal /WR passe à "0", correspondant à la montée en tension de l'entrée haute tension EHV depuis Vcc jusqu'à sa valeur nominale VPP, les transistors M15 et M16 passent à l'état bloqué, et par
25 suite le transistor M17 passe à l'état bloqué également. Le transistor M18 lui devient passant et connecte activement la grille du transistor M13 au deuxième noeud intermédiaire B, c'est à dire à son drain. Le transistor M13 se retrouve alors connecté en
30 diode comme les autres transistors M12 et M14 du circuit de référence. On retrouve le fonctionnement normal du circuit de référence : les tensions aux noeuds A et B suivent la montée en tension de l'entrée haute tension EHV.

Comme le transistor M15 du circuit de commande est connecté entre la tension d'alimentation logique Vcc et le noeud A et que le transistor M12 du circuit de référence est connecté entre l'entrée haute tension EHV et le noeud A, lorsque cette entrée haute tension EHV atteint les valeurs hautes, il faut être certain que le transistor M15 soit bien bloqué, pour ne pas envoyer de la haute tension vers la tension d'alimentation logique Vcc.

Pour cette raison, le transistor M15 doit recevoir sur sa grille non pas le niveau haut correspondant à la tension d'alimentation logique Vcc, mais celui issu de l'entrée haute tension EHV. Quand l'entrée haute tension atteint sa valeur nominale VPP, on retrouve cette valeur VPP sur la grille du transistor M15.

Ceci est obtenu dans l'exemple au moyen d'un circuit inverseur à trois transistors Mos. Un premier transistor Mos de type P, M19, un deuxième transistor Mos de type N, M20 et un troisième transistor Mos de type N M21 sont connectés en série entre le noeud N d'entrée haute tension EHV et la masse GND.

Le transistor M21 est commandé sur sa grille par le signal de contrôle /WR.

Les transistors M20 et M19 ont leurs grilles reliées ensemble au premier noeud intermédiaire A.

Le signal de logique inverse VNP et référencé à EHV par l'inverseur est fourni par le point de connexion série entre les deux transistors M19 et M20. C'est le signal appliqué sur la grille du transistor M15.

Le fonctionnement est comme suit : lorsque le signal binaire /WR est à 1, le transistor M21 est passant et tire la source du transistor M20 à la masse. Le noeud A est à Vcc. Comme l'entrée haute tension EHV est à ce moment à son niveau de repos basse-tension

(dans l'exemple, à V_{CC} , confère figures 2 et 3), le transistor M19 est donc bloqué. Le transistor M20 lui est passant. On retrouve donc 0 volt sur la grille du transistor M15 : $V_{NP}=0$.

5 Les tailles des transistors MOS 19, 20 et 21 sont dimensionnées pour que, même si l'entrée haute tension EHV prend une valeur supérieure à V_{CC} , V_{NP} reste inférieur à $V_{CC} - V_{tp}$, en sorte que le translateur fonctionne même dans les valeurs hautes de l'entrée
10 haute tension (c'est à dire qu'il peut basculer).

Lorsque le signal binaire /WR est à "0", et que l'entrée haute tension EHV monte de V_{CC} à V_{PP} , le transistor M21 n'est pas passant et met la source du transistor M20 à un potentiel flottant.

15 Le potentiel V_{NP} n'est pas tiré à la masse. Donc le transistor M15 est bloqué. Si l'entrée EHV est à V_{PP} , Le noeud A est polarisé par le transistor M12 à une tension inférieure à $V_{PP} - V_{tp}$. Le transistor M19 est passant et V_{NP} est tiré à V_{PP} . La position stable est
20 donnée par $V_{NP} = V_{PP}$, M15 bloqué et V_{REF_n} inférieur à $V_{PP} - V_{tp}$.

Un problème de ce dispositif de commande tient dans cette commande complexe du transistor M15, et qui nécessite trois transistors M19, M20 et M21, pour
25 assurer son blocage sûr ou sa mise en conduction en fonction du signal de contrôle /WR.

Un objet de l'invention est de réduire le nombre de transistors du circuit de commande, tout en conservant la fonctionnalité du dispositif de commande, à savoir
30 une source de tensions de référence .

Dans l'invention, un circuit de commande est proposé par lequel on prévoit notamment que le transistor M12 du circuit de référence n'est plus directement monté en diode, mais commandé par des

moyens de commande par lesquels il fonctionne soit en source de courant, soit en diode.

Telle que revendiquée l'invention concerne donc un dispositif de commande d'un circuit de génération REF
5 de tensions de référence V_{POL1} , V_{POL2} comprenant un premier transistor Mos de type P M12, connecté entre un noeud N recevant un signal haute tension EHV et un premier noeud intermédiaire A, un deuxième transistor Mos de type P M13 connecté entre le premier noeud
10 intermédiaire A et un deuxième noeud intermédiaire B et un troisième transistor Mos de type P M14 connecté entre le deuxième noeud et la masse, et ayant sa grille connectée à son drain, permet de fournir des tensions de référence V_{POL1} , V_{POL2} sur les noeuds intermédiaires
15 A, B. Ce dispositif comprend des moyens de commande des transistors de référence pour soit, dans un premier mode de fonctionnement, forcer le premier transistor de référence M12 en source de courant, le deuxième transistor de référence M13 à l'état bloqué et court-
20 circuiter le troisième transistor de référence M14 à la masse, soit, dans un deuxième mode de fonctionnement, connecter chacun desdits transistors en diode, leur grille et leur drain étant reliés, en fonction d'un signal de contrôle logique /WR.

25 D'autres caractéristiques et avantages de l'invention sont détaillés dans la description suivante, faite à titre indicatif et non limitatif de l'invention et en référence aux dessins annexés dans lesquels :

30 - la figure 1 déjà décrite représente un translateur de haute tension à étage cascode et un dispositif de commande à tensions de référence selon un état de la technique ;

- la figure 2 montre la forme du signal V_{OUT} obtenue en sortie du translateur de la figure 1 en fonction du signal de commande de commutation IN ;
- 5 - la figure 3 montre la forme de l'entrée haute tension, du signal de commande du circuit de commande selon le dispositif de commande de la figure 1, ainsi que les courbes correspondantes des tensions de référence obtenues ;
- 10 - la figure 4 montre un dispositif de commande selon la présente invention;
- la figure 5 montre une variante de ce dispositif;
- la figure 6 montre le schéma équivalent du
15 dispositif de la figure 5 lorsque le signal de contrôle $/WR$ est à "1";
- la figure 7 montre le schéma équivalent du dispositif de la figure 5 lorsque le signal de contrôle $/WR$ est à "0" ; et
- 20 - la figure 8 représente schématiquement un circuit intégré comprenant un tel dispositif de commande.

La figure 4 représente un dispositif de commande
25 selon l'invention. Ce dispositif de commande permet de fournir en sortie des tensions de référence V_{POL1} , V_{POL2} qui sont fonction d'un signal de commande logique $/WR$ appliqué en entrée dudit dispositif :

30 Soit $/WR=0$ et $(V_{POL1}, V_{POL2}) = (V_{CC}, 0)$, correspondant à un premier mode de fonctionnement relatif en pratique au cas où l'entrée haute tension EHV est à son niveau de repos V_{CC} .

Soit $/WR=0$ et $(V_{POL1}, V_{POL2}) = (V_{refn}, V_{refp})$, correspondant à un deuxième mode de fonctionnement.

Le deuxième mode de fonctionnement correspond au cas où l'entrée haute tension passe à sa valeur nominale V_{PP} . Les tensions de référence s'établissent
5 alors par les transistors de référence M12, M13 et M14 montés en diode, et en fonction du niveau de l'entrée haute tension EHV.

Les éléments communs à l'état de la technique représenté sur la figure 1 portent les mêmes références
10 sur la figure 4, pour la clarté de l'exposé.

Ainsi, le circuit de référence REF comprend t-il trois transistors Mos de type P M12, M13 et M14, connectés en série entre le noeud N, recevant l'entrée haute tension EHV, et la masse GND.

15 La source et le drain du deuxième transistor M13 fournissent respectivement la première tension de référence V_{POL1} , sur le premier noeud intermédiaire A du circuit de référence REF, et la deuxième tension de référence V_{POL2} , sur le deuxième noeud intermédiaire B.

20 Ces tensions de référence peuvent par exemple être appliquées comme tensions de polarisation de grille des transistors cascodes d'un translateur haute tension.

Dans le circuit de référence selon l'invention, seul le troisième transistor M14 a sa grille connectée
25 à son drain. Les premier et deuxième transistors M12 et M13 sont eux commandés par un circuit de commande COM selon l'invention.

Ce circuit de commande comprend des moyens de commande du premier transistor M12 du circuit de
30 référence pour soit le faire fonctionner en source de courant, soit le faire fonctionner en diode. Ces moyens de commande comprennent un premier transistor MOS de type P, M22, connecté entre la grille et le drain du transistor MOS de type P M12, et un deuxième transistor

MOS de type N, M23, connecté entre la grille du transistor MOS de type P M12 et la masse GND. Les transistors M22 et M23 ont leurs grilles connectées en commun et commandées par le signal de contrôle /WR.

5 Ainsi, quand ce signal /WR vaut "1", correspondant au premier mode de fonctionnement du dispositif de commande, l'entrée EHV étant à son niveau de repos Vcc, le transistor M22 est bloqué, tandis que le transistor M23 est passant et amène la grille du premier
10 transistor de référence M12 à GND. Ce transistor a alors une conduction franche qui fait monter son drain au niveau EHV de sa source. Comme l'entrée EHV est à son niveau de repos Vcc, on a $V_{POL1} = V_{cc}$.

 Quand ce signal /WR vaut "0", correspondant au
15 deuxième mode de fonctionnement du dispositif de commande, l'entrée EHV montant à son niveau nominal Vpp, le transistor M23 est bloqué, tandis que le transistor M22 est passant et court-circuite la grille et le drain du premier transistor de référence M12 : il est
20 équivalent à une diode.

 Les moyens de commande du deuxième transistor de référence M13 comprennent les transistors MOS de type P M17 et M18, connectés en série entre la tension d'alimentation logique Vcc et le drain du deuxième
25 transistor MOS de référence M13. Le transistor M18 est commandé par le signal logique /WR, mais la grille du transistor M17 n'est plus commandée par la source du troisième transistor de référence. Dans le circuit de commande selon l'invention, le transistor M17 a sa
30 grille commandée comme la grille du premier transistor de référence M12. En d'autres termes, leurs grilles sont connectées ensemble.

 Soit le signal /WR est à "1", et le transistor M17 est franchement passant, par le transistor M23 qui

force sa grille à 0. Le transistor M17 amène alors la grille du deuxième transistor de référence M13 à Vcc : le transistor M13 est bloqué. Le transistor M18 est bloqué.

5 Soit le signal /WR est à 0, et le transistor M17 est franchement bloqué. Le transistor M18 est passant et court-circuite la grille et le drain du deuxième transistor de référence M13 à Vcc : le transistor M13 est monté en diode.

10 Enfin, on retrouve le transistor MOS de type N M16, connecté en parallèle sur le troisième transistor de référence M14 et commandé sur sa grille par le signal de commande logique /WR, pour soit tirer le noeud B à la masse GND, ce qui revient à court-circuiter le
15 transistor de référence M14 (/WR à "1"), soit laisser activement ce transistor de référence M14 monté en diode dans le circuit de référence REF.

Par le circuit de commande selon l'invention, quand le signal /WR est à "0", on retrouve le fonctionnement
20 normal du circuit de référence, avec ses trois transistors de référence M12, M13 et M14 activement connectés en diode, en série entre l'entrée haute tension et la masse, permettant l'établissement de tensions de référence en fonction du niveau de cette
25 entrée haute tension.

Les figures 6 et 7 permettent d'illustrer le fonctionnement du dispositif de commande selon l'invention. Le schéma équivalent du dispositif de commande quand /WR est à "1" est représenté sur la
30 figure 6. L'entrée EHV est à son niveau de repos Vcc. Le deuxième transistor de référence M13 est bloqué tandis que le premier transistor de référence M12 tire le noeud A à EHV=Vcc et que le troisième transistor M14 tire le noeud B à GND. Le schéma équivalent du

dispositif de commande quand /WR est à "0" est représenté sur la figure 7. L'entrée haute tension monte ou est établie à son niveau nominal V_{PP} . Les trois transistors de référence M12, M13 et M14 sont montés en diode entre l'entrée haute tension EHV et la masse, amenant le noeud A et le noeud B à des niveaux de référence V_{REF_n} et V_{REF_p} fonction du niveau de l'entrée haute tension.

Sur la figure 5, une variante d'un dispositif de commande est représentée, dans laquelle la grille du transistor M17 est directement commandée par le signal de contrôle /WR, par le biais d'un inverseur I1 (pour moi, toujours le même PB pour cette commande de grille).

Avec un dispositif de commande selon l'invention, le nombre de transistors est diminué, lié à la simplification du circuit de commande.

Le dispositif de commande selon l'invention est particulièrement adapté pour fournir les tensions de polarisation des transistors cascodes d'au moins un translateur haute tension. Il s'applique tout naturellement, mais pas exclusivement au domaine des mémoires non volatiles, pour leur programmation. Un tel exemple d'application est schématiquement représenté sur la figure 8. Le circuit intégré CI représenté comprend ainsi des cellules de mémoire non volatile électriquement programmable MEM, et au moins un translateur haute tension 10 pour appliquer en sortie VOUT une tension de programmation V_{PP} sur ces cellules. Ce translateur reçoit les tensions de polarisation V_{POL_1} et V_{POL_2} de ses transistors cascodes d'un dispositif de commande 30 selon l'invention à source de références de tension , en fonction du signal de contrôle /WR.

Le niveau de ces tensions de polarisation fournies par ce dispositif de commande est fonction de ce signal de contrôle /WR. En pratique, ce signal de contrôle est lui-même fonction du niveau de l'entrée haute tension 5 EHV, et dans l'exemple, fourni par un circuit 50 de comparaison à un seuil déterminé du niveau de cette entrée. On notera qu'un même dispositif de commande peut fournir les tensions de polarisation de plusieurs translateurs haute tension.

REVENDEICATIONS

1. Dispositif de commande d'un circuit de
génération (REF) de tensions de référence (V_{POL1} , V_{POL2})
5 comprenant un premier transistor Mos de type P (M12),
connecté entre un noeud (N) recevant un signal haute
tension (EHV) et un premier noeud intermédiaire (A), un
deuxième transistor Mos de type P (M13) connecté entre
le premier noeud intermédiaire (A) et un deuxième noeud
10 intermédiaire (B) et un troisième transistor Mos de
type P (M14) connecté entre le deuxième noeud et la
masse, et ayant sa grille connectée à son drain, une
tension de référence (V_{POL1} , V_{POL2}) étant obtenue sur
l'un ou l'autre desdits noeuds intermédiaires (A, B),
15 caractérisé en ce qu'il comprend des moyens de commande
desdits transistors de référence pour soit, dans un
premier mode de fonctionnement, forcer le premier
transistor de référence (M12) en source de courant, le
deuxième transistor de référence (M13) à l'état bloqué
20 et court-circuiter le troisième transistor de référence
(M14) à la masse, soit, dans un deuxième mode de
fonctionnement, connecter chacun desdits transistors en
diode, leur grille et leur drain étant reliés, en
fonction d'un signal de contrôle logique (/WR).

25

2. Dispositif selon la revendication 1, caractérisé
en ce que le noeud d'entrée haute tension a une valeur
de repos correspondant à la tension d'alimentation
logique V_{CC} , ce noeud haute tension s'établissant à une
30 valeur nominale supérieur V_{PP} , selon une rampe, et en
ce que le premier mode de fonctionnement (/WR à "1")
correspond au niveau de repos de ladite entrée haute

tension et le deuxième mode de fonctionnement (/WR à "0") correspond à l'établissement à la valeur nominale.

3. Dispositif selon la revendication 1 ou 2,
5 caractérisé en ce que lesdits moyens de commande comprennent un premier transistor Mos de type P (M22) connecté entre la grille et le drain dudit premier transistor de référence (M12) et un deuxième transistor MOS de type N (M23) connecté entre la grille dudit
10 premier transistor de référence et la masse (GND), lesdits transistors des moyens de commande étant commandés sur leur grille par le signal de contrôle logique (/WR).

4. Dispositif de commande selon l'une des
15 revendications précédentes, caractérisé en ce que lesdits moyens de commande comprennent un premier et un deuxième transistor MOS de type P (M17, M18) connectés en série entre la tension d'alimentation logique (Vcc) et le drain dudit deuxième transistor de
20 référence (M13), le premier transistor (M17) desdits moyens de commande ayant sa grille connectée en commun à la grille dudit premier transistor de référence (M12), et le deuxième transistor (M18) desdits moyens de commande ayant sa grille contrôlée par ledit signal
25 de contrôle logique (/WR).

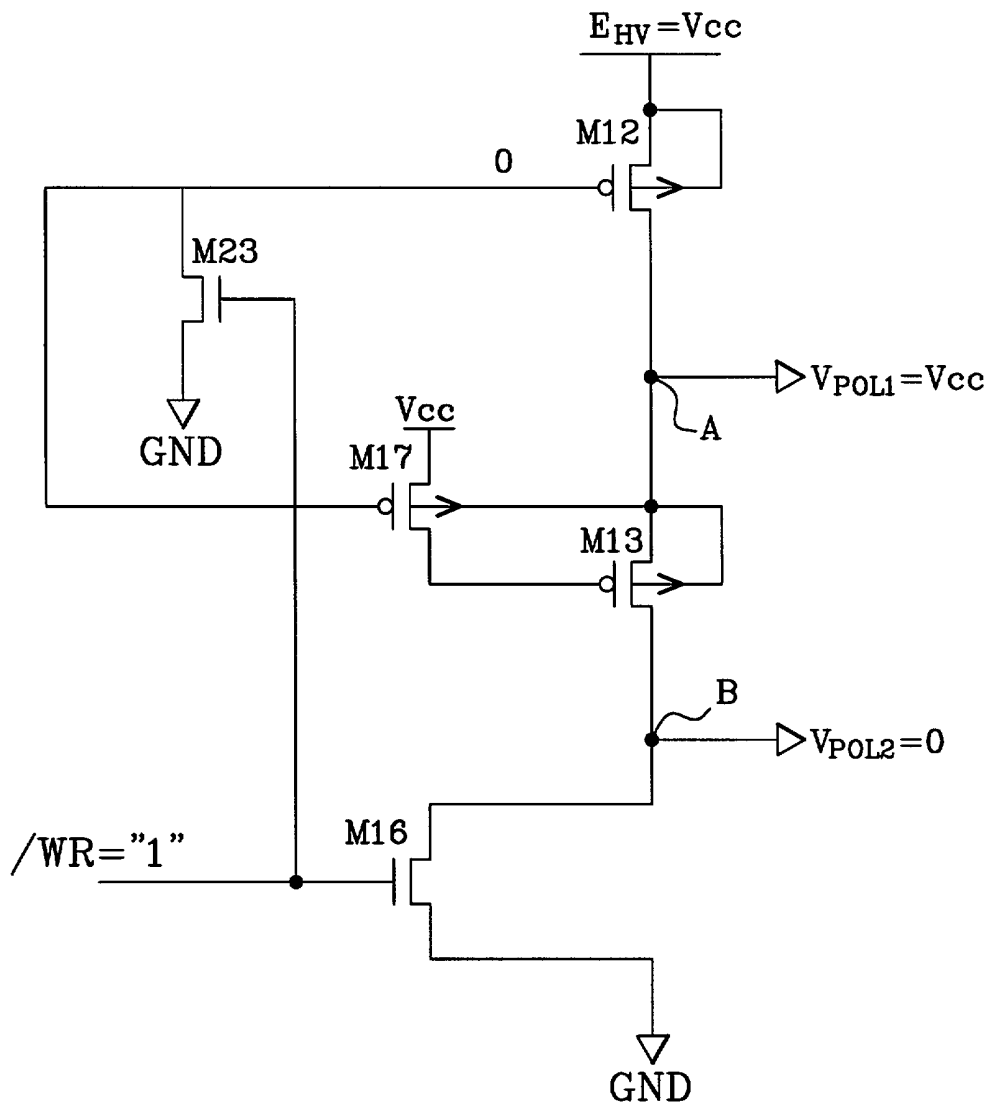
5. Dispositif de commande selon l'une quelconque des revendications précédentes, caractérisé en ce que lesdits moyens de commande comprennent un transistor MOS de type N (M16), connecté en parallèle entre la
30 source et le drain dudit troisième transistor de référence (M14), et dont la grille est contrôlée par ledit signal de contrôle logique (/WR).

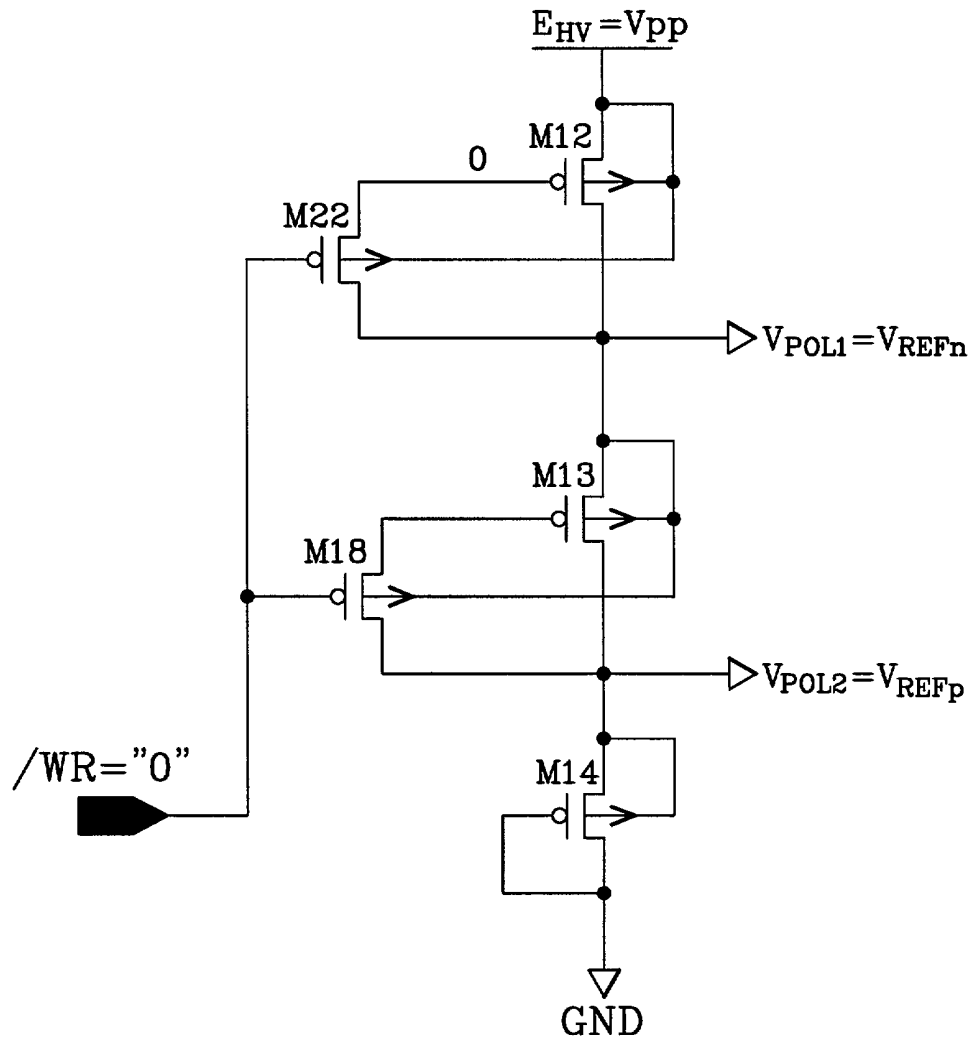
6. Circuit intégré comprenant un translateur haute tension à transistors cascades, caractérisé en ce qu'il comprend un dispositif de commande selon l'une quelconque des revendications 1 à 5 précédentes pour
5 appliquer les tensions de référence comme tensions de polarisation desdits transistors cascade.

7. Circuit intégré comprenant des éléments mémoire non volatile électriquement programmables, caractérisé en ce qu'il comprend au moins un dispositif de commande
10 selon l'une quelconque des revendications 1 à 5 précédentes, appliqué à au moins un translateur de niveau haute tension selon la revendication 6.

8. Circuit intégré selon la revendication 7, caractérisé en ce qu'il comprend un dispositif de
15 commande pour un ou plusieurs translateurs.

9. Circuit intégré selon la revendication 7 ou 8, caractérisé en ce qu'il comprend un détecteur de tension (50) pour fournir le signal de contrôle (/WR) du circuit de commande par comparaison du niveau de
20 l'entrée haute tension (EHV) à un seuil déterminé.

**Fig. 6**

**Fig. 7**

RAPPORT DE RECHERCHE
PRÉLIMINAIRE

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 598159
FR 0100953

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	US 5 109 187 A (GULIANI SANDEEP K) 28 avril 1992 (1992-04-28) * le document en entier *	1-9	H03K17/56 G11C16/12
A	TANAKA H ET AL: "SUB-1-MUA DYNAMIC REFERENCE VOLTAGE GENERATO FOR BATTERY-OPERATED DRAM'S" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, vol. 29, no. 4, 1 avril 1994 (1994-04-01), pages 448-453, XP000450867 ISSN: 0018-9200 * le document en entier *	1-9	
A	US 5 691 654 A (GREEN GARY W ET AL) 25 novembre 1997 (1997-11-25) * le document en entier *	1-9	
A	US 5 331 599 A (YERO EMILIO) 19 juillet 1994 (1994-07-19) * abrégé *	1-9	
A	US 5 923 157 A (EDO YASUHIRO) 13 juillet 1999 (1999-07-13) * abrégé *	1-9	DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7) G05F G11C
Date d'achèvement de la recherche		Examineur	
22 octobre 2001		Schobert, D	
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons</p> <p>..... & : membre de la même famille, document correspondant</p>			

1

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0100953 FA 598159**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 22-10-2001

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5109187	A	28-04-1992	AUCUN	
US 5691654	A	25-11-1997	AUCUN	
US 5331599	A	19-07-1994	FR 2688952 A1	24-09-1993
			DE 69300024 D1	15-12-1994
			DE 69300024 T2	11-05-1995
			EP 0562916 A1	29-09-1993
US 5923157	A	13-07-1999	JP 2885187 B2	19-04-1999
			JP 9304487 A	28-11-1997