第 87103476 號專利申請案
中文說明書修正本　　民國 88 年 2 月呈

418467

申請日期	87 年 3 月 10 日
案號	87103476
類別	H01L 21/60

（以上各欄由本局填註）

公告本

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	電子裝置、資訊處理裝置、半導體裝置之實裝方法以及電子裝置之製造方法
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 今須誠士 (2) 吉田育生 (3) 林田哲哉
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都青梅市新町二丁目四－八 春天高地三〇五 (2) 日本國東京都武蔵村山市大南五－六六－一八 (3) 日本國東京都西多摩郡日の出町平井二一九六－五
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立北海半導體股份有限公司 日立北海セミコンダクタ株式会社
	國籍	(1) 日本　(2) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國北海道亀田郡七飯町字中島一四五番地
	代表人姓名	(1) 金井務 (2) 鈴木茂

經濟部中央標準局員工消費合作社印製

裝　訂　線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

418467

申請日期	87 年 3 月 10 日
案號	87103476
類別	

A4
C4

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	
	英文	
二、發明 ~~創作~~ 人	姓名	⑷ 山際明 ⑸ 竹浦忍
	國籍	⑷ 日本　　⑸ 日本
	住、居所	⑷ 日本國神奈川縣中郡大磯町石神台三－四－一〇 ⑸ 日本國神奈川縣大和市福田三七五光福高地Ｂ－三
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
IPC分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1997 年 3 月 27 日	9-75970	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（　）

（發明之背景）

本發明乃有關於適用於，備有在配線基板之實裝面上，介置接著材而被固定，且在上述配線基板之電極墊上介置了突起電極而電氣的連接於外部端子之半導體晶片之電子裝置及半導體裝置上很有效之技術。

在配線基板之實裝面上實裝半導體晶片之實裝方法有：在於配線基板之電極墊與半導體晶片之外部端子之間，介置突起電極而實施之倒裝法（Flip-Chip）法，此倒裝法即有ＣＣＢ（Controled Collapse Bonding）法及ＦＣＡ（Flip Chip Attach）法。

上述ＣＣＢ法乃，以突起電極（bump-electrode），來固著配線基板之電極墊與半導體晶片之外部端子，而將兩者間電氣的且機械的連接之方法。具體的說明之，即首先在半導體晶片之外部端子上形成由鉛（Ｐｂ）－錫（Ｓｎ）組成之金屬材所成之球形狀之突起電極。接著以配線基板之電極墊與半導體晶片之外部端子之間可介置突起電極狀地在配線基板上配置半導體晶片，接著施予熱處理來熔融突起電極，固著配線基板之電極墊與半導體晶片之外部端子。此ＣＣＢ法將由於使用突起電極來固著配線基板之電極墊與半導體晶片之外部端子，因此起因於由配線基板與半導體晶片之熱膨脹係數之差之熱應力乃集中於突起電極，有時由熱應力而使突起電極破損。於是在ＣＣＢ法中，以突起電極固著配線基板之電極墊與半導體晶片之外部端子之後，對於配線基板與半導體晶片之間填充樹

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

脂，而以樹脂之機械強度來補助衝擊樹脂之機械的強度之嘗試。此技術乃稱謂填底（ under-fill ）構造而被用於半導體裝置之包裝技術。關於填底構造之半導體裝置乃例如記述於工業調查會發行之電子材料（１９９６年４月號第１４頁～第１９頁）。

上述ＦＣＡ法乃將形成於半導體晶片之外部端子上之突起電極壓接於配線基板之電極墊，由而將兩者電氣的且機械的連接之方法。具體的說，首先在半導體晶片之外部端子上形成由金（Ａｕ）所成之樁衝擊構造之突起電極。接著使配線基板之電極墊與半導體晶片之外部端子之間得介置突起電極地，在配線基板上介置由熱硬化性樹脂所成之片形狀之接著材而配置半導體晶片。接著將半導體晶片予以熱壓著，而對於配線基板之電極墊連接衝擊之狀態下使接著材硬化。在回復至室溫狀態之接著材上產生熱收縮力及熱硬化收縮力等之壓縮力。由此壓縮力而突起電極乃被壓接於配線基板之電極墊。

此ＦＣＡ法乃與上述ＣＣＢ法不同，配線基板之電極墊與半導體晶片之外部端子沒有用突起電極來固著，因此起因於配線基板與半導體晶片之熱膨脹係數之差之熱應力不會集中於突起電極。又對於配線基板之電極墊連接突起電極之過程與配線基板與半導體晶片之間填充樹脂之過程得在同一過程中可實施。此ＦＣＡ法乃對於配線基板上，搭載複數個之半導體晶片之存儲器組，ＣＰＵ（ Central Processing Unit ）組等之電子裝置之製造上有效。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

五、發明說明(3　)

又關於上述ＦＣＡ法乃記述於例如日本專利公報特開平４－３４５０４１號公報及特開平５－１７５２８０號公報。

（發明之概說）

本發明者等對於上述ＦＣＡ法檢討之結果看出下述之問題。

配線基板與半導體晶片之間所填充之接著材係由較突起電極之熱膨脹係數爲高之樹脂所形成，因此接著材之厚度方向之膨脹量乃大於突起電極之高度方向之膨脹量，因此大溫度循環試驗時，因此配線基板之電極墊與突起電極之間產生間隙，而會發生配線基板之電極墊與突起電極之接續不良。

又以接著材之熱收縮力及硬化收縮力而突起電極乃壓接於配線基板之電極墊，惟由熱之變化之膨脹、收縮之變移量即接著材大於突起電極，因此由在於溫度循環試驗時之膨脹收縮之反複而在突起電極之先端（配線基板之電極墊側）會發生塑性變形，致使突起電極之高度會變低，因此配線基板之電極墊與突起電極之間會產生間隙，會發生配線基板之電極墊與突起電極之接續不良。

本發明之目的係提供一種可能提高配線基板之電極墊與突起電極之連接可靠性之技術者。

本發明之上述及其他目的及新穎之特徵得由本說明書之記述及附圖而得於解明也。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明(4　)

本案中所揭示之發明中代表性者之概要說明於下。

係一種備有在配線基板之實裝面上，介置著接著材而被固定，且在上述配線基板之電極墊上介置了突起電極而電氣的連接有外部端子之半導體晶片之電子裝置中，

在上述電極墊上形成有凹部，而在凹部內連接上述電極墊及上述突起電極，上述電極墊乃形成於柔軟層之表面上，上述凹部乃由上述電極墊及柔軟層之彈性變形所形成者。

依上述構成時，該相當於凹部之凹入份量地可以使配線基板與半導體晶片之間之間隙變狹，因此可以使介置於配線基板與半導體晶片間之接著材之厚度變薄，該結果可以減低接著材之厚度方向之膨脹量，因此可以防止溫度循環試驗時之配線基板之電極墊與突起電極之接續不良，可以提高兩者間之接續之可靠性。

又由於可減低由熱之變化所致之接著劑之膨脹，收縮之變移量，因此可抑制溫度循環試驗時之膨脹收縮之反複而發生之突起電極之先端（配線基板之電極墊側）之塑性變形。

（實施形態之說明）

下面參照附圖詳細的說明本發明之實施形態。

又用於說明發明之實施形態之全圖中，具有同一機能者即標上同一標號而省略其反複說明。

（請先閱讀背面之注意事項再填寫本頁）

訂

裝

經濟部中央標準局員工消費合作社印製

五、發明說明（ 6 ）

（實施形態１）

圖１乃本發明之實施形態１之存儲器組（電子裝置）之平面圖，圖２係圖１之Ａ－Ａ線之位置剖開之要部剖面圖。圖３乃圖２之要部放大剖面圖。

本實施形態之存儲器組（電子裝置）乃如圖１所示，在配線基板１之實裝面上載置實裝構件之四個半導體晶片１０及一個半導體裝置２０而構成一個存儲器組。四個半導體晶片１０中分別將做爲存儲電路而載置例如ＳＲＡＭ（ Static Randam Access Memory ）。

一個半導體裝置２０即載置有用於控制四個半導體晶片１０之各自之存儲電路之控制電路。

上述配線基板１乃如圖２所示，以剛性基板２之表面之形成柔軟層３之構造而構成，剛性基板２乃例如由玻璃纖維上含浸環氧樹脂或聚醯亞胺樹脂之樹脂基板所構成。本實施形態之剛性基板２即以多層配線構造所構成。

柔軟層３乃例如由環氧樹脂系之低彈性樹脂，例如在常溫具有２ＧＰａ～７ＧＰａ程度之彈性率之樹脂所形成。

在上述柔軟層３之表面上雖沒有詳細的圖示，惟配置有複數之電極墊４Ａ。此複數之電極墊４Ａ乃分別介著延伸於柔軟層３表面上之配線４Ｃ而電氣的連接於延伸於剛性基板２之一表面上之配線２Ａ。配線２Ａ即介著剛性基板２之內部配線２Ｃ分別連接於配置於剛性基板２之背面上之複數之電氣墊２Ｂ。在此複數之電極墊２Ｂ之每一個

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

五、發明說明（6　）

上面，電氣的且機械的連接有例如由Ｐｂ－Ｓｎ組成之金屬材所成之球形狀之突起電極１７。電極墊４Ａ，配線４Ｃ，配線２Ａ，電極墊２Ｂ，內部配線２Ｃ均例如由銅（Ｃｕ）膜所形成。

上述柔軟層３之表面及配線４Ｃ之表面乃以保護膜５所被覆，上述剛性基板２之背面即以保護膜６來被覆。該保護膜５，６分別以例如用聚醯亞胺系之樹脂所形成。

上述半導體裝置２０乃以連接線２３來電氣的連接半導體晶片２１之外部端子與導引線２２之內部份，而以樹脂封閉體２４來密封這些半導體晶片２１，導引線２２之內部以及連接線２３等之構造而構成。此半導體裝置２０之導引線２２之外部即以錫焊而電氣的且機械的連接於配線基板１之電極墊４Ａ。

上述半導體晶片１０乃介置接著材１６而粘接固定於配線基板１之實裝面，接著材１６乃例如以環氧系之熱硬化性樹脂所形成。

上述半導體晶片１０乃如圖３所示，例如以單結晶矽所成之半導體基板爲主體而構成。在半導體基板１１之元件形成面（圖３之下面）形成有用於構成ＳＲＡＭ之元件。又半導體基板１１之元件形成面上配置有複數之外部端子１３。此各複數之外部端子１３乃分別地形成於半導體基板１１之元件形成面上介著絕緣層１２而形成之配線層中之最上層之配線層。例如以鋁（Ａｌ）膜或鋁合金膜所形成。各複數之外部端子１３乃分別介著形成於配線層

（請先閱讀背面之注意事項再填寫本頁）

裝　訂

經濟部中央標準局員工消費合作社印製

五、發明說明（　）

之配線而電氣的連接於構成ＳＲＡＭ之元件。最上層之配線層上形成有最終保護膜１４。此保護膜１４乃例如以ＰＩＱ樹脂所形成。

如圖２及圖３所示，在上述半導體晶片１０之外部端子１３與上述配線基板１之電極墊４Ａ之間介置有突起電極１５。

突起電極１５乃通過形成於半導體晶片１０之最終保護膜１４之開口而固著於半導體晶片１０之外部端子１３而電氣的且機械的連接。又突起電極１５即通過形成於配線基板１之保護膜５之開口而壓接於配線基板１之電極墊４Ａ。而電氣的且機械的連接。此突起電極之由壓接之連接乃藉由熱收縮力及熱硬化收縮力等而產生於接著材１６之壓縮力而爲之，換言之半導體晶片１０係藉ＦＣＡ法而實裝於配線基板１上。

上述突起電極１５乃（雖不侷限於此構成）例如以螺椿形隆起（ Stud-bump ）構造所構成。螺椿隆起構造係由球連接（ ball-bounding ）法所形成。球連接法乃將形成於金（Ａｕ）線之先端部之球熱壓著於半導體晶片之外部端子，而後由球之部份切斷金線而形成突起電極之方法。

壓接有上述突起電極１５之電極墊４Ａ上形成有凹部４Ｂ，在此凹部４Ｂ內連接突起電極１５與電極墊４Ａ。此突起電極１５與電極墊４Ａ之連接乃，由配線基板１之實裝面而朝向深度方向而在於較半導體裝置２０之導引線２２與電極墊４Ａ之連接更深之位置來實施。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（6　）

介置於上述配線基板１與半導體晶片１０之間之接著材１６之厚度乃如圖３所示，由配線基板１與半導體晶片１０之間隙 t_2 所規定。此間隙 t_2 雖由突起電極１５之厚度所規定，惟由於突起電極１５與電極墊４Ａ之連接乃在於形成於電極墊４Ａ之凹部４Ｂ內而實施，所以相當於凹部４Ｂ之凹入量 t_1 之份量地會變狹。換言之，在配線基板１之電極墊４Ａ形成凹部４Ｂ，而在此凹部４Ｂ內連接突起電極１５與電極墊４Ａ，由而使相當於凹部４Ｂ之凹入量 t_1 之份量地可以使配線基板１與半導體晶片１０之間之間隙 t_2 變狹，所以可以使配線基板１與半導體晶片１０之間所介置之接著材１６之厚度減少（較薄化）。

所以不降低突起電極１５之高度之下，可減低介置於配線基板１與半導體晶片１０之間之接著材１６之厚度方向之膨脹量也。

上述電極墊４Ａ之凹部４Ｂ係藉由電極墊４Ａ及柔軟層３之彈性變形所形成。此電極墊４Ａ及柔軟層３之彈性變形係，當在配線基板１之實裝面上實裝半導體晶片１０時，由半導體晶片１０之壓著力而突起電極１５之推壓電極墊４Ａ所發生。因此在突起電極１５有電極墊４Ａ及柔軟層３之彈性力之施加。

下面使用圖４乃至圖７（說明製造方法之剖面圖）來說明上述存儲器組之製造方法及半導體晶片之實裝方法。

首先準備半導體晶片１０，而如圖４（Ａ）所示，藉球連接法在半導體晶片１０之外部端子１０上形成螺棒隆

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

起構造之突起電極１５。由於球連接法乃將形成於金線之先端部之球熱壓著於半導體晶片之外部端子，然後由球之部份切斷金線以資形成突起電極之方法，因此螺椿隆起構造之突起電極１５時，即比離地（ lift off ）法或球供給法所形成之突起電極法而言高度會變高。

接著如圖４（Ｂ）所示，在裸晶片用托架工模３０上裝著上述半導體晶片而實施篩（ burn-in ）試驗，燒進試驗在採用較顧客之使用條件苛酷之條件（賦加負載之狀態）而實施半導體晶片１０之電路動作，而在出貨於顧客前之階段使之先發生顧客之使用中會構成缺陷者，某一意義而言加速的使缺陷發生，以資排除不良品爲目的來實施者。

裸晶片用托架工模３０乃，主要由，用於裝著半導體晶片１０之基台構件３１，在絕緣性膜片３２Ａ之一表面形成有配線３２Ｂ之薄膜構件３２，及實施半導體晶片１０之定位之導構件３３，以及加壓固定半導體晶片１０之蓋構件３４所構成。由於該裸晶片用托架工模３０乃通過形成於絕緣性膜片３２Ａ之連接孔３２Ｃ來連接配線３２Ｂ及突起電極１５之構成，所以突起電極１５之高度乃使之比絕緣性膜片３２Ａ之厚度高才可以。

接著如圖４（Ｃ）所示，在玻璃基板４０上之配置上述半導體晶片１０，壓接半導體晶片１０而使突起電極１５之高度劃一。

接著如圖５所示，在上述配線基板１之實裝面之載置

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明(10)

晶體領域上粘貼加工成片形狀（膜片形狀）之接著材16。接著材16乃例如以環氧系之熱硬化性樹脂所形成。配線基板1即在鋼性基板2之一表面形成柔軟層3之構造所構成。在柔軟層3之表面上配置有複數之電極墊4A及配線4C，柔軟層3之表面及配線4C之表面乃以保護膜5所被覆，而剛性基板2之背面係以保護膜6所被覆。

接著如圖6所示，在上述配線基板1之實裝面之晶片載置領域上介置接著材16來配置半導體晶片10，同時在配線基板1之電極墊4A與半導體晶片10之外部端子13之間配置突起電極15。

接著如圖7所示，以加熱器41來熱壓著上述半導體晶片10，以突起電極15來推壓電極墊4A，在電極墊4A形成凹部4B，以此狀態使接著材16硬化。在此過程中，相當於凹部4B之凹入量之份量地，配線基板1與半導體晶片10之間之間隙變狹，而介置於配線基板1與半導體晶片10之間之接著材16之厚度變薄。又凹部4B係由電極墊4A及柔軟層3之彈性變形所形成，因此對於突起電極15上會有電極墊4A及柔軟層3之彈性力施加。由於過程而如圖8所示在配線基板1上將實裝半導體晶片10。

接著在上述配線基板1之實裝面之其他領域上配置半導體裝置20，同時在電極墊4A上介置稠膠狀之焊錫而配置導引線22。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明(11)

接著施予熱處理熔融上述稠膠狀之焊錫，而固著配線基板1之電極墊4A及半導體裝置20之導引線，由而在配線基板1上實裝半導體裝置20。

接著對於配置於上述配線基板1之背面之複數之各個電極墊2B分別固著球形狀之突起電極17。此後施予洗淨處理及烘烤處理而完成圖1及圖2所示之存儲器組（電子裝置）。

又柔軟層3以較接著材16之材料而熱膨脹係數小之材料來形成。

依上述之構成之本實施形態時可獲得下述之效果。

係備有在配線基板1之實裝面上介置著接著材16而被固定，且在上述配線基板1之電極墊4A介置突起電極15而電氣的連接在外部端子13之半導體晶片10之電子裝置，在上述電極墊4A形成有凹4B，而在此凹部4B內連接上述電極墊4A及上述突起電極15。由此構成所以該配線基板1與半導體晶片10之間之間隙t_2乃相當於凹部4B之凹入量t_1之份量地可以變狹，因此可以使介置於配線基板1與半導體晶片10之間之接著材16之厚度變薄。該結果可以減少接著材16之厚度方向之膨脹量，因此可以防止在溫度循環試時之配線基板1之電極墊4A與突起電極15之接續不良，可提高兩者間之接續之可靠性。

又由於可以減低由熱之變化之接著材16之膨脹，收縮之變動量，因此可抑制由溫度循環試驗時之反複之膨

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

脹、收縮所產生之突起電極１５之先端（配線基板之電極墊側）之塑性變形。所以可以防止配線基板１之電極墊４Ａ與突起電極１５之接續不良可提高兩者間之接續可靠性。

於柔軟層３之表面上，形成上述電極墊４Ａ，而以上述電極墊４Ａ及柔軟層３之彈性變形來形成上述凹部４Ｂ。由此構成而在電極墊１５乃有電極墊４Ａ及柔軟層３之彈性力之作用因此可以增加配線基板１之電極墊４Ａ與突起電極１５之壓接力。

再者如由接著材１６之厚度方向之膨脹而突起電極１６移動於上方時，追隨於突起電極１５之移動而凹部４Ｂ之凹入量也會變動，所以可以確保電極墊４Ａ與突起電極１５之接續。

又本實施形態乃以使用環氧樹脂系之熱硬化樹脂所成之片形狀之接著材１６爲例做說明，惟例如使用異方性導電樹脂薄片（Anis-Otropic Conductive Film）或熱可塑性樹脂薄片亦可以。

又本實施形態乃以配線基板１上粘貼薄片形狀之接著材１６爲例做說明，亦可以如圖９（剖面圖）所示將薄片形狀之接著材１６粘貼於半導體晶片１０來實施。

又本實施形態係以配線基板１與半導體晶片１０之間，設有間隙者爲例做說明，惟亦可以如圖１０（剖面圖）所示，將半導體晶片１０接觸於配線基板１。此時即只在電極墊４Ａ之領域上有接觸材１６之介置，因此更可

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（13）

提高配線基板１之電極墊４Ａ與突起電極１５之接續可靠性。

又本實施形態即以金來形成突起電極１５爲例來說明，惟突起電極１５亦可使用例如由Ｐｂ－Ｓｎ組成或Ｓｎ－Ａｇ組成之合金材來形成此時乃以昇起法或球供給法所形成，因此如圖１１（剖面圖）所示，突起電極１５乃以球形狀所形狀。

又本實施形態係使用在剛性基板２上介置柔軟層３而形成電極墊４Ａ之配線基板１，而在電極墊４Ａ形成凹部４Ｂ爲例，惟亦可採用如圖１２（剖面圖）所示，在由剛性基板所成之配線基板１９上形成溝１９Ａ，在溝１９Ａ內形成電極墊４Ａ，在溝１９Ａ內連接電極墊４Ａ與突起電極１５之構造。此時相當於溝１９之深度地，可以使配線基板１９與半導體晶片１０之間之間隙變狹，因此可以使介置於配線基板１９與半導體晶片１０之間之接著材１６之厚度變薄也。

（實施形態２）

圖１３乃本發明之實施形態２之半導體裝置之剖面圖。

本實施形態之半導體裝置係如圖１３乃在配線基板１之實裝面上載置半導體晶片１０。配線基板１乃與上述之實施形態１一樣，在剛性基板２之一表面上形成柔軟層３之構造來構成。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明(4)

在上述柔軟層3之表面上，雖然沒有詳細圖示配置有複數之電極墊4A，此複數之各電極墊4A分別介著延置於柔軟層3之表面之配線4C而電氣的連接於延伸於剛性基板2之一表面上之配線2A。配線2A乃介著剛性基板2之內部配線2C而分別電氣的連接於配置在剛性基板2背面上之複數之電極墊2B。在此複數之電極墊2B分別電氣的且機械的連接有例由 Pb－Sn組成之金屬材所成之球形狀之突起電極17。

上述柔軟層3之表面及配線4B之表面係以保護膜5所被覆，上述剛性基板2之表面係以保護膜6所被覆。此保護膜，保護膜6之各個乃例如以聚酰亞胺系之樹脂所形成。

上述半導體晶片10乃介置接著材16而接著固定於配線基板1之實裝面。接著材16乃例如以環氧系之熱硬化性樹脂所形成。

上述半導體晶片10乃例如由單結晶矽所成之半導體基板爲主體而構成。在上述半導體基板之元件形成面上配置有複數之外部端子13。此複數之外部端子13乃分別形成於，形成在半導體基板之元件形成面上之配線層中之最上層之配線層，在最上層之配線層上，形成有最終保護膜14。

在上述半導體晶片10之外部端子13與上述配線基板1之電極墊4A之間介置有突起電極15。突起電極15係通經形成於半導體晶片10之最終保護膜14之開

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明(15)

口，而固著於半導體晶片10之外部端子13，由而電氣的且機械的予以連接。又突起電極15即介經形成於配線基板1之保護膜5之開口而壓接於配線基板1之電極墊4A由而電氣的且機械的予以連接。

突起電極15之由壓接之連接乃藉由熱收縮力及熱硬化收縮力等而發生於接著材16之壓縮力來實施。換言之半導體晶片10乃以FCA法而實裝於配線基板1之實裝面上。

壓接於上述突起電極15之電極墊4A上形成有凹部4B，在此凹部4B內連接有突起電極15與電極墊4A。

介置於上述配線基板1與半導體晶片10之間之接著材16之厚度乃由配線基板1與半導體晶片10之間之間隙所規定。

此間隙雖由突起電極15之高度所規定，惟由於突起電極15與電極墊4A之連接係在於形成於電極墊4A之凹部4B內來實施，所以相當於8凹部4B之凹入量之份量地會變狹。換言之，由於在配線基板1之電極墊4A形成凹部4B，而在此凹部4B內連接突起電極15與電極墊4A，由而相當於凹部4B之凹入量之份量也可以使配線基板1與半導體晶片10之間之間隙會變狹，由於可以使介置於配線基板1與半導體晶片10之間之接著材16之厚度變薄，所以在不降低突起電極15之高度之下可減低介置於配線基板1與半導體晶片10之間之接著材

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（16）

16之厚度方向之膨脹量。

上述電極墊4A之凹部4B係由電極墊4A及柔軟層3之彈性變形所形成。此電極墊4A及柔軟層3之彈性變形係藉由對於配線基板1之實裝面上實裝半導體晶片10時，以半導體晶片10之壓著力而衝接電極15之推壓電極墊4A而發生，所以在突起電極15上有電極墊4A及柔軟層3之彈性力之作用。

本實施形態之半導體晶片係以與上述實施形態1同樣之方法而實施實裝。又柔軟層3即使用比接著材16之材料熱膨脹係數小之材料來形成。

如上述所構成之半導體裝置係可以獲得如上述實施形態同樣之效果。

（實施形態3）

圖14乃本發明之實施形態3之CPU組（電子裝置）之平面圖。

圖15乃在圖14之B－B線位置之剖面圖。圖16乃在圖14所示之C－C線位置之剖面圖。

由圖14及圖15所示，CPU組50乃以由熱傳導度高之金屬板所成之熱擴散板爲基體。而在此擴散板上直接連接消費CPU組50之大部份之電力而發熱量高之CPU晶片56及CPU組基板51之構造所構成，CPU裸晶片56與CPU組基板51乃以金線而電氣的連接，在收容CPU裸晶片56之寫53內，以使CPU

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明(17)

基板５１之呈直方體地填充有填充用樹脂５５。在如此構成之ＣＰＵ組基板５１上再載置有超高速緩衝存儲器副組６５，系統控制器６０及介面用連接器６４等主要構件。超高速緩衝存儲器副組６５與ＣＰＵ組基板５１乃如圖１６所示介著突起電極５７而電氣的予以連接。

圖１４中，鐘驅動器６１乃有時由適應系統而不載置於ＣＰＵ組５０，而由介面用連接器６４而供給鐘之情形。又小型晶片構件６３乃，用做比較的高頻領域之雜訊對策而實裝之晶片型瓷片電容器，及匯板之吸合用或初期設定之搭接用之拆板，訊號之緩衝等上所使用之電阻晶片，及用做溫感感測器之熱敏晶片等，大型晶片６２即爲了吸收ＣＰＵ裸晶片５６之由鐘之停止狀態復歸開始供給鐘而遷移至通常動作狀態時等之比較低頻領域之電源雜訊用之大容量之例如鉭電容器晶片及將溫度之感覺介著串聯的傳送溫度資訊之智慧型溫度感測器，及製作ＣＰＵ組５０所要求之特殊電源電壓所必要之ＤＣ／ＡＣ變換器或線圈以及大容量之電容器等等。

再者在超高速緩衝存儲器副組６５乃使用非同步型或鐘同步型之ＳＲＡＭ。隨應於收納資訊之超高速緩衝存儲器ＳＲＡＭ６５Ａ所必要之超高速緩衝存儲器容量，例如須２５６〔ＫＢ〕之容量時，即搭載２個１〔Ｍｂ〕容量之超高速緩衝存儲器ＳＲＡＭ６５Ａ。須要５１２〔ＫＢ〕之容量時，即搭載４個１〔Ｍｂ〕容量之超高速緩衝存儲器ＳＲＡＭ６５Ａ。在超高速緩衝存儲器副組６５

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

上有4個搭載空間，因此使用2〔Mb〕構成之超高速緩衝存儲器SRAM65A即可確保1〔MB〕之超高速緩衝存儲器容量。

在超高速緩衝存儲器56，其他另實裝有，用於收納已收納於超高速緩衝存儲器SRAM65A之資訊之地址之一部份之TAG·SRAM65B及視其必要安裝去耦用之瓷質電容器晶片或例如使用2個超高速緩衝存儲器SRAM 65A來實現256〔KB〕之超高速緩衝存儲器容量，或使用4個來實現512〔KB〕之容量之選擇之跳線用晶片電阻。

隨應於超高速緩衝存儲器容量之TAG·SRAM 65B所被要求之容量及位元構成乃由於超高速緩衝存儲器容量之方式而各種因此在此不做說明。超高速緩衝存儲器SRAM 65A與TAG·SRAM 65B之包裝形態乃有：在兩方均爲裸晶片時，兩方均爲以塑料或瓷來模製之包裝時，或一者爲裸晶片，一者爲模製之包裝時之可能，但本實施形態即在超高速緩衝存儲器SRAM 65A乃使用裸晶片，在TAG·SRAM 65B使用塑料模製之QFP爲例。

圖17乃揭示熱擴散板52之形狀。如圖17所示，在熱擴散板52只有設置複數之固定用之孔，其他不載置任何電子構件，提供水平平面型之熱介面。如此地提供熱阻抗低單純形狀之熱介面由而資訊處理裝置系統之散熱資訊設計會容易化。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（9）

如上所構成之ＣＰＵ組５０中，乃將組入於如圖１８所示之筆記型之個人電腦中，資訊處理裝置７０乃以備有液晶面板７１及調整可變電阻７２等之構造所構成。將ＣＰＵ組５０連接於母板７３，將ＣＰＵ組之熱擴散板５２安裝於下部框體７４，由而熱之主要乃傳導至下部框體７４側而幾乎不會有傳至母板７３，因此熱也不會傳至鍵盤７５，因此可以實現鍵盤太熱對於使用者賦予不快感之資訊處理裝置。

圖１８中，標號７６乃ＰＣ卡插座，７７乃ＨＤＤ／ＣＤ－ＲＯＭ。

又爲了使ＣＰＵ組５０之熱擴散板５２側密著於下部框體７４乃有使用薄的熱傳導片之方法及塗佈矽酮黃脂之方法等。

以上依據上述實施形態具體的說明本發明，惟本發明並不侷限於上述實施形態，當然在不逸脫其要旨之範圍內可以做種種變更。

對於本發明所揭示之代表性發明所可獲得之效果簡單的說明之即如下：

在備有在配線基板之實裝面上，介著接著材而被固定，且在上述配線基板之電極墊上介置突起電極而電氣的連接有外部端子之半導體晶片之電子裝置上，可提高配線基板之電極墊與突起電極之連接之可靠性。

又，在備有在配線基板之實裝面上，介著接著材而被固定，且在上述配線基板之電極墊上介置了突起電極而電

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（20）

氣的連接有外部端子之半導體晶片之半導體裝置上，可提高配線基板之電極墊與突起電極之連接可靠性。

又本實裝構造係藉由裸晶片之倒裝晶片之實裝方式，因此將該基板表面到晶片背面之實裝高度及實裝面積，與其他線連接構造或平包裝（ＱＦＰ）方式相比較時，可抑制實裝高度及面積，可達成高密度實裝。

又利用本實裝構造時可實現系統（例如資訊處理裝置之薄型化，小型化）。

又在本實裝構造中，由於所使用之配線基板乃其表面之柔軟層會沈下去，因此更可降低實裝高度。

圖式之簡單說明

第１圖係本發明之實施形態１存儲器組（電子裝置）之平面圖。

第２圖係第１圖Ａ－Ａ線位置之要部剖面圖。

第３圖係第２圖之要部放大剖面圖。

第４圖係說明上述電子裝置之製造方法用之剖面圖。

第５圖係說明上述電子裝置之製造方法用之剖面圖。

第６圖係說明上述電子裝置之製造方法用之剖面圖。

第７圖係說明上述電子裝置之製造方法用之剖面圖。

第８圖係說明上述電子裝置之製造方法用之剖面圖。

第９圖係表示本發明之實施形態１之變形例之剖面圖。

第１０圖係表示本發明之實施形態１之變形例之剖面

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（21）

圖。

第１１圖係表示本發明之實施形態１之變形例之剖面圖。

第１２圖係表示本發明之實施形態１之變形例之剖面圖。

第１３圖係表示本發明之實施形態２之半導體裝置之剖面圖。

第１４圖係表示本發明之實施形態３之ＣＰＵ組（電子裝置）之平面圖。

第１５圖係第１４圖之Ｂ－Ｂ線位置之要部剖面圖。

第１６圖係第１４圖之Ｃ－Ｃ線位置之要部剖面圖。

第１７圖係表示上述ＣＰＵ組之熱擴散板之形狀之平面圖。

第１８圖係組入上述ＣＰＵ組之資訊處理裝置之概略構成圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

418467

附件：第 87103476 號專利申請案
中文說明書修正頁　　民國 89 年 5 月呈

修正 本 89 年 6 月 日
補 A5
B5

四、中文發明摘要（發明之名稱：電子裝置、資訊處理裝置、半導體裝置之實裝方法以及電子裝置之製造方法）

係一種備有在配線基板之實裝面上介置著接著材而被固定，且在上述配線基板之電極墊上介置了突起電極而電氣的連接有外部端子之半導體晶片之電子裝置。

在上述電極墊上形成有凹部，而在此凹部內連接上述電極墊與上述突起電極。上述電極墊乃形成於柔軟層之表面上，上述凹部乃由上述電極墊及柔軟層之彈性變形所形成。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

英文發明摘要（發明之名稱：　　）

Process for Mounting Electronic Device and Semiconductor Device

An electronic device comprising a semiconductor chip which is fixed to the mounting face of a wiring board through an adhesive and in which external terminals are electrically connected with electrode pads of the wiring board through bump electrodes.

Recesses are formed in the electrode pads, and in the recesses the electrode pads and the bump electrodes are connected. The electrode pads are formed over the surface of a soft layer, and the recesses are formed by elastic deformation of the electrode pads and the soft layer.

418467
公告本

A8
B8
C8
D8

修正89.9.19
本年月日
補充

六、申請專利範圍

第87103476號專利申請案

中文申請專利範圍修正本

民國89年9月 修正

1．一種電子裝置，具有配置於半導體基板之元件形成面上的複數外部端子，和具有形成於前述外部端子上的複數突起電極的第1之半導體晶片，和剛性基板，和形成於前述剛性基板上的柔軟層，和形成於前述柔軟層上的配線層，和電氣連接於前述配線層之複數電極接合墊，和具有形成於前述配線層及柔軟層上之保護膜的配線基板；前述第1之半導體晶片係介入存在黏著材，固定於前述配線基板，於前述電極接合墊，形成凹部，於此凹部內電氣連接前述電極接合墊和前述突起電極，前述保護膜係未形成於前述第1之半導體晶片和前述配線基板間者。

2．一種電子裝置，具有配置於半導體基板之元件形成面上的複數外部端子，和具有形成於前述外部端子上的複數突起電極的第1之半導體晶片，和剛性基板，和形成於前述剛性基板上的柔軟層，和形成於前述柔軟層上的配線層，和電氣連接於前述配線層之複數電極接合墊，和具有形成於前述配線層及柔軟層上之保護膜的配線基板；前述第1之半導體晶片係介由前述突起電極和電極接合墊，電氣連接於前述配線層，前述保護膜係未形成於前述第1之半導體晶片和前述配線基板間者。

3．一種電子裝置，針對具有將第1之絕緣膜層，和

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

形成於前述第1之絕緣膜層之上的第1之配線層，和形成於前述第1之配線層上的第2之絕緣膜層具備於主面上的配線基板，和配置於前述配線基板之主面上的半導體晶片的電子裝置中，其特徵係前述半導體晶片係具有將具有元件形成面和突起電極的半導體晶片之主面側，對向於前述配線基板地加以配置，於前述半導體晶片和前述配線基板間，黏著前述半導體晶片之主面側及前述第1之絕緣膜層的黏著材者。

4．如申請專利範圍第1項或第2項之電子裝置，其中，具備具有第2之半導體晶片，和具有內部及外部之導線，和前述第2之半導體晶片之外部端子與前述導線之內部電氣性連接的配線，和將此等第2之半導體晶片，導線之內部及配線以樹脂封閉體加以封閉的構造之半導體裝置；

前述半導體裝置係與前述第1之半導體晶片，同時配置於前述配線基板上，

前述導線之外部係電氣連接於前述配線基板之配線層，

前述保護膜係除去爲連接前述導線之外部和前述配線基板的範圍，形成於前述半導體裝置和前述配線基板間者。

5．如申請專利範圍第1項或第2項之電子裝置，其中，於前述第1之半導體晶片之元件形成面上，形成最終保護膜，前述最終保護膜係與前述黏著材黏著者。

6．如申請專利範圍第1項或第2項之電子裝置，其中，於具有前述外部端子及突起電極係具有前述元件形成

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

面，外部端子及突起電極的第1之半導體晶片主面上，配置於周圍部者。

7．如申請專利範圍第1項或第2項所述之電子裝置，其中

上述柔軟層乃以與上述接著材相比熱膨脹係數小之材料來形成者。

8．如申請專利範圍第1項或第2項所述之電子裝置，其中

上述突起電極乃固著於上述第1之半導體晶片之外部端子，而壓接於上述配線基板之電極墊上者。

9．如申請專利範圍第1項或第2項所述之電子裝置，其中

上述突起電極係以尖塔型突起電極之構造所構成。

10．如申請專利範圍第1項或第2項所述之電子裝置，其中上述接著材乃使用異方性導電樹脂膜片者。

11．一種半導體裝置之實裝方法，主要係備有在配線基板之實裝面上，介著接著材而被固定，且在上述配線基板之電極墊上介著突起電極而電氣的連接有外部端子之半導體晶片之半導體裝置之實裝方法，其特徵爲，具備有：

準備，在剛性基板上介置柔軟層而形成有電極墊之配線基板，及在外部端子上形成突起電極之半導體晶片之過程；及

在上述配線基板之實裝面上介置接著材而配置上述半

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

導體晶片，同時在上述配線基板之電極墊上配置上述半導體晶片之突起電極之過程；以及

推壓上述半導體晶片之突起電極而在上述電極墊上形成凹部而在此狀態下令上述接著材硬化之過程；而構成者。

12．一種電子裝置之製造方法，包含有下述之過程

a）準備，在其主面上備有複數之半導體元件及複數之連接用墊，且在上述複數之連接用墊之各表面上形成了突起電極之半導體晶片之過程；及

b）準備，備有：複數之第1配線之配線基板，及形成於上述配線基板上，且較上述基板之彈性率低之絕緣層，以及形成於上述絕緣層上之複數之第2配線之實裝基板之過程；及

c）在上述實裝基板之第2配線上能配置上述突起電極地將上述半導體晶片載置於上述實裝基板上之過程；以及

d）藉由介置在上述半導體晶片之主面及上述實裝基板之間之接著劑而令該晶片及基板予以接著之過程而構成爲其特徵者。

13．如申請專利範圍第12項所述之電子裝置之製造方法，其中上述突起電極爲金（Au）突起電極。

14．如申請專利範圍第12項所述之電子裝置之製造方法，其中

上述配線基板乃在玻璃纖維中含浸樹脂而成之基板，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

上述絕緣層係由樹脂所成。

１５．如申請專利範圍第１２項所述之電子裝置之製造方法，其中

上述接著劑乃在絕緣性樹脂中，含有導電性粒子之接著劑，而上述突起電極與上述第２配線乃介著上述導電性粒子而電氣的被連接者。

１６．一種電子裝置之製造方法，屬於具有配線基板、安裝於配線基板上的第１及第２之半導體裝置的電子裝置之製造方法中，其特徵係具有以下之工程；

(a)於配線基板之上部，使配線基板之電極墊片和第１之半導體裝置之突起電極呈對向地，加以配置第１之半導體裝置的工程，

和(b)於前述第１之半導體裝置，經由加熱器，加上熱及壓力，安裝前述第１之半導體裝置的工程，

和(c)前述第１之半導體裝置安裝後，於配線基板之電極上，介有存在糊狀之焊錫，配置第２之半導體裝置的工程，

和(d)經由施以熱處理，熔融前述焊錫，安裝前述第２之半導體裝置的工程。

１７．如申請專利範圍第16項之電子裝置之製造方法，其中，前述第２之半導體裝置係較前述第１之半導體裝置，安裝後之高度爲高者。

１８．如申請專利範圍第16項之電子裝置之製造方法，其中，前述(b)工程中，將前述突起電極壓接於前述配

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

線基板之電極墊片者。

１９．如申請專利範圍第18項之電子裝置之製造方法，其中，前述(b)工程中，於前述配線基板之電極墊片，以壓接前述突起電極之壓力而形成凹陷者。

２０．如申請專利範圍第16項之電子裝置之製造方法，其中，前述(b)工程中，令前述第1之半導體裝置和前述配線基板間，以樹脂加以充填者。

２１．如申請專利範圍第20項之電子裝置之製造方法，其中，前述(b)工程中，經由前述加熱器之熱，將前述樹脂加以硬化者。

２２．如申請專利範圍第16項之電子裝置之製造方法，其中，前述(b)工程中，令前述第1之半導體裝置和前述配線基板間，經由黏著材加以黏著者。

２３．如申請專利範圍第16項之電子裝置之製造方法，其中，前述第1之半導體裝置係經由半導體基板，和形成於半導體基板上之複數之半導體元件和複數之外部端子加以構成的半導體晶片，

和形成於前述半導體晶片之主面上部，與前述外部端子電氣連接之突起電極所構成者

２４．如申請專利範圍第16項之電子裝置之製造方法，其中，前述突起電極係經由金所構成者。

（請先閱讀背面之注意事項再填寫本頁）

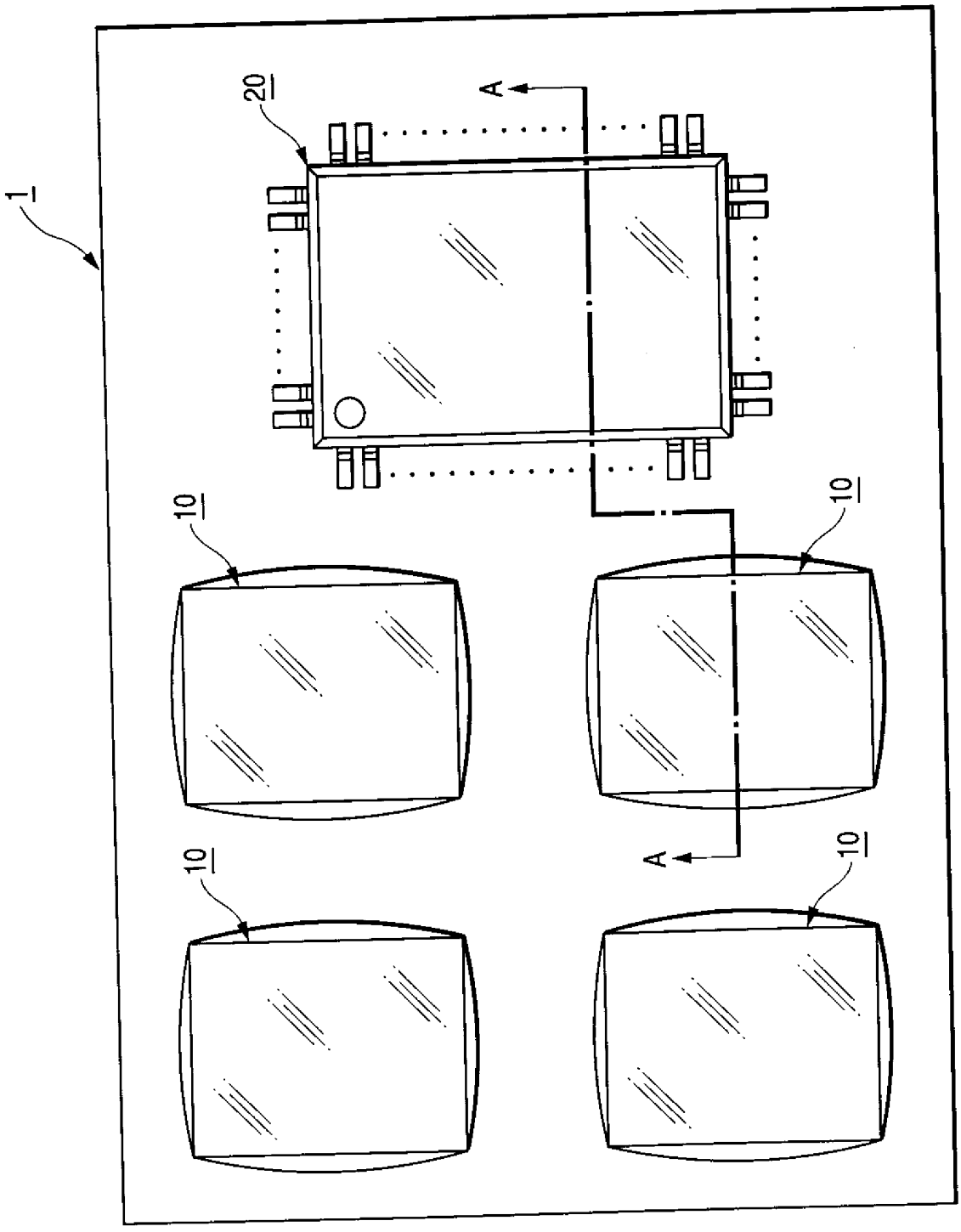
裝

訂

線

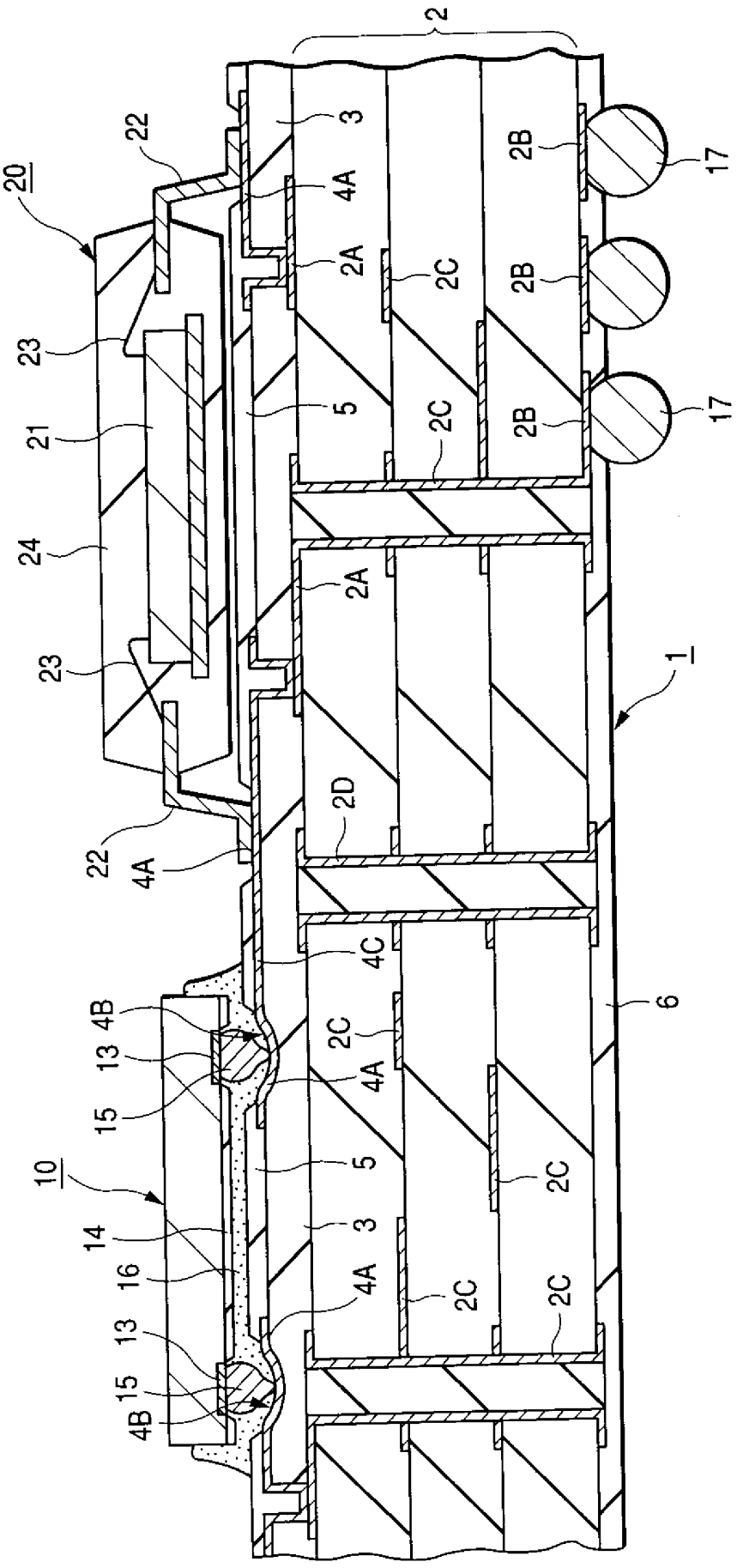
經濟部智慧財產局員工消費合作社印製

公告本



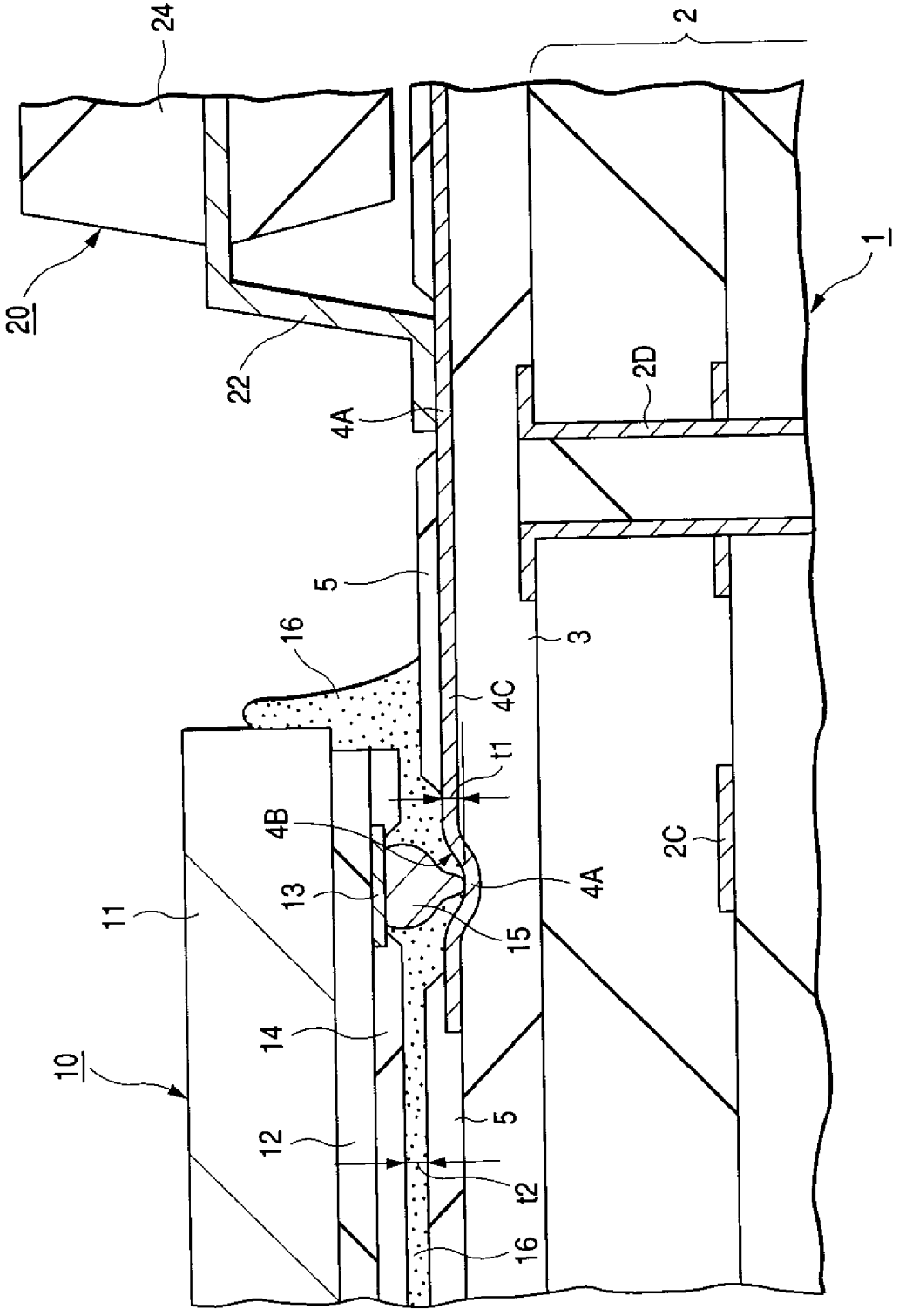
第1圖

418467

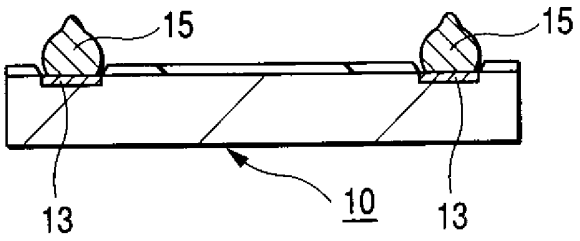


第2圖

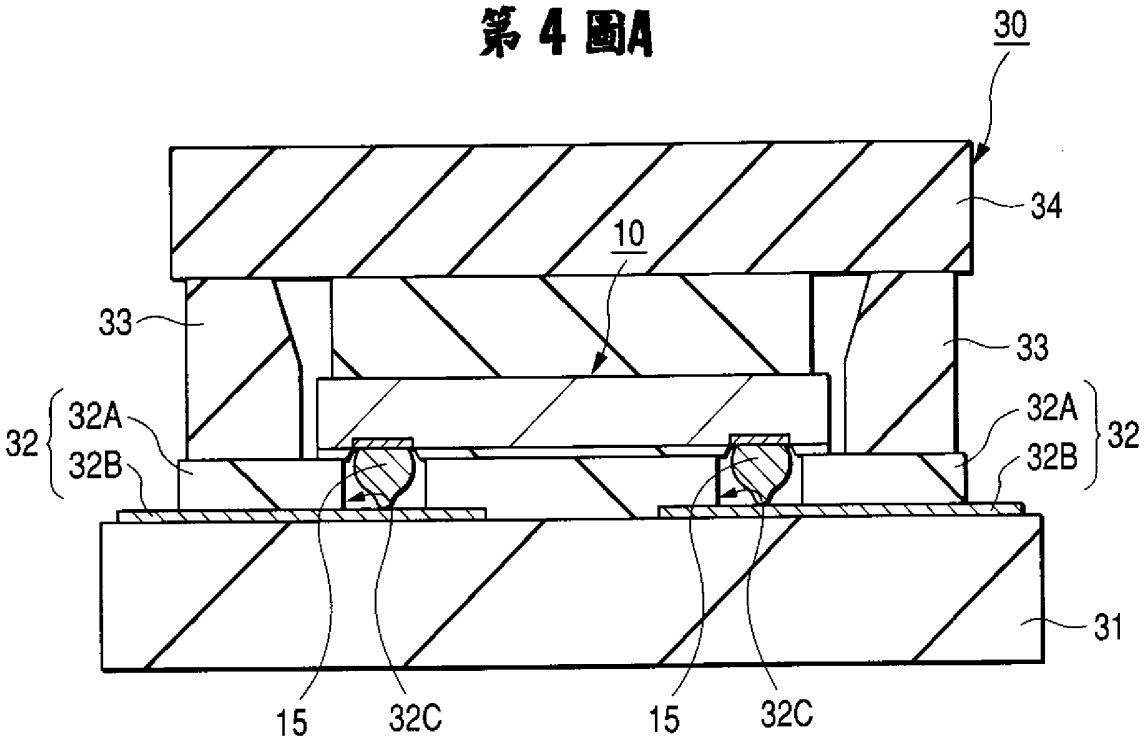
418467



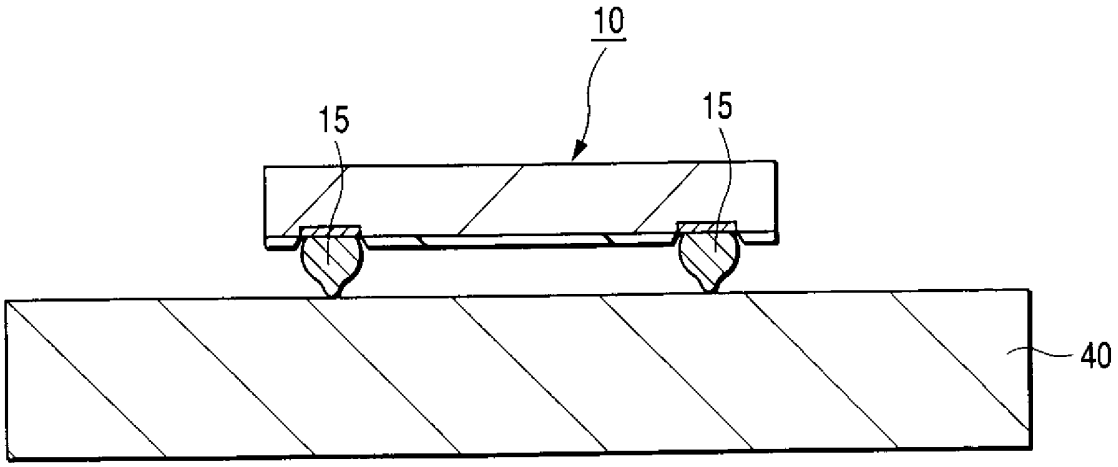
第3圖



第 4 圖A

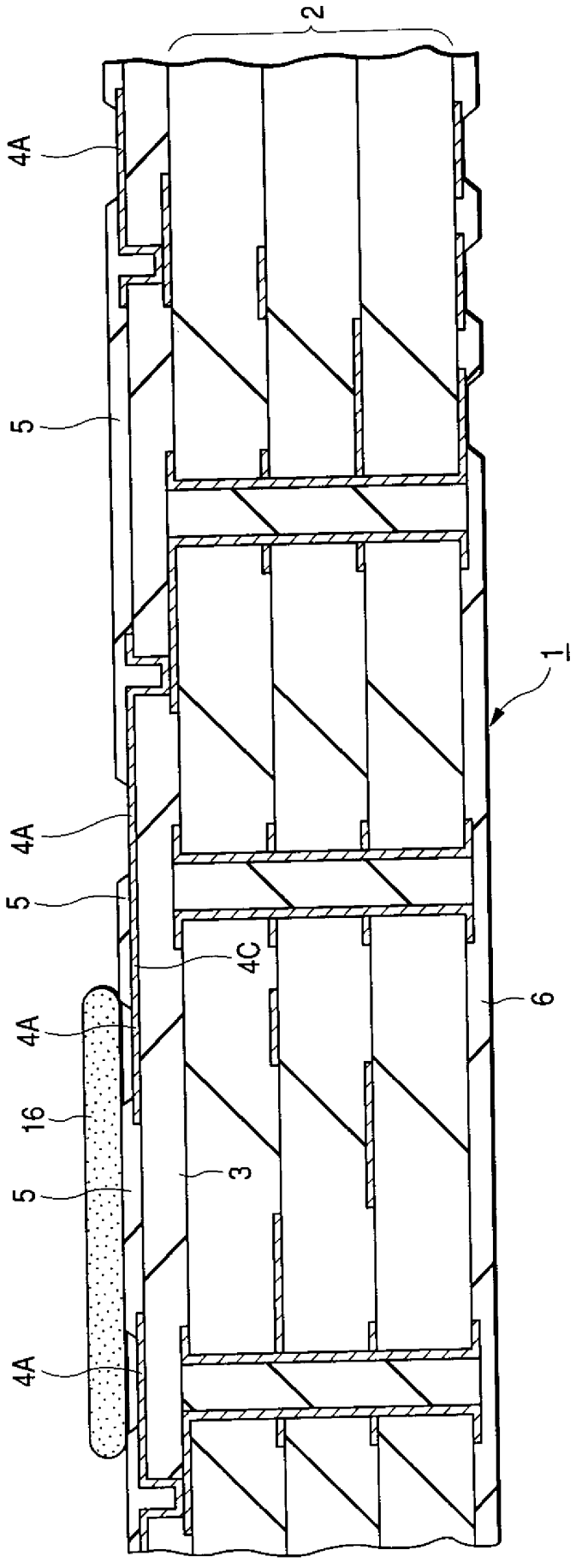


第 4 圖B

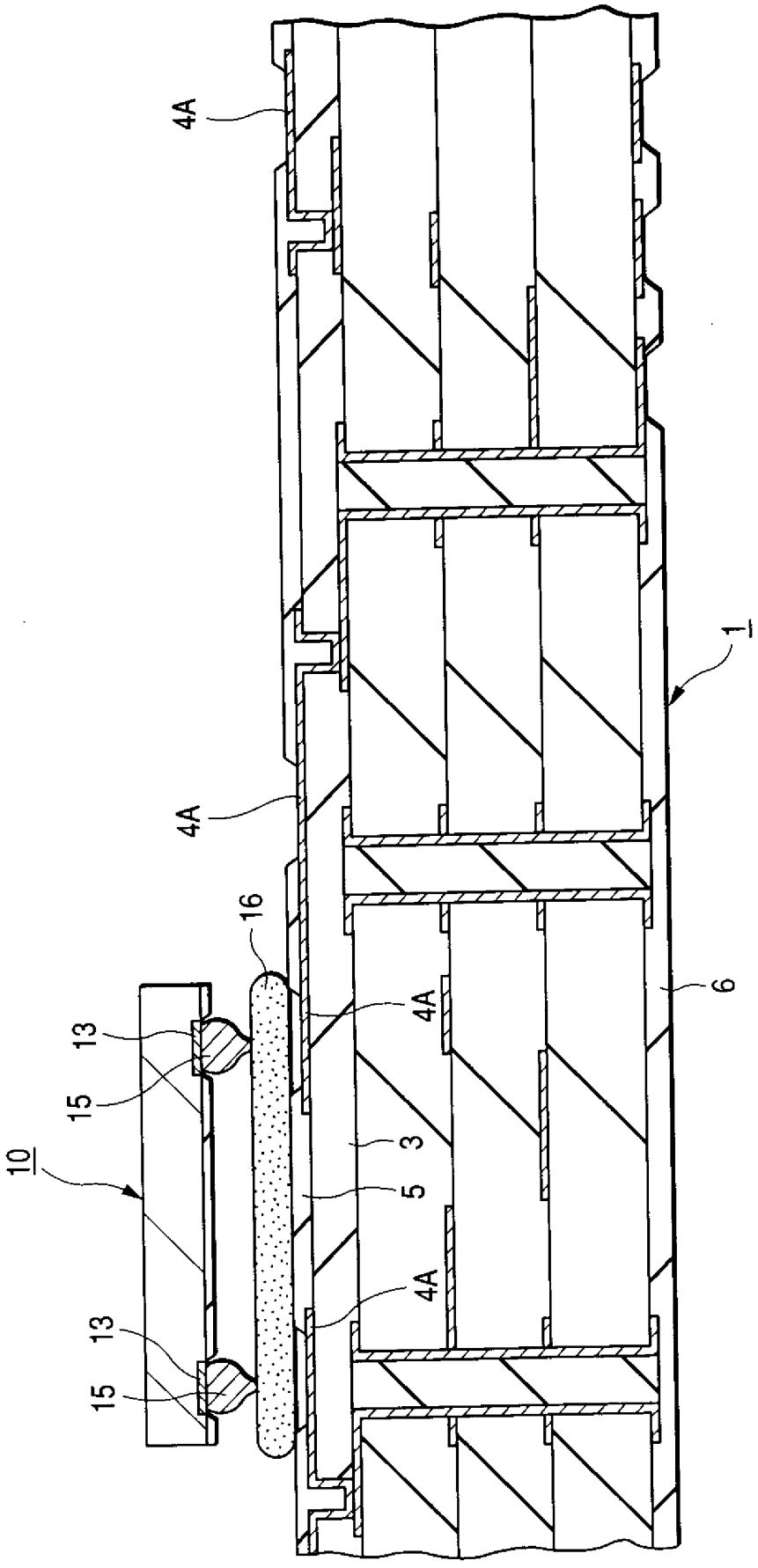


第 4 圖C

418467

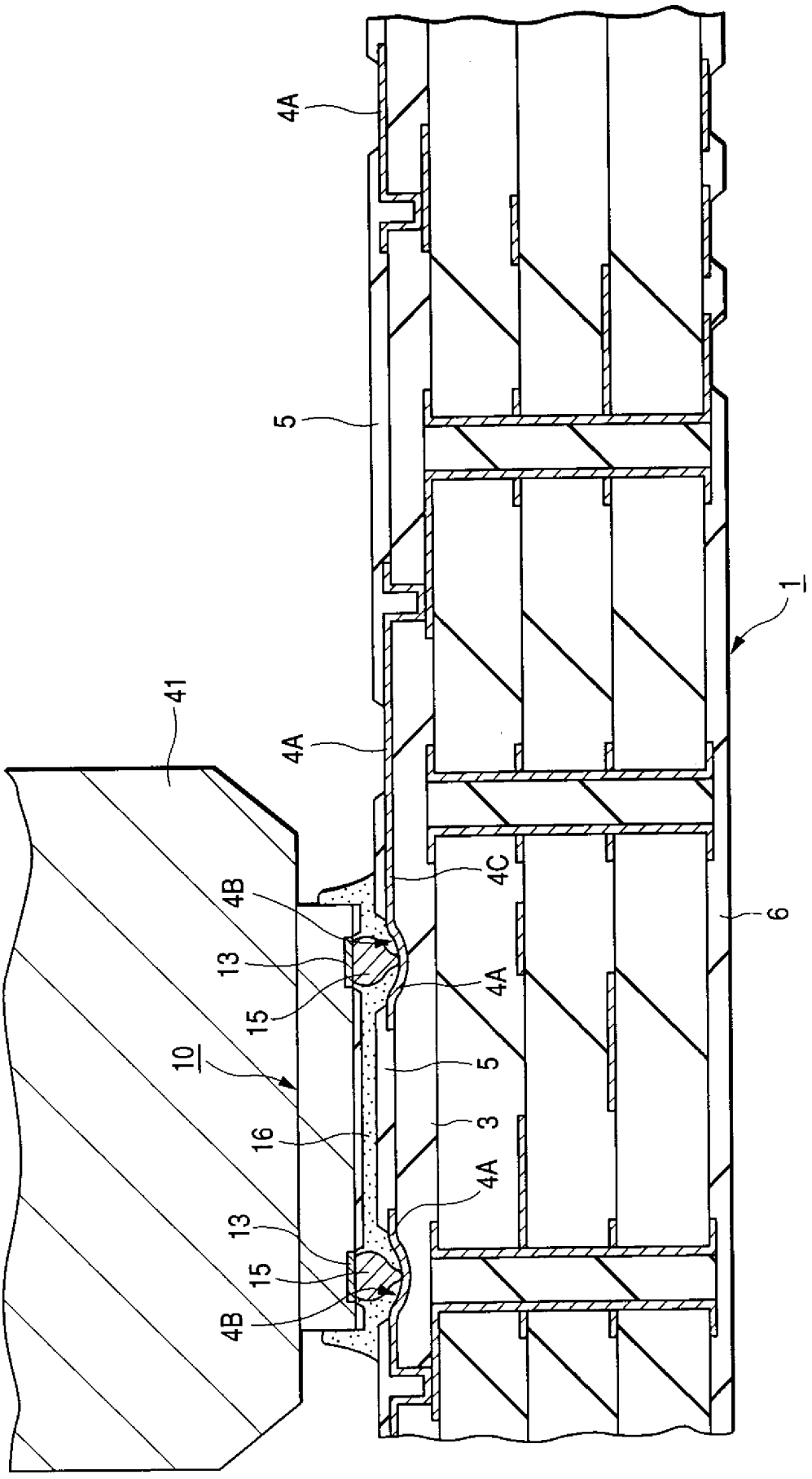


第5圖



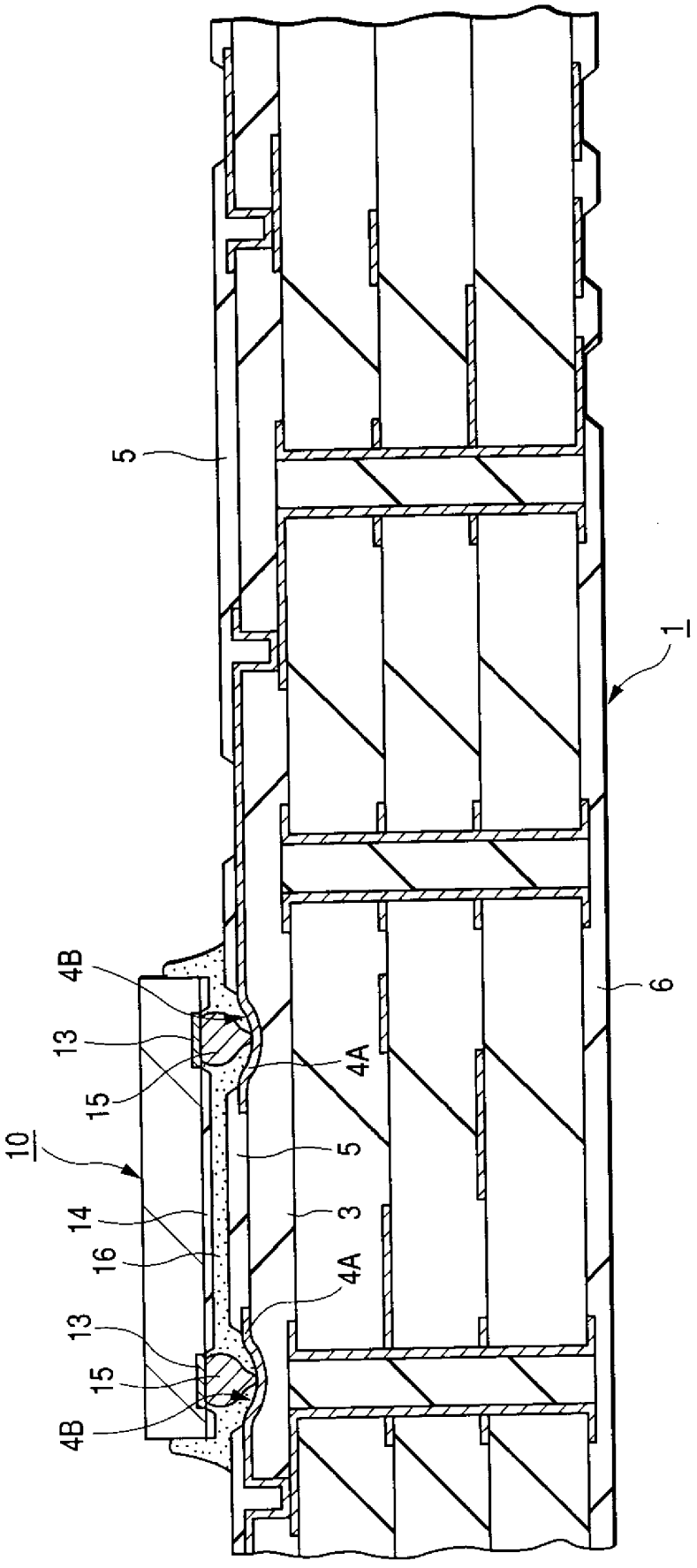
第6圖

418467

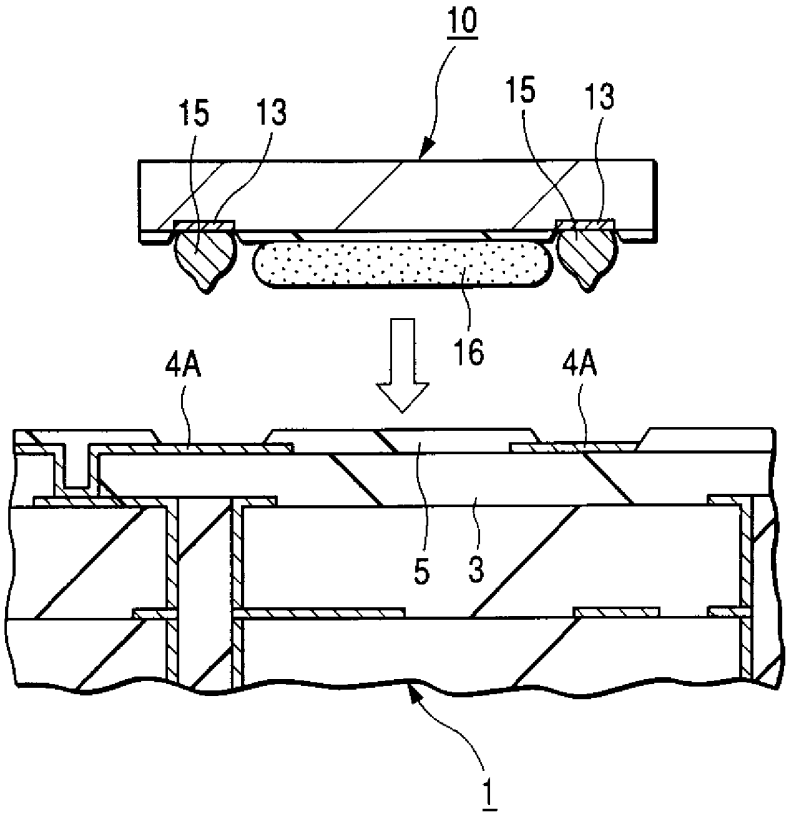


第7圖

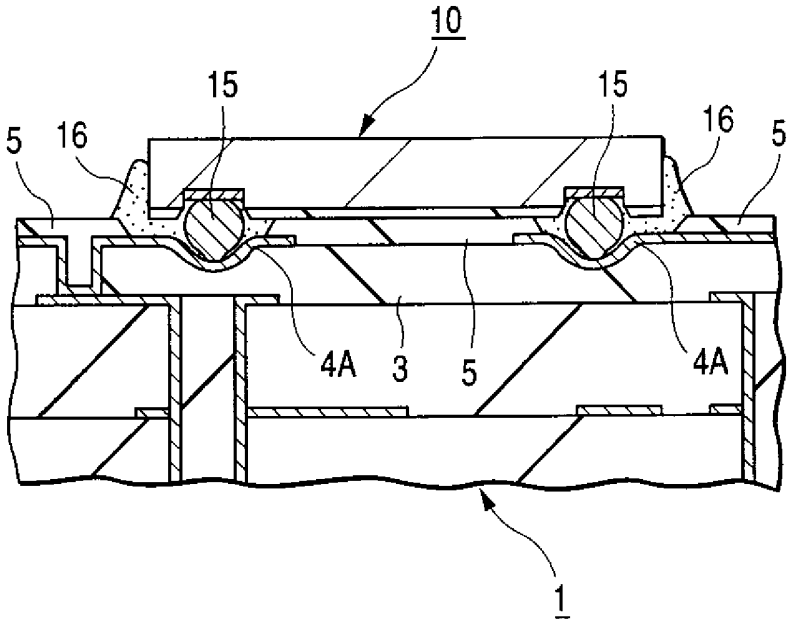
418467



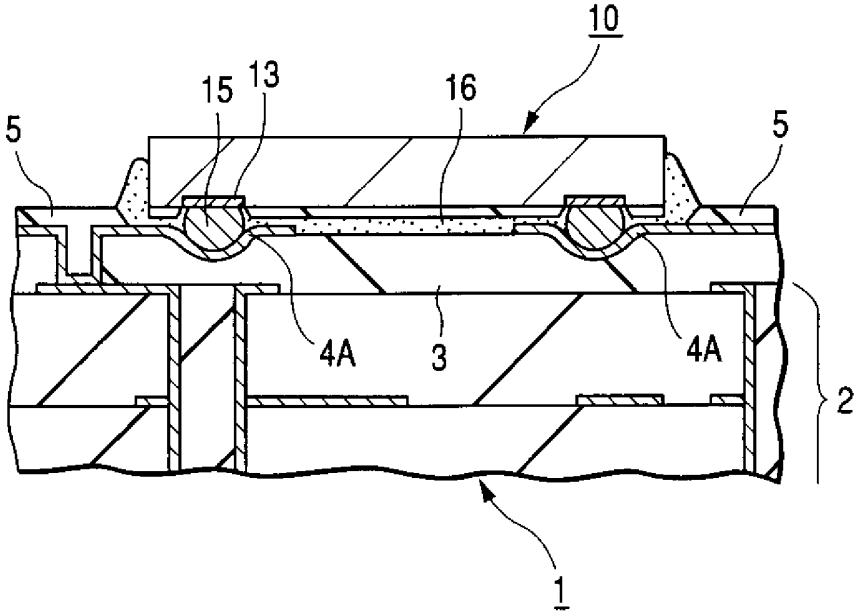
第8図



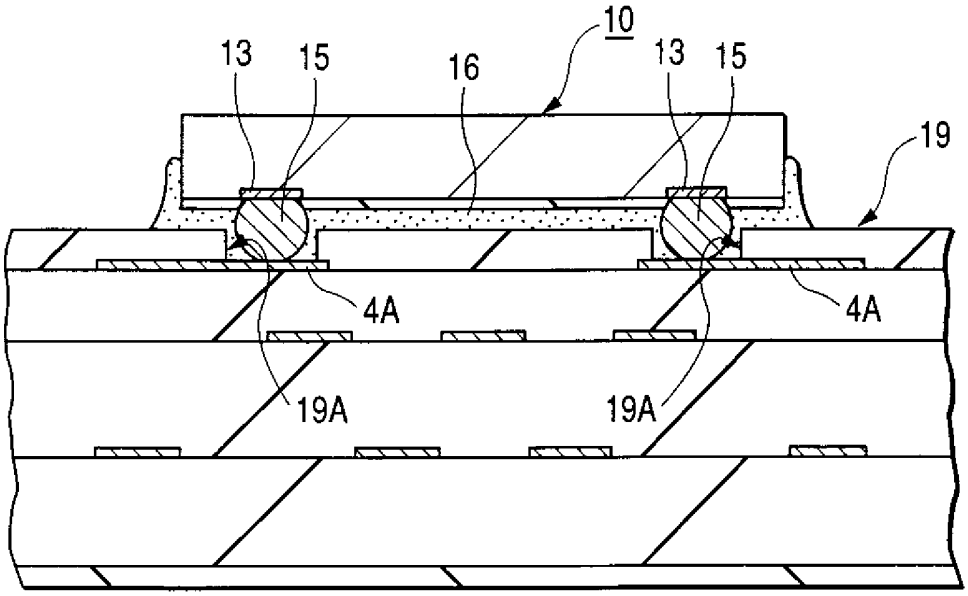
第 9 圖



第10圖

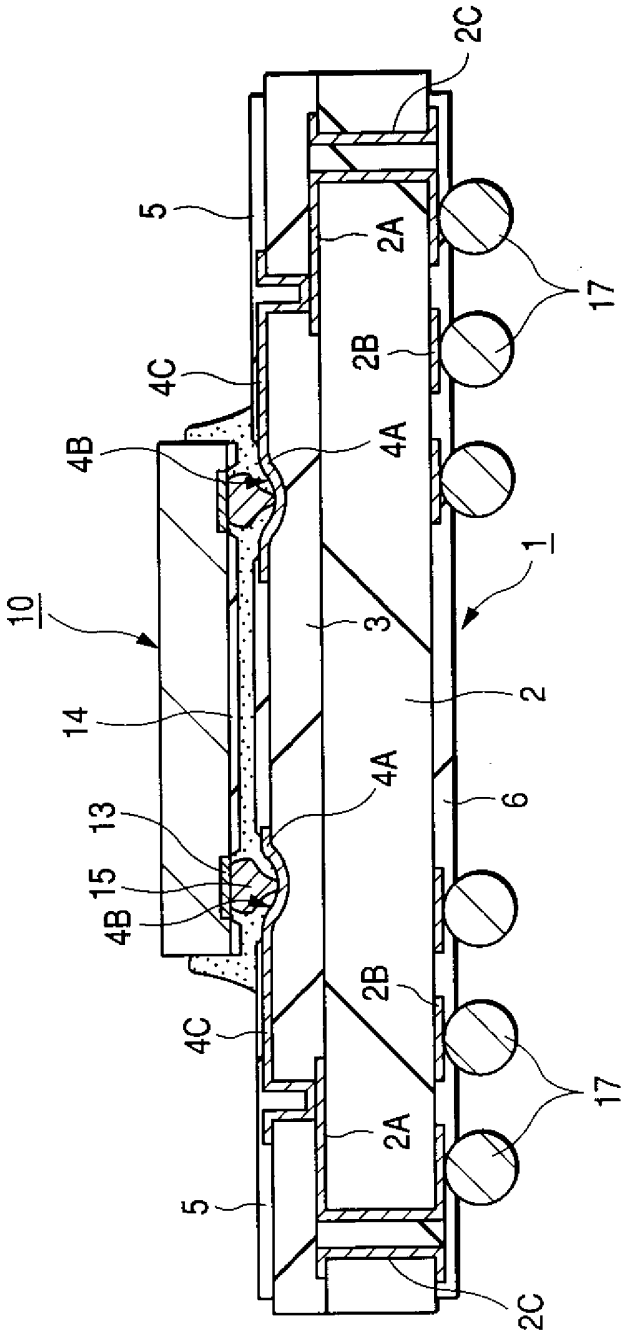


第11圖

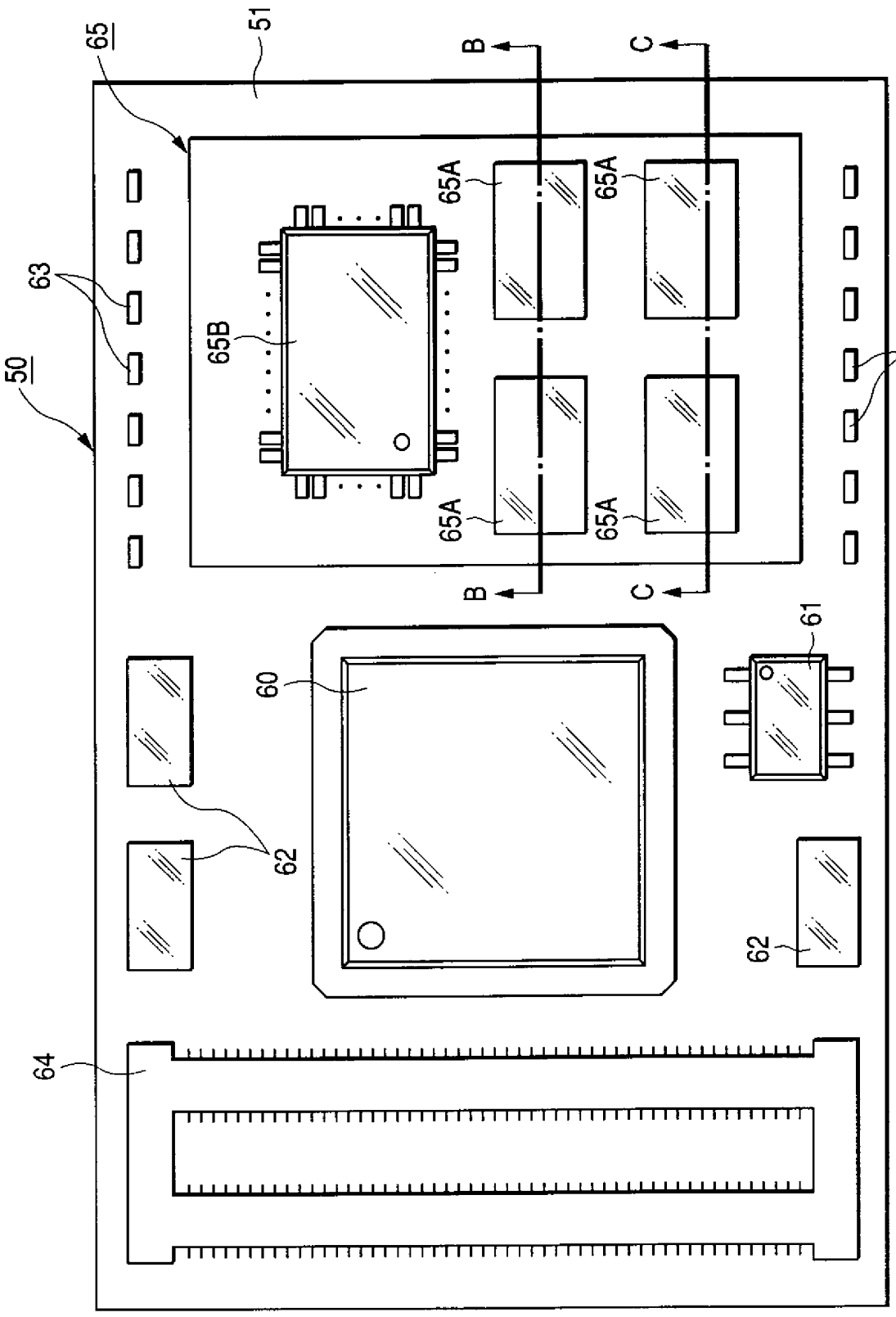


第12圖

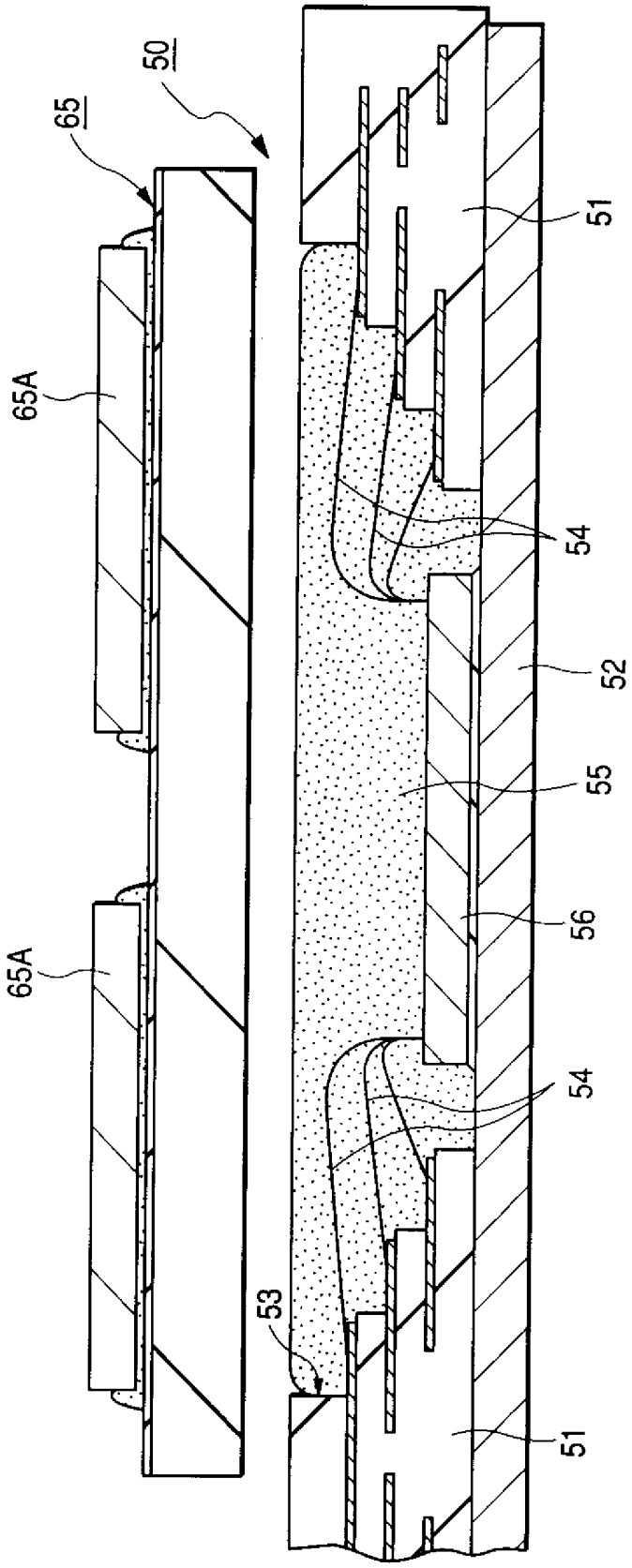
418467



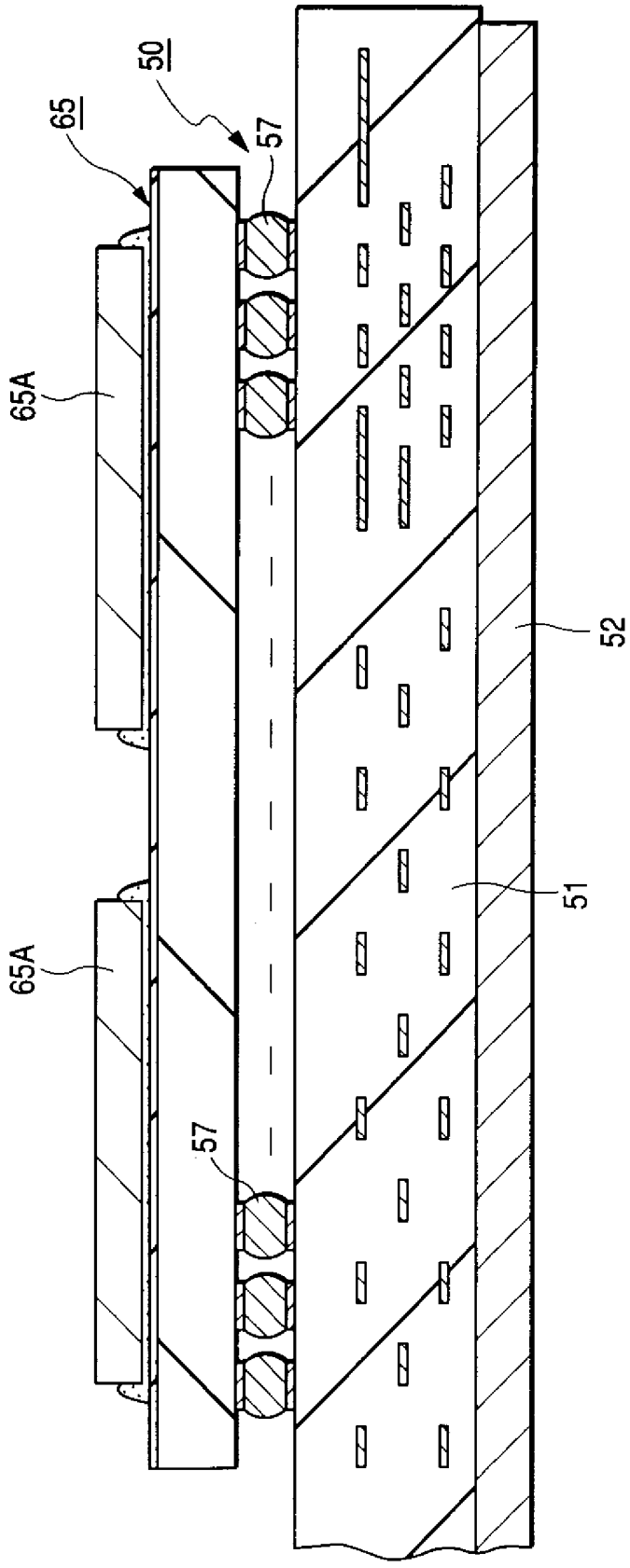
第13圖



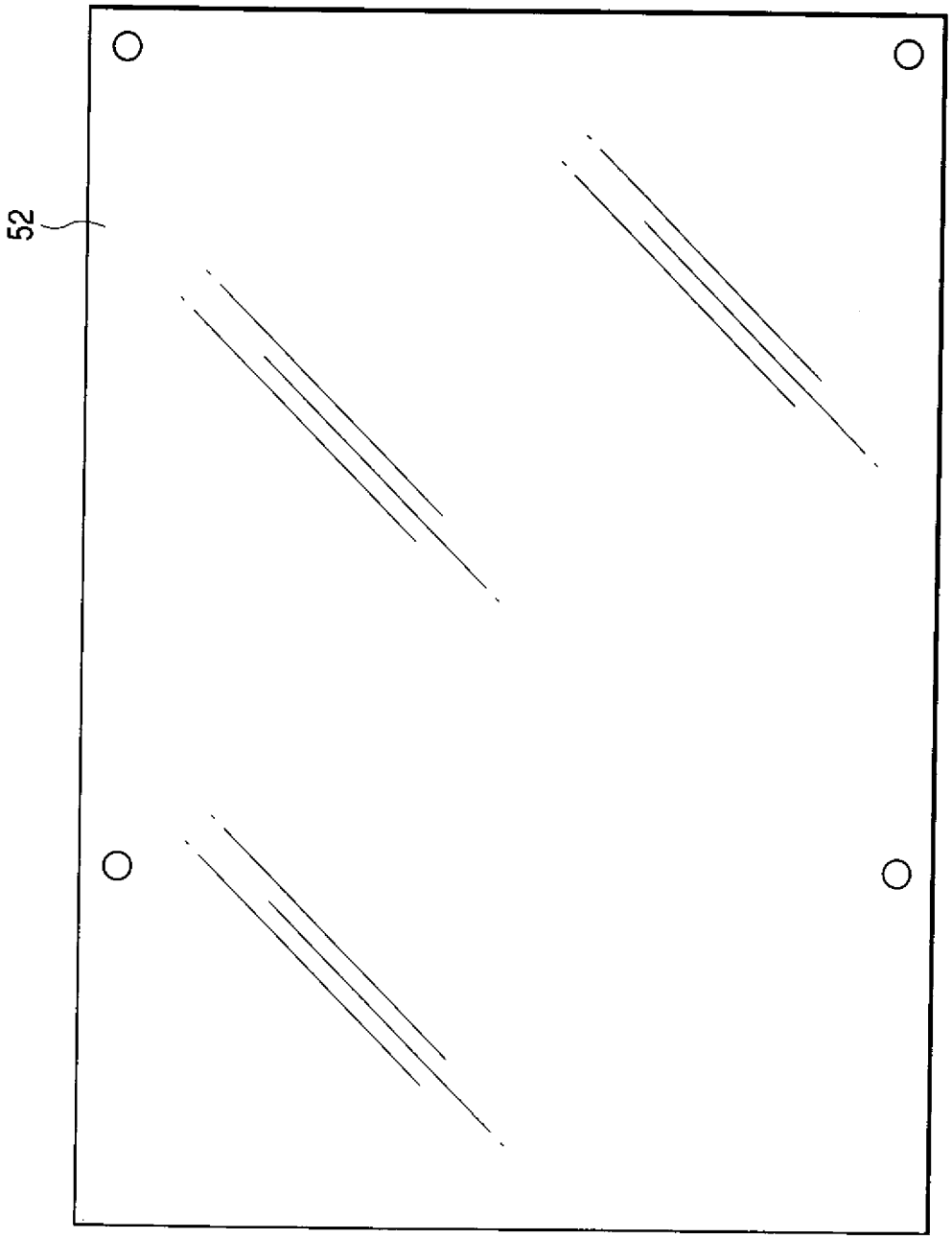
第14圖



第15圖

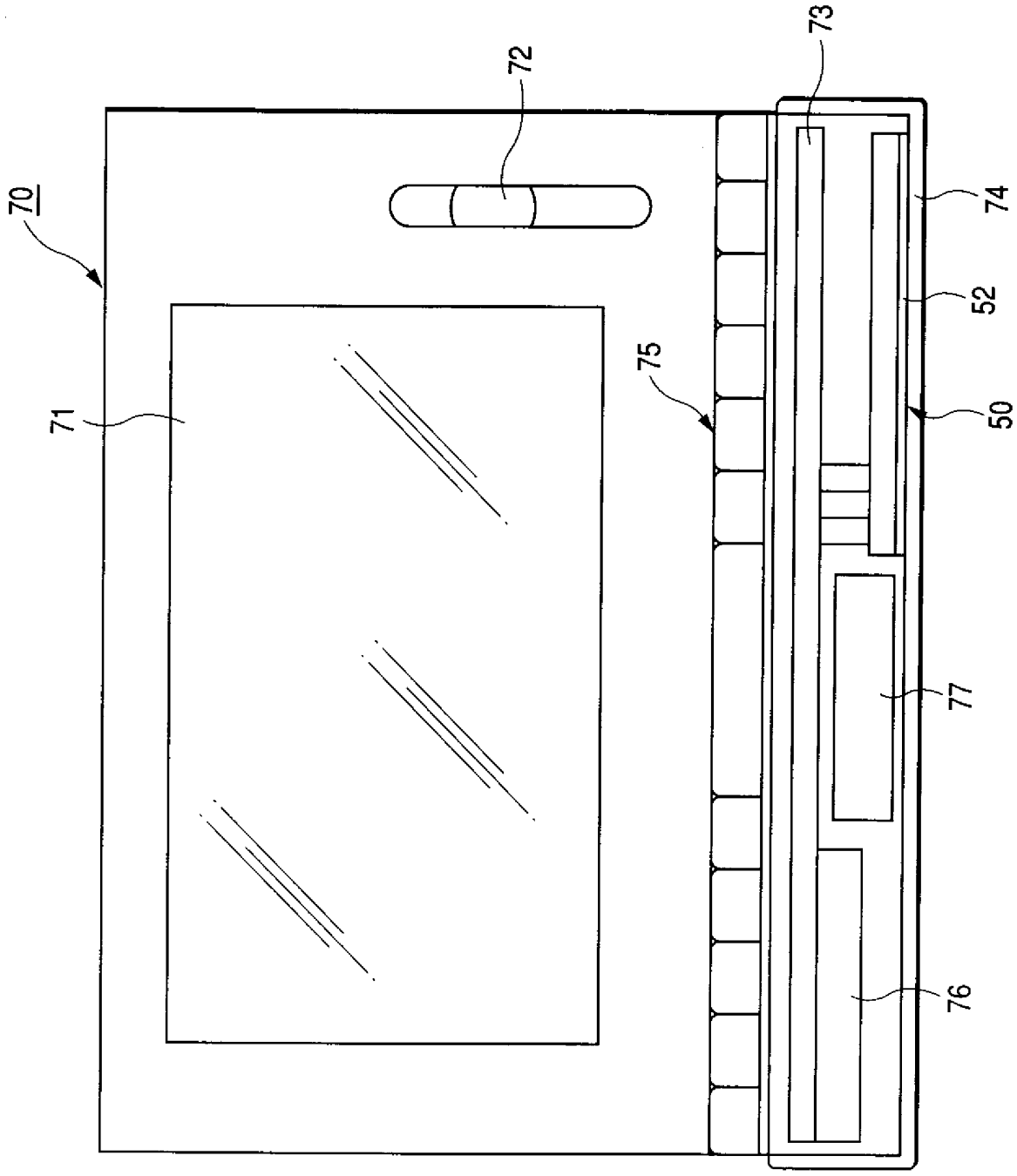


第16圖



第17圖

418467



第18圖

第 87103476 號專利申請案
中文說明書修正本　　民國 88 年 2 月呈

418467

申請日期	87 年 3 月 10 日
案號	87103476
類別	H01L 21/60

（以上各欄由本局填註）

公告本

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	電子裝置、資訊處理裝置、半導體裝置之實裝方法以及電子裝置之製造方法
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 今須誠士 (2) 吉田育生 (3) 林田哲哉
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都青梅市新町二丁目四－八 春天高地三〇五 (2) 日本國東京都武蔵村山市大南五－六六－一八 (3) 日本國東京都西多摩郡日の出町平井二一九六－五
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立北海半導體股份有限公司 日立北海セミコンダクタ株式会社
	國籍	(1) 日本　(2) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國北海道亀田郡七飯町字中島一四五番地
	代表人姓名	(1) 金井務 (2) 鈴木茂

經濟部中央標準局員工消費合作社印製

裝　訂　線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

418467

附件：第 87103476 號專利申請案
中文說明書修正頁　　民國 89 年 5 月呈

修正 本 89 年 6 月 日
補 A5
B5

四、中文發明摘要（發明之名稱：電子裝置、資訊處理裝置、半導體裝置之實裝方法以及電子裝置之製造方法）

係一種備有在配線基板之實裝面上介置著接著材而被固定，且在上述配線基板之電極墊上介置了突起電極而電氣的連接有外部端子之半導體晶片之電子裝置。

在上述電極墊上形成有凹部，而在此凹部內連接上述電極墊與上述突起電極。上述電極墊乃形成於柔軟層之表面上，上述凹部乃由上述電極墊及柔軟層之彈性變形所形成。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

英文發明摘要（發明之名稱：　　）

Process for Mounting Electronic Device and Semiconductor Device

An electronic device comprising a semiconductor chip which is fixed to the mounting face of a wiring board through an adhesive and in which external terminals are electrically connected with electrode pads of the wiring board through bump electrodes.

Recesses are formed in the electrode pads, and in the recesses the electrode pads and the bump electrodes are connected. The electrode pads are formed over the surface of a soft layer, and the recesses are formed by elastic deformation of the electrode pads and the soft layer.

418467
公告本

A8
B8
C8
D8

修正89.9.19
本年月日
補充

六、申請專利範圍

第87103476號專利申請案

中文申請專利範圍修正本

民國89年9月 修正

1．一種電子裝置，具有配置於半導體基板之元件形成面上的複數外部端子，和具有形成於前述外部端子上的複數突起電極的第1之半導體晶片，和剛性基板，和形成於前述剛性基板上的柔軟層，和形成於前述柔軟層上的配線層，和電氣連接於前述配線層之複數電極接合墊，和具有形成於前述配線層及柔軟層上之保護膜的配線基板；前述第1之半導體晶片係介入存在黏著材，固定於前述配線基板，於前述電極接合墊，形成凹部，於此凹部內電氣連接前述電極接合墊和前述突起電極，前述保護膜係未形成於前述第1之半導體晶片和前述配線基板間者。

2．一種電子裝置，具有配置於半導體基板之元件形成面上的複數外部端子，和具有形成於前述外部端子上的複數突起電極的第1之半導體晶片，和剛性基板，和形成於前述剛性基板上的柔軟層，和形成於前述柔軟層上的配線層，和電氣連接於前述配線層之複數電極接合墊，和具有形成於前述配線層及柔軟層上之保護膜的配線基板；前述第1之半導體晶片係介由前述突起電極和電極接合墊，電氣連接於前述配線層，前述保護膜係未形成於前述第1之半導體晶片和前述配線基板間者。

3．一種電子裝置，針對具有將第1之絕緣膜層，和

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製