

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7655486号  
(P7655486)

(45)発行日 令和7年4月2日(2025.4.2)

(24)登録日 令和7年3月25日(2025.3.25)

(51)国際特許分類

F I

H 0 5 K 1/02 (2006.01)

H 0 5 K 1/02 J

請求項の数 1 (全15頁)

|           |                              |          |                                     |
|-----------|------------------------------|----------|-------------------------------------|
| (21)出願番号  | 特願2022-154114(P2022-154114)  | (73)特許権者 | 308033711                           |
| (22)出願日   | 令和4年9月27日(2022.9.27)         |          | ラピスセミコンダクタ株式会社                      |
| (62)分割の表示 | 特願2018-87671(P2018-87671)の分割 |          | 神奈川県横浜市港北区新横浜二丁目4番地8                |
| 原出願日      | 平成30年4月27日(2018.4.27)        | (74)代理人  | 100084995                           |
| (65)公開番号  | 特開2022-173402(P2022-173402A) |          | 弁理士 加藤 和詳                           |
| (43)公開日   | 令和4年11月18日(2022.11.18)       | (74)代理人  | 100099025                           |
| 審査請求日     | 令和4年9月27日(2022.9.27)         |          | 弁理士 福田 浩志                           |
| 審判番号      | 不服2024-10204(P2024-10204/J1) | (72)発明者  | 島崎 広野                               |
| 審判請求日     | 令和6年6月19日(2024.6.19)         |          | 神奈川県横浜市港北区新横浜二丁目4番8 ラピスセミコンダクタ株式会社内 |
|           |                              | 合議体      |                                     |
|           |                              | 審判長      | 馬場 慎                                |
|           |                              | 審判官      | 上田 翔太                               |
|           |                              | 審判官      | 衣鳩 文彦                               |

最終頁に続く

(54)【発明の名称】 電子機器及び配線基板

(57)【特許請求の範囲】

【請求項1】

外周に沿って配置された複数の端子と、前記複数の端子のうち半導体装置を駆動するために同じ電位の電源電圧が印加される複数の電源端子と、前記複数の電源端子を互いに内部で接続する導電経路と、を有する、矩形状の外形を有した半導体装置と、  
前記半導体装置が搭載された搭載領域を有する配線基板と、  
を含む、電子機器であって、  
前記配線基板は、前記搭載領域の内側を経由して前記複数の電源端子を互いに接続する基板上配線を有し、  
前記基板上配線は、前記半導体装置の上から見た場合、前記導電経路と重複する電子機器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子機器及び配線基板に関する。

【背景技術】

【0002】

半導体チップをパッケージングした半導体装置と、半導体装置を搭載した配線基板とを含む電子機器におけるノイズ対策に関する技術として、以下の技術が知られている。

【0003】

20

例えば、特許文献 1 には、複数の電源ピンと複数の信号ピンを有する L S I が実装される多層プリント配線板において、複数の電源ピンの一部または全部がインダクタンスパターンを介して電源パターンと接続されるよう構成した多層プリント配線板が記載されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開平 9 - 3 2 6 4 5 1 号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0005】

半導体チップをパッケージングした半導体装置は、電源を強化することを目的として、互いに同じ電位の電圧が印加される複数の電源端子を有する場合がある。複数の電源端子を有する半導体装置は、複数の電源端子のうちの 1 つから、ワイヤ、半導体チップの内部に形成されたチップ内配線及びワイヤを経由して複数の電源端子のうちの他の 1 つに至る導電経路を含み得る。このような導電経路を有する半導体装置が搭載される配線基板は、複数の電源端子の各々を互いに接続する基板上配線を含み得る。ここで、外部から到来するノイズに対する耐性を高めることを目的として、配線基板には、半導体装置が搭載される搭載領域を覆うグラウンドパターンが設けられる場合がある。半導体装置が搭載される搭載領域にグラウンドパターンが設けられる場合、複数の電源端子の各々を互いに接続する基板上配線は、半導体装置が搭載される搭載領域を迂回するように配置される。この場合、半導体装置の内部に形成される上記導電経路と、複数の電源端子の各々を互いに接続する上記基板上配線と、によって導電ループが形成され、外部から到来する電磁ノイズに対する耐性が低下するおそれがある。例えば、導電ループの内側を貫く磁束が変化すると、電磁誘導によって電源電圧が変動し、これによって回路動作が不安定となったり、回路素子が破壊したりするおそれがある。

20

【0006】

本発明は、上記の点に鑑みてなされたものであり、外部から到来する電磁ノイズに対する耐性を高めることを目的とする。

【課題を解決するための手段】

30

【0007】

本発明の第 1 の態様に係る電子機器は、互いに同じ電位の電圧が印加される複数の端子を有する半導体装置及び前記半導体装置が搭載された搭載領域を有する配線基板を含む電子機器であって、前記配線基板は、前記複数の端子のうちの 1 つの端子が接続される接続部から前記搭載領域の内側を経由して前記複数の端子のうちの他の端子が接続される接続部に至る基板上配線を有する。

本発明の第 2 の態様に係る電子機器は、外周に沿って配置された複数の端子と、前記複数の端子のうち半導体装置を駆動するために同じ電位の電源電圧が印加される複数の電源端子と、前記複数の電源端子を互いに内部で接続する導電経路と、を有する、矩形状の外形を有した半導体装置と、前記半導体装置が搭載された搭載領域を有する配線基板と、を含む、電子機器であって、前記配線基板は、前記搭載領域の内側を経由して前記複数の電源端子を互いに接続する基板上配線を有し、前記基板上配線は、前記半導体装置の上から見た場合、前記導電経路と重複する。

40

【0008】

本発明に係る配線基板は、互いに同じ電位の電圧が印加される複数の端子を有する半導体装置を搭載するための搭載領域と、前記複数の端子のうちの 1 つの端子が接続される接続部から前記搭載領域の内側を経由して前記複数の端子のうちの他の端子が接続される接続部に至る基板上配線と、を有する。

【発明の効果】

【0009】

50

本発明によれば、外部から到来する電磁ノイズに対する耐性を高めることが可能となる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1 A】本発明の第 1 の実施形態に係る電子機器 1 の概略的な構成の一例を示す平面図である。

【図 1 B】図 1 A における 1 B - 1 B 線に沿った断面図である。

【図 2】本発明の実施形態に係る半導体装置の内部構造の一例を示す平面図である。

【図 3】本発明の実施形態に係る配線基板に形成された配線パターンの一例を示す平面図である。

【図 4 A】本発明の実施形態に係る半導体装置の内部構造、半導体装置に形成された導電経路及び配線基板に形成された基板上配線を併せて示した平面図である。

10

【図 4 B】図 4 A に示される各要素のうち導電経路及び基板上配線を抽出して示した平面図である。

【図 5 A】比較例に係る電子機器の構成の一例を示す平面図である。

【図 5 B】図 5 A に示される各要素のうち、導電経路及び基板上配線を抽出して示した平面図である。

【図 6 A】本発明の第 2 の実施形態に係る電子機器の構成の一例を示す平面図である。

【図 6 B】図 6 A に示される各要素のうち、導電経路及び基板上配線を抽出して示した平面図である。

【図 7 A】本発明の第 3 の実施形態に係る電子機器の構成の一例を示す平面図である。

20

【図 7 B】図 7 A に示される各要素のうち、導電経路及び基板上配線を抽出して示した平面図である。

【図 8 A】本発明の第 4 の実施形態に係る電子機器の構成の一例を示す平面図である。

【図 8 B】図 8 A に示される各要素のうち、導電経路及び基板上配線を抽出して示した平面図である。

【図 9 A】本発明の第 5 の実施形態に係る電子機器の構成の一例を示す平面図である。

【図 9 B】本発明の実施形態に係る配線基板の第 1 の面に形成される配線パターンの一例を示す平面図である。

【図 9 C】本発明の実施形態に係る配線基板の第 2 の面に形成される配線パターンの一例を示す平面図である。

30

【図 9 D】図 9 A における 9 D - 9 D 線に沿った断面図である。

【図 1 0 A】本発明の第 6 の実施形態に係る電子機器の構成の一例を示す平面図である。

【図 1 0 B】本発明の実施形態に係る配線基板の第 1 の面に形成された配線パターンの一例を示す平面図である。

【図 1 0 C】本発明の実施形態に係る配線基板の第 2 の面に形成される配線パターンの一例を示す平面図である。

【図 1 0 D】図 1 0 A における 1 0 D - 1 0 D 線に沿った断面図である。

【発明を実施するための形態】

【 0 0 1 1 】

以下、開示の技術の実施形態の一例を図面を参照しつつ説明する。なお、各図面において同一または等価な構成要素及び部分には同一の参照符号を付与している。

40

【 0 0 1 2 】

[第 1 の実施形態]

図 1 A は、本発明の第 1 の実施形態に係る電子機器 1 の概略的な構成の一例を示す平面図である。図 1 B は、図 1 A における 1 B - 1 B 線に沿った断面図である。電子機器 1 は、配線基板 1 0 と、配線基板 1 0 に搭載された半導体装置 2 0 とを含んで構成されている。

【 0 0 1 3 】

図 2 は、半導体装置 2 0 の内部構造の一例を示す平面図である。半導体装置 2 0 は、集積回路が形成された半導体チップ 2 1 と、半導体チップ 2 1 にワイヤ 2 2 を介して接続された複数の端子 2 3 と、半導体チップ 2 1 を封止する封止部材 2 4 とを含んで構成されて

50

いる。本実施形態において、半導体装置 20 の平面視における外形は、略矩形である。半導体装置 20 は、例えば、QFP (Quad Flat Package) のパッケージ形態を有しているもよい。

【0014】

本実施形態において、複数の端子 23 には、互いに同じ電位の電源電圧 VDD が印加される 2 つの電源端子 23Pa、23Pb が含まれている。電源端子 23Pa は、半導体装置 20 のコーナ部 25A の近傍に配置され、ワイヤ 22 を介して半導体チップ 21 に接続されている。電源端子 23Pb は、半導体装置 20 のコーナ部 25A の対角となるコーナ部 25B の近傍に配置され、ワイヤ 22 を介して半導体チップの、電源端子 23Pa が接続された箇所とは異なる箇所に接続されている。半導体装置 20 が、複数の電源端子 23Pa 及び 23Pb を有することで、半導体チップ 21 の面内における電源電圧の均一性を高めることができる。

10

【0015】

半導体装置 20 は、電源端子 23Pa、ワイヤ 22、半導体チップ 21 内に形成されたチップ内配線 (図示せず)、及びワイヤ 22 を経由して、電源端子 23Pb に至る導電経路 26 を有する。なお、導電経路 26 の、半導体チップ 21 の内部を通過する部分は、必ずしも図 2 に例示するような直線状に限らず、屈曲していても構わない。

【0016】

図 3 は、配線基板 10 に形成された配線パターンの一例を示す平面図である。配線基板 10 は、半導体装置 20 の複数の端子 23 が接続される接続部としての複数のランド 11 を有する。複数のランド 11 には、電源端子 23Pa が接続されるランド 11Pa 及び電源端子 23Pb が接続されるランド 11Pb が含まれている。配線基板 10 は、ランド 11Pa、搭載領域 30 の内側及びランド 11Pb を経由する基板上配線 12 を有する。このように、ランド 11Pa 及び 11Pb を、基板上配線 12 によって相互に接続することで、半導体装置 20 の電源端子 23Pa 及び 23Pb に、それぞれ、同じ電位を有する電源電圧 VDD を供給することが可能となる。

20

【0017】

図 4A は、半導体装置 20 の内部構造、半導体装置 20 に形成された導電経路 26 及び配線基板 10 に形成された基板上配線 12 を併せて示した平面図である。図 4B は、図 4A に示される各要素のうち、導電経路 26 及び基板上配線 12 を抽出して示した平面図である。本実施形態に係る電子機器 1 によれば、半導体装置 20 に形成された導電経路 26 と、配線基板 10 に形成された基板上配線 12 とが、電気的に接続され、これにより、導電ループ 40 が構成される。導電ループ 40 は、ループアンテナとして作用するおそれがあり、外部から到来する電磁ノイズによって、導電ループ 40 の内側を貫く磁束が変化すると、電磁誘導によって導電経路 26 及び基板上配線 12 の電位 (すなわち、電源電圧 VDD の電位) が変動する。このような電位変動を抑制するためには、導電ループ 40 の内側領域 (図 4B においてハッチングで示された領域) の面積を可能な限り小さくすることが好ましい。

30

【0018】

ここで、図 5A は、比較例に係る電子機器 1X の構成の一例を示す平面図である。図 5A において半導体装置 20 の内部構造、半導体装置 20 に形成された導電経路 26 及び配線基板 10 に形成された基板上配線 12X が併せて示されている。図 5B は、図 5A に示される各要素のうち、導電経路 26 及び基板上配線 12X を抽出して示した平面図である。比較例に係る電子機器 1X は、基板上配線 12X の引き回しが、本発明の実施形態に係る基板上配線 12 と異なる。すなわち、比較例に係る基板上配線 12X は、電源端子 23Pa が接続されるランド 11Pa から搭載領域 30 の外側を経由して電源端子 23Pb が接続されるランド 11Pb に至っている。

40

【0019】

比較例に係る電子機器 1X によれば、基板上配線 12X のランド 11Pa からランド 11Pb に至る部分が、半導体装置 20 の搭載領域 30 の外側を通過するので、半導体装置

50

20に形成された導電経路26と、基板上配線12Xとによって構成される導電ループ40Xの内側領域(図5Bにおいてハッチングで示された領域)の面積が、本発明の実施形態に係る導電ループ40よりも大きくなる。

【0020】

一方、本発明の実施形態に係る電子機器1によれば、基板上配線12の、ランド11Paからランド11Pbに至る部分が、半導体装置20の搭載領域30の内側を通過するので、導電ループ40の内側領域の面積を、比較例に係る導電ループ40Xよりも小さくすることができる。従って、本発明の実施形態に係る電子機器1によれば、比較例に係る電子機器1Xと比較して、外部から到来する電磁ノイズに対する耐性を高めることが可能となる。なお、導電ループ40の内側領域の面積は、半導体装置20の搭載領域30の面積の半分(50%)以下であることが好ましい。

10

【0021】

更に、本発明の実施形態に係る電子機器1によれば、基板上配線12の、搭載領域30の内側を通過する部分が、半導体装置20のワイヤ22及び端子23によって覆われる。ワイヤ22及び端子23は、電磁ノイズに対するシールドとして機能するので、基板上配線12の、搭載領域30の内側を通過する部分を、ワイヤ22及び端子23によって覆うことで、電磁ノイズに対する耐性を更に高めることができる。

【0022】

また、本発明の実施形態に係る電子機器1によれば、電磁ノイズの影響を低減させるための、キャパシタ等の電磁ノイズ対策部品を実装することなく電磁ノイズに対する耐性を高めることができるので、電磁ノイズ対策部品を実装する電子機器と比較して、製造コストを抑えることが可能となる。

20

【0023】

[第2の実施形態]

図6Aは、本発明の第2の実施形態に係る電子機器1Aの構成の一例を示す平面図である。図6Aにおいて半導体装置20の内部構造、半導体装置20に形成された導電経路26及び配線基板10に形成された基板上配線12Aが併せて示されている。図6Bは、図6Aに示される各要素のうち、導電経路26及び基板上配線12Aを抽出して示した平面図である。

【0024】

本発明の第2の実施形態に係る電子機器1Aは、基板上配線12Aの引き回しが、第1の実施形態に係る基板上配線12と異なる。第2の実施形態に係る基板上配線12Aは、電源端子23Paが接続されるランド11Paから、半導体装置20の搭載領域30の内側を経由して電源端子23Pbが接続されるランド11Pbに至る。基板上配線12Aの、搭載領域30の内側を経由する部分は、半導体装置20に形成された導電経路26に沿って配置されている。より具体的には、基板上配線12Aの、搭載領域30の内側を経由する部分は、導電経路26と重なるように、導電経路26の直下に配置されている。

30

【0025】

本発明の第2の実施形態に係る電子機器1Aによれば、半導体装置20に形成された導電経路26と、配線基板10に形成された基板上配線12Aとによって構成される導電ループ40の内側領域の面積を略ゼロとすることが可能となる。これにより、導電ループ40の内側を貫く磁束が、略ゼロとなり、電磁ノイズに対する耐性を、更に高めることが可能である。

40

【0026】

[第3の実施形態]

図7Aは、本発明の第3の実施形態に係る電子機器1Bの構成の一例を示す平面図である。図7Aにおいて半導体装置20の内部構造、半導体装置20に形成された導電経路26B及び配線基板10に形成された基板上配線12Bが併せて示されている。図7Bは、図7Aに示される各要素のうち、導電経路26B及び基板上配線12Bを抽出して示した平面図である。

50

## 【 0 0 2 7 】

本発明の第 3 の実施形態に係る電子機器 1 B において、半導体装置 2 0 の電源端子 2 3 P a 及び電源端子 2 3 P b は、半導体装置 2 0 の 1 つの辺に沿って設けられている。従って、電源端子 2 3 P a、ワイヤ 2 2、半導体チップ 2 1 内に形成されたチップ内配線（図示せず）、及びワイヤ 2 2 を経由して、電源端子 2 3 P b に至る導電経路 2 6 B は、図 7 A 及び図 7 B に示すように屈曲している。

## 【 0 0 2 8 】

基板上配線 1 2 B は、電源端子 2 3 P a が接続されるランド 1 1 P a から、半導体装置 2 0 の搭載領域 3 0 の内側を経由して電源端子 2 3 P b が接続されるランド 1 1 P b に至る。基板上配線 1 2 B の、搭載領域 3 0 の内側を経由する部分は、半導体装置 2 0 に形成された導電経路 2 6 B に沿って配置されている。より具体的には、基板上配線 1 2 B の、搭載領域 3 0 の内側を経由する部分は、導電経路 2 6 B と重なるように、導電経路 2 6 B の直下に配置されている。

10

## 【 0 0 2 9 】

本発明の第 3 の実施形態に係る電子機器 1 B によれば、半導体装置 2 0 に形成された導電経路 2 6 B と、配線基板 1 0 に形成された基板上配線 1 2 B とによって構成される導電ループ 4 0 の内側領域の面積を略ゼロとすることが可能となる。これにより、導電ループ 4 0 の内側を貫く磁束が、略ゼロとなり、電磁ノイズに対する耐性を、更に高めることが可能である。

## 【 0 0 3 0 】

## 〔 第 4 の実施形態 〕

図 8 A は、本発明の第 4 の実施形態に係る電子機器 1 C の構成の一例を示す平面図である。図 8 A において半導体装置 2 0 の内部構造、半導体装置 2 0 に形成された導電経路 2 6 C 及び配線基板 1 0 に形成された基板上配線 1 2 C が併せて示されている。図 8 B は、図 8 A に示される各要素のうち、導電経路 2 6 C 及び基板上配線 1 2 C を抽出して示した平面図である。

20

## 【 0 0 3 1 】

本発明の第 4 の実施形態に係る半導体装置 2 0 は、互いに同じ電位の電源電圧 V D D が印加される 4 つの電源端子 2 3 P a、2 3 P b、2 3 P c、2 3 P d を有する。電源端子 2 3 P a、2 3 P b、2 3 P c、2 3 P d は、それぞれ、半導体装置 2 0 の各コーナ部の近傍に配置されている。半導体装置 2 0 は、電源端子 2 3 P a、2 3 P b、2 3 P c、2 3 P d を相互に接続する導電経路 2 6 C を有する。導電経路 2 6 C は、ワイヤ 2 2 及び半導体チップ 2 1 内に形成されたチップ内配線（図示せず）を含んで構成されている。

30

## 【 0 0 3 2 】

配線基板 1 0 は、電源端子 2 3 P a が接続されるランド 1 1 P a、電源端子 2 3 P b が接続されるランド 1 1 P b、電源端子 2 3 P c が接続されるランド 1 1 P c 及び電源端子 2 3 P d が接続されるランド 1 1 P d を有する。配線基板 1 0 は、ランド 1 1 P a から半導体装置 2 0 の搭載領域 3 0 の内側を経由して他のランド 1 1 P b、1 1 P c、1 1 P d に至る基板上配線 1 2 C を有する。このように、ランド 1 1 P a、1 1 P b、1 1 P c、1 1 P d を、基板上配線 1 2 C によって相互に接続することで、半導体装置 2 0 の電源端子 2 3 P a、2 3 P b、2 3 P c、2 3 P d に、それぞれ、同じ電位を有する電源電圧 V D D を供給することが可能となる。

40

## 【 0 0 3 3 】

基板上配線 1 2 C の、搭載領域 3 0 の内側を経由する部分は、半導体装置 2 0 に形成された導電経路 2 6 C に沿って配置されている。より具体的には、基板上配線 1 2 C の、搭載領域 3 0 の内側を経由する部分は、導電経路 2 6 C と重なるように、導電経路 2 6 C の直下に配置されている。

## 【 0 0 3 4 】

本発明の第 4 の実施形態に係る電子機器 1 C によれば、半導体装置 2 0 に形成された導電経路 2 6 C と、配線基板 1 0 に形成された基板上配線 1 2 C とによって構成される導電

50

ループ 40 の内側領域の面積を略ゼロとすることが可能となる。これにより、導電ループ 40 の内側を貫く磁束が、略ゼロとなり、電磁ノイズに対する耐性を、更に高めることが可能である。

【 0 0 3 5 】

[ 第 5 の実施形態 ]

図 9 A は、本発明の第 5 の実施形態に係る電子機器 1 D の構成の一例を示す平面図である。図 9 A において半導体装置 20 の内部構造、半導体装置 20 に形成された導電経路 26 及び配線基板 10 に形成された配線パターンが併せて示されている。図 9 B は、配線基板 10 の、半導体装置 20 が搭載される第 1 の面 S 1 に形成された配線パターンの一例を示す平面図である。図 9 C は、配線基板 10 の第 1 の面 S 1 とは反対側の第 2 の面 S 2 に形成された配線パターンの一例を示す平面図である。図 9 D は、図 9 A における 9 D - 9 D 線に沿った断面図である。

10

【 0 0 3 6 】

半導体装置 20 は、電源端子 23 P a 及び 23 P b に加え、グランド端子 23 G a 、 23 G b 及び複数の信号端子 23 S を有する。

【 0 0 3 7 】

配線基板 10 の第 1 の面 S 1 には、電源端子 23 P a 及び 23 P b がそれぞれ接続されるランド 11 P a 及び 11 P b に加え、グランド端子 23 G a 及び 23 G b がそれぞれ接続されるランド 11 G a 及び 11 G b 、並びに信号端子 23 S がそれぞれ接続される複数のランド 11 S が設けられている。また、配線基板 10 の第 1 の面 S 1 には、ランド 11 S の各々に接続された複数の信号配線 12 s が設けられている。

20

【 0 0 3 8 】

配線基板 10 の第 2 の面 S 2 には、電源配線 12 p が設けられている。信号配線 12 s 及び電源配線 12 p は、それぞれ、基板上配線 12 を構成する配線である。電源配線 12 p は、スルーホール 13 P a を介して、配線基板 10 の第 1 の面 S 1 に設けられたランド 11 P a に接続されている。また、電源配線 12 p は、スルーホール 13 P b を介して、配線基板 10 の第 1 の面 S 1 に設けられたランド 11 P b に接続されている。電源配線 12 p は、ランド 11 P a から搭載領域 30 の内側を経由してランド 11 P b に至っている。このように、ランド 11 P a 及び 11 P b を、電源配線 12 p によって相互に接続することで、半導体装置 20 の電源端子 23 P a 及び 23 P b に、それぞれ、同じ電位を有する電源電圧 V D D を供給することが可能となる。

30

【 0 0 3 9 】

配線基板 10 の第 2 の面 S 2 には、間隙 15 を隔てて互いに分離している導体パターン 14 a 、 14 b が設けられている。配線基板 10 の第 2 の面 S 2 は、搭載領域 30 を含む領域の大部分（例えば 70 % 以上）が、導体パターン 14 a 、 14 b によって覆われている。導体パターン 14 a 及び 14 b には、グランド電位が印加される。導体パターン 14 a は、スルーホール 13 G a を介して、配線基板 10 の第 1 の面 S 1 に設けられたランド 11 G a に接続されている。導体パターン 14 b は、スルーホール 13 G b を介して、配線基板 10 の第 1 の面 S 1 に設けられたランド 11 G b に接続されている。導体パターン 14 a と導体パターン 14 b とを隔てる間隙 15 は、搭載領域 30 の内側を経由するように伸びている。電源配線 12 p は、間隙 15 に配置されている。

40

【 0 0 4 0 】

電源配線 12 p の、搭載領域 30 の内側を経由する部分は、半導体装置 20 に形成された導電経路 26 に沿って配置されている。より具体的には、電源配線 12 p の、搭載領域 30 の内側を経由する部分は、導電経路 26 と重なるように、導電経路 26 の直下に配置されている。

【 0 0 4 1 】

本発明の第 5 の実施形態に係る電子機器 1 D によれば、半導体装置 20 に形成された導電経路 26 と、配線基板 10 に形成された電源配線 12 p とによって構成される導電ループの内側領域の面積を略ゼロとすることが可能となる。これにより、導電ループの内側を

50

貫く磁束が、略ゼロとなり、電磁ノイズに対する耐性を高めることが可能である。

【 0 0 4 2 】

また、配線基板 1 0 の第 2 の面 S 2 は、搭載領域 3 0 を含む領域の大部分が、グランド電位が印加される導体パターン 1 4 a 及び 1 4 b によって覆われている。グランド電位が印加される導体パターン 1 4 a 及び 1 4 b は、電磁ノイズに対するシールドとして機能するので、配線基板 1 0 の第 2 の面 S 2 における搭載領域 3 0 を含む領域の大部分を、導体パターン 1 4 a 及び 1 4 b によって覆うことで、電磁ノイズに対する耐性を更に高めることができる。

【 0 0 4 3 】

また、半導体装置 2 0 のグランド端子 2 3 G a が、スルーホール 1 3 G a を介して、その直下に配置されている導体パターン 1 4 a に接続され、半導体装置 2 0 のグランド端子 2 3 G b が、スルーホール 1 3 G b を介して、その直下に配置されている導体パターン 1 4 b に接続されている。これにより、グランド端子 2 3 G a 及び 2 3 G b を、最短経路で、グランド電位に接続することが可能となる。

【 0 0 4 4 】

なお、グランド端子 2 3 G a 及び 2 3 G b の双方が共通の導体パターン 1 4 a (または導体パターン 1 4 b) に接続されていてもよい。これにより、電磁ノイズに対する耐性を更に高めることが可能となる。

【 0 0 4 5 】

[ 第 6 の実施形態 ]

図 1 0 A は、本発明の第 6 の実施形態に係る電子機器 1 E の構成の一例を示す平面図である。図 1 0 A において半導体装置 2 0 の内部構造、半導体装置 2 0 に形成された導電経路 2 6 及び配線基板 1 0 に形成された配線パターンが併せて示されている。図 1 0 B は、配線基板 1 0 の半導体装置 2 0 が搭載される第 1 の面 S 1 に形成された配線パターンの一例を示す平面図である。図 1 0 C は、配線基板 1 0 の第 1 の面 S 1 とは反対側の第 2 の面 S 2 に形成された配線パターンの一例を示す平面図である。図 1 0 D は、図 1 0 A における 1 0 D - 1 0 D 線に沿った断面図である。

【 0 0 4 6 】

半導体装置 2 0 は、電源端子 2 3 P a 及び 2 3 P b に加え、グランド端子 2 3 G a 、 2 3 G b 及び複数の信号端子 2 3 S を有する。

【 0 0 4 7 】

配線基板 1 0 の第 1 の面 S 1 には、電源端子 2 3 P a 及び 2 3 P b がそれぞれ接続されるランド 1 1 P a 及び 1 1 P b 及び信号端子 2 3 S がそれぞれ接続される複数のランド 1 1 S が設けられている。また、配線基板 1 0 の第 1 の面 S 1 には、ランド 1 1 S の各々に接続された複数の信号配線 1 2 s が設けられている。また、配線基板 1 0 の第 1 の面 S 1 には、ランド 1 1 P a 及び 1 1 P b に接続された電源配線 1 2 p が設けられている。電源配線 1 2 p は、ランド 1 1 P a から搭載領域 3 0 の内側を経由してランド 1 1 P b に至っている。このように、ランド 1 1 P a 及び 1 1 P b を、電源配線 1 2 p によって相互に接続することで、半導体装置 2 0 の電源端子 2 3 P a 及び 2 3 P b に、それぞれ、同じ電位を有する電源電圧 V D D を供給することが可能となる。信号配線 1 2 s 及び電源配線 1 2 p は、それぞれ、基板上配線 1 2 を構成する配線である。

【 0 0 4 8 】

また、配線基板 1 0 の第 1 の面 S 1 には、グランド端子 2 3 G a 及び 2 3 G b がそれぞれ接続される導体パターン 1 4 a 及び 1 4 b が設けられている。導体パターン 1 4 a 及び 1 4 b は、間隙 1 5 を隔てて互いに分離している。導体領域 1 4 a 及び 1 4 b は、半導体装置 2 0 の搭載領域 3 0 の内外に延材しており、配線基板 1 0 の第 1 の面 S 1 において、搭載領域 3 0 の大部分 (例えば 7 0 % 以上) が、導体パターン 1 4 a 、 1 4 b によって覆われている。導体パターン 1 4 a 及び 1 4 b には、グランド電位が印加される。導体パターン 1 4 a と導体パターン 1 4 b とを隔てる間隙 1 5 は、搭載領域 3 0 の内側を経由するように伸びている。電源配線 1 2 p は、間隙 1 5 に配置されている。

10

20

30

40

50

## 【 0 0 4 9 】

配線基板 1 0 の第 2 の面 S 2 には、導体パターン 1 6 が設けられている。配線基板 1 0 の第 2 の面 S 2 は、搭載領域 3 0 を含む領域の大部分（例えば 7 0 % 以上）が、導体パターン 1 6 によって覆われている。導体パターン 1 6 は、半導体装置 2 0 の搭載領域 3 0 において、導体パターン 1 4 a と導体パターン 1 4 b とを隔てる間隙 1 5 と重なるように配置されている。導体パターン 1 6 には、グランド電位が印加される。

## 【 0 0 5 0 】

電源配線 1 2 p の、搭載領域 3 0 の内側を経由する部分は、半導体装置 2 0 に形成された導電経路 2 6 に沿って配置されている。より具体的には、電源配線 1 2 p の、搭載領域 3 0 の内側を経由する部分は、導電経路 2 6 と重なるように、導電経路 2 6 の直下に配置されている。

10

## 【 0 0 5 1 】

本発明の第 6 の実施形態に係る電子機器 1 E によれば、半導体装置 2 0 に形成された導電経路 2 6 と、配線基板 1 0 に形成された電源配線 1 2 p とによって構成される導電ループの内側領域の面積を略ゼロとすることが可能となる。これにより、導電ループの内側を貫く磁束が、略ゼロとなり、電磁ノイズに対する耐性を高めることが可能である。

## 【 0 0 5 2 】

また、配線基板 1 0 の第 1 の面 S 1 において、搭載領域 3 0 の大部分が、グランド電位が印加される導体パターン 1 4 a 及び 1 4 b によって覆われている。グランド電位が印加される導体パターン 1 4 a 及び 1 4 b は、電磁ノイズに対するシールドとして機能するので、配線基板 1 0 の第 1 の面 S 1 において、搭載領域 3 0 の大部分を、導体パターン 1 4 a 及び 1 4 b によって覆うことで、電磁ノイズに対する耐性を更に高めることができる。ここで、導体パターン 1 4 a と導体パターン 1 4 b とを互いに隔てる間隙 1 5 が、搭載領域 3 0 の内側に配置されることで、シールド効果が減退するおそれがある。しかしながら、配線基板 1 0 の第 2 の面 S 2 には、間隙 1 5 と重なる位置に、導体パターン 1 6 が設けられているので、間隙 1 5 が搭載領域 3 0 の内側に配置されることによるシールド効果の減退を抑制することが可能となる。

20

## 【 符号の説明 】

## 【 0 0 5 3 】

1、1 A、1 B、1 C、1 D、1 E、1 X 電子機器

30

1 0 配線基板

1 1、1 1 G a、1 1 G b、1 1 P a、1 1 P b、1 1 P c、1 1 P c、1 1 S ランド

1 2、1 2 A、1 2 B、1 2 C、1 2 X 基板上配線

1 2 p 電源配線

1 2 s 信号配線

1 4 a、1 4 b、1 6 導体パターン

1 5 間隙

2 0 半導体装置

2 1 半導体チップ

2 2 ワイヤ

2 3 端子

40

2 3 G a、2 3 G b グランド端子

2 3 P a、2 3 P b、2 3 P c、2 3 P d 電源端子

2 3 S 信号端子

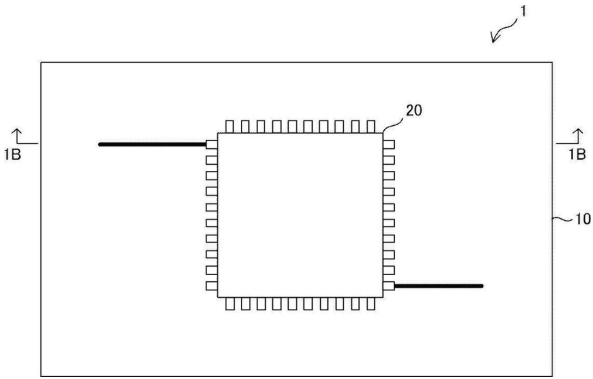
2 6、2 6 B、2 6 C 導電経路

3 0 搭載領域

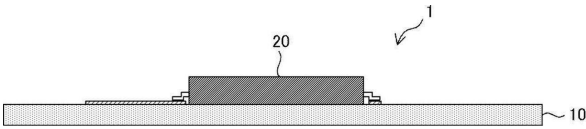
4 0、4 0 X 導電ループ

【図面】

【図 1 A】

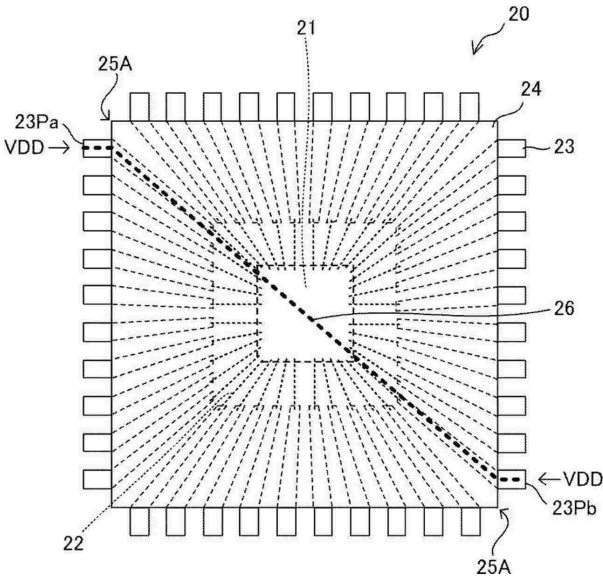


【図 1 B】

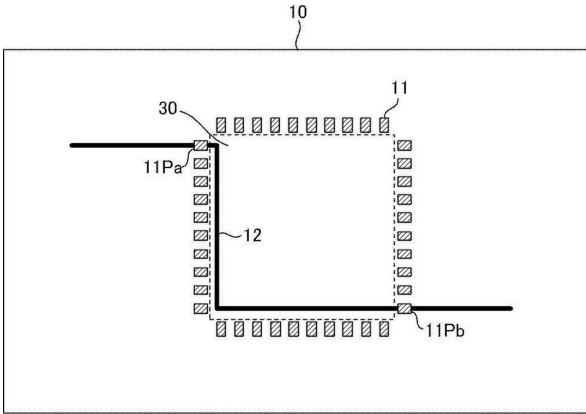


10

【図 2】



【図 3】



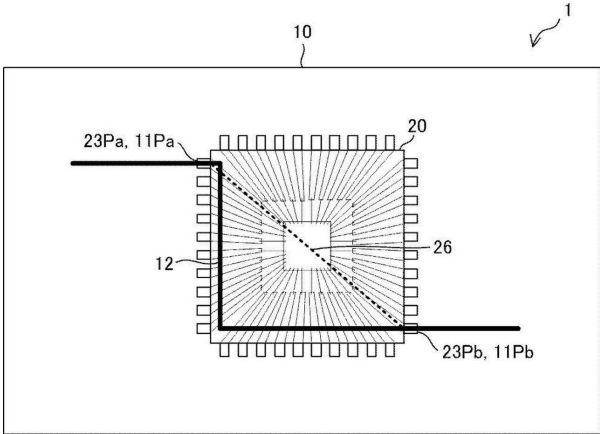
20

30

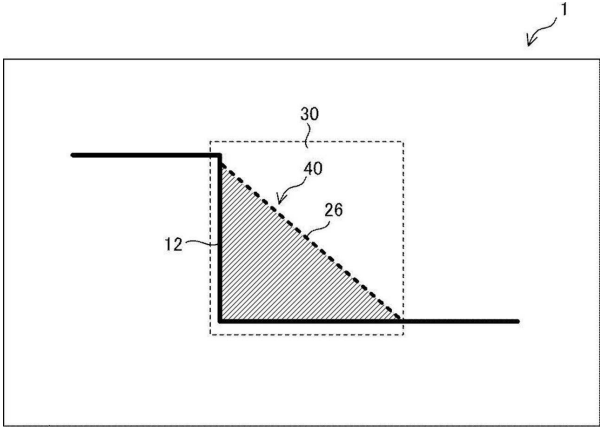
40

50

【図 4 A】

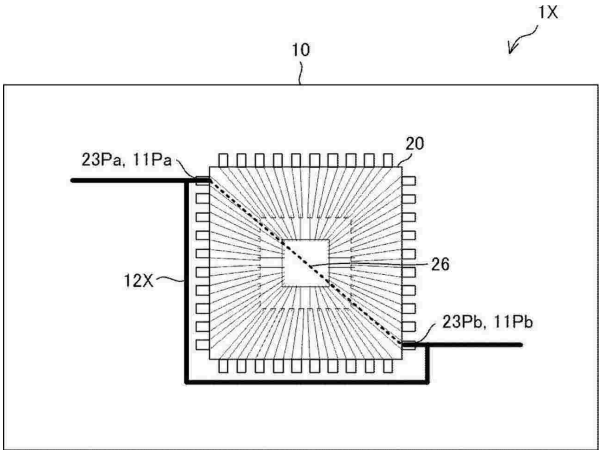


【図 4 B】

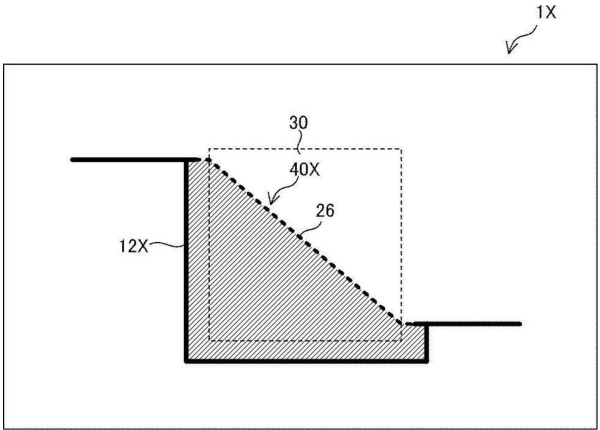


10

【図 5 A】



【図 5 B】



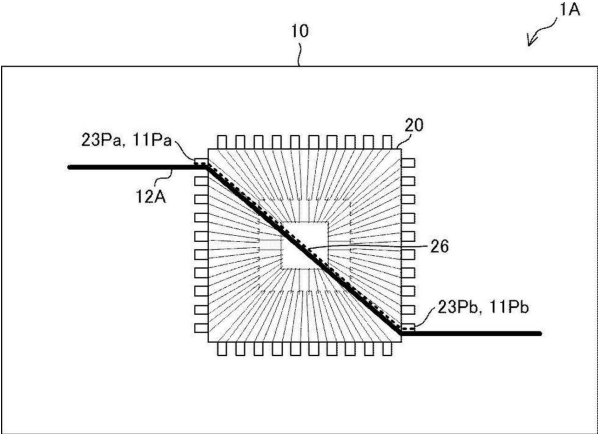
20

30

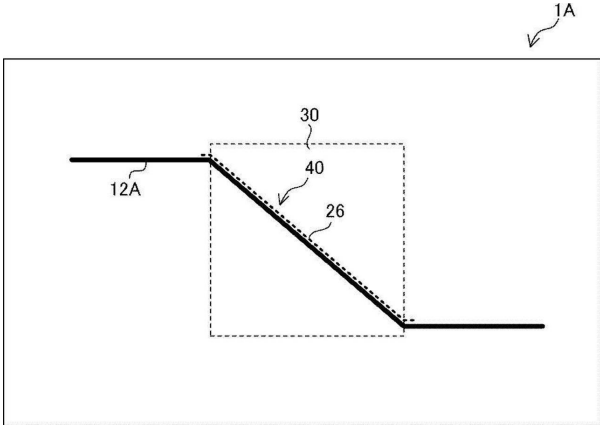
40

50

【図 6 A】

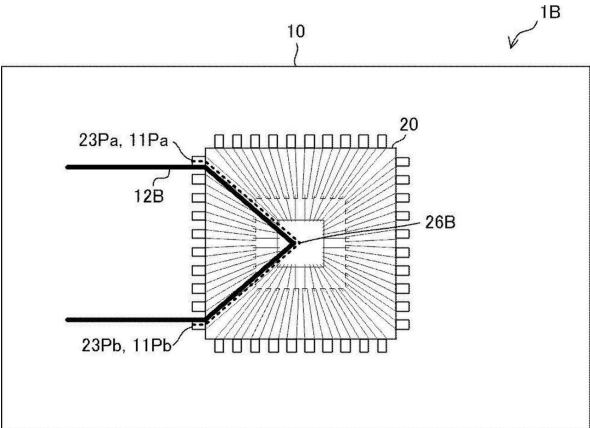


【図 6 B】

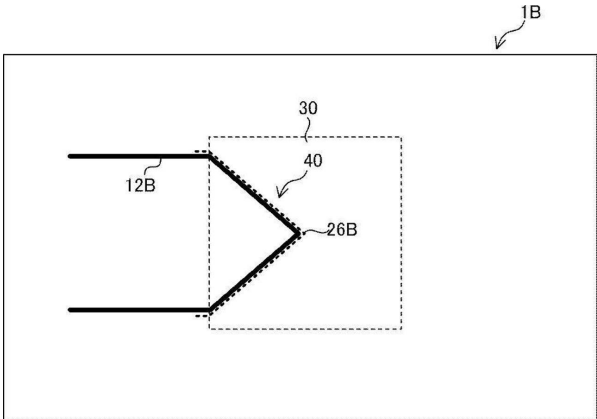


10

【図 7 A】



【図 7 B】



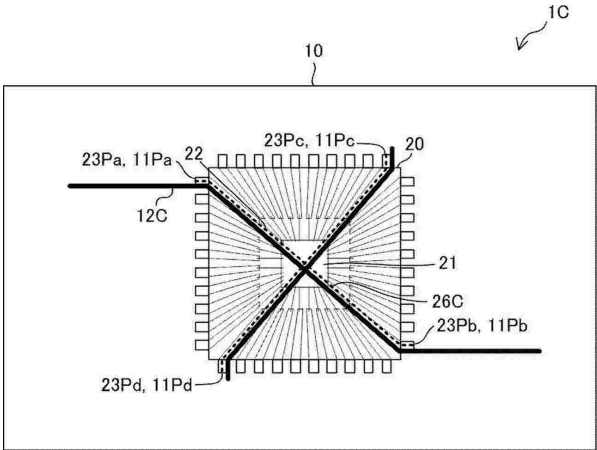
20

30

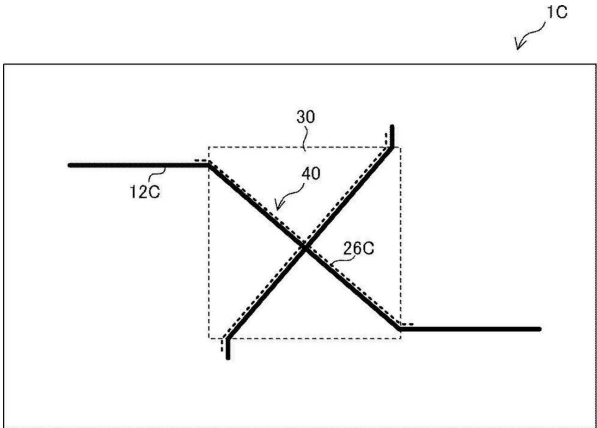
40

50

【図 8 A】

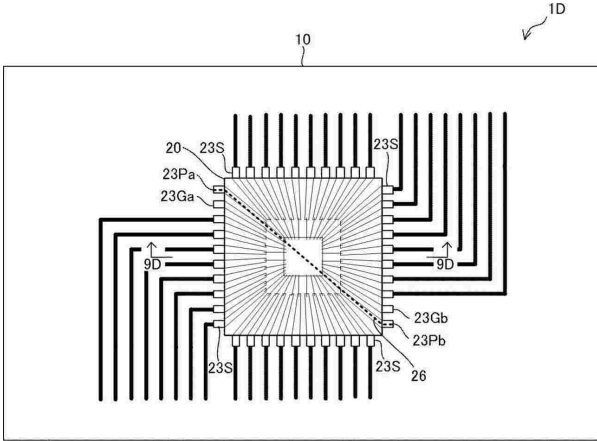


【図 8 B】

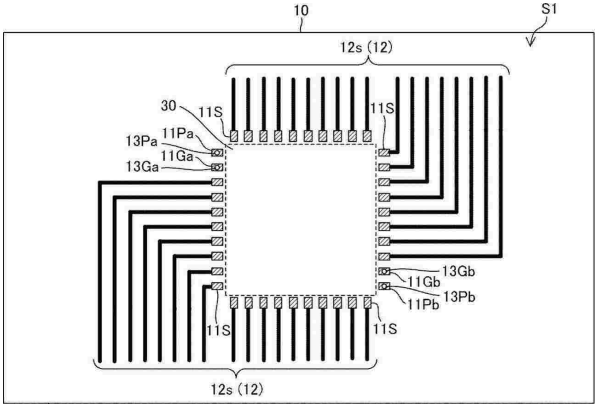


10

【図 9 A】



【図 9 B】



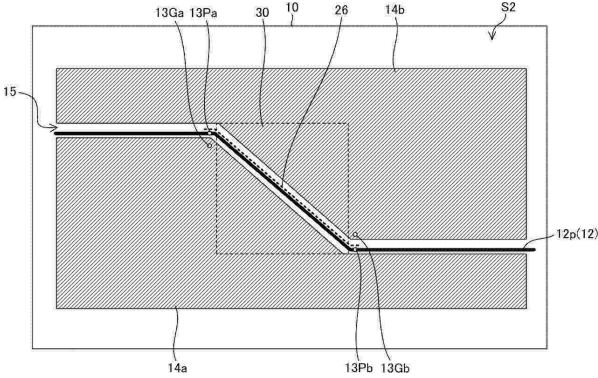
20

30

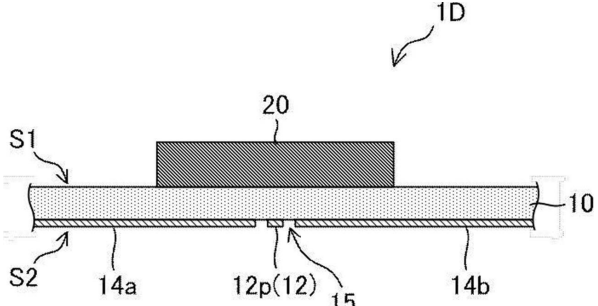
40

50

【図 9 C】

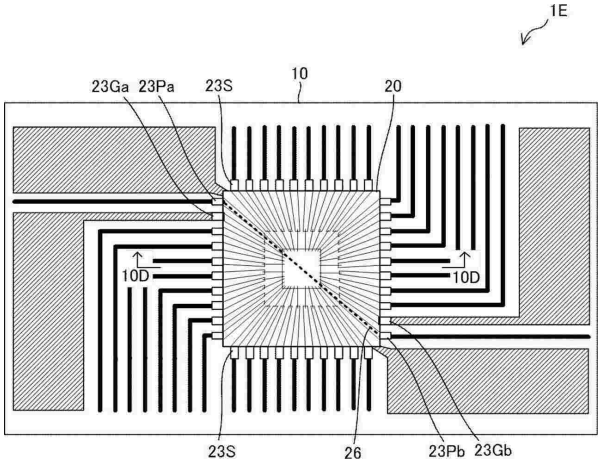


【図 9 D】

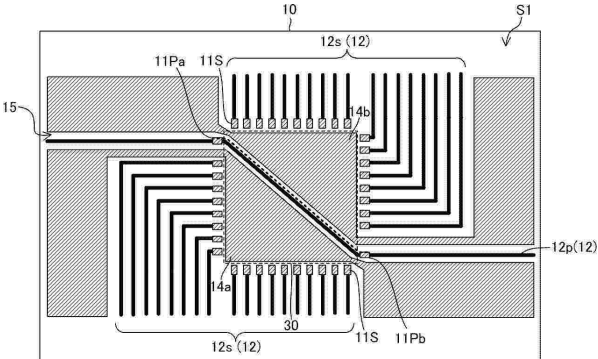


10

【図 10 A】

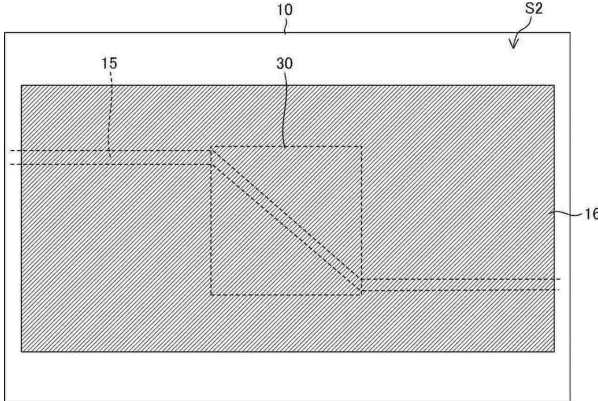


【図 10 B】

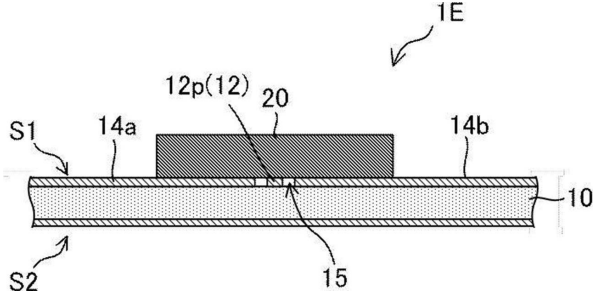


20

【図 10 C】



【図 10 D】



30

40

50

---

フロントページの続き

(56)参考文献 米国特許出願公開第 2 0 0 2 / 0 1 4 5 1 8 0 ( U S , A 1 )

(58)調査した分野 (Int.Cl. , D B 名)

H05K 1/02

H01L 23/12

H05K 3/46

H05K 9/00