

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/15 (2006.01)

G11C 7/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 02142290.7

[45] 授权公告日 2006 年 5 月 10 日

[11] 授权公告号 CN 1255815C

[22] 申请日 2002.8.29 [21] 申请号 02142290.7

[30] 优先权

[32] 2001.11.27 [33] JP [31] 360441/01

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 日高秀人

审查员 李 菲

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 刘宗杰 王忠忠

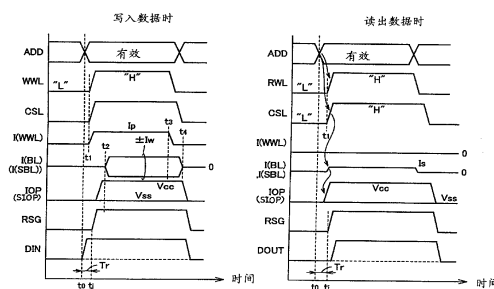
权利要求书 6 页 说明书 29 页 附图 14 页

[54] 发明名称

具有冗余结构的薄膜磁性体存储装置

[57] 摘要

当写入数据时，从第 1 时刻开始对选择行的写入字线(WWL)供给数据写入入电流，而无需等待冗余判定。另一方面，从第 1 时刻之后的第 2 时刻开始对选择列的位线 BL 或备用位线 SBL 供给数据写入电流 $\pm I_w$ 。冗余判定，在第 1 和第 2 时刻之间执行。对于选择存储单元，分别流过写入字线及位线的数据写入电流，产生分别沿着难磁化轴及易磁化轴的方向的磁场。



1. 一种薄膜磁性体存储装置, 根据包含第 1 和第 2 地址的地址信号进行地址选择, 该薄膜磁性体存储装置, 备有: 按行列状配置的多个正规存储单元及用于补救替换上述多个正规存储单元中的缺陷存储单元的多个备用存储单元, 各上述正规存储单元及上述各备用存储单元, 具有其电阻值根据可响应沿难磁化轴的第 1 规定磁场及沿易磁化轴的第 2 规定磁场的两个磁场的施加而重写的磁化方向改变的磁阻元件; 冗余控制电路, 根据上述地址信号与指示上述缺陷存储单元的不合格地址的一致性比较, 进行判定是否选择了上述缺陷存储单元的冗余判定; 选择电路, 当写入数据时, 根据上述第 1 地址对上述多个正规存储单元及上述多个备用存储单元的每一个执行行选择, 而与上述冗余判定无关; 多条写入选择线, 分别根据上述行选择而有选择地激活并流过第 1 数据写入电流, 以便对选择行的正规存储单元群及备用存储单元群施加上述第 1 规定磁场; 多条数据线, 与正规存储单元列对应设置; 多条备用数据线, 与备用存储单元列对应设置; 数据输入输出电路, 用于根据上述冗余判定控制与上述多个正规存储单元及上述多个备用存储单元对应的数据输入输出, 上述数据输入输出电路, 当进行上述数据写入时, 根据上述冗余判定对与上述第 2 地址对应的一部分数据线、与上述第 2 地址对应的一部分数据线及备用数据线中的任何一方供给用于产生上述第 2 规定磁场的第 2 数据写入电流。

2. 根据权利要求 1 所述的薄膜磁性体存储装置, 其特征在于: 上述第 1 数据写入电流, 具有一定方向而与写入数据无关, 第 2 数据写入电流的方向, 根据上述写入数据的电平设定。

3. 根据权利要求 1 所述的薄膜磁性体存储装置, 其特征在于: 上述多个备用存储单元及上述多个正规存储单元, 配置成共有存储单元行, 各上述写入选择线, 按每个上述存储单元行配置, 上述缺陷存储单元, 由属于同一上述存储单元行的备用存储单元中的一个补救替换。

4. 根据权利要求 1 所述的薄膜磁性体存储装置, 其特征在于: 当进行上述数据写入时, 上述选择电路, 在第 1 时刻, 将上述多条写入选择线中的与上述第 1 地址对应的至少一条激活, 当进行上述数据

写入时，上述数据输入输出电路，在迟于上述第 1 时刻的第 2 时刻，开始对上述一部分数据线或上述一部分数据线及备用数据线供给上述第 2 数据写入电流。

5 5. 根据权利要求 4 所述的薄膜磁性体存储装置，其特征在于：
当进行上述数据写入时，上述冗余控制电路，在上述第 1 和第 2 时刻之间执行上述冗余判定的至少一部分。

6. 根据权利要求 1 所述的薄膜磁性体存储装置，其特征在于，还备有：数据端子，以并行的方式发送接收 M 位 (M: 2 以上的整数) 的数据；M 条正规数据输入输出线，分别与上述多个正规存储单元的规定分区对应设置；备用数据输入输出线，与上述多个备用存储单元对应配置；第 1 连接开关电路，当进行上述数据写入时，用于将各上述正规数据输入输出线与在对应的规定分区中根据上述第 2 地址选定的一条数据线连接；第 2 连接开关电路，当进行上述数据写入时，用于将上述备用数据输入输出线与根据上述第 2 地址选定的一条备用数据
10 15 20 25 30 数据线连接，上述数据输入输出电路，分别与上述 M 条正规数据输入输出线及上述备用数据输入输出线对应设置，各自包含用于将方向与所传递到的写入数据对应的上述第 2 数据写入电流供给对应的正规数据输入输出线或备用数据输入输出线的多个写入驱动电路、及通过将上述多个写入驱动电路中的根据上述冗余判定选择的 M 个写入驱动电路与上述数据端子之间连接而将在上述数据端子上输入的上述 M 位数据的各位作为上述写入数据传送到上述 M 个写入驱动电路的每一个用的冗余开关电路。

7. 根据权利要求 1 所述的薄膜磁性体存储装置，其特征在于：
上述多个正规存储单元，被划分为彼此独立执行行选择的多个存储
25 30 块，上述多个备用存储单元、上述冗余控制电路及上述数据输入输出电路，按每个上述存储块配置。

8. 一种薄膜磁性体存储装置，根据包含第 1 和第 2 地址的地址信号进行地址选择，该薄膜磁性体存储装置，备有：按行列状配置的多个正规存储单元及用于补救替换上述多个正规存储单元中的缺陷存储单元的多个备用存储单元，各正规存储单元及各备用存储单元，包含其电阻值根据可响应第 1 及第 2 规定磁场的两个磁场的施加而重写的磁化方向改变的磁阻元件、及在电气上与上述磁阻元件串联连接并

有选择地接通以便使数据读出电流通过的存取元件；冗余控制电路，根据上述地址信号与指示上述缺陷存储单元的不合格地址的一致性比较，进行判定是否选择了上述缺陷存储单元的冗余判定；选择电路，当读出数据时，根据上述第 1 地址对上述多个正规存储单元及上述多个备用存储单元的每一个执行行选择，而与上述冗余判定无关；多条读出选择线，分别根据上述行选择而有选择地激活，以便在选择行的各正规存储单元群及各备用存储单元群中将上述存取元件接通；多条数据线，与正规存储单元列对应设置，当进行上述数据读出时，分别与选择行的正规存储单元连接；多条备用数据线，与备用存储单元列对应设置，当进行上述数据读出时分别与选择行的备用存储单元连接；第 1 数据读出电路，当进行上述数据读出时，用于对上述多条数据线中的与上述第 2 地址对应的一部分选择数据线供给上述数据读出电流，而与上述冗余判定无关；第 2 数据读出电路，当进行上述数据读出时，用于对上述多条备用数据线中的至少一条选择备用数据线供给上述数据读出电流，而与上述冗余判定无关；数据输入输出电路，当进行上述数据读出时，分别从接受上述数据读出电流供给的上述选择数据线及上述选择备用数据线接收多个读出数据，并根据上述冗余判定有选择地输出上述多个读出数据的一部分。

9. 根据权利要求 8 所述的薄膜磁性体存储装置，其特征在于：当进行上述数据读出时，上述第 1 和第 2 数据读出电路，以并行的方式开始供给上述数据读出电流，而与上述冗余判定无关。

10. 根据权利要求 8 所述的薄膜磁性体存储装置，其特征在于：上述第 1 数据读出电路，包含根据接受上述数据读出电流供给的上述选择数据线的电压生成读出数据的第 1 放大电路，上述第 2 数据读出电路，包含根据接受上述数据读出电流供给的上述选择备用线的电压生成读出数据的第 2 放大电路，上述数据输入输出电路，包含分别与上述第 1 及第 2 放大电路对应设置并将对应的第 1 或第 2 放大电路输出的上述读出数据进一步放大的第 3 放大电路。

11. 根据权利要求 8 所述的薄膜磁性体存储装置，其特征在于：还备有：数据端子，以并行的方式发送接收 M 位（M：2 以上的整数）的数据；M 条正规数据输入输出线，分别与上述多个正规存储单元的规定分区对应设置；备用数据输入输出线，与上述多个备用存储单元

对应配置，上述第 1 数据读出电路，按每个上述规定分区设置，上述薄膜磁性体存储装置，还备有：第 1 连接开关电路，按每个上述规定分区设置，当进行上述数据读出时，用于将来自对应的第 1 数据读出电路的上述读出数据传送到对应的正规数据输入输出线；第 2 连接开关电路，当进行上述数据读出时，用于将来自上述第 2 数据读出电路的上述读出数据传送到备用数据线，上述数据输入输出电路，包含将上述 M 条正规数据输入输出线及上述备用数据输入输出线中的根据上述冗余判定选择的 M 条数据输入输出线与上述数据端子之间连接的冗余开关电路。

10 12. 一种薄膜磁性体存储装置，根据包含第 1 和第 2 地址的地址信号进行地址选择，该薄膜磁性体存储装置，备有：按行列状配置成共有存储单元行的多个正规存储单元及用于补救替换上述多个正规存储单元中的缺陷存储单元的多个备用存储单元，各上述正规存储单元及上述各备用存储单元，具有其电阻值根据可响应第 1 及第 2 规定磁场的两个磁场的施加而重写的磁化方向改变的磁阻元件；冗余控制电路，根据上述地址信号与指示上述缺陷存储单元的不合格地址的一致性比较，进行判定是否选择了上述缺陷存储单元的冗余判定；选择电路，当写入数据时，根据上述第 1 地址对上述多个正规存储单元及上述多个备用存储单元的每一个执行行选择，而与上述冗余判定无关；
20 多条写入选择线，分别与上述存储单元行对应设置，各自根据上述行选择而有选择地激活并流过第 1 数据写入电流，以便对选择行的正规存储单元群及备用存储单元群施加上述第 1 规定磁场；多条数据线，与正规存储单元列对应设置；多条备用数据线，与备用存储单元列对应设置；数据输入输出电路，用于根据上述冗余判定控制与上述多个
25 正规存储单元及上述多个备用存储单元对应的数据输入输出，上述数据输入输出电路，当进行上述数据写入时，根据上述冗余判定对与上述第 2 地址对应的一部分数据线、与上述第 2 地址对应的一部分数据线及备用数据线中的任何一方供给用于产生上述第 2 规定磁场的第 2 数据写入电流；上述缺陷存储单元，由属于同一上述存储单元行的备用存储单元中的一个补救替换。

30 13. 一种薄膜磁性体存储装置，根据包含第 1 和第 2 地址的地址信号进行地址选择，该薄膜磁性体存储装置，备有：按行列状配置的

多个正规存储单元及用于补救替换上述多个正规存储单元中的缺陷存储单元的多个备用存储单元，各上述正规存储单元及上述各备用存储单元，具有其电阻值根据可响应第 1 及第 2 规定磁场的两个磁场的施加而重写的磁化方向改变的磁阻元件 (TMR)；冗余控制电路，根据上述地址信号与指示上述缺陷存储单元的不合格地址的一致性比较，进行判定是否选择了上述缺陷存储单元的冗余判定；选择电路，当写入数据时，根据上述第 1 地址对上述多个正规存储单元及上述多个备用存储单元的每一个执行行选择，而与上述冗余判定无关；多条写入选择线，分别根据上述行选择而有选择地激活并流过第 1 数据写入电流，以便对选择行的正规存储单元群及备用存储单元群施加上述第 1 规定磁场；多条数据线，与正规存储单元列对应设置；多条备用数据线，与备用存储单元列对应设置；数据端子，以并行的方式发送接收 M 位 (M: 2 以上的整数) 的数据；M 条正规数据输入输出线，分别与上述多个正规存储单元的规定分区对应设置；备用数据输入输出线，与上述多个备用存储单元对应配置；第 1 连接开关电路，当进行上述数据写入时，用于将各上述正规数据输入输出线与在对应的规定分区中根据上述第 2 地址选定的一条数据线连接；第 2 连接开关电路，当进行上述数据写入时，用于将上述备用数据输入输出线与根据上述第 2 地址选定的一条备用数据线连接，数据输入输出电路，当进行上述数据写入时，根据上述冗余判定对与上述第 2 地址对应的一部分数据线、与上述第 2 地址对应的一部分数据线及备用数据线中的一方供给用于产生上述第 2 规定磁场的第 2 数据写入电流，以便根据上述冗余判定控制与上述多个正规存储单元及上述多个备用存储单元对应的数据输入输出，上述数据输入输出电路，分别与上述 M 条正规数据输入输出线及上述备用数据输入输出线对应设置，各自包含用于将方向与所传递到的写入数据对应的上述第 2 数据写入电流供给对应的正规数据输入输出线或备用数据输入输出线的多个写入驱动电路、及通过将上述多个写入驱动电路中的根据上述冗余判定选择的 M 个写入驱动电路与上述数据端子之间连接而将在上述数据端子上输入的上述 M 位数据的各位作为上述写入数据传送到上述 M 个写入驱动电路的每一个用的冗余开关电路。

14. 一种薄膜磁性体存储装置，根据包含第 1 和第 2 地址的地址

信号进行地址选择，该薄膜磁性体存储装置，备有：按行列状配置的多个正规存储单元及用于补救替换上述多个正规存储单元中的缺陷存储单元的多个备用存储单元，各正规存储单元及各备用存储单元，具有其电阻值根据可响应第 1 及第 2 规定磁场的两个磁场的施加而重写的磁化方向改变的磁阻元件，上述多个正规存储单元，被划分为彼此独立执行行选择的多个存储块，上述多个备用存储单元，按每个上述存储块配置；冗余控制电路，按每个上述存储块配置，根据上述地址信号与指示上述缺陷存储单元的不合格地址的一致性比较，进行判定是否选择了上述缺陷存储单元的冗余判定；选择电路，当写入数据时，根据上述第 1 地址对上述多个正规存储单元及上述多个备用存储单元的每一个执行行选择，而与上述冗余判定无关；多条写入选择线，分别根据上述行选择而有选择地激活并流过第 1 数据写入电流，以便对选择行的正规存储单元群及备用存储单元群施加上述第 1 规定磁场；多条数据线，与正规存储单元列对应设置；多条备用数据线，与备用存储单元列对应设置；数据输入输出电路，按每个上述存储块配置，用于根据上述冗余判定控制对应的存储块的数据输入输出，上述数据输入输出电路，当进行上述数据写入时，根据上述冗余判定对与上述第 2 地址对应的一部分数据线、与上述第 2 地址对应的一部分数据线及备用数据线中的一方供给用于产生上述第 2 规定磁场的第 2 数据写入电流。

具有冗余结构的薄膜磁性体存储装置

发明领域

5 本发明涉及薄膜磁性体存储装置，更为特定地是涉及具有冗余结构的薄膜磁性体存储装置。

背景技术

作为能以低耗电量进行非易失数据存储的存储装置，MRAM (Magnetic Random Access Memory: 磁随机存取存储器) 装置日益
10 引人注目。MRAM 装置，是利用在半导体集成电路上形成的多个薄膜磁性体进行非易失的数据存储并可以对每个薄膜磁性体进行随机存取的存储装置。

特别是，近年来的报道表明，通过将磁隧道结 (MTJ: Magnetic Tunnel Junction) 用作存储单元，使 MRAM 装置的性能取得了飞跃的改进。在许多技术文献中公开了包含具有磁隧道结的存储单元的
15 MRAM 装置，例如，“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell (一种在各单元中采用磁隧道结及 FET 开关的 10ns 读写非易失性存储器阵列)” ISSCC Digest of Technical Papers TA7.2 Feb. 2000.、
20 “Nonvolatile RAM based on Magnetic Tunnel Junction elements (一种基于磁隧道结元件的非易失性 RAM)” ISSCC Digest of Technical Papers TA7.3 Feb. 2000.、及 “A 256kb 3.0V 1T1MTJ Nonvolatile Magnetoresistive RAM (一种 A 256kb 3.0V 1T1MTJ 非易失性磁阻材料 RAM)” ISSCC Digest of Technical Papers TA7.6 Feb. 2000.等。

25 图 14 是表示具有磁隧道结的存储单元 (以下，也简称为「MTJ 存储单元」) 的结构简图。

参照图 14，MTJ 存储单元，备有电阻随存储数据电平而变化的隧道磁阻元件 TMR、读出数据时用于形成通过隧道磁阻元件 TMR 的
30 读出电流 I_s 的路径的存取元件 ATR。存取元件 ATR，通常由场效应型晶体管形成，所以，在下文中，也将存取元件 ATR 称为存取晶体管。存取晶体管 ATR，连接在隧道磁阻元件 TMR 与固定电压 (接地电压 V_{ss}) 之间。

对 MTJ 存储单元，配置用于指示数据写入的写入字线 WWL、用于执行读出的读出字线 RWL、在数据读出及数据写入中用于传送与存储数据的数据电平对应的电信号的数据线即位线 BL。

图 15 是说明从 MTJ 存储单元的数据读出动作的概念图。

5 参照图 15，隧道磁阻元件 TMR，包括具有一定的固定磁化方向的强磁性体层（以下，也简称为「固定磁化层」）FL、在与外部施加磁场对应的方向上磁化的强磁性体层（以下，也简称为「自由磁化层」）VL。在固定磁化层 FL 及自由磁化层 VL 之间，设置由绝缘体膜形成的隧道阻挡层（隧道膜）TB。自由磁化层 VL，根据所写入的存储数据
10 数据的电平，磁化为与固定磁化层 FL 相同的方向或与固定磁化层 FL 相反的方向。由固定磁化层 FL、隧道阻挡层 TB 及自由磁化层 VL 形成磁性隧道结。

当读出数据时，存取晶体管 ATR，响应读出字线 RWL 的激活而导通。因此，可以使读出电流 I_s 在位线 BL ~ 隧道磁阻元件 TMR ~
15 存取晶体管 ATR ~ 接地电压 V_{ss} 的电流路径上流过。

隧道磁阻元件 TMR 的电阻，随固定磁化层 FL 及自由磁化层 VL 的各自的磁化方向之间的相互关系而变化。具体地说，固定磁化层 FL 的磁化方向与自由磁化层 VL 的磁化方向相同（平行）时，与两者的磁化方向相反（逆平行）时相比，隧道磁阻元件 TMR 的电阻较小。

20 因此，如使自由磁化层 VL 在与存储数据对应的方向上磁化，则由读出电流 I_s 在隧道磁阻元件 TMR 上产生的电压变化将随存储数据电平而不同。因此，例如在将位线 BL 预先充电到一定电压后使读出电流 I_s 流过隧道磁阻元件 TMR，则通过检测位线 BL 的电压即可读出 MTJ 存储单元的存储数据。

25 图 16 是说明对 MTJ 存储单元的数据写入动作的概念图。

参照图 16，当写入数据时，使读出字线 RWL 变为非激活状态，并使存取晶体管 ATR 截止。在这种状态下，用于使自由磁化层 VL 磁化为与写入数据对应的方向的数据写入电流，分别流过写入字线 WWL 及位线 BL。自由磁化层 VL 的磁化方向，由分别流过写入字线 WWL
30 及位线 BL 的数据写入电流决定。

图 17 是说明对 MTJ 存储单元写入数据时的数据写入电流与隧道磁阻元件的磁化方向的关系的概念图。

参照图 17, 横轴 $H(EA)$, 表示隧道磁阻元件 TMR 内的自由磁化层 VL 中沿易磁化轴 (EA: Ease Axis) 方向施加的磁场。另一方面, 纵轴 $H(HA)$, 表示自由磁化层 VL 中沿难磁化轴 (HA: Hard Axis) 方向作用的磁场。磁场 $H(EA)$ 及 $H(HA)$, 各自对应于由分别流过位线 BL 及写入字线 WWL 的电流产生的 2 个磁场中的一个。

在 MTJ 存储单元中, 固定磁化层 FL 的被固定了的磁化方向, 沿着自由磁化层 VL 的易磁化轴, 自由磁化层 VL, 根据存储数据的电平 (“1” 和 “0”), 沿着易磁化轴方向, 磁化为与固定磁化层 FL 平行 (相同) 或逆平行 (相反) 的方向。以下, 在本说明书中, 假定分别用 R_{max} 及 R_{min} ($R_{max} > R_{min}$) 表示与自由磁化层 VL 的两种磁化方向分别对应的隧道磁阻元件 TMR 的电阻。MTJ 存储单元, 可以与自由磁化层 VL 的上述两种磁化方向对应地存储 1 位的数据 (“1” 和 “0”)。

自由磁化层 VL 的磁化方向, 仅当所施加的磁场 $H(EA)$ 及 $H(HA)$ 之和到达图中示出的星形特性线的外侧区域时才能进行重写。即, 当所施加的数据写入磁场的强度相当于星形特性线的内侧区域时, 自由磁化层 VL 的磁化方向不变。

如星形特性线所示, 通过对自由磁化层 VL 施加难磁化轴方向的磁场, 可以降低为改变沿易磁化轴的磁化方向所需的磁化阈值。

如按图 17 所示的例设计数据写入时的动作点, 则在作为数据写入对象的 MTJ 存储单元中, 易磁化轴方向的数据写入磁场, 应设计成使其强度为 H_{WR} 。即, 应将流过位线 BL 或写入字线 WWL 的数据写入电流的值设计为能够产生该数据写入磁场 H_{WR} 。数据写入磁场 H_{WR} , 一般由为切换磁化方向所需的切换磁场 H_{SW} 与余量部分 ΔH 之和表示。即, $H_{WR} = H_{SW} + \Delta H$ 。

要重写 MTJ 存储单元的存储数据、即隧道磁阻元件 TMR 的磁化方向, 就必须使写入字线 WWL 及位线 BL 双方都流过规定电平以上的数据写入电流。因此, 隧道磁阻元件 TMR 内的自由磁化层 VL, 根据沿易磁化轴 (EA) 的数据写入磁场的方向, 磁化为与固定磁化层 FL 平行或相反 (逆平行) 的方向。一旦写入隧道磁阻元件 TMR 后的磁化方向、即 MTJ 存储单元的存储数据, 在执行新的数据写入之前的时间里以非易失的方式保持。

这种隧道磁阻元件 TMR, 其电阻随着可由所施加的数据写入磁场重写的磁化方向而变化, 所以, 通过使隧道磁阻元件 TMR 内的自由磁化层 VL 的两种磁化方向与存储数据的电平 (“1” 和 “0”) 分别相对应, 可以执行非易失的数据存储。

5 一般地说, 在存储装置中, 为提高产品合格率, 除备有由地址信号进行地址选择的多个正规存储单元外, 还应具有用于补救产生缺陷的正规存储单元的冗余结构。

10 在这种冗余结构中, 由以一定的余量设置的备用存储单元按每个单位分区补救替换缺陷存储单元。因此, 在冗余结构中, 当进行数据读出动作及数据写入动作时, 必须在指示缺陷存储单元的不合格地址与所输入的地址信号之间执行地址比较判定。因此, 当在 MRAM 装置中也采用冗余结构时, 必须考虑到使地址比较判定所需的时间不要对动作速度产生很大的影响。

15 另一方面, 在 MRAM 装置中, 当对 MTJ 存储单元进行数据写入时, 即当重写隧道磁阻元件的磁化方向时, 如图 17 中所述, 施加两种方向的数据写入磁场。因此, 如这些数据写入磁场随时间的变化不适当, 则将使隧道磁阻元件的磁化动作不稳定, 从而有可能造成误写入。

发明内容

20 本发明的目的在于, 提供一种具有冗余结构并能以高速且稳定的方式动作的薄膜磁性体存储装置。

25 本发明的薄膜磁性体存储装置, 根据包含第 1 和第 2 地址的地址信号进行地址选择, 该薄膜磁性体存储装置, 备有按行列状配置的多个正规存储单元及用于补救替换多个正规存储单元中的缺陷存储单元的多个备用存储单元。各正规存储单元及各备用存储单元, 具有其电阻值根据可响应沿难磁化轴的第 1 规定磁场及沿易磁化轴的第 2 规定磁场的两个磁场的施加而重写的磁化方向改变的磁阻元件。薄膜磁性体存储装置, 还备有: 冗余控制电路, 根据地址信号与指示缺陷存储单元的不合格地址的一致性比较, 进行判定是否选择了缺陷存储单元的冗余判定; 选择电路, 当写入数据时, 根据第 1 地址对多个正规存储单元及多个备用存储单元的每一个执行行选择, 而与冗余判定无
30 关; 多条写入选择线, 分别根据行选择而有选择地激活并流过第 1 数

据写入电流，以便对选择行的正规存储单元群及备用存储单元群施加第 1 规定磁场；多条数据线，与正规存储单元列对应设置；多条备用数据线，与备用存储单元列对应设置；数据输入输出电路，用于根据冗余判定控制与多个正规存储单元及多个备用存储单元对应的数据输入输出。数据输入输出电路，当写入数据时，根据冗余判定对与第 2 地址对应的一部分数据线、与第 2 地址对应的一部分数据线及备用数据线上的任何一方供给用于产生第 2 规定磁场的第 2 数据写入电流。

第 1 数据写入电流，最好具有一定方向而与写入数据无关，第 2 数据写入电流的方向，最好根据写入数据的电平设定。

另外，多个备用存储单元及多个正规存储单元，最好配置成共有存储单元行。各写入选择线，按每个存储单元行配置，缺陷存储单元，由属于同一存储单元行的备用存储单元中的一个补救替换。

上述薄膜磁性体存储装置，当写入数据时，对根据地址信号选择的正规存储单元及备用存储单元双方沿难磁化轴方向施加磁场而无需等待冗余判定，进一步，根据所得到的冗余判定结果开始沿易磁化轴方向施加磁场。因此，通过利用冗余判定的所需时间，可以避免在磁化中发生不稳定的中间状态，从而能以高速执行稳定的数据写入。

本发明另一方面的薄膜磁性体存储装置，根据包含第 1 和第 2 地址的地址信号进行地址选择，该薄膜磁性体存储装置，备有多个正规存储单元、多个备用存储单元、冗余控制电路、选择电路、多条读出选择线、多条数据线、多条备用数据线、第 1 数据读出电路、第 2 数据读出电路、及数据输入输出电路。

多个正规存储单元及多个备用存储单元按行列状配置，多个备用存储单元，用于补救替换多个正规存储单元中的缺陷存储单元。各正规存储单元及各备用存储单元，包含其电阻值根据可响应第 1 及第 2 规定磁场的两个磁场的施加而重写的磁化方向改变的磁阻元件、及在电气上与磁阻元件串联连接并有选择地接通以便使数据读出电流通过的存取元件。冗余控制电路，根据地址信号与指示缺陷存储单元的不合格地址的一致性比较，进行判定是否选择了缺陷存储单元的冗余判定。选择电路，当读出数据时，根据第 1 地址对多个正规存储单元及多个备用存储单元的每一个执行行选择，而与冗余判定无关。多条读出选择线，根据行选择而有选择地激活，以便在选择行的各正规存储

单元群及各备用存储单元群中将存取元件接通。多条数据线，与正规存储单元列对应设置，当读出数据时，分别与选择行的正规存储单元连接。多条备用数据线，与备用存储单元列对应设置，当读出数据时分别与选择行的备用存储单元连接。第 1 数据读出电路，当读出数据时，对多条数据线中的与第 2 地址对应的一部分选择数据线供给数据读出电流，而与冗余判定无关。第 2 数据读出电路，当读出数据时，对多条备用数据线中的至少一条选择备用数据线供给数据读出电流，而与冗余判定无关。数据输入输出电路，当读出数据时，分别从接受数据读出电流供给的选择数据线及选择备用数据线接收多个读出数据，并根据冗余判定有选择地输出多个读出数据的一部分。

上述薄膜磁性体存储装置，能以并行的方式对正规存储单元及备用存储单元双方开始数据读出动作而无需等待冗余判定。因此，可以将冗余判定所需时间的影响抑制到最低限度，因而能执行高速的数据读出。

另外，本发明另一方面的薄膜磁性体存储装置，根据包含第 1 和第 2 地址的地址信号进行地址选择，该薄膜磁性体存储装置，备有多个正规存储单元、多个备用存储单元、冗余控制电路、选择电路、多条写入选择线、多条数据线、多条备用数据线、及数据输入输出电路。

多个正规存储单元及多个备用存储单元按行列状配置成共有存储单元行，多个备用存储单元，用于补救替换多个正规存储单元中的缺陷存储单元。各正规存储单元及各备用存储单元，具有其电阻值根据可响应第 1 及第 2 规定磁场的两个磁场的施加而重写的磁化方向改变的磁阻元件。冗余控制电路，根据地址信号与指示缺陷存储单元的不合格地址的一致性比较，进行判定是否选择了缺陷存储单元的冗余判定；选择电路，当写入数据时，根据第 1 地址对多个正规存储单元及多个备用存储单元的每一个执行行选择，而与冗余判定无关；多条写入选择线，分别与存储单元行对应设置，各自根据行选择而有选择地激活并流过第 1 数据写入电流，以便对选择行的正规存储单元群及备用存储单元群施加第 1 规定磁场；多条数据线，与正规存储单元列对应设置；多条备用数据线，与备用存储单元列对应设置；所设有的多个数据输入输出电路，用于根据冗余判定控制与多个正规存储单元及多个备用存储单元对应的数据输入输出，当写入数据时，根据冗余判

定对与第 2 地址对应的一部分数据线、与第 2 地址对应的一部分数据线及备用数据线中的任何一方供给用于产生第 2 规定磁场的第 2 数据写入电流。缺陷存储单元，由属于同一存储单元行的备用存储单元中的一个补救替换。

- 5 另外，本发明另一方面的薄膜磁性体存储装置，根据包含第 1 和第 2 地址的地址信号进行地址选择，该薄膜磁性体存储装置，备有多个正规存储单元、多个备用存储单元、冗余控制电路、选择电路、多条写入选择线、多条数据线、多条备用数据线、数据端子、M 条正规数据输入输出线、备用数据输入输出线、第 1 连接开关电路、第 2 连接开关电路、及数据输入输出电路。

- 10 多个正规存储单元及多个备用存储单元按行列状配置，多个备用存储单元，用于补救替换多个正规存储单元中的缺陷存储单元。各正规存储单元及各备用存储单元，具有其电阻值根据可响应第 1 及第 2 规定磁场的两个磁场的施加而重写的磁化方向改变的磁阻元件。
- 15 冗余控制电路，根据地址信号与指示缺陷存储单元的不合格地址的一致性比较，进行判定是否选择了缺陷存储单元的冗余判定；选择电路，当写入数据时，根据第 1 地址对多个正规存储单元及多个备用存储单元的每一个执行行选择，而与冗余判定无关；多条写入选择线，分别根据行选择而有选择地激活并流过第 1 数据写入电流，以便对选择行的
- 20 正规存储单元群及备用存储单元群施加第 1 规定磁场；多条数据线，与正规存储单元列对应设置；多条备用数据线，与备用存储单元列对应设置；数据端子，以并行的方式发送接收 M 位（M：2 以上的整数）的数据。M 条正规数据输入输出线，分别与多个正规存储单元的规定分区对应设置。备用数据输入输出线，与多个备用存储单元对应设置。
- 25 第 1 连接开关电路，当写入数据时，将各正规数据输入输出线与在对应的规定分区中根据上述第 2 地址选定的一条数据线连接。第 2 连接开关电路，当写入数据时，将备用数据输入输出线与根据第 2 地址选定的一条备用数据线连接。数据输入输出电路，用于根据冗余判定控制与多个正规存储单元及多个备用存储单元对应的数据输入输出，当
- 30 写入数据时，根据冗余判定对与第 2 地址对应的一部分数据线、与第 2 地址对应的一部分数据线及备用数据线的一方供给用于产生第 2 规定磁场的第 2 数据写入电流。数据输入输出电路，分别与 M 条正规

数据输入输出线及备用数据输入输出线对应设置，各自包含用于将方向与所传递到的写入数据对应的第 2 数据写入电流供给对应的正规数据输入输出线或备用数据输入输出线的多个写入驱动电路、及通过将多个写入驱动电路中的根据冗余判定选择的 M 个写入驱动电路与数据端子之间连接而将在数据端子上输入的 M 位数据的各位作为写入数据传送到 M 个写入驱动电路的每一个用的冗余开关电路。

上述薄膜磁性体存储装置，可以利用分级设置的数据输入输出线及备用数据输入输出线并根据所谓的分级 I/O 线结构通过以高位 I/O 线为单位的冗余替换执行数据写入。因此，可以利用冗余判定的所需时间而高速地执行数据读出及数据写入，同时很容易构成大容量的存储器。

进一步，本发明另一方面的薄膜磁性体存储装置，根据包含第 1 和第 2 地址的地址信号进行地址选择，该薄膜磁性体存储装置，备有多个正规存储单元、多个备用存储单元、冗余控制电路、选择电路、多条写入选择线、多条数据线、多条备用数据线、及数据输入输出电路。

多个正规存储单元及多个备用存储单元按行列状配置，多个备用存储单元，用于补救替换多个正规存储单元中的缺陷存储单元。各正规存储单元及各备用存储单元，具有其电阻值根据可响应第 1 及第 2 规定磁场的两个磁场的施加而重写的磁化方向改变的磁阻元件。多个正规存储单元，被划分为彼此独立执行行选择的多个存储块，多个备用存储单元，按每个存储块配置。冗余控制电路，按每个存储块配置，并根据地址信号与指示缺陷存储单元的不合格地址的一致性比较进行判定是否选择了缺陷存储单元的冗余判定；选择电路，当写入数据时，根据第 1 地址对多个正规存储单元及多个备用存储单元的每一个执行行选择，而与冗余判定无关；多条写入选择线，分别根据行选择而有选择地激活并流过第 1 数据写入电流，以便对选择行的正规存储单元群及备用存储单元群施加第 1 规定磁场；多条数据线，与正规存储单元列对应设置；多条备用数据线，与备用存储单元列对应设置；数据输入输出电路，按每个存储块配置，并根据冗余判定控制对应存储块的数据输入输出，当写入数据时，根据冗余判定对与第 2 地址对应的一部分数据线、与第 2 地址对应的一部分数据线及备用数据线中的一

方供给用于产生第2规定磁场的第2数据写入电流。

上述薄膜磁性体存储装置，可以利用冗余判定的所需时间而高速地执行数据读出及数据写入，同时能够减小冗余结构所需的电路面积。

5 附图的简单说明

图1是表示本发明实施例1的MRAM装置1的总体结构的简略框图。

图2是表示图1示出的存储器阵列的结构框图。

图3是表示各子块的结构电路图。

10 图4是表示图3所示的数据读出电路的结构电路图。

图5是表示图1所示的数据I/O电路的结构框图。

图6是表示图5所示的写入驱动器的结构电路图。

图7是表示图5所示的冗余控制电路的结构电路图。

15 图8A是表示实施例1的MRAM装置的数据读出动作的动作时序的动作波形图，图8B是表示实施例1的MRAM装置的数据写入动作的动作时序的动作波形图。

图9是说明数据写入动作时的隧道磁阻元件的磁化状态的概念图。

图10是说明自由磁化层中的不希望有的磁化状态的概念图。

20 图11是表示实施例1的变形例的数据I/O电路的结构框图。

图12是表示实施例2的MRAM装置的冗余结构的简略框图。

图13是说明实施例2的变形例的MRAM装置的冗余结构的框图。

图14是表示MTJ存储单元的结构简图。

25 图15是说明从MTJ存储单元的数据读出动作的概念图。

图16是说明对MTJ存储单元的数据写入动作的概念图。

图17是说明对MTJ存储单元写入数据时的数据写入电流与隧道磁阻元件的磁化方向的关系的概念图。

最佳实施例的说明

30 在下文中，参照附图详细说明本发明的实施例。

[实施例1]

参照图 1, MRAM 装置 1, 根据来自外部的控制信号 CMD 及地址信号 ADD, 进行 M 位 (M: 自然数) 的数据信号 DAT 的发送接收。MRAM 装置 1 中的数据读出动作及数据写入动作, 例如按照与来自外部的时钟信号 CLK 同步的时序执行。或者, 也可以在内部设定动作时序而不接收来自外部的时钟信号 CLK。

MRAM 装置 1, 备有接收地址信号 ADD 的输入的地址端子 2、接收控制信号 CMD 及时钟信号 CLK 的输入的信号端子 3a、接收在程序动作时被激活的程序信号 PRG 的输入的信号端子 3b、进行 M 位数据信号 DAT 的发送接收的数据端子 4。

MRAM 装置 1, 还备有用于响应控制信号 CMD 及时钟信号 CLK 而控制 MRAM 装置 1 的整体动作的控制电路 5、具有按行列状配置的多个 MTJ 存储单元的存储器阵列 10。

存储器阵列 10, 包括可分别由地址信号 ADD 选择的按行列状配置的多个正规 MTJ 存储单元 (以下, 也称「正规存储单元」)、用于补救产生了缺陷的正规存储单元 (以下, 也称「缺陷存储单元」) 的备用存储单元, 存储器阵列 10 的结构将在后文中详细说明。

分别与 MTJ 存储单元的行 (以下, 也简称为「存储单元行」) 对应地配置多条写入字线 WWL 及读出字线 RWL。在存储器阵列 10 内, 还配置有用于执行列选择的列选择线 CSL。与存储器阵列 10 对应的数据读出及数据写入, 通过与正规存储单元对应设置的正规数据输入输出线对 IOP 及与备用存储单元对应设置的备用数据输入输出线对 SIOP 执行。在下文中, 正规数据输入输出线对 IOP, 也简称为数据输入输出线对 IOP。

MRAM 装置 1, 还备有译码电路 20、选择线驱动电路 30、数据输入输出 (I/O) 电路 50、冗余控制电路 60、程序电路 100。

译码电路 20, 根据地址信号 ADD 执行行选择及列选择。选择线驱动电路 30, 根据译码电路 20 的行选择及列选择结果, 控制读出字线 RWL、写入字线 WWL、列选择线 CSL 及其他选择线的激活。各写入字线 WWL, 在与选择线驱动电路 30 的配置位置隔着存储器阵列 10 相对一侧的区域 40 内, 与接地电压 Vss 连接。

程序电路 100, 将用于指示缺陷存储单元的不合格地址作为程序信息以非易失的方式存储。不合格地址, 在程序信号 PRG 被激活的

程序数据写入操作中，例如从外部通过地址端子 2 输入。不合格地址从程序电路 100 的读出，根据来自控制电路 5 的指示执行。

5 冗余控制电路 60，在正常动作时，根据地址信号 ADD 与程序电路 100 所保持的不合格地址的地址一致性比较，进行判定是否选择了缺陷存储单元作为数据读出对象或数据写入对象的冗余判定。冗余控制电路 60，生成反映出冗余判定结果的冗余控制信号 RSG。

10 如后文所详述的，译码电路 20 及选择线驱动电路 30 中的基于地址信号 ADD 的行选择及列选择，无需等待冗余判定结果即可执行。即，通过以并行的方式开始对正规存储单元及备用存储单元进行数据读出和数据写入时的地址选择动作，可以提高具有冗余结构的 MRAM 装置的动作速度。

15 数据 I/O 电路 50，根据冗余控制信号 RSG 控制数据输入输出线对 IOP 及备用数据输入输出线对 SIOP 与数据端子 4 之间的连接关系，从而进行缺陷存储单元的补救。具体地说，当由冗余控制电路 60 判定所输入的地址信号 ADD 与不合格地址不一致时，仅用与正规存储单元对应的数据输入输出线对 IOP 执行 M 位的数据读出或数据写入。而当判定地址信号 ADD 与不合格地址一致时，用备用数据输入输出线对 SIOP 置换与所选定的缺陷存储单元对应的数据输入输出线对 IOP，执行 M 位的数据读出或数据写入。

20 参照图 2，存储器阵列 10，被划分为按行列状配置的 $N \times (M+1)$ 个 (N : 自然数) 的多个子块 SB (11) ~ SB (NM) 及 SB (1s) ~ SB (Ns)。在下文中，当统称这些子块时，简记为子块 SB。

25 子块 SB (11) ~ SB (NM)，由正规存储单元构成，SB (1s) ~ SB (Ns)，由备用存储单元构成。各子块 SB，具有相同的结构，如后文所详述的，具有按 n 行 \times m 列 (n, m : 自然数) 配置的多个正规存储单元或备用存储单元。

30 这些正规存储单元及备用存储单元，在整个存储器阵列 10 中，按行列状配置成共有存储单元行。即，如设整个存储器阵列 10 中的存储单元行数为 k ，则 $k = (N \times n)$ 。写入字线 WWL1 ~ WWLk 及读出字线 RWL1 ~ RWLk，各自分别与 k 个存储单元行对应配置。在下文中，将写入字线 WWL1 ~ WWLk 都统称并记为写入字线 WWL，并将读出字线 RWL1 ~ RWLk 都统称并记为读出字线 RWL。

各写入字线 WWL 及读出字线 RWL, 在各存储单元行中, 由对应的正规存储单元及备用存储单元所共有。因此, 根据行选择结果执行的写入数据时的写入字线 WWL 的激活控制及读出数据时的读出字线 RWL 的激活控制, 分别以并行的方式同时对正规存储单元及备用存储单元执行。

由子块 SB (11) ~ SB (NM) 形成的 M 个子块列, 分别构成正规 IO 块 NIOB (1) ~ NIOB (M)。另一方面, 由子块 SB (1s) ~ SB (Ns) 形成的子块列, 构成备用 IO 块 SIOB。

正规 IO 块 NIOB(1) ~ NIOB(M), 可以根据块列选择信号 CBS1 ~ CBSM 选择。另一方面, 由子块 SB (11) ~ SB (NM)、SB (1s) ~ SB (Ns) 形成的 N 个子块行 (以下, 也称「块行」), 可以根据块行选择信号 RBS1 ~ RBSN 选择。在下文中, 将块行选择信号 RBS1 ~ RBSN 都统称为块行选择信号 RBS。

数据输入输出线对 IOP (1) ~ IOP (M), 各自分别与正规 IO 块 NIOB (1) ~ NIOB (M) 对应配置, 备用数据输入输出线对 SIOP, 与备用 IO 块 SIOB 对应配置。在下文中, 将正规 IO 块 NIOB (1) ~ NIOB (M) 都统称并记为正规 IO 块 NIOB, 并将数据输入输出线对 IOP (1) ~ IOP (M) 都统称并记为数据输入输出线对 IOP。

在构成正规 IO 块 NIOB 的子块 SB (11) ~ SB (NM) 的内部, 分别设置局部数据输入输出线对 LIOP (11) ~ LIOP (NM)。同样, 在构成备用 IO 块 SIOB 的子块 SB (1s) ~ SB (Ns) 的内部, 分别设置局部数据输入输出线对 LIOP (1s) ~ LIOP (Ns)。另外, 在下文中, 将局部数据输入输出线对 LIOP (11) ~ LIOP (NM) 都统称并简记为局部数据输入输出线对 LIOP, 并将局部数据输入输出线对 LIOP (1s) ~ LIOP (Ns) 都统称并记为备用局部数据输入输出线对 SLIOP。

局部数据输入输出线对 LIOP 及备用局部数据输入输出线对 SLIOP 与对应的数据输入输出线对 IOP 及备用数据输入输出线对 SIOP 之间的连接, 由各子块 SB 内所设有的连接开关控制。

在读出数据和写入数据时, 由地址信号 ADD 中所包含的行地址 RA 选择一个存储单元行 (以下, 也称「选择行」)。进一步, 选择包含选择行的 (M+1) 个子块 SB 所属的块行, 并将对应的块行选择信

号 RBS 激活为 H 电平。此外，以下，在本说明书中，将信号、数据、信号线及数据线的二值电压状态简称为「H（高）电平」和「L（低）电平」。

在包含选择行的 (M+1) 个子块 SB 的每一个中，响应列选择线 CSL1 ~ CSLm 的激活控制，执行 m:1 的列选择。因此，在各子块中，
5 将一个正规存储单元或备用存储单元选择为数据读出或数据写入的对象。所以，在存储器阵列 10 中，构成为可以分别通过数据输入输出线对 IOP (1) ~ IOP (M) 及备用数据输入输出线对 SIOP 对与选择行对应的正规存储单元及备用存储单元中的所选定的 (M+1) 个正规
10 存储单元及备用存储单元执行数据读出和数据写入。

以下，说明各子块的详细结构。

在图 3 中，作为一例，说明与正规 IO 块对应的子块结构。

参照图 3，子块 SB，包括按 n 行 × m 列配置的正规存储单元 MC、按 2 行 × m 列配置的虚存储单元 DMC、局部数据输入输出线对 LIOP、
15 分别与存储单元列对应设置的列选择门 CSG1 ~ CSGm、数据读出电路 70、用于控制对应的数据输入输出线对 IOP 与局部数据输入输出线对 LIOP 之间的连接的连接开关 71、72、73。局部数据输入输出线对 LIOP，由互补的局部数据输入输出线 LIO 及 /LIO 构成。

分别与存储单元行对应地配置读出字线 RWL1 ~ RWLn、写入字线 WWL1 ~ WWLn。读出字线 RWL 及写入字线 WWL，由属于同一
20 块行的多个子块 SB 之间共有。

另一方面，分别与存储单元列对应地配置构成位线对 BLP1 ~ BLPm 的位线 BL1、/BL1 ~ BLm、/BLm，在下文中，当统称位线对 BLP1 ~ BLPm、位线 BL1 ~ BLm 及位线 /BL1 ~ /BLm 时，也分别简
25 称为位线对 BLP、位线 BL 及 /BL。位线 BL 及 /BL，按每个子块独立设置。

正规存储单元 MC，在每 1 行中各与位线 BL 及 /BL 的任何一方连接。例如，如说明属于第 1 存储单元列的正规存储单元，则第 1 行的正规存储单元与位线 /BL1 连接、第 2 行的正规存储单元与位线 BL1
30 连接。以下，同样地，各 MTJ 存储单元，在奇数行中各与位线对的一方即位线 /BL1 ~ /BLm 连接，而在偶数行中各与位线对的另一方即位线 BL1 ~ BLm 连接。

各正规存储单元 MC，具有彼此串联连接的电阻值随存储数据的电平而变化的隧道磁阻元件 TMR 及用作存取元件的存取晶体管 ATR。如上所述，通常将在半导体基板上形成的场效应型晶体管即 MOS 晶体管用作存取晶体管 ATR。

5 隧道磁阻元件 TMR，在位线 BL 或 /BL 和接地电压 Vss 之间与存取晶体管 ATR 串联连接。存取晶体管 ATR 的栅极，与对应的读出字线 RWL 连接。存取晶体管 ATR，当读出字线 RWL 被激活时导通，并在对应的位线 BL (/BL) 和接地电压 Vss 之间与隧道磁阻元件 TMR 电气连接。另一方面，当读出字线 RWL 为非激活状态 (L 电平) 时，
10 存取晶体管 ATR 截止，从而将位线 BL (/BL) 与隧道磁阻元件 TMR 在电气上切断。

各子块 SB，还具有分别与位线 BL1、/BL1 ~ BLm、/BLm 连接的多个虚存储单元 DMC。虚存储单元 DMC，按 2 行 × m 列配置成与虚读出字线 DRWL1 及 DRWL2 的任何一方相对应。与虚读出字线
15 DRWL1 对应的虚存储单元，分别与位线 BL1、BL2 ~ BLm 连接。另一方面，与虚读出字线 DRWL2 对应的其余的虚存储单元，分别与位线 /BL1、/BL2 ~ /BLm 连接。

虚存储单元 DMC，具有虚电阻元件 TMRd 及虚存取元件 ATRd。虚电阻元件 TMRd 的电阻 Rd，设定为分别与 MTJ 存储单元的存储
20 数据电平 “1” 和 “0” 对应的电阻 Rmax 和 Rmin 的中间值、即 $R_{max} > R_d > R_{min}$ 。虚存取元件 ATRd，与 MTJ 存储单元的存取元件一样，通常由场效应型晶体管构成。因此，在下文中，也将虚存取元件称为虚存取晶体管 ATRd。

进一步，分别与虚存储单元的行对应地配置虚写入字线
25 DWWL1、DWWL2。虽然根据虚电阻元件 TMRd 的结构并不需要配置虚写入字线，但为了确保存储器阵列上的形状的连续性并避免使制造工艺变得复杂，设置了按照与写入字线 WWL1 同样的方式设计的虚写入字线 DWWL1、DWWL2。

在读出数据时，当根据行选择结果选择奇数行并使位线 /BL1 ~
30 /BLm 分别与 MTJ 存储单元 MC 连接时，将虚读出字线 DRWL1 激活，从而使位线 BL1 ~ BLm 分别与多个虚存储单元 DMC 连接。相反，当选择偶数行并使位线 BL1 ~ BLm 分别与 MTJ 存储单元 MC 连接

时，将虚读出字线 DRWL2 激活，从而使位线/BL1 ~ /BLm 分别与多个虚存储单元 DMC 连接。在下文中，将虚读出字线 DRWL1 及 DRWL2 都统称为虚读出字线 DRWL。

5 选择线驱动电路 30，当写入数据时，将选择行的写入字线 WWL 的一端与电源电压 Vcc 连接。因此，在选择行的写入字线 WWL 上，可以沿着图 1 所示的从选择线驱动电路 30 到区域 40 的方向流过行方向的数据写入电流 Ip。另一方面，由选择线驱动电路 30 将非选择行的写入字线与接地电压 Vss 连接。

10 当读出数据时，选择线驱动电路 30，根据行选择结果，有选择地将读出字线 RWL 及虚写入字线 DWWL1、DWWL2 激活为 H 电平(电源电压 Vcc)。如上所述，当选择奇数行并使选择行的 MTJ 存储单元群与/BL1 ~ /BLm 连接时，将虚读出字线 DRWL1 激活，从而使虚存储单元群与位线 BL1 ~ BLm 连接。同样，当选择偶数行时，将虚读出字线 DRWL2 激活。

15 分别与各子块的 m 个存储单元列对应地设置用于执行列选择的列选择线 CSL1 ~ CSLm。选择线驱动电路 30，根据列地址 CA 的译码结果、即列选择结果，分别在写入数据时和读出数据时将列选择线 CSL1 ~ CSLm 中的一条激活为选择状态 (H 电平)。

20 列选择线 CSL1 ~ CSLm，由属于同一块行的 (M+1) 个子块 SB 所共有。因此，在属于所选定的块行的各子块中，执行 m:1 的列选择。并将一个正规存储单元或备用存储单元选择为数据读出或数据写入的对象。

25 各子块 SB，还包含与存储单元列分别对应设置的列选择门 CSG1 ~ CSGm。各列选择门 CSG1 ~ CSGm，具有相同的结构，所以，以与位线 BL1、/BL1 对应设置的列选择门 CSG1 的结构为代表进行说明。

30 列选择门 CSG1，具有将局部数据输入输出线 LIO 与位线 BL1 之间电气连接的晶体管开关及将局部数据输入输出线/LIO 与位线/BL1 之间电气连接的晶体管开关。这些晶体管开关，根据列选择线 CSL1 的电压接通、断开。即，当列选择线 CSL1 被激活为选择状态 (H 电平) 时，列选择门 CSG1，将局部数据输入输出线 LIO 及/LIO 分别与位线 BL1 及/BL1 电气连接。

另外，在下文中，将列选择线 CSL1 ~ CSLm 及列选择门 CSG1 ~ CSGm 都分别简单地总称为列选择线 CSL 及列选择门 CSG。

子块 SB，还具有分别与存储单元列对应设置的短路开关晶体管 62 1 ~ 62 m 及控制门 66 1 ~ 66 m。子块 SB，还具有分别设置在位线 BL1、/BL1 ~ 位线 BLm、/BLm 与接地电压 Vss 之间的预充电晶体管 64 1a、64 1b ~ 64 ma、64 mb。在下文中，也分别将短路开关晶体管 62 1 ~ 62 m、预充电晶体管 64 1a、64 1b ~ 64 ma、64 mb 及控制门 66 1 ~ 66 m 总称为短路开关晶体管 62、预充电晶体管 64 及控制门 66。

各控制门 66，输出对应的列选择线 CSL 和控制信号 WL 的 AND (“与”) 逻辑运算结果。因此，在数据写入动作时，有选择地将与选择列对应的控制门 66 的输出激活到 H 电平。

短路开关晶体管 62，分别响应对应的控制门 66 的输出而导通、截止。因此，在数据写入动作时，在各子块中，由短路开关晶体管 62 将与选择列对应的位线 BL 及位线 /BL 的一端以电气方式连接在一起。

各预充电晶体管 64，响应位线预充电信号 BLPR 的激活而导通，从而将位线 BL1、/BL1 ~ 位线 BLm、/BLm 预充电到接地电压 Vss。由控制电路 5 生成的位线预充电信号 BLPR，在 MRAM 装置 1 的现用期间，至少在执行数据读出前的规定期间内被激活为 H 电平。另一方面，在 MRAM 装置 1 的现用期间内的数据读出动作时和数据写入动作时，位线预充电信号 BLPR，变为 L 电平的非激活状态，并使预充电晶体管 64 截止。

连接开关 71 和 72，在读出数据时（控制信号 RE=H 电平），如选择了对应的块行（块行选择信号 RBS=H 电平）则接通，在其他情况下则断开。连接开关 73，在写入数据时（控制信号 WE=H 电平），如选择了对应的块行（块行选择信号 RBS=H 电平）则接通，在其他情况下则断开。

参照图 4，数据读出电路 70，包含读出电流供给部 75 及读出放大器 FAMP。

读出电流供给部 75，具有接受电源电压 Vcc 并将恒定电流 I (读) 分别供给结点 Ns1 及 Ns2 用的恒流供给电路 171a 和 171b、将结点 Ns1 与 Nr 之间电气连接的 N 沟道 MOS 晶体管 173、将结点 Ns1 与 /Nr 之

间电气连接的 N 沟道 MOS 晶体管 174、用于将结点 Ns1 及 Ns2 拉低到接地电压 Vss 的电阻 176、177。在 N 沟道 MOS 晶体管 173 和 174 各自的栅极上施加基准电压 Vrr。

通过采用如上所述的结构，读出电流供给部 75，在选择了对应的块列而进行数据读出时，可以对结点 Nr 及 /Nr 分别供给与恒定电流 I（读）对应的读出电流（数据读出电流）Is。结点 Nr 及 /Nr，通过连接开关 72 分别与局部数据输入输出线 LIO 及 /LIO 电气连接。其结果是，当读出数据时，在所选定的块行的各存储块内，构成局部 IO 线对 LIOP 的局部数据输入输出线 LIO 及 /LIO，与数据读出电路 70 连接，并接收所供给的读出电流 Is。

如上所述，当读出数据时，局部数据输入输出线 LIO 及 /LIO，分别通过选择列的位线 BL 或 /BL 及选择存储单元或虚存储单元拉低到接地电压 Vss。因此，在数据读出电路 70 的结点 Ns1 及 Ns2 之间产生与选择存储单元的存储数据对应的电压差。

读出放大器 FAMP，将 Ns1 及 Ns2 之间的电压电平差放大，并输出互补的读出数据 LDO 及 /LDO。读出数据 LDO 及 /LDO，通过连接开关 71 分别传送到数据输入输出线 IO 及 /IO。

当写入数据时，随着连接开关 73 的接通，使局部数据输入输出线 LIO 及 /LIO 分别与对应的数据输入输出线 IO 及 /IO 电气连接。

在下文中，为了区别由正规存储单元构成的子块和由备用存储单元构成的子块，将图 2 所示的配置在备用 IO 块 SIOB 内的子块 SB (1s) ~ SB (Ns) 都统称为备用子块 SSB。

再来参照图 3，在各备用子块 SSB 内，代替正规存储单元而按 n 行 × m 列的行列状配置着备用存储单元 SMC。各备用存储单元 SMC，设计成与正规存储单元具有相同的结构和特性。

另外，代替位线对 BLP1 ~ BLPm 而分别与存储单元列对应配置备用位线对 SBLP1 ~ SBLPm。备用位线对 SBLP1 ~ SBLPm，由备用位线 SBL1、/SBL1 ~ SBLm、/SBLm 构成。

同样，在备用子块 SSB 内，代替局部数据输入输出线对 LIOP 而配置备用局部数据输入输出线对 SLIOP，并代替数据读出电路 70 而配置数据读出电路 70s。备用局部数据输入输出线对 SLIOP，包含备用局部数据输入输出线 SLIO、/SLIO。

但是，如图 3 所示，虽然仅一部分要素的名称有区别，但各备用子块 SSB 的结构与配置了正规存储单元的子块 SB 相同。

5 通过采用如上所述的结构，当写入数据时，在属于选择块行的各个子块 SB 及备用子块 SSB 中，从 m 个存储单元列中选择 1 列，并通过局部数据输入输出线 LIO、/LIO（或备用局部数据输入输出线 SLIO、/SLIO）将对应的位线 BL、/BL（或备用位线 SBL、/SBL）的一端分别与对应的数据输入输出线 IO、/IO（或备用数据输入输出线 SIO、/SIO）连接。另外，由短路开关晶体管 62 将选择列的位线 BL、/BL（或备用位线 SBL、/SBL）的另一端以电气方式连接在一起。

10 另一方面，当读出数据时，在短路开关晶体管 62 截止的状态下，分别对选择列的位线 BL、/BL（或备用位线 SBL、/SBL）供给读出电流 I_s 。因此，数据输出电路 70（或数据读出电路 70s），生成与该子块（或备用子块）中的选择存储单元的存储数据对应的读出数据 LDO 及 /LDO。所生成的读出数据 LDO 及 /LDO，分别传送到数据输入输出线 IO（备用数据输入输出线 SIO）及 /IO（/SIO）。

15 参照图 5，在由数据端子 4 发送接收的 M 位的数据信号 DAT 中，读出数据时输出的读出数据，记为 $DOUT(0) \sim DOUT(M)$ ，写入数据时输入的写入数据，记为 $DIN(0) \sim DIN(M)$ 。此外，将写入数据 $DIN(0) \sim DIN(M)$ 都统称为写入数据 DIN，并将读出数据 $DOUT(0) \sim DOUT(M)$ 都统称为读出数据 DOUT。

数据 I/O 电路 50，包含分别与数据输入输出线对 IOP(1) ~ IOP(M) 对应设置的读出放大器 RAP(1) ~ RAP(M)、及与备用数据输入输出线对 SIOP 对应设置的读出放大器 RAP(s)。

25 数据 I/O 电路 50，还包含分别与数据输入输出线对 IOP(1) ~ IOP(M) 及备用数据输入输出线对 SIOP 对应设置的写入驱动器 WRD(1) ~ WRD(M) 及 WRD(s)。

另外，在下文中，将读出放大器 RAP(1) ~ RAP(M)、RAP(s) 都统称并记为读出放大器 RAP，并将写入驱动器 WRD(1) ~ WRD(M)、WRD(s) 都统称并记为写入驱动器 WRD。

30 读出放大器 RAP(1) ~ RAP(M)，在读书数据时，将在各数据输入输出线对 IOP(1) ~ IOP(M) 上生成的与互补的数据输入输出线之间的电压差对应的读出数据分别输出到数据结点 $Nd(1) \sim Nd$

(M)。读出放大器 RAP (s)，与读出放大器 RAP (1) ~ RAP (M) 一样，根据构成对应的备用数据输入输出线对 SIOP 的互补的备用数据输入输出线之间的电压差，将读出数据输出到备用数据结点 Nds。在下文中，当统称数据结点 Nd (1) ~ Nd (M) 时，记为数据结点 Nd。

5 各写入驱动器 WRD (1) ~ WRD (M)，根据传送到对应的数据结点 Nd 的写入数据 DIN，驱动对应的数据输入输出线对 IOP 的电压。写入驱动器 WRD (s)，根据传送到备用数据结点 Nds 的写入数据 DIN，驱动对应的数据输入输出线对 SIOP 的电压。

10 参照图 6，写入驱动器 WRD，具有用于供给恒定电流 I (写) 的恒流供给电路 180 及构成电流反射镜的 P 沟道 MOS 晶体管 181 和 182。因此，对结点 Nw0 的供给电流，根据恒定电流 I (写) 设定。

写入驱动器 WRD，还具有通过结点 Nw0 接受动作电流的供给而进行动作的反相器 184、185 及 186。各反相器 184、185 及 186，接受电源电压 Vcc 及接地电压 Vss 的供给而进行动作。

15 反相器 184，将传送到的写入数据 DIN 的电压电平反转后传送到数据输入输出线 IO (或备用数据输入输出线 SIO)。反相器 185，将写入数据 DIN 的电压电平反转后传送到反相器 186 的输入结点。反相器 186，将反相器 185 的输出反转后传送到数据输入输出线/IO (或备用数据输入输出线/SIO)。因此，写入驱动器 WRD，根据写入数据 DIN 20 的电平，将数据输入输出线 IO 及/IO (或备用数据输入输出线 SIO 及/SIO) 的电压各设定为电源电压 Vcc 及接地电压 Vss 中的一方。

另一方面，当未向对应的写入驱动器 WRD 传送写入数据 DIN 时，各对应的数据输入输出线 IO 及/IO (或备用数据输入输出线 SIO 及/SIO)，由图中未示出的预充电电路保持预充电电压电平 (例如接地 25 电压 Vss)。

再来参照图 3，通过数据输入输出线 IO、/IO (或备用数据输入输出线 SIO、/SIO) 及连接开关 73 与写入数据已传送到对应的数据结点的写入驱动器 WRD 连接的局部数据输入输出线 LIO、/LIO (或备用局部数据输入输出线 SLIO、/SLIO) 的电压，各设定为电源电压 30 Vcc 及接地电压 Vss 中的一方。

按照这种方式，即可在属于选择块行的各子块的选择列中沿着局部数据输入输出线 LIO (/LIO) ~ 列选择门 CSG ~ 位线 BL (/BL) ~

短路开关晶体管 62 ~ 位线/BL (BL) ~ 列选择门 CSG ~ 局部数据输入输出线/LIO (LIO) 的路径流过方向与写入数据 DIN 的电平对应的数据写入电流 $\pm I_w$ 。

同样，在属于选择块行的备用子块的选择列中，也可以沿着备用局部数据输入输出线 SLIO (/SLIO) ~ 列选择门 CSG ~ 备用位线 SBL (/SBL) ~ 短路开关晶体管 62 ~ 备用位线/SBL (SBL) ~ 列选择门 CSG ~ 备用局部数据输入输出线/SLIO (SLIO) 的路径流过方向与写入数据 DIN 的电平对应的数据写入电流 $\pm I_w$ 。

与此相反，当写入数据 DIN 未传送到对应的写入驱动器 WRD 时，通过数据输入输出线 IO、/IO (或备用数据输入输出线 SIO、/SIO) 及连接开关 73 连接的各局部数据输入输出线 LIO、/LIO (或备用局部数据输入输出线 SLIO、/SLIO) 的电压，也保持预充电电压 (接地电压 V_{ss})。因此，在属于选择块行的子块及备用子块的选择列中，也没有数据写入电流 $\pm I_w$ 流过对应的位线 BL、/BL (或备用位线 SBL、/SBL)，因而不执行数据写入。

再来参照图 5，数据 I/O 电路 50，还包含分别设置在数据端子 4 与数据结点 $N_d(1) \sim N_d(M)$ 之间的置换开关 RSW (1) ~ RSW (M)。

各置换开关 RSW (1) ~ RSW (M)，分别根据冗余控制信号 RSG (1) ~ RSG (M) 将对应的数据结点 N_d 及备用数据结点 N_{ds} 的任何一方与数据端子 4 之间电气连接。例如，置换开关 RSW (1)，将根据冗余控制信号 RSG (1) 选定的数据结点 $N_d(1)$ 及备用数据结点 N_{ds} 的一方与数据端子 4 连接。至于其他置换开关 RSW (2) ~ RSW (M)，也进行与置换开关 RSW (1) 同样的动作。在下文中，将置换开关 RSW (1) ~ RSW (M) 都统称并记为置换开关 RSW。

冗余控制信号 RSG (1) ~ RSG (M)，由冗余控制电路 60 根据冗余判定生成。

参照图 7，由程序电路 100 存储用于指示缺陷存储单元的不合格地址 $FAD_1 \sim FAD_k$ (k : 自然数)。当统称不合格地址 $FAD_1 \sim FAD_k$ 时，记为不合格地址 FAD。

如图 2 和图 5 所示，在划分为子块 SB 后的存储器阵列结构中，当进行使用数据输入输出线对 IOP 的冗余补救时，不合格地址 FAD，

具有用于特定包含缺陷存储单元的子块及该子块内的存储单元列的 h 位。例如，各不合格地址 FAD ，用行地址 RA 及列地址 CA 、即地址信号 ADD 的一部分位构成。

5 程序电路 100，还存储分别与不合格地址 $FAD1 \sim FADk$ 对应的 k 组冗余控制信号 $RSG(1) \sim RSG(M)$ 。每 1 组冗余控制信号 $RSG(1) \sim RSG(M)$ ，指示为了用备用存储单元补救替换与各不合格地址 FAD 对应的缺陷存储单元所需的各置换开关 $RSW(1) \sim RSW(M)$ 的连接方向。

10 冗余控制电路 60，还包含与不合格地址 $FAD1 \sim FADk$ 分别对应设置的冗余判定单元 $RDU1 \sim RDUk$ 及信号选择器 65。各冗余判定单元 $RDU1 \sim RDUk$ ，接收对应的不合格地址 FAD 及地址信号 ADD 中的 h 位并执行两者的一致性比较。冗余判定单元 $RDU1 \sim RDUk$ ，根据地址一致性比较结果，分别输出允许备用信号 $SE1 \sim SEk$ 。当地址信号 ADD 与对应的不合格地址 FAD 一致时，各允许备用信号 $SE1 \sim$
15 SEk 被激活为 H 电平，否则将变为 L 电平的非激活状态。

信号选择器 65，接收分别与不合格地址 $FAD1 \sim FADk$ 对应的 k 组冗余控制信号 $RSG(1) \sim RSG(M)$ ，并根据允许备用信号 $SE1 \sim SEk$ 有选择地将其输出。信号选择器 65，当不合格地址 $FAD1 \sim FADk$ 的任何一个与地址信号 ADD 一致时，输出与一致的不合格地址 FAD
20 对应的冗余控制信号 $RSG(1) \sim RSG(M)$ 。

与此相应地，与包含缺陷存储单元的正规 IO 块 NIOB 对应的置换开关 RSW ，将备用数据结点 Nds 与数据端子 4 连接，而不是对应的数据结点 Nd 。另一方面，当允许备用信号 $SE1 \sim SEk$ 都为非激活状态时，即当地址信号 ADD 与任何一个不合格地址都不一致时，将
25 冗余控制信号 $RSG(1) \sim RSG(M)$ 设定为使各置换开关 RSW 将对应的数据结点 Nd 与数据端子 4 之间连接。按照这种方式，就能以数据输入输出线对为单位执行缺陷存储单元的补救。

以下，用图 8A 和图 8B 说明实施例 1 的 MRAM 装置中的数据写入及数据读出动作的动作时序。

30 参照图 8A，当写入数据时，在时刻 t_0 ，开始数据写入动作，当输入有效的地址信号 ADD 及 M 位写入数据 $DIN(DIN(0) \sim DIN(M))$ 时，将与地址信号 ADD 对应的写入字线 WWL 及列选择线 CSL 激活，

而无需等待冗余控制电路 60 的冗余判定结果。

从写入字线 WWL 被激活的时刻 t_1 开始供给数据写入电流 I_p 。数据写入电流 I_p ，可以在选择行的正规存储单元及备用存储单元中的隧道磁阻元件内产生难磁化轴 (HA) 方向的磁场。

5 另一方面，冗余控制电路 60 的冗余判定，在从时刻 t_0 起经过判定所需时间 T_r 后的迟于时刻 t_1 的时刻 t_j 完成。在从时刻 t_0 到时刻 t_j 的期间，各置换开关 RSW (1) ~ RSW (M)，使数据结点 $N_d(1) \sim N_d(n)$ 及数据结点 N_{ds} 为开路状态。因此，在设定冗余控制信号 RSG 之前的期间内，即使是在列选择线 CSL 已被激活的选择列中，在对应的位线或备用位线上也不产生位线电流 $I(BL)$ 。即，没有数据写入电流 $\pm I_w$ 流过。此外，位线电流 $I(BL)$ ，可以在正规存储单元及备用存储单元中的隧道磁阻元件内产生易磁化轴 (HA) 方向的磁场。

10 在时刻 t_j ，如根据冗余判定结果设定了冗余控制信号 RSG，则将写入数据 $DIN(0) \sim DIN(M)$ 分别传送到 (M+1) 个写入驱动器 WRD 中的 M 个写入驱动器 WRD。接收到写入数据 DIN 的传送的各写入驱动器 WRD，根据写入数据 DIN 的电平，将构成对应的数据输入输出线对 IOP 及备用数据输入输出线对 SIOP 的 2 条正规数据输入输出线或备用数据输入输出线各设定为电源电压 V_{cc} 及接地电压 V_{ss} 中的一方。另一方面，未接收到写入数据 DIN 的传送的写入驱动器 WRD，将对应的 2 条数据输入输出线或备用数据输入输出线保持在接地电压 V_{ss} 。

其结果是，在迟于时刻 t_1 及时刻 t_j 的时刻 t_2 ，在属于所选定的块行并由写入驱动器 WRD 驱动了对应的数据输入输出线对 IOP (或备用数据输入输出线对 SIOP) 的子块内，使方向与写入数据 DIN 的电平对应的数据写入电流 $\pm I_w$ 作为位线电流 $I(BL)$ 流过选择列的位线。另一方面，由于已将数据写入电流 I_p 作为写入字线电流 $I(WWL)$ 供给该子块内的与选择行对应的写入字线 WWL，所以可以对施加了这 2 个写入电流的正规存储单元或备用存储单元执行数据写入。

15 即，可以由与缺陷存储单元之间共有写入字线 WWL 及读出字线 RWL 的、即属于同一存储单元行的备用存储单元执行补救替换缺陷存储单元的数据写入。

另一方面，当数据写入结束时，首先，在时刻 t_3 ，使选择行的写

入字线 WWL 变为非激活状态，并停止写入字线电流 $I(WWL)$ 、即数据写入电流 I_p 的供给。然后，在时刻 t_4 ，进一步使列选择线 CSL 变为非激活状态，并停止位线电流 $I(BL)$ 、即数据写入电流 $\pm I_w$ 的供给。

5 通过按如上所述的方式设定数据写入电流的供给时序，对作为数据写入对象的正规存储单元及备用存储单元中的隧道磁阻元件，可以在数据写入开始时先施加难磁化轴方向的数据写入磁场，然后再施加易磁化轴方向的数据写入磁场。

10 另外，当数据写入动作结束时，可以在易磁化轴方向施加了规定电平的数据写入磁场的情况下设置一个使难磁化轴方向的数据写入磁场减小的周期。

这里，用图 9 说明数据写入动作时的隧道磁阻元件的磁化状态。

15 参照图 9 (a)，在数据写入动作前及数据写入动作开始后施加数据写入电流前的时刻 t_1 之前 ($t > t_1$)，隧道磁阻元件中的自由磁化层，沿着易磁化轴而在一定方向 (图 9 (a) 中的向右方向) 上磁化。以下，说明用于将图 9 (a) 中的磁化方向重写为相反方向的数据写入动作。

参照图 9 (b)，在从时刻 t_1 到时刻 t_2 的期间 ($t = t_1 \sim t_2$)，由流过写入字线 WWL 的数据写入电流 I_p 施加沿着难磁化轴 (HA) 的数据写入磁场 H_h 。因此，自由磁化层的磁化方向开始慢慢地旋转。

20 然后，参照图 9 (c)，在从时刻 t_2 到时刻 t_3 的期间 ($t = t_2 \sim t_3$)，在施加了规定电平的难磁化轴方向的数据写入磁场 H_h 的状态下，进一步施加用于使自由磁化层的磁化方向反转的易磁化轴方向的数据写入磁场 H_e 。当数据写入磁场 H_h 与 H_e 之和到达图 17 所示的与星形特性线的外侧对应的区域时，自由磁化层的磁化方向，被重写为从虚线箭头指示的方向反转到实线箭头指示的方向。

30 参照图 9 (d)，在从时刻 t_3 到时刻 t_4 的期间 ($t = t_3 \sim t_4$)，在以规定电平施加了沿着易磁化轴方向的数据写入磁场 H_e 的状态下，沿着难磁化轴 (HA) 的数据写入磁场 H_h 减小。因此，当数据写入动作结束时，数据写入磁场 H_h 与 H_e 的矢量和，改变为图 9 (c) 中的磁化旋转方向。

如图 9 (e) 所示，通过按上述顺序改变数据写入磁场 H_h 、 H_e ，可以在数据写入动作时将自由磁化层的磁化方向稳定地重写为相反方

向，而不会陷入不希望有的中间磁化状态。

这里，用图 10 说明数据写入动作时在自由磁化层中发生的不希望有的中间磁化状态。

5 参照图 10，隧道磁阻元件 TMR 的端部区域 108、109，很难响应易磁化轴方向的磁场而被磁化，且具有磁化的方向和量逐渐变化的特性。因此，与能以二值形式设定响应易磁化轴方向的磁场的磁化方向和量的中央部区域 107 不同，端部区域，具有作为存储单元所不希望有的特性。

10 如图 10 (a) 或 (b) 所示，在隧道磁阻元件 TMR 的自由磁化层中，先使端部区域 108、109 在沿着难磁化轴的一个方向上磁化，然后使中央部区域沿着易磁化轴磁化为与写入数据电平对应的方向，即可获得稳定的磁化特性。

如上所述，通过使列选择线 CSL 的激活时刻迟于写入字线 WWL，可以在易磁化轴方向的数据写入磁场之前施加难磁化轴方向的数据写入磁场。因此，可以先将隧道磁阻元件 TMR 的端部区域 108、15 109 磁化为同一磁化方向（图 9 (a)、(b) 中为向上方向），然后即可在中央部区域稳定地进行沿易磁化轴的方向的磁化反转。

20 与此相反，当使写入字线 WWL 与列选择线 CSL 大致同时激活、或使列选择线 CSL 比写入字线 WWL 更早地激活时，如图 10 (c)、(d)、(e) 所示，将使自由磁化层陷入多稳定 (Multi-Stable) 状态，并使磁化方向变为不均匀一致的中间状态而不是所希望的稳定状态。

其结果是，写入数据后的自由磁化层的磁化方向，不能磁化为如图 10 (a) 或 (b) 所示的所希望的方向。因此，在写入数据后的存储单元中，不能确保与存储数据电平的不同对应的所需的电阻差，这将会引起误动作，因而损害了 MRAM 装置的动作稳定性。25

如上所述，通过按图 8A 的时序供给数据写入电流，在数据写入动作开始时和结束时，可以使难磁化轴方向的数据写入磁场比易磁化轴方向的数据写入磁场更早地发生或消失。因此，可以通过考虑 MTJ 存储单元的磁化特性而稳定地执行数据写入。

30 另外，为稳定地执行数据写入所需的时间滞后（图 8A 中的 $t_1 \sim t_2$ 期间），可以利用冗余判定的处理时间进行设定，所以，即使在冗余判定结束后按最早的定时供给数据写入电流 $\pm I_w$ ，也能实现稳定的数

据写入。

参照图 8B, 当读出数据时, 也是响应在时刻 t_0 输入的有效地址信号 ADD 而在时刻 t_1 将选择行的读出字线 RWL 几选择列的列选择线 CSL 激活为 H 电平。与此相应地, 在属于选择块行的各子块及备用子块中, 由数据读出电路 70、70s 将用于通过隧道磁阻元件 TMR 的读出电流 (数据读出电流) I_s 作为位线电流 $I(BL)$ 供给选择列的位线 BL、/BL 或备用位线 SBL、/SBL。

进一步, 各数据读出电路 70、70s, 根据与选择列的位线 BL、/BL 连接的局部数据输入输出线 LIO、/LIO 之间的电压差或与选择列的备用位线 SBL、/SBL 连接的备用局部数据输入输出线 SLIO、/SLIO 之间的电压差, 生成读出数据。根据来自数据读出电路 70、70s 的读出数据的电平, 驱动各数据输入输出线对 IOP 及备用数据输入输出线对 SIOP 的电压。该 $(M+1)$ 个读出数据, 进一步由读出放大器 RAP (1) ~ RAP (M)、RAP (s) 放大, 并传送到数据结点 $N_d(1) \sim N_d(M)$ 及备用数据结点 N_{ds} 。

因此, 当读出数据时, 以并行的方式对备用存储单元及正规存储单元双方执行数据读出, 而无需等待冗余控制电路 60 的冗余判定的完成。因此, 可以由与缺陷存储单元之间共有写入字线 WWL 及读出字线 RWL 的、即属于同一存储单元行的备用存储单元执行补救替换该缺陷存储单元的数据读出。

进一步, 如冗余判定在时刻 t_j 结束, 则根据冗余判定适当地设置置换开关 RSW (1) ~ RSW (M) 的连接方向。因此, 可以根据所得到的用于补救替换缺陷存储单元的冗余判定结果而将 M 位读出数据 DOUT (DOUT (1) ~ DOUT (M)) 输出到数据端子 4。

如上所述, 在实施例 1 的 MRAM 装置中, 当写入数据时, 通过利用冗余判定的所需时间, 可以避免在磁化中发生不稳定的中间状态, 从而能以高速执行稳定的数据写入。进一步, 当读出数据时, 可以将冗余判定所需时间的影响抑制到最低限度, 因而能执行高速的数据读出。因此, 既能提高冗余结构的动作速度, 又能进行稳定的数据写入。

[实施例 1 的变形例]

在实施例 1 的变形例中, 说明由数据 I/O 电路执行基于移位冗余方式的冗余补救而无需使用备用数据输入输出线对 SIOP 直接进行数据线置换的结构。

5 参照图 11, 实施例 1 的变形例的数据 I/O 电路 51, 与图 5 所示的数据 I/O 电路 50 相比的不同点在于, 代替置换开关 RSW (1) ~ RSW (M) 而备有移位开关 SSW (1) ~ SSW (M)。关于数据 I/O 电路 51 的其他部分的结构, 因与图 5 所示的数据 I/O 电路 50 相同, 其详细说明不再重复。

10 移位开关 SSW (1) ~ SSW (M), 配置在分别与数据输入输出线对 IOP (1) ~ IOP (M) 及备用数据输入输出线对 SIOP 对应的按顺序排列的数据结点 Nd (1) ~ Nd (M) 及备用数据结点 Nds 的相邻两结点之间。各移位开关 SSW (1) ~ SSW (M), 将对应的两个结点之一与数据端子 4 连接。移位开关 SSW (1) ~ SSW (M) 的连接方向, 分别由来自冗余控制电路 60 的基于冗余判定结果的冗余控制信号
15 RSG (1) ~ RSG (M) 进行控制。

例如, 第 1 移位开关 SSW (1), 根据冗余控制信号 RSG (1), 有选择地将数据结点 Nd (1) 和 Nd (2) 中的一个与数据端子 4 连接, 第 M (最末一个) 移位开关 SSW (M), 根据冗余控制信号 RSG (M), 有选择地将数据结点 Nd (M) 和 Nds 中的一个与数据端子 4 连接。
20 在下文中, 当统称移位开关 SSW (1) ~ SSW (M) 时, 也简记为移位开关 SSW。

各移位开关 SSW, 以与包含缺陷存储单元的正规 IO 块对应的数据输入输出线对 IOP 为界改变其连接方向。例如, 在图 11 的结构中, 当第 j 个 (j: 2 ~ M 的自然数) 数据输入输出线对 IOP (j) 与缺陷存储单元相对应时, 移位开关 SSW (1) ~ SSW (j-1) 的连接方向, 设定为正规方向 (图 11 中的向上方向), 移位开关 SSW (j) ~ SSW (M) 的连接方向, 设定为备用方向 (图 11 中的向下方向)。而当数据输入输出线对 IOP (1) 与缺陷存储单元相对应时, 移位开关 SSW (1) ~ SSW (M) 的各自的连接方向, 均设定为备用方向 (图 11 中的向下方向)。
30

与此相反, 当没有选择缺陷存储单元因而不需要数据输入输出线对 IOP 的移位冗余时, 移位开关 SSW (1) ~ SSW (M) 的各自的连

接方向，均设定为正规方向（向上方向）。

按照这种方式，当利用移位开关 SSW (1) ~ SSW (M) 而将缺陷存储单元选定为存取对象时，也可以使与缺陷存储单元对应的数据输入输出线对 IOP (j) 不与数据端子 4 连接，而用其余的 (M-1) 个数据输入输出线对 IOP 及备用数据输入输出线对 SIOP 执行对 M 位数据信号 DAT 的数据读出及数据写入。

另外，在实施例 1 的变形例的结构中，除数据 I/O 电路的结构外，与实施例 1 的情况相同，所以，能以与图 8A、8B 的动作波形图相同的方式执行对各子块 SB 的数据读出及数据写入，因而可以执行高速的数据读出及磁化状态稳定的数据写入。

[实施例 2]

参照图 12，在实施例 2 的结构中，存储器阵列 10，沿列方向划分为多个存储块 MBa 及 MBb。例如，由存储区地址等选择多个存储块 MBa 及 MBb 中的一个。另外，将多个存储块 MBa 及 MBb 都统称并记为存储块 MB。

各存储块 MBa 及 MBb，具有与实施例 1 中说明过的存储器阵列 10 相同的结构。即，与存储块 MBa 对应地配置数据输入输出线对 IOPa (1) ~ IOPa (M) 及备用数据输入输出线对 SIOPa。同样，在存储块 MBb 中，配置数据输入输出线对 IOPb (1) ~ IOPb (M) 及备用数据输入输出线对 SIOPb。

进一步，在存储块 MBa 及 MBb 中，对应于同一存储单元行，配置分别与存储块 MBa 及 MBb 对应的读出字线 RWLa 及 RWLb。同样，在存储块 MBa 及 MBb 中，对应于同一存储单元行，还分别配置写入字线 WWLa 及 WWLb。

行译码器 21，以由存储块 MBa 及 MBb 共用的形式设置，在所选定的存储块 MB 中，有选择地将选择行的读出字线 RWL（读出数据时）或写入字线 WWL（写入数据时）激活。因此，在存储块 MBa 及 MBb 的双方，并不同时执行行选择。换句话说，在各存储块 MB 中，按各自独立的时序执行行选择。

列译码器及选择线驱动器 31a 及 31b，与存储块 MBa 及 MBb 分别对应设置，并当选定了对应的存储块 MB 时，有选择地将与图 2 相

同的列选择线 CSL 及块行选择信号 RBS 激活。

存储块 MBa 及 MBb 中的冗余结构，分别独立设置。即，与存储块 MBa 对应地配置数据 I/O 电路 50#a 及冗余控制电路 60a，与存储块 MBb 对应地配置数据 I/O 电路 50#b 及冗余控制电路 60b。

5 各数据 I/O 电路 50#a 及 50#b，与图 5 和图 11 中分别示出的数据 I/O 电路 50 及 51 的任何一方具有相同的结构。

冗余控制电路 60a，存储用于执行存储块 MBa 中的冗余补救的不合格地址 FADa 及冗余控制信号 RSGa 的模式，并与实施例 1 一样，根据地址信号 ADD 与不合格地址 FADa 的冗余判定结果，控制数据 I/O
10 电路 50#a 中的置换开关 RSW 或移位开关 SSW 的连接方向。

同样，冗余控制电路 60b，存储用于执行存储块 MBb 中的冗余补救的不合格地址 FADb 及冗余控制信号 RSGb 的模式，并与实施例 1 一样，根据地址信号 ADD 与不合格地址 FADb 的冗余判定结果，控制数据 I/O 电路 50#b 中的置换开关 RSW 或移位开关 SSW 的连接
15 方向。

即，在与备用存储单元对应的数据读出及写入中使用的备用数据输入输出线对 SIOP 及冗余控制电路 60 等的冗余结构，按以共同的时序执行行选择的每个规定分区设置、在图 12 中按每个存储块 MB 设置。

20 通过采用如上所述的结构，在以独立的时序执行行选择的多个存储块的每一个中，可以在对缺陷存储单元进行了补救后输入输出 M 位的数据信号 DAT。

[实施例 2 的变形例]

25 参照图 13，在实施例 2 的变形例结构中，与实施例 2 的结构相比的不同点在于，在存储块 MBa 及 MBb 中同时执行行选择。即，在存储块 MBa 及 MBb 的双方，对应于地址信号 ADD，有选择地各将一条读出字线 RWL（读出数据时）或写入字线 WWL（写入数据时）激活。

30 按照这种方式，当在存储块 MBa 及 MBb 中同时执行行选择时，可以设置由存储块 MBa 及 MBb 共用的备用 IO 块 SIOB 即备用数据输入输出线对 SIOP。即，在图 13 的例中，可以在存储块 MBa 及 MBb

的冗余补救中共同使用设置在存储块 MBb 内的备用 IO 块 SIOB 的备用数据输入输出线对 SIOP。

因此，对于数据 I/O 电路 50#a 及冗余控制电路 60a，也可以按照由存储块 MBa 及 MBb 共用的形式设置。由此，可以减小冗余结构所需要的电路面积。

通过采用如上所述的结构，在各存储块 MBa 及 MBb 内配置了 M 个数据输入输出线对 IOP 的结构中，能以数据输入输出线对 IOP 为单位进行冗余补救，并可以输入输出 $(2 \times M)$ 位的数据信号 DAT。

另外，在本实施例中，给出了由 1 个备用数据输入输出线对 SIOP 执行与备用存储单元对应的数据读出及数据写入的结构例，但也可以采用设置多条同样的备用数据输入输出线对 SIOP 的结构。在这种情况下，在结构上只需根据备用数据输入输出线对 SIOP 的条数增加图 5 所示的各置换开关 RSW 的接点数或根据备用数据输入输出线对 SIOP 的条数增加移位开关 SWW 的级数即可。

1

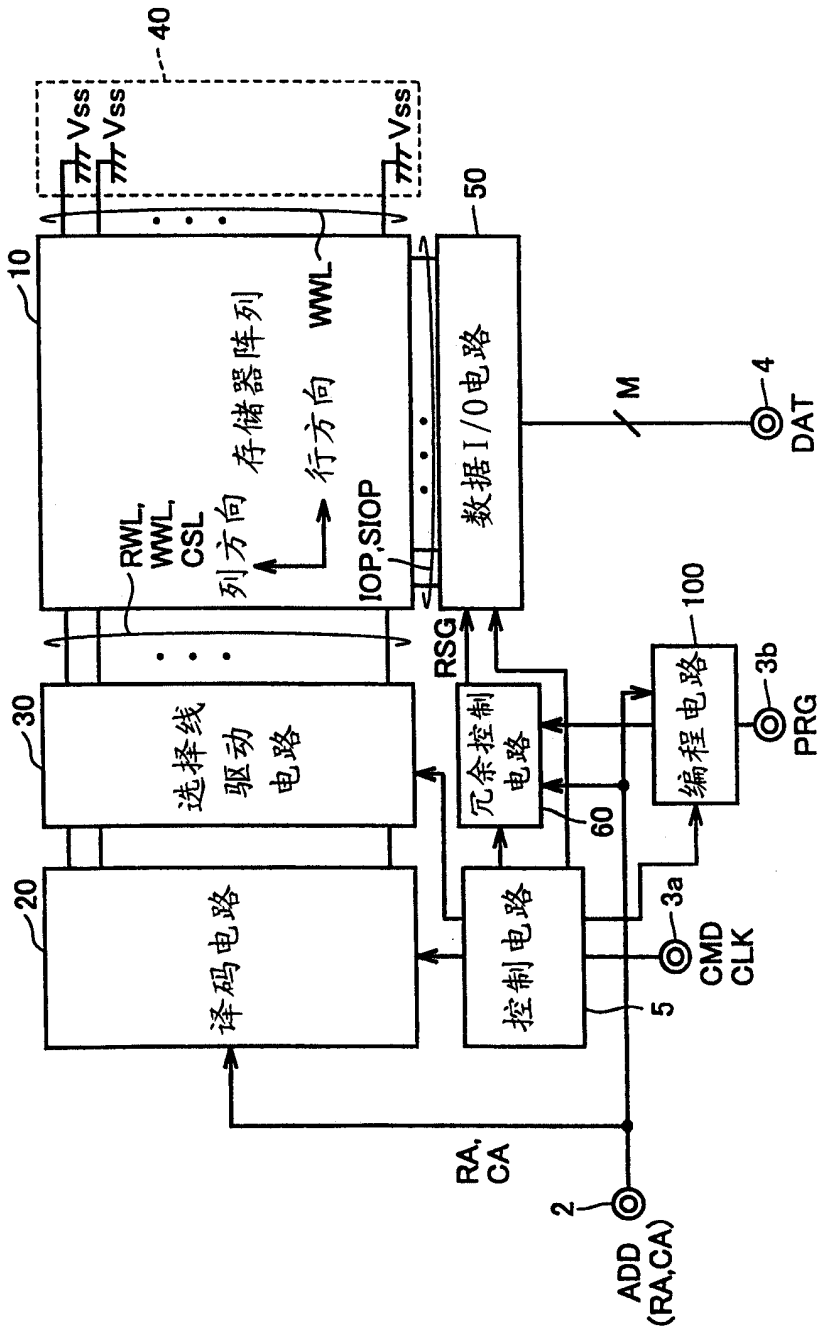


图 1

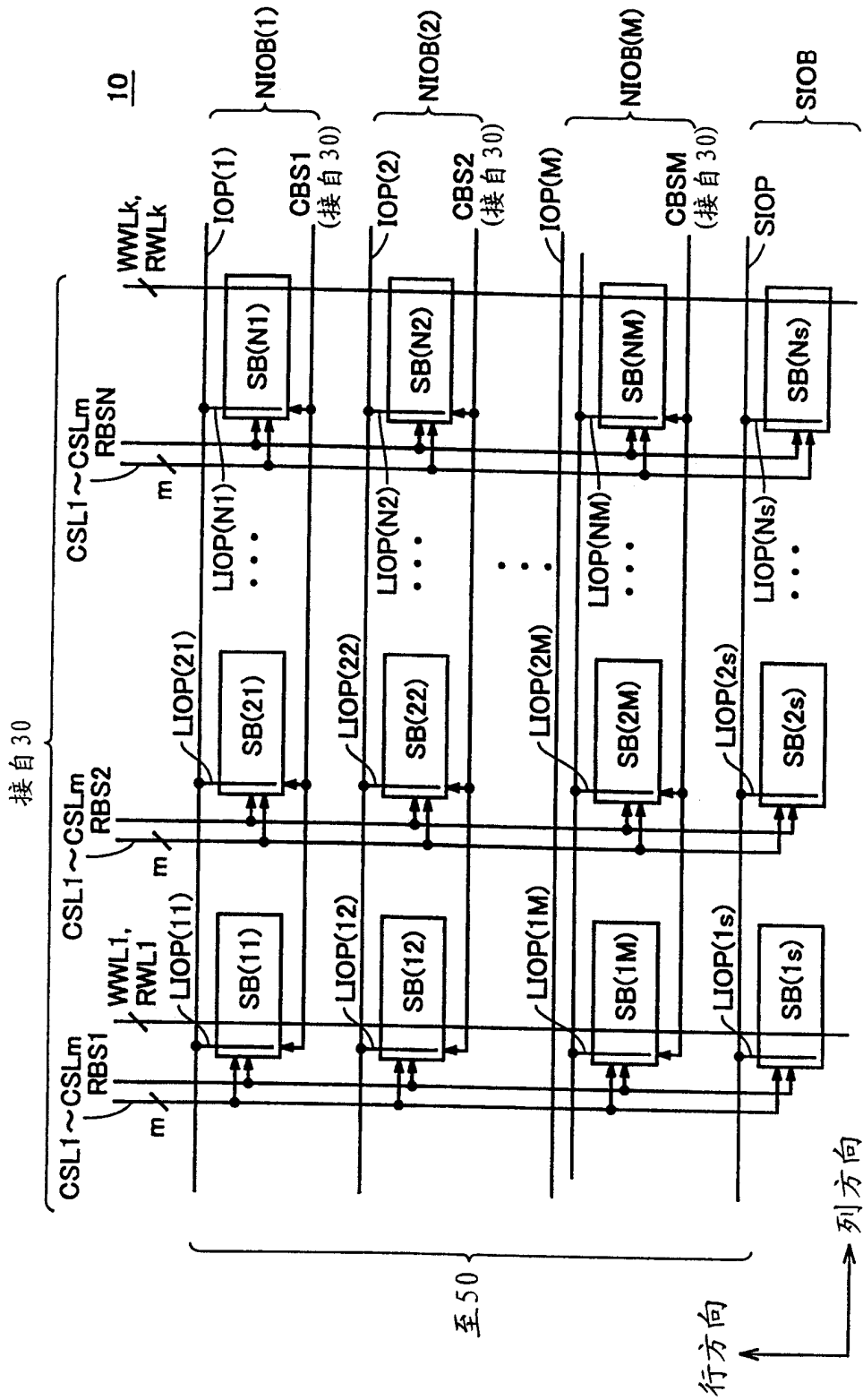


图 2

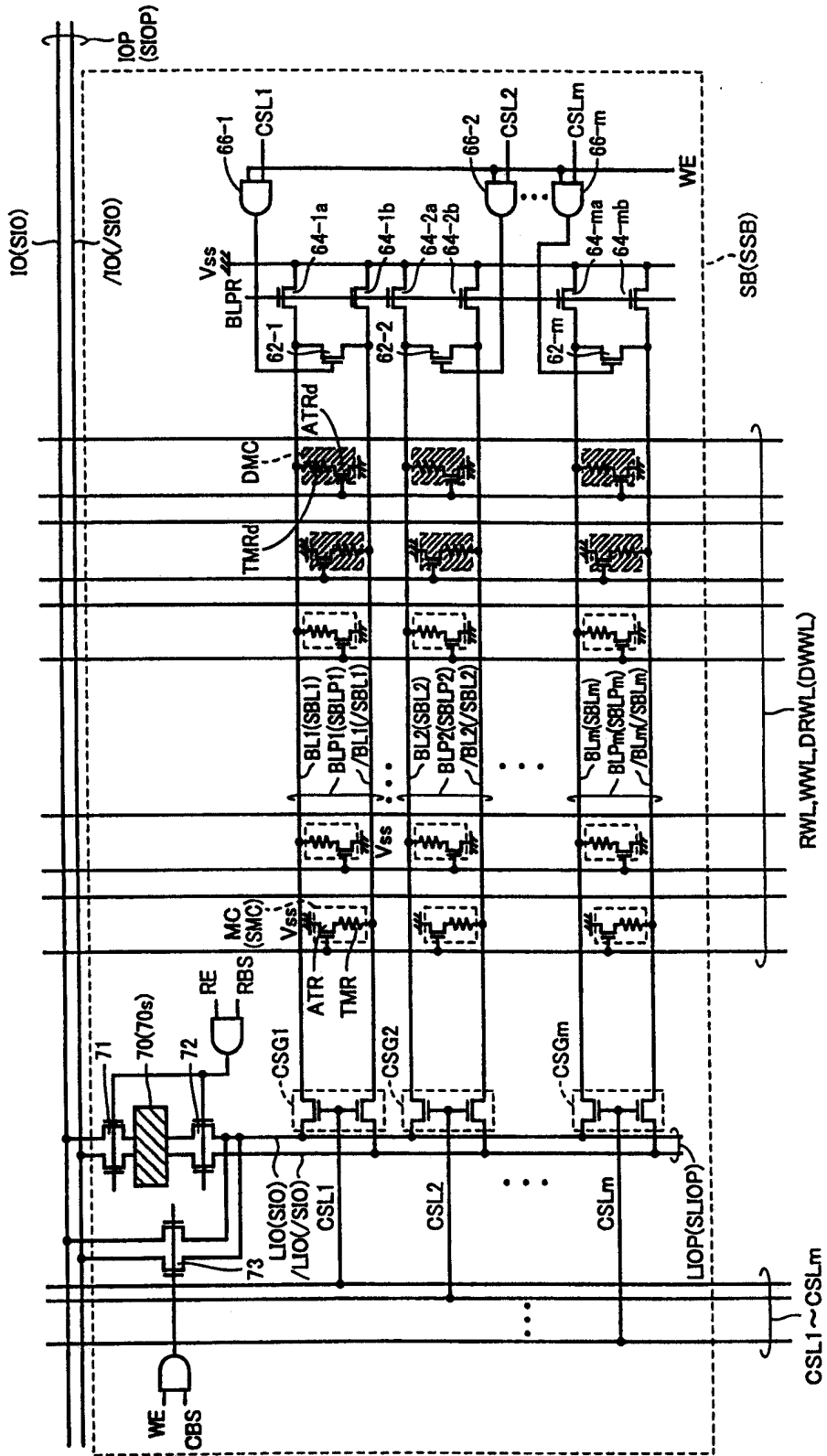


图 3

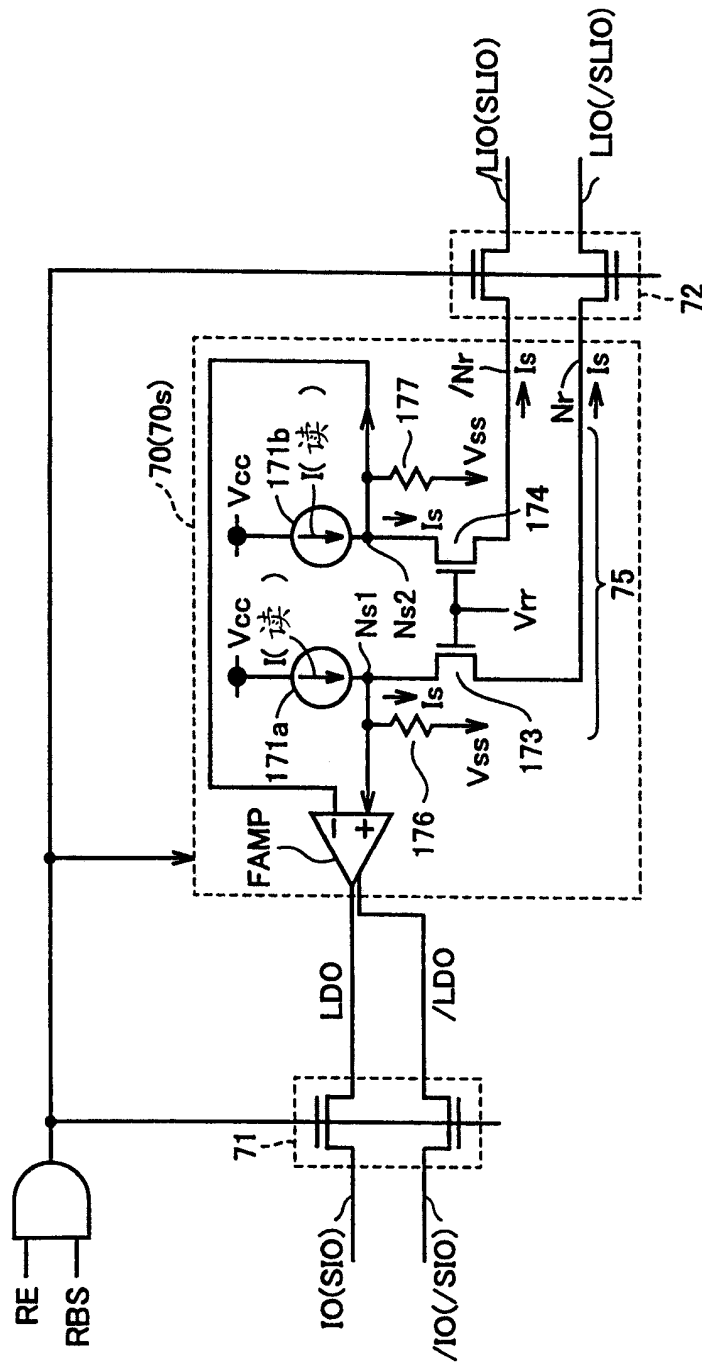


图 4

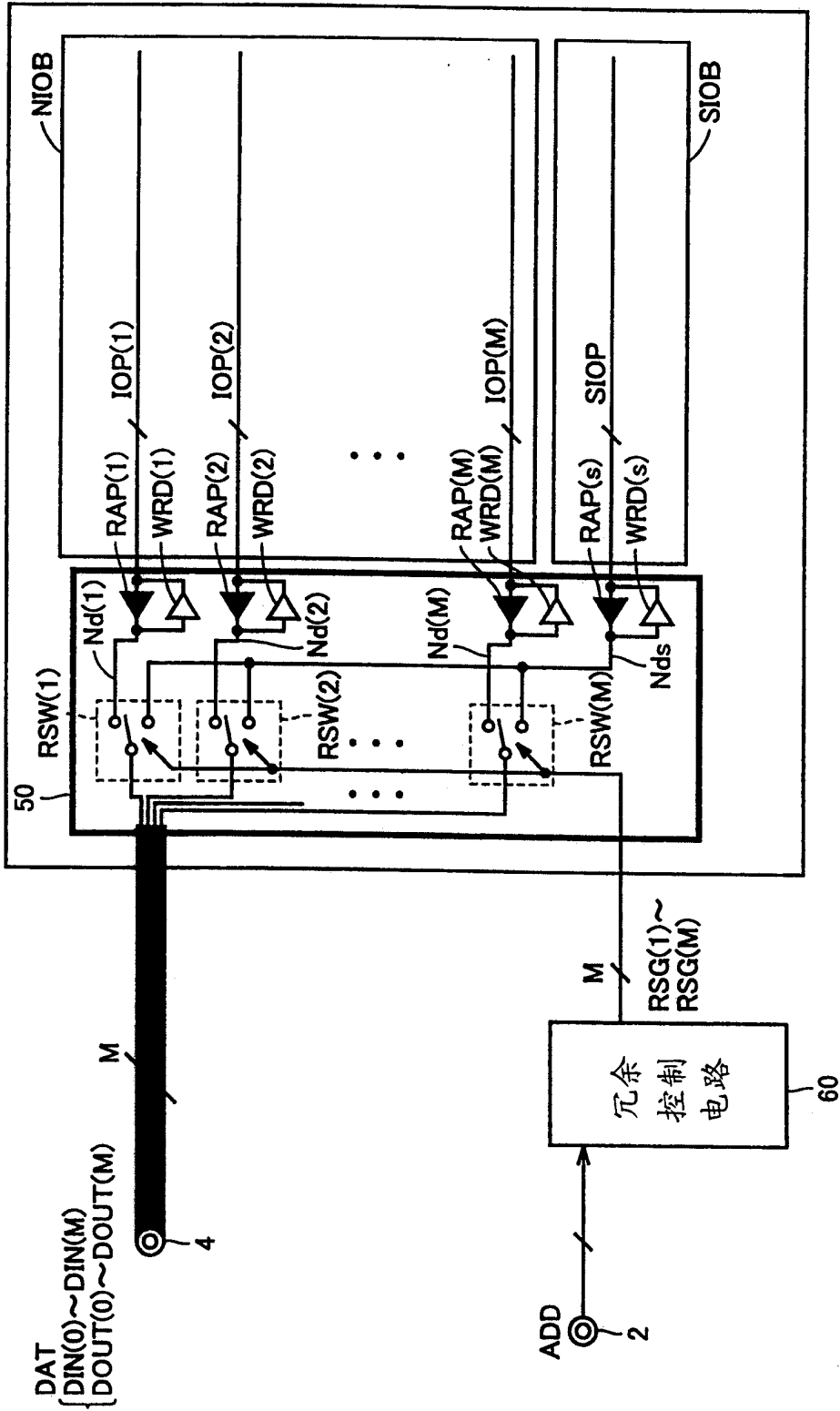


图 5

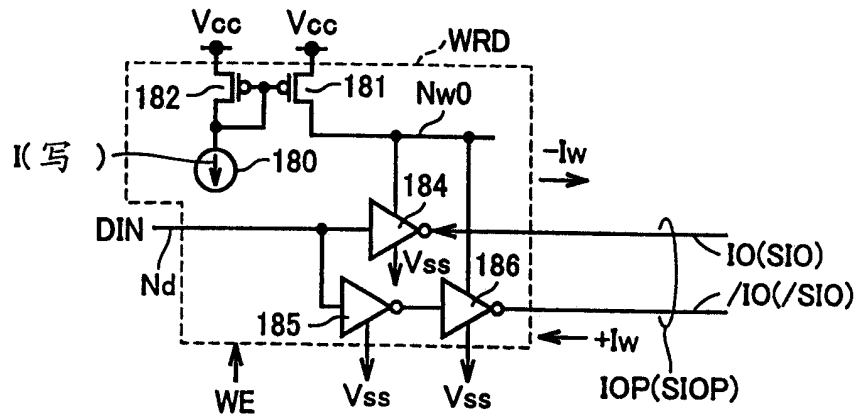


图 6

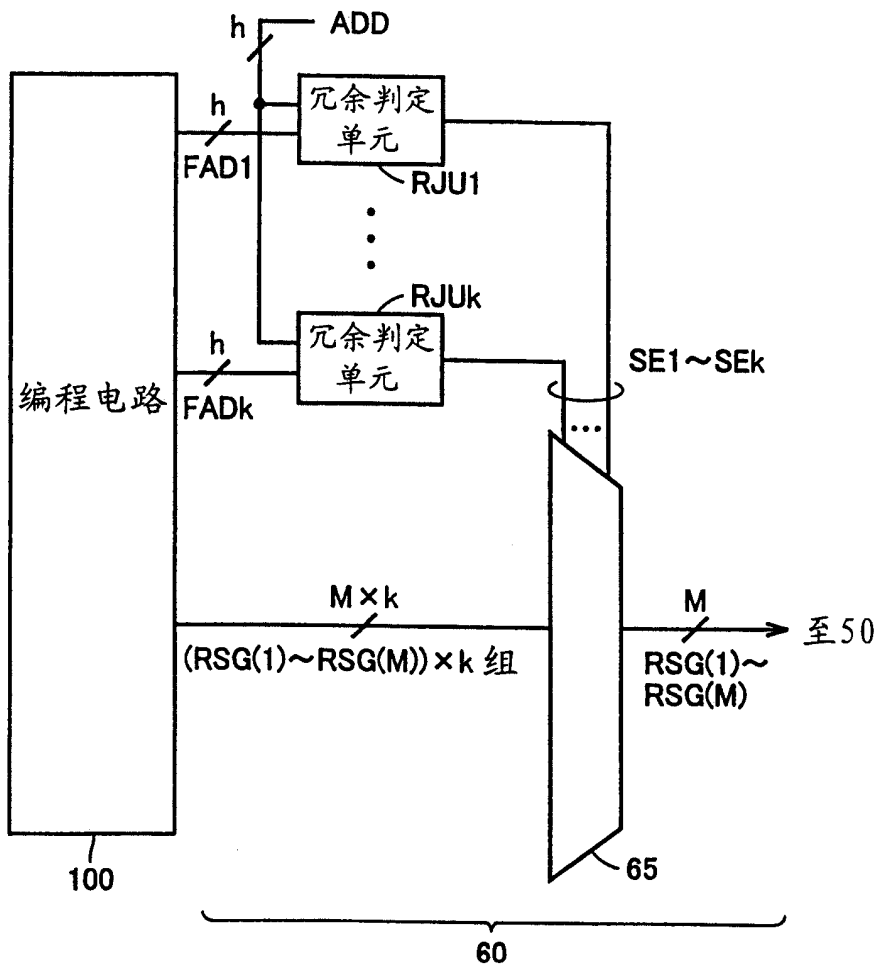


图 7

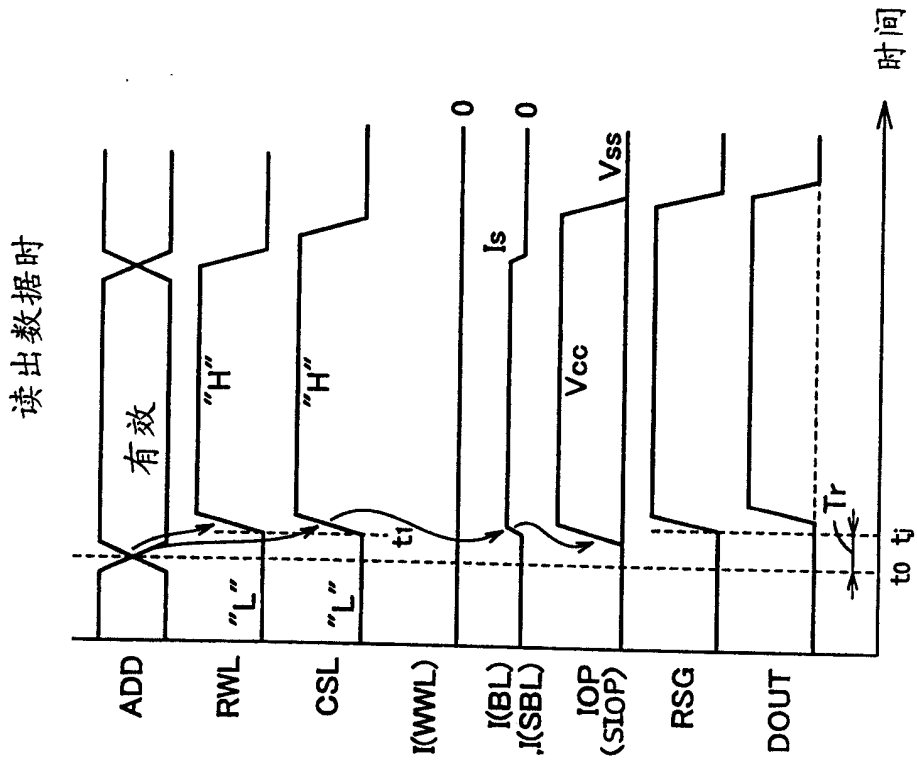


图 8B

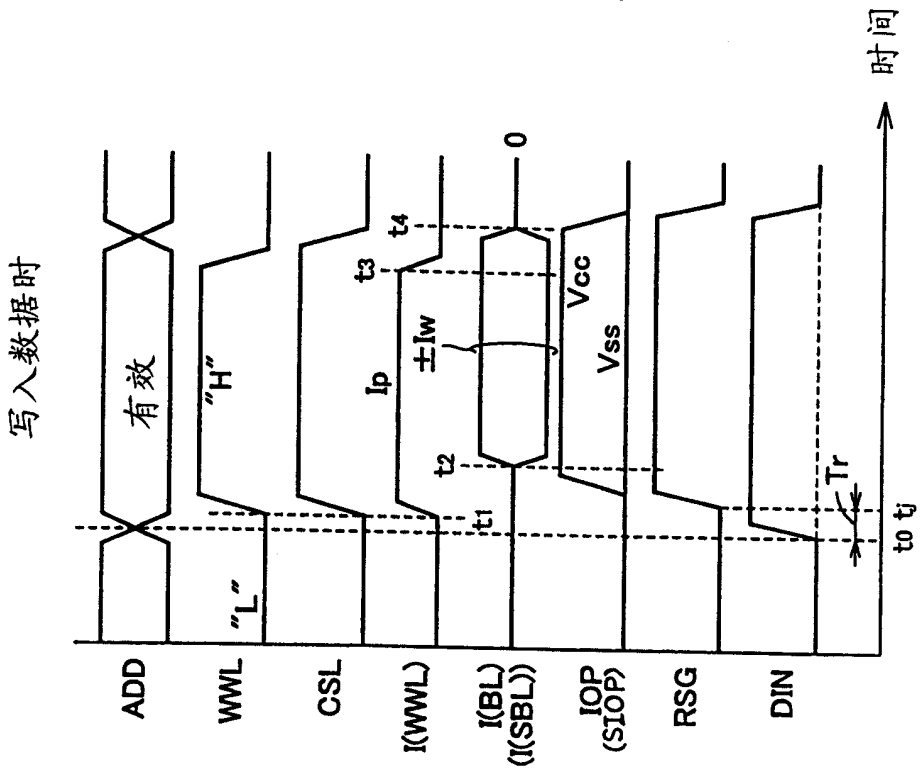
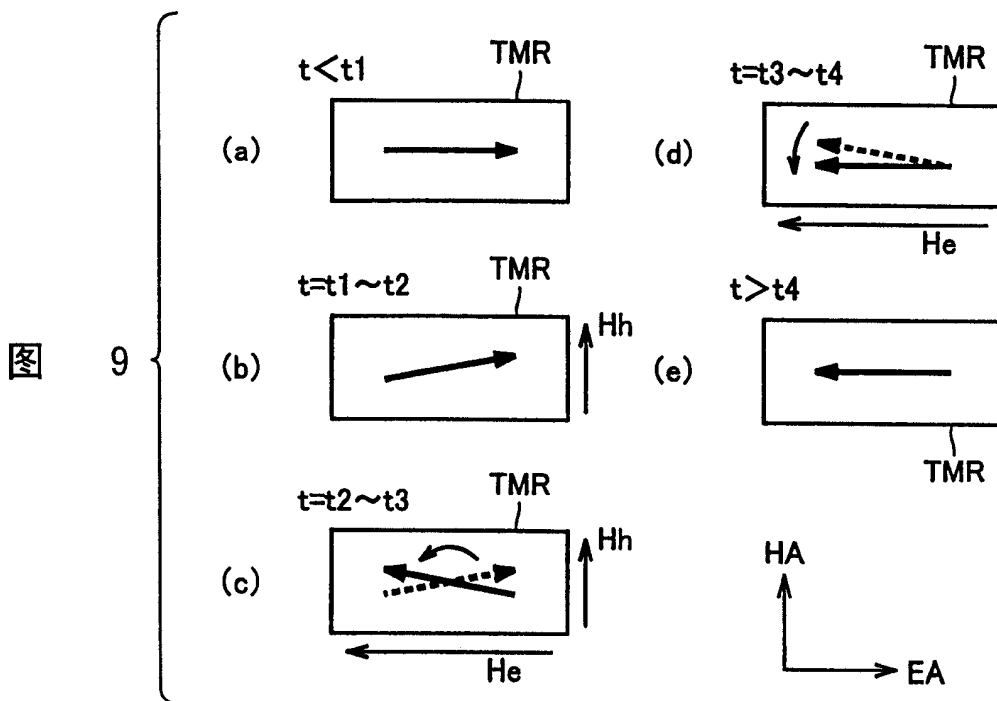
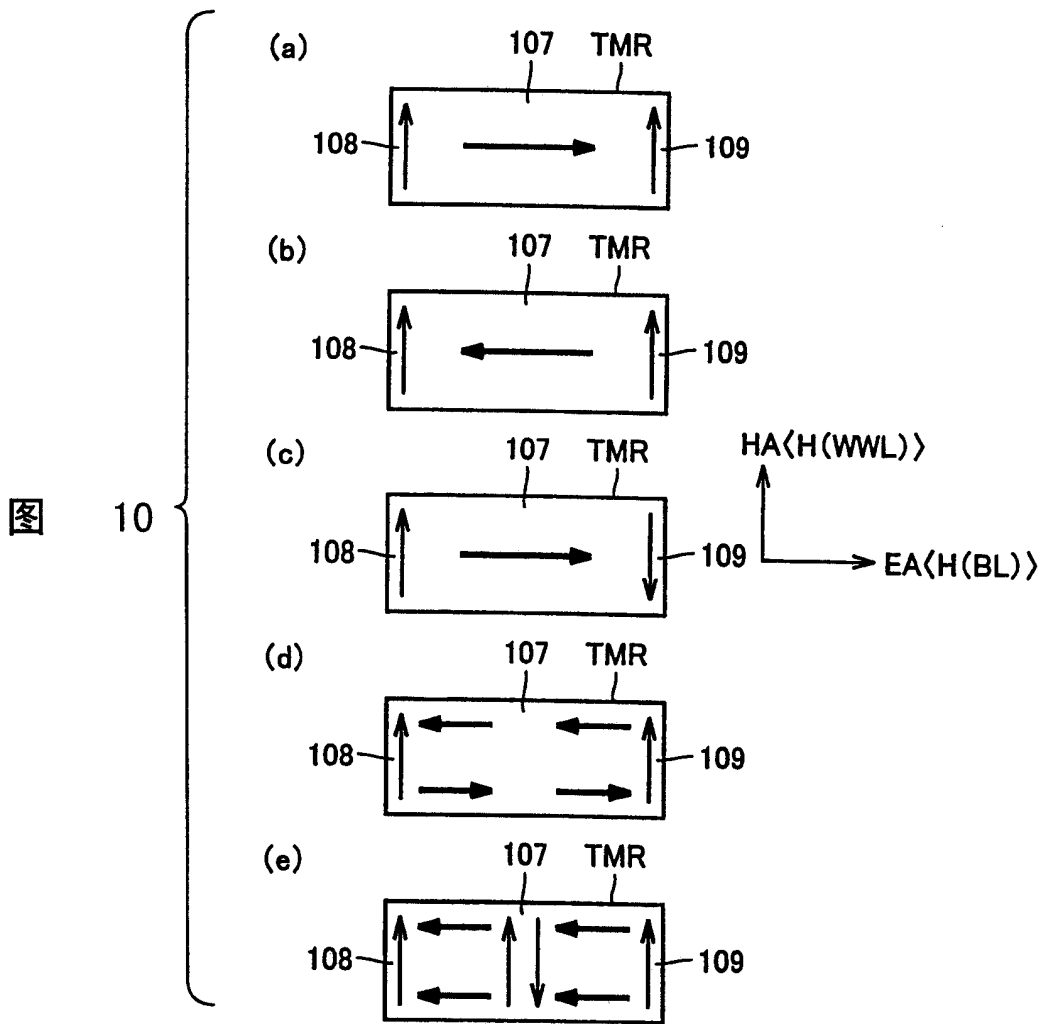


图 8A





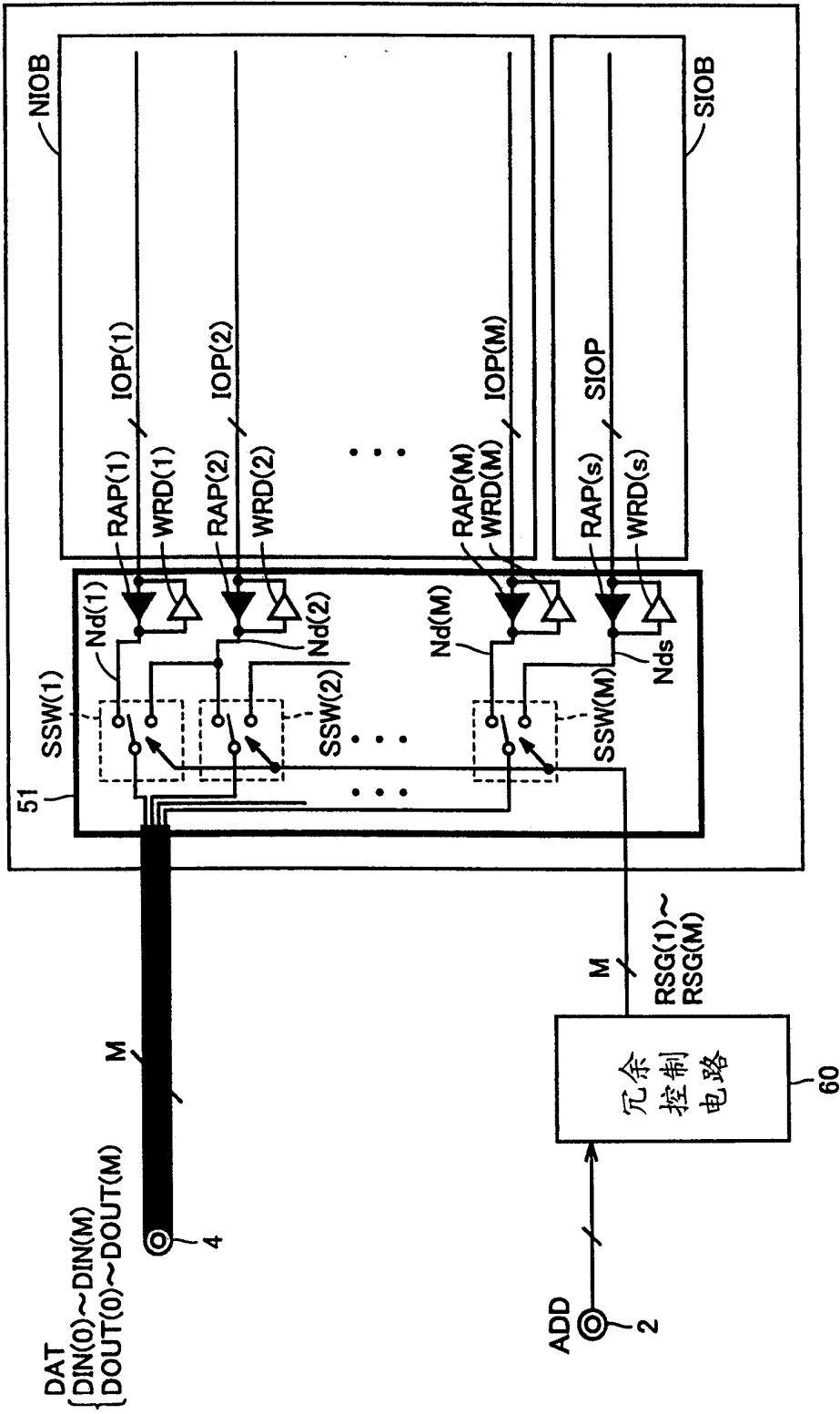


图 11

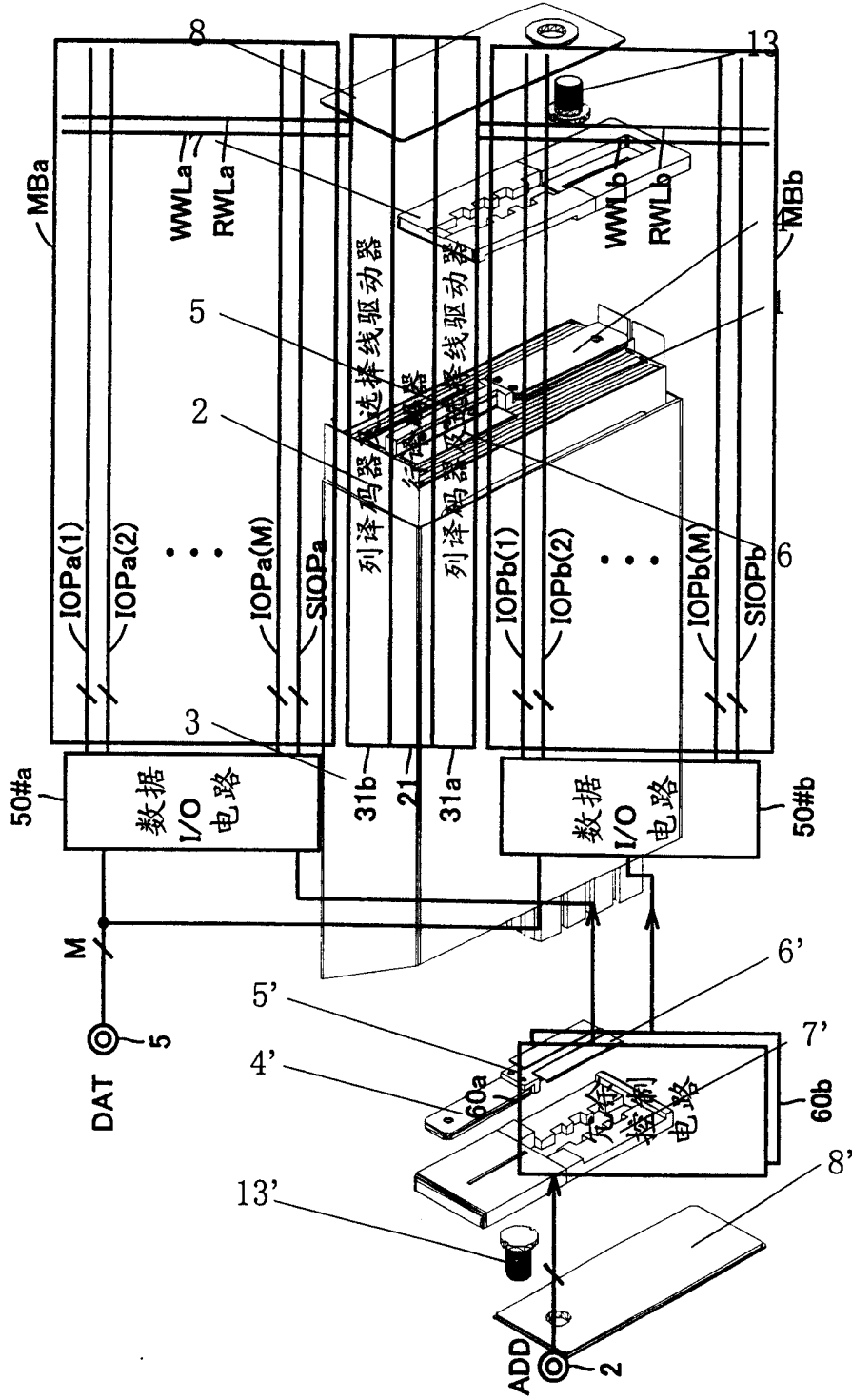


图 1

图 12

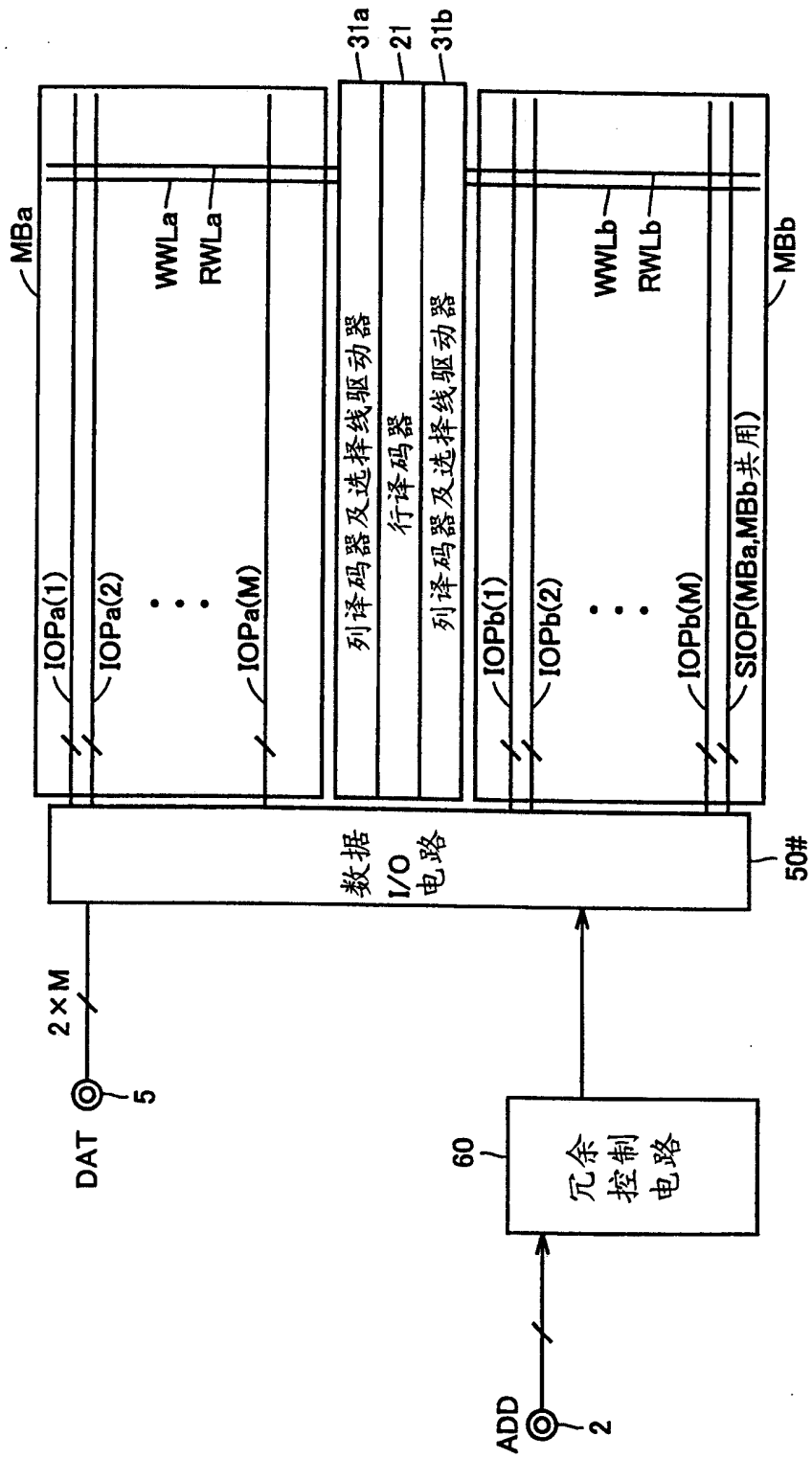


图 13

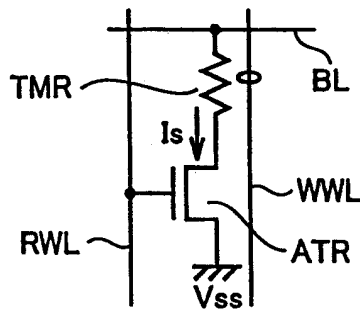


图 14

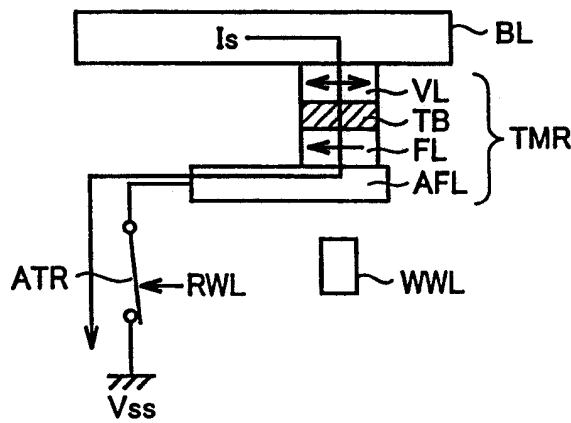


图 15

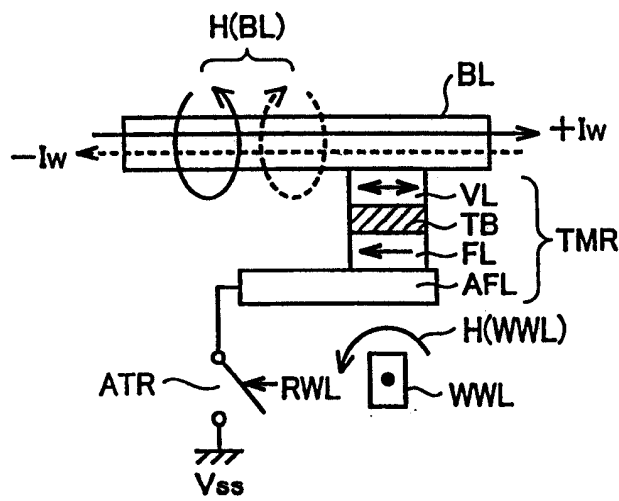


图 16

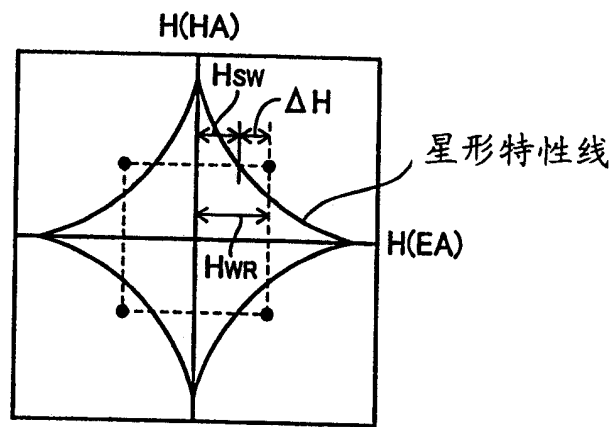


图 17