

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 4 月 6 日(06.04.2017)



(10) 国際公開番号
WO 2017/056740 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) *H01L 29/78* (2006.01)
H01L 21/336 (2006.01) *H04N 5/374* (2011.01)
- (21) 国際出願番号: PCT/JP2016/073433
- (22) 国際出願日: 2016 年 8 月 9 日(09.08.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-189169 2015 年 9 月 28 日(28.09.2015) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目 1 4 番 1 号 Kanagawa (JP).
- (72) 発明者: 場色 正昭(BAIRO Masaaki); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 山本 孝久, 外(YAMAMOTO Takahisa et al.); 〒1410032 東京都品川区大崎 4 丁目 3 番 2 号 秋葉ビル 3 O 1 号 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

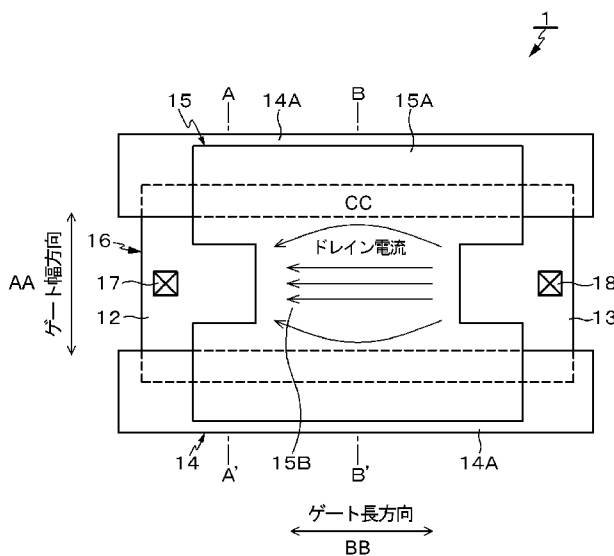
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: MOS FIELD EFFECT TRANSISTOR, SEMICONDUCTOR INTEGRATED CIRCUIT, SOLID-STATE IMAGING ELEMENT, AND ELECTRONIC DEVICE

(54) 発明の名称: MOS型電界効果トランジスタ、半導体集積回路、固体撮像素子、及び、電子機器

[図1]



AA... GATE WIDTH DIRECTION
BB... GATE LENGTH DIRECTION
CC... DRAIN CURRENT

(57) Abstract: This MOS field effect transistor has: an element separation region for demarcating an active region; a source region and a drain region formed in the active region; a gate insulating film provided on a channel region between the source region and the drain region; and a gate electrode provided on the gate insulating film. The gate electrode has an electrode shape such that the potential at the boundary between the element separation region and the active region is shallower than the potential of the channel center portion.

(57) 要約: 本開示のMOS型電界効果トランジスタは、活性領域を画定する素子分離領域と、活性領域に形成されたソース領域及びドレイン領域と、ソース領域とドレイン領域との間のチャネル領域上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられたゲート電極と、を有し、ゲート電極は、素子分離領域と活性領域との境界のポテンシャルが、チャネル中心部のポテンシャルよりも浅くなるような電極形状を有する。

明 細 書

発明の名称：

MOS型電界効果トランジスタ、半導体集積回路、固体撮像素子、及び、電子機器

技術分野

[0001] 本開示は、MOS型電界効果トランジスタ、半導体集積回路、固体撮像素子、及び、電子機器に関する。

背景技術

[0002] MOS (metal-oxide-semiconductor) 型電界効果トランジスタ (field-effect transistor : FET) から構成される半導体集積回路において、MOS FETのランダムテレグラフシグナルノイズ (Random Telegraph Signal : 以下、「RTSノイズ」と記述する) が問題となっている。MOS型電界効果トランジスタを用いて構成される半導体集積回路として、例えば、CMOS (Complementary Metal Oxide Semiconductor) 型固体撮像素子が知られている。より具体的には、画素から読み出されたアナログの画素信号を、例えば画素列毎にAD変換する列並列型AD変換部を有するCMOS型固体撮像素子 (例えば、特許文献1 参照) において、AD変換部を構成する比較器にMOS型電界効果トランジスタが用いられている。

[0003] CMOS型固体撮像素子の画質の良し悪しを示す指標として、センシングした画像の時間的なチラつきがある。画像の時間的なチラつきは、各画素から検出した信号レベルが時間的にランダムに揺らぐために起こる。その原因として、例えば、AD変換部を構成する比較器に用いられるMOS型電界効果トランジスタからRTSノイズが発生した場合に、センシングした画像を著しくチラつかせることがわかっている。この画像のチラつきを低減するには、ノイズ源となるMOS型電界効果トランジスタから発生するRTSノイズを低減する必要がある。

[0004] このMOS型電界効果トランジスタから発生するRTSノイズを低減する

ために、従来は、半導体集積回路中のノイズ源となるMOSFETを、埋め込みチャネル型のMOS型電界効果トランジスタで構成する手法が採られていた（例えば、特許文献2参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2013-90305号公報

特許文献2：特開2015-46586号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献2に記載の従来技術の場合、埋め込みチャネル型のMOS型電界効果トランジスタを、一般的な表面チャネル型のMOS型電界効果トランジスタと同一の半導体基板上に混載させる構成を採ることになる。従って、埋め込みチャネル型のMOS型電界効果トランジスタを形成するための製造プロセス工程を増やす必要があるため、CMOS型固体撮像素子等の半導体集積回路の製造コストを増加させることになる。

[0007] そこで、本開示は、製造コストを増加させることなく、RTSノイズの低減を可能にしたMOS型電界効果トランジスタ、当該MOS型電界効果トランジスタを用いる半導体集積回路及び固体撮像素子、並びに、当該固体撮像素子を有する電子機器を提供することを目的とする。

課題を解決するための手段

[0008] 上記の目的を達成するための本開示のMOS型電界効果トランジスタは、
活性領域を画定する素子分離領域と、
活性領域に形成されたソース領域及びドレイン領域と、
ソース領域とドレイン領域との間のチャネル領域上に設けられたゲート絶縁膜と、
ゲート絶縁膜上に設けられたゲート電極と、
を有し、

ゲート電極は、素子分離領域と活性領域との境界のポテンシャルが、チャネル中心部のポテンシャルよりも浅くなるような電極形状を有する。

- [0009] 上記の目的を達成するための本開示の半導体集積回路は、
MOS型電界効果トランジスタを用いて構成され、
MOS型電界効果トランジスタとして、上記の構成のMOS型電界効果トランジスタを用いる。
- [0010] 上記の目的を達成するための本開示の固体撮像素子は、
光電変換素子を含む画素が行列状に配置されて成る画素アレイ部と、
MOS型電界効果トランジスタを用いて構成され、画素から読み出される信号を処理する回路部と、
を備え、
MOS型電界効果トランジスタとして、上記の構成のMOS型電界効果トランジスタを用いる。
- [0011] 上記の目的を達成するための本開示の電子機器は、
撮像部として、
光電変換素子を含む画素が行列状に配置されて成る画素アレイ部と、
MOS型電界効果トランジスタを用いて構成され、画素から読み出される信号を処理する回路部と、
を備える固体撮像素子を搭載しており、
MOS型電界効果トランジスタとして、上記の構成のMOS型電界効果トランジスタを用いる。
- [0012] MOS型電界効果トランジスタにおいて、素子分離領域と活性領域との境界のポテンシャルが、チャネル中心部のポテンシャルよりも浅いと、オン電流（ドレイン電流）は、その大部分がチャネル中心部を流れるようになり、素子分離領域の端部周辺にはほとんど流れない。これにより、素子分離領域の端部に存在するRTSノイズの原因となるトラップへのキャリアの捕獲／放出が起こりにくい状態となる。従って、埋め込みチャネル型のMOS型電界効果トランジスタを作り込まなくても、RTSノイズの発生を抑制するこ

とができる。

発明の効果

[0013] 本開示によれば、埋め込みチャネル型のMOS型電界効果トランジスタを作り込まなくても、RTSノイズの発生を抑制することができるため、製造コストを増加させることなく、RTSノイズを低減できる。

[0014] 尚、ここに記載された効果に必ずしも限定されるものではなく、本明細書中に記載されたいずれかの効果であってもよい。また、本明細書に記載された効果はあくまで例示であって、これに限定されるものではなく、また付加的な効果があってもよい。

図面の簡単な説明

[0015] [図1]図1は、実施例1に係るMOSFETの概略平面図である。

[図2]図2Aは、図1のA-A'線に沿った断面図であり、図2Bは、図1のB-B'線に沿った断面図である。

[図3]図3Aは、実施例1に係るMOSFETの平面形状における各部の寸法の一例を示す図であり、図3Bは、実施例1に係るMOSFET断面形状における各部の寸法の一例を示す図である。

[図4]図4Aは、実施例1の電極構造におけるMOSFETのオン状態のときのチャネルのポテンシャルプロファイルを示す模式的な断面図であり、図4Bは、実施例1の電極構造を採らないMOSFETの界面準位についての説明に供する図である。

[図5]図5Aは、実施例2に係るMOSFET（その1）の概略平面図であり、図5Bは、実施例2に係るMOSFET（その2）の概略平面図である。

[図6]図6Aは、実施例3に係るMOSFETの概略平面図であり、図6Bは、図6AのA-A'線に沿った断面図であり、図6Cは、図6AのB-B'線に沿った断面図である。

[図7]図7Aは、実施例4に係るMOSFETの概略平面図であり、図7Bは、ソース領域及びドレイン領域にコンタクト部を2個ずつ配置した例を示す概略平面図である。

[図8]図8Aは、実施例5に係るMOSFET（その1）の概略平面図であり、図8Bは、実施例5に係るMOSFET（その2）の概略平面図である。

[図9]図9Aは、実施例6に係るMOSFET（その1）の概略平面図であり、図9Bは、実施例5に係るMOSFET（その2）の概略平面図である。

[図10]図10Aは、実施例6に係るMOSFET（その1）の変形例の概略平面図であり、図10Bは、実施例7に係るMOSFETの概略平面図である。

[図11]図11Aは、実施例8に係るMOSFETの概略平面図であり、図11Bは、図11AのA-A'線に沿った断面図である。

[図12]図12は、製造工程中に活性領域とゲート電極との合わせズレが生じてしまった場合の概略平面図である。

[図13]図13は、高周波受信回路の構成の一例を示すブロック図である。

[図14]図14は、CMOS型固体撮像素子の構成の概略を示すシステム構成図である。

[図15]図15は、単位画素の回路構成の一例を示す回路図である。

[図16]図16Aは、シングルスロープ型のAD変換器の構成の一例を示すブロック図であり、図16Bは、シングルスロープ型のAD変換器の初段回路であるGmアンプの回路構成の一例を示す回路図である。

[図17]図17は、実施例1乃至実施例7に係るMOSFETを、シングルスロープ型AD変換器を構成するMOSFETに適用したCMOS型固体撮像素子において、10万個分のAD変換器の出力ノイズデータの累積頻度のプロットグラフを示す図である。

[図18]図18は、単位画素を構成する素子（即ち、フォトダイオード、転送トランジスタ、リセットトランジスタ、増幅トランジスタ、及び、選択トランジスタ）のレイアウト図である。

[図19]図19は、増幅トランジスタの電極構造に、実施例1に係る電極構造を適用する具体例1に係るMOSFETの概略平面図である。

[図20]図20Aは、図19のA-A'線に沿った断面図であり、図20Bは

、図19のB-B'線に沿った断面図である。

[図21]図21は、増幅トランジスタの電極構造に、実施例7に係る電極構造を適用する具体例2に係るMOSFETの概略平面図である。

[図22]図22Aは、図21のA-A'線に沿った断面図であり、図22Bは、図21のB-B'線に沿った断面図である。

[図23]図23は、本開示の電子機器の一例である撮像装置の構成の一例を示すブロック図である。

発明を実施するための形態

[0016] 以下、本開示の技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示の技術は実施形態に限定されるものではなく、実施形態における種々の数値などは例示である。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

1. 本開示のMOS型電界効果トランジスタ、半導体集積回路、固体撮像素子、及び、電子機器、全般に関する説明

2. MOS型電界効果トランジスタ（MOSFET）

2-1. 実施例1（N型MOSFETの例）

2-2. 実施例2（実施例1の変形例）

2-3. 実施例3（実施例1の変形例）

2-4. 実施例4（実施例3の変形例）

2-5. 実施例5（実施例3の変形例）

2-6. 実施例6（実施例3及び実施例4の変形例）

2-7. 実施例7（ゲート電極の形状が平面視で矩形形状の例）

2-8. 実施例8（P型MOSFETの例）

3. 半導体集積回路

4. 固体撮像素子（CMOSイメージセンサの例）

4-1. システム構成

4-2. 画素構成

4-3. 適用例 1

4-4. 適用例 2

5. 電子機器（撮像装置の例）

[0017] <本開示のMOS型電界効果トランジスタ、半導体集積回路、固体撮像素子、及び、電子機器、全般に関する説明>

本開示のMOS型電界効果トランジスタ（以下、「MOSFET」と記述する）、半導体集積回路、固体撮像素子、及び、電子機器にあつては、ゲート電極について、素子分離領域と活性領域との境界部のゲート長方向の長さが、チャンネル中心部のゲート長方向の長さよりも長い構成とすることができる。また、ゲート絶縁膜について、素子分離領域と活性領域との境界部の膜厚が、チャンネル中心部の膜厚よりも厚い構成とすることができる。

[0018] 上述した好ましい構成を含む本開示のMOSFET、半導体集積回路、固体撮像素子、及び、電子機器にあつては、ゲート電極について、活性領域の中央部のチャンネル領域上に配置された第1電極領域と、当該第1電極領域と接続され、素子分離領域と活性領域の境界上に沿って配置された第2電極領域とから成る構成とすることができる。このとき、第2電極領域について、素子分離領域のゲート長方向の端部で、ソース領域及びドレイン領域のコンタクト部と対向する部位を除いて、素子分離領域と活性領域との境界に沿って配置され、素子分離領域の一部及び活性領域の一部を覆う構成とすることができる。また、ソース領域及びドレイン領域の各々に、コンタクト部を複数個配置する構成とすることができる。

[0019] 更に、上述した好ましい構成を含む本開示のMOSFET、半導体集積回路、固体撮像素子、及び、電子機器にあつては、ゲート電極の第2電極領域について、ソース領域側にのみ、もしくは、ドレイン領域側にのみ素子分離領域と活性領域の境界上に沿って配置され、素子分離領域及び活性領域の一部を覆う構成とすることができる。また、ゲート絶縁膜について、チャンネル幅方向の両端部に位置する素子分離領域と活性領域との境界に沿って設けられ、素子分離領域の一部及び活性領域の一部に対応する領域が厚膜化された

2つの厚膜領域を有する構成とすることができる。また、2つの厚膜領域について、チャネル中心部側に突出した突出領域を有する構成とすることができる。

[0020] 更に、上述した好ましい構成を含む本開示のMOSFET、半導体集積回路、固体撮像素子、及び、電子機器にあっては、ゲート電極について、平面視で矩形の電極形状を有する構成とすることができる。このとき、ゲート絶縁膜については、チャネル幅方向の両端部に位置する素子分離領域と活性領域との境界に沿って設けられ、素子分離領域の一部及び活性領域の一部に対応する領域が厚膜化された2つの厚膜領域と、チャネル中心部において2つの厚膜領域間を繋ぐ厚膜の連結領域とを有する構成とすることができる。

[0021] また、上述した好ましい構成を含む本開示の固体撮像素子にあっては、回路部が、画素アレイ部の各画素から画素列毎に読み出される信号を基準信号と比較する比較器を含むAD変換器を有する信号処理部から成るとき、比較器について、本開示のMOSFET、即ち素子分離領域と活性領域との境界のポテンシャルが、チャネル中心部のポテンシャルよりも浅くなるような電極形状のゲート電極を有するMOSFETを用いる構成とすることができる。また、単位画素を構成する、光電変換素子で光電変換された電荷に基づく信号を増幅する増幅トランジスタについて、本開示のMOSFET、即ち素子分離領域と活性領域との境界のポテンシャルが、チャネル中心部のポテンシャルよりも浅くなるような電極形状のゲート電極を有するMOSFETを用いる構成とすることができる。

[0022] <MOS型電界効果トランジスタ>

[実施例1]

実施例1では、N型MOSFETに適用した場合を例に挙げている。実施例1に係るMOSFETの概略平面図を図1に示す。また、図1のA-A'線に沿った断面図を図2Aに示し、図1のB-B'線に沿った断面図を図2Bに示す。

[0023] MOSFET1は、素子分離領域(Shallow Trench Isolation:STI)

１１、ソース領域１２、ドレイン領域１３、ゲート絶縁膜１４、及び、ゲート電極１５を有する。素子分離領域１１は、絶縁膜が埋め込まれて形成されており、ドレイン電流が流れる不純物原子が注入された活性領域１６を画定する。活性領域１６は、Ｐ型ウェル（ＰＷＬ）から成る。尚、図１では、素子分離領域１１の図示を省略している。ソース領域１２及びドレイン領域１３は、活性領域１６にＮ＋拡散層によって形成され、コンタクト部１７、１８を介して図示せぬ配線（ソース電極、ドレイン電極）に電氣的に接続される。

[0024] ゲート絶縁膜１４は、ソース領域１２とドレイン領域１３との間のチャンネル領域１９上に設けられており、素子分離領域１１と活性領域１６との境界部に設けられた厚膜領域１４Ａと、チャンネル中心部に設けられた薄膜領域１４Ｂとを有する。すなわち、ゲート絶縁膜１４は、素子分離領域１１と活性領域１６との境界部の膜厚が、チャンネル中心部の膜厚よりも厚い構成となっている。

[0025] ゲート電極１５は、Ｎ型電極から成り、ゲート絶縁膜１４上に設けられている。このゲート電極１５は、その平面形状がゲート長方向及びゲート幅方向において対称性を持っている。そして、ゲート電極１５は、図１に示すように、素子分離領域１１と活性領域１６との境界部のゲート長方向の長さが、チャンネル中心部のゲート長方向の長さよりも長い、即ちゲート長方向の長さがゲート幅方向に対して不連続な電極構造となっている。より具体的には、ゲート電極１５は、ゲート長方向の長さが長い電極領域１５Ａと短い電極領域１５Ｂとから成る。

[0026] ここで、上記の構成のＭＯＳＦＥＴ１の各部の寸法の一例について、図３Ａ、図３Ｂを用いて説明する。図３Ａは、実施例１に係るＭＯＳＦＥＴの平面形状における各部の寸法の一例を示す図であり、図３Ｂは、実施例１に係るＭＯＳＦＥＴ断面形状における各部の寸法の一例を示す図である。

[0027] ゲート電極１５において、ゲート長方向の長さが長い電極領域１５Ａと短い電極領域１５Ｂとの寸法差を $\alpha 1$ とし、長い電極領域１５Ａの内側の辺と活

性領域 16 の外側の辺との間の寸法を $\alpha 2$ とするとき、 $\alpha 1$ 及び $\alpha 2$ は共に 0.05 [um] 以上であることが好ましい。また、ゲート絶縁膜 14 において、厚膜領域 14 A の内側の辺と活性領域 16 の外側の辺との間の寸法を $\beta 1$ とし、厚膜領域 14 A の端とゲート電極 15 の長い電極領域 15 A の端との間の寸法を $\beta 2$ とするとき、 $\beta 1$ 及び $\beta 2$ は共に 0.05 [um] 以上であることが好ましい。更に、ゲート絶縁膜 14 の素子分離領域 11 と活性領域 16 との境界部の厚膜領域 14 A の膜厚を $T1$ とし、チャンネル中心部の薄膜領域 14 B の膜厚を $T2$ とするとき、 $T1 - T2$ は 1 [nm] 以上であることが好ましい。

[0028] 上述したように、実施例 1 に係る MOSFET 1 は、ゲート電極 15 の素子分離領域 11 と活性領域 16 との境界部のゲート長方向の長さが、チャンネル中心部のゲート長方向の長さよりも長い電極構造となっている。また、ゲート絶縁膜 14 の素子分離領域 11 と活性領域 16 との境界部の膜厚が、チャンネル中心部の膜厚よりも厚い構造となっている。実施例 1 の電極構造における MOSFET 1 のオン状態のとき（チャンネルが反転状態のとき）のチャンネルのポテンシャルプロファイルを模式的な断面図にて図 4 A に示す。

[0029] 図 4 A に示すように、実施例 1 の電極構造では、素子分離領域 11 の端部近傍の閾値電圧が高く、ポテンシャルが浅くなり、かつ、チャンネル中心部に至ってはポテンシャルが深くなる。換言すれば、実施例 1 の電極構造は、ゲート電極 15 が、素子分離領域 11 と活性領域 16 との境界部のポテンシャルが、チャンネル中心部のポテンシャルよりも浅くなるような電極形状を有する電極構造となっている。

[0030] このように、素子分離領域 11 と活性領域 16 との境界部のポテンシャルが、チャンネル中心部のポテンシャルよりも浅いと、MOSFET 1 のオン電流（ドレイン電流）は、大部分がチャンネル中心部を流れるようになり、素子分離領域 11 の端部周辺にはほとんど流れない。すなわち、ゲート電極 15 のゲート長方向の長さが短い電極領域 15 B であるチャンネル中心部にドレイン電流密度が集中する。これにより、素子分離領域 11 の端部に存在する R

T S ノイズの原因となるトラップへのキャリアの捕獲／放出が起こりにくい状態となり、R T S ノイズの発生を抑制することができるため、R T S ノイズを低減することができる。

[0031] 因みに、実施例 1 の電極構造を採らない MOS F E T にあっては、図 4 B に示すように、R T S ノイズの原因となるキャリアを時間的に捕獲及び放出する界面準位は、素子分離領域 1 1 と活性領域 1 6 との境界付近のシリコン表面に集中している。

[0032] [実施例 2]

実施例 2 は、実施例 1 の変形例である。実施例 2 では、ゲート絶縁膜 1 4 の膜厚が、素子分離領域 1 1 と活性領域 1 6 との境界部とチャネル中心部とで同じ膜厚となっている。実施例 2 に係る MOS F E T (その 1) の概略平面図を図 5 A に示し、実施例 2 に係る MOS F E T (その 2) の概略平面図を図 5 B に示す。

[0033] 実施例 2 のゲート電極 1 5 は、その平面形状ゲート長方向及びゲート幅方向において対称性を持っている。そして、実施例 2 のゲート電極 1 5 は、素子分離領域 1 1 と活性領域 1 6 との境界部のゲート長方向の長さが、チャネル中心部のゲート長方向の長さよりも長い、即ちゲート長方向の長さがゲート幅方向に対して不連続な電極構造である点で、実施例 1 と同じである。

[0034] 図 5 A に示す実施例 2 に係る MOS F E T (その 1) では、ゲート電極 1 5 の長い電極領域 1 5 A の端部が、実施例 1 と同様に矩形状になっている。このゲート電極 1 5 において、ゲート長方向の長さが長い電極領域 1 5 A と短い電極領域 1 5 B との長さの差 $\alpha 1$ とし、長い電極領域 1 5 A の内側の辺と活性領域 1 6 の外側の辺との間の寸法を $\alpha 2$ とするとき、 $\alpha 1$ 及び $\alpha 2$ は共に 0 . 0 5 [μ m] 以上であることが好ましい。

[0035] 図 5 B に示す実施例 2 に係る MOS F E T (その 2) では、ゲート電極 1 5 の長い電極領域 1 5 A の端部が、例えば 2 段の階段状になっている。このゲート電極 1 5 の階段部分において、1 段目の高さを $\alpha 3$ とし、2 段目の高さを $\alpha 4$ とするとき、 $\alpha 3$ 及び $\alpha 4$ は共に 0 . 0 5 [μ m] 以上であることが好ま

しい。また、活性領域 16 の外側の辺と 1 段目の内面との間の寸法を $\alpha 5$ とし、1 段目の内面と 2 段目の内面との間の寸法を $\alpha 6$ とするとき、 $\alpha 5$ 及び $\alpha 6$ は共に 0.05 [um] 以上であることが好ましい。

[0036] 上述した実施例 2 に係る MOSFET 1 では、ゲート絶縁膜 14 の膜厚が全体的に同じ膜厚であるものの、ゲート電極 15 の素子分離領域 11 と活性領域 16 との境界部のゲート長方向の長さが、チャンネル中心部のゲート長方向の長さよりも長い電極構造となっている。この実施例 2 の電極構造にあっても、チャンネル中心部のポテンシャルが、素子分離領域 11 と活性領域 16 との境界部のポテンシャルよりも深くなり、チャンネル中心部にドレイン電流密度が集中する。これにより、RTS ノイズの発生を抑制できるため、RTS ノイズを低減できる。

[0037] [実施例 3]

実施例 3 は、実施例 1 の変形例である。実施例 3 に係る電極構造は、実施例 1 に係る電極構造よりもゲート電極 15 の面積が大きい構成となっている。実施例 3 に係る MOSFET の概略平面図を図 6 A に示し、図 6 A の A-A' 線に沿った断面図を図 6 B に示し、図 6 A の B-B' 線に沿った断面図を図 6 C に示す。

[0038] 図 6 A に示すように、ゲート電極 15 は、その平面形状がゲート長方向及びゲート幅方向において対称性を持っている。そして、ゲート電極 15 は、活性領域 16 の中央部のチャンネル領域 19 上に配置され、ソース領域 12 とドレイン領域 13 とを分離する第 1 電極領域 15 C と、当該第 1 電極領域 15 C と接続され（一体化され）、素子分離領域 11 と活性領域 16 との全ての境界上に沿って配置された第 2 電極領域 15 D とから成る。図 6 A には、素子分離領域 11 と活性領域 16 との境界を一点鎖線で図示している。

[0039] ゲート電極 15 の第 1 電極領域 15 C は、実施例 1 のゲート電極 15 の電極領域 15 B に相当する。ゲート電極 15 の第 2 電極領域 15 D は、素子分離領域 11 の一部及び活性領域 16 の一部を覆うように設けられている。ここで、図 6 A において、素子分離領域 11 と活性領域 16 との境界からのゲ

ート電極 15 のゲート幅方向における被せ幅を $W1$ とし、ゲート長方向における被せ幅を $W2$ とするとき、 $W1$ 及び $W2$ は共に $0.05 [\mu m]$ 以上であることが好ましい。

[0040] 実施例 3 に係る電極構造においても、実施例 1 の電極構造と同様に、MOSFET 1 のオン状態のとき、素子分離領域 11 と活性領域 16 との境界部のポテンシャルが、チャンネル中心部のポテンシャルよりも浅くなるポテンシャルプロファイルとなる。これにより、ドレイン電流密度がチャンネル中心部に集中するため、活性領域 16 の端部のトラップに起因する RTS ノイズの発生を抑制することができる。

[0041] また、実施例 3 に係る電極構造では、ゲート電極 15 の実行的な電極面積が増加している。ここで、RTS ノイズの振幅は、MOSFET のゲート面積に反比例する。従って、ゲート電極 15 の実行的な電極面積が増加することで、チャンネル中心部で発生する RTS ノイズの振幅を低減できるため、RTS ノイズのノイズパワーを低減することができる。加えて、ソース領域 12 及びドレイン領域 13 となる N^+ 拡散層の面積が小さくなるために、当該 N^+ 拡散層と活性領域（ウェル）16 との間の接合リーク電流や接合容量を低減できる効果もある。

[0042] [実施例 4]

実施例 4 は、実施例 3 の変形例であり、実施例 4 に係る電極構造は、実施例 3 に係る電極構造に比べて、ゲート電極 15 - コンタクト部 17, 18 間の容量を低減した構成となっている。実施例 3 に係る MOSFET の概略平面図を図 7 A に示す。

[0043] 図 7 A に示すように、ゲート電極 15 は、平面形状がゲート長方向及びゲート幅方向において対称性を持っている。そして、ゲート電極 15 は、電極領域 15 C と、当該電極領域 15 C と接続された（一体化された）電極領域 15 E とから成る。電極領域 15 C は、実施例 2 の場合と同様に、活性領域 16 の中央部のチャンネル領域 19 上に配置され、ソース領域 12 とドレイン領域 13 とを分離する。第 2 電極領域 15 D に相当する電極領域 15 E は、

素子分離領域 11 のゲート長方向の端部で、コンタクト部 17, 18 と対向する部位を除いて、素子分離領域 11 と活性領域 16 との境界上に沿って配置され、素子分離領域 11 の一部及び活性領域 16 の一部を覆うように設けられている。

[0044] ゲート電極 15 の電極領域 15 C は、実施例 1 のゲート電極 15 の電極領域 15 C と同じ構成となっている。ゲート電極 15 の電極領域 15 E は、実施例 1 のゲート電極 15 の電極領域 15 D において、素子分離領域 11 のゲート長方向の端部で、コンタクト部 17, 18 と対向する部位を除去した構成となっている。ここで、素子分離領域 11 と活性領域 16 との境界からのゲート電極 15 のゲート幅方向における被せ幅を $W3$ とするとき、 $W3$ は 0.05 [um] 以上であることが好ましい。

[0045] 実施例 4 に係る電極構造によれば、実施例 2 に係る電極構造と同様の効果、即ちチャネル中心部のポテンシャルを深くすることによる効果に加えて、次のような効果を得ることができる。すなわち、実施例 3 に係る電極構造では、ゲート電極 15 が、素子分離領域 11 のゲート長方向の端部で、コンタクト部 17, 18 と対向する部位に電極が存在しない電極形状となっているため、実施例 2 に係る電極構造に比べて、ゲート電極 15 - コンタクト部 17, 18 間の容量を低減できる。これにより、ソース領域 12 及びドレイン領域 13 にコンタクト部を複数配置することが可能となるため、コンタクト抵抗の低減や通電不良に起因した歩留まりの向上を両立できる効果がある。図 7 B に、ソース領域 12 に 2 個のコンタクト部 17 A, 17 B を配置し、ドレイン領域 13 に 2 個のコンタクト部 18 A, 18 B を配置した例を示す。

[0046] [実施例 5]

実施例 5 は、実施例 3 の変形例である。実施例 5 に係る MOSFET (その 1) の概略平面図を図 8 A に示し、実施例 5 に係る MOSFET (その 2) の概略平面図を図 8 B に示す。

[0047] 図 8 A、図 8 B に示すように、ゲート電極 15 は、平面形状がゲート長方

向及びゲート幅方向において対称性を持っている。そして、ゲート電極 15 は、電極領域 15 C と、当該電極領域 15 C と接続された（一体化された）電極領域 15 D とから成る。電極領域 15 C は、実施例 2 の場合と同様に、活性領域 16 の中央部のチャネル領域 19 上に配置され、ソース領域 12 とドレイン領域 13 とを分離する。

[0048] 電極領域 15 D は、ソース領域 12 側にのみ（図 8 A の場合）、もしくは、ドレイン領域 13 側にのみ（図 8 B の場合）、素子分離領域 11 と活性領域 16 との境界に沿って配置され、素子分離領域 11 の一部及び活性領域 16 の一部を覆うように設けられている。図 8 A、図 8 B には、素子分離領域 11 と活性領域 16 との境界を一点鎖線で図示している。ここで、図 8 A、図 8 B において、素子分離領域 11 と活性領域 16 との境界からのゲート電極 15 のゲート幅方向における被せ幅を W_4 とし、ゲート長方向における被せ幅を W_5 とするとき、 W_4 及び W_5 は共に $0.05 [\mu\text{m}]$ 以上であることが好ましい。

[0049] 実施例 5 に係る電極構造は、実施例 3 に係る電極構造と同様の効果、即ちドレイン電流密度をチャネル中心部に集中させて、活性領域 16 の端部のトラップに起因する RTS ノイズの発生を抑制する効果を持っている。また、実施例 5 に係る電極構造では、例えば図 8 A の場合、ソース領域 12 側の活性領域 16 に対してゲート電極 15 がリング状に配置されている。この電極構造の場合、実施例 3 の電極構造や実施例 4 の電極構造に対して、ゲートドレイン間容量 C_{gd} を低減できる効果がある。これにより、実施例 5 に係る電極構造の MOSFET を、例えばソース接地回路で用いた場合に、ゲートドレイン間容量 C_{gd} による帰還作用によって発生するミラー効果を低減できるため、低ノイズ化とミラー効果の低減を両立できる。

[0050] [実施例 6]

実施例 6 は、実施例 3 及び実施例 4 の変形例である。実施例 6 に係る MOSFET（その 1）の概略平面図を図 9 A に示し、実施例 6 に係る MOSFET（その 2）の概略平面図を図 9 B に示す。図 9 A に示す実施例 6 に係る

MOSFET（その１）は、図６Ａに示す実施例３の変形例であり、図９Ｂに示す実施例５に係るMOSFET（その２）は、図７Ａに示す実施例４の変形例である。

[0051] 図９Ａに示すように、実施例６に係るMOSFET（その１）の電極構造は、図６Ａに示す実施例３に係る電極構造において、チャネル幅方向の両端部に位置する素子分離領域１１と活性領域１６との境界（一点鎖線で図示）に沿って設けられ、素子分離領域１１の一部及び活性領域１６の一部に対応する領域が厚膜化された２つの厚膜領域１４Ａ、１４Ａを有するゲート絶縁膜１４を有している。ゲート絶縁膜１４の２つの厚膜領域１４Ａ、１４Ａの膜厚は、チャネル中心部の薄膜領域（図２Ｂの薄膜領域１４Ｂに相当）の膜厚よりも厚い。厚膜化された厚膜領域１４Ａは、その平面形状がゲート長方向及びゲート幅方向において対称性を持っている。

[0052] ここで、チャネル幅方向において、厚膜領域１４Ａの内側の辺と素子分離領域１１と活性領域１６との境界（一点鎖線で図示）との間の寸法を $\beta 1$ とし、チャネル長方向において、厚膜領域１４Ａの端面からチャネル領域１９の端面までの寸法を $\beta 2$ とするとき、 $\beta 1$ 及び $\beta 2$ は共に $0.05 [\mu\text{m}]$ 以上であることが好ましい。

[0053] 図９Ｂに示すように、実施例６に係るMOSFET（その２）の電極構造も、図７Ａに示す実施例３に係る電極構造において、MOSFET（その１）と同様の構造の厚膜領域１４Ａを含むゲート絶縁膜１４を有している。また、寸法 $\beta 1$ 及び $\beta 2$ についても、MOSFET（その１）と同じである。

[0054] 実施例６に係る電極構造によれば、実施例３に係る電極構造と同様の効果、即ちチャネル中心部のポテンシャルを深くすることによる効果に加えて、次のような効果を得ることができる。すなわち、実施例６に係る電極構造では、素子分離領域１１のチャネル幅方向の端部のゲート絶縁膜１４が厚膜化（厚膜領域１４Ａ）されているため、素子分離領域１１のチャネル幅方向の端部の活性領域１６の閾値電圧が高くなる。これにより、素子分離領域１１の端部の活性領域１６のポテンシャルが浅くなり、素子分離領域１１の端部

に流れるドレイン電流を低減できるため、RTSノイズの発生を抑制することができる。

[0055] 図10Aに、実施例6に係るMOSFET（その1）の変形例の概略平面図を示す。本変形例に係る電極構造は、実施例5に係るMOSFET（その1）の電極構造において、ゲート絶縁膜14のチャネル幅方向の両側に設けられた厚膜領域14A、14Aが、チャネル中心部側に突出した突出領域14C、14Cを有する構造となっている。突出領域14C、14Cの突出量 $\beta 3$ は、 $\beta 1$ 及び $\beta 2$ と同じ $0.05 [\mu m]$ 以上であることが好ましい。

[0056] この厚膜領域14A、14A及び突出領域14C、14Cを有する実施例6のゲート絶縁膜14の構造によれば、素子分離領域11の端部側に流れるドレイン電流をより低減できる。換言すれば、チャネル中心部にドレイン電流密度をより集中させることができる。これにより、RTSノイズの発生をより抑制できることになるため、RTSノイズをより低減できる。

[0057] [実施例7]

実施例7は、ゲート電極15の形状が平面視で矩形形状の例である。実施例7に係るMOSFETの概略平面図を図10Bに示す。

[0058] 図10Bに示すように、ゲート電極15は、一般的なMOSFETと同様に、平面視で矩形の電極形状を有している（平面形状が矩形となっている）。また、ゲート絶縁膜14は、実施例5の場合と同様に、チャネル幅方向の両側に設けられた厚膜領域14A、14Aに加えて、チャネル中心部において厚膜領域14A、14A間を繋ぐ厚膜の連結領域14Dを有する構造となっている。すなわち、ゲート絶縁膜14は、チャネル幅方向において、厚膜領域14A、14Aが素子分離領域11と活性領域16との境界に沿って配置され、かつ、チャネル中心部にも厚膜の連結領域14Dが配置された構造となっている。換言すれば、ゲート絶縁膜14において、厚膜領域（14A、14A、14D）は、活性領域16に対して、チャネル長方向において平面視でH型になった構造となっており、チャネル長方向及びチャネル幅方向において対称性を持つ平面形状となっている。

[0059] ここで、チャネル幅方向において、厚膜領域 14 A の内側の辺から素子分離領域 11 と活性領域 16 との境界までの寸法を γ_1 とする。また、チャネル長方向において、厚膜領域 14 A の端面からゲート電極 15 の端面までの寸法を γ_2 とし、ゲート電極 15 の端面から連結領域 14 D の端面までの寸法を γ_3 とするとき、 γ_1 、 γ_2 、 γ_3 は共に 0.05 [μm] 以上であることが好ましい。

[0060] 実施例 7 に係る電極構造によれば、素子分離領域 11 の端部のゲート絶縁膜 14 を厚膜化することで、素子分離領域 11 の端部の活性領域 16 の閾値電圧が高くなり、チャネル中心部にドレイン電流が集中するため、素子分離領域 11 の端部に存在するトラップ起因の RTS ノイズの発生を抑制することができる。加えて、チャネル中心部のゲート絶縁膜 14 を厚膜化することで、MOSFET を高いゲート電圧や高いドレイン電圧で駆動することができる。すなわち、実施例 6 に係る電極構造によれば、RTS ノイズの発生を抑制し、RTS ノイズを低減する効果と、MOSFET を高いゲート電圧や高いドレイン電圧で駆動する効果とを両立することができる。

[0061] [実施例 8]

実施例 8 では、P 型 MOSFET に適用した場合を例に挙げている。実施例 8 に係る MOSFET の概略平面図を図 11 A に示し、図 11 A の A-A' 線に沿った断面図を図 11 B に示す。P 型 MOSFET に適用した実施例 8 では、MOSFET 1 を構成する各部の導電型が N 型 MOSFET に適用した実施例 1 の場合と逆導電型となっており、基本的な構成は実施例 1 の場合と同じである。

[0062] この実施例 8 に係る MOSFET 1 にあっても、ゲート電極 15 のゲート長方向の長さが短い電極領域 15 B であるチャネル中心部にドレイン電流密度が集中するため、素子分離領域 11 の端部に存在する RTS ノイズの原因となるトラップへのキャリアの捕獲／放出が起こりにくい状態となる。これにより、RTS ノイズの発生を抑制することができるため、RTS ノイズを低減することができる。

- [0063] N型MOSFETに適用した実施例2乃至実施例7の電極構造についても、実施例8に係るMOSFET1と同様に、P型MOSFETに適用することができる。
- [0064] 以上説明した実施例1乃至実施例8に係るMOSFET1によれば、素子分離領域11と活性領域16との境界のポテンシャルが、チャンネル中心部のポテンシャルよりも浅くなることで、オン電流（ドレイン電流）は、その大部分がチャンネル中心部を流れるようになり、素子分離領域11の端部周辺にはほとんど流れない。これにより、素子分離領域11の端部に存在するRTSノイズの原因となるトラップへのキャリアの捕獲／放出が起こりにくい状態となる。従って、埋め込みチャンネル型のMOSFETを作り込まなくても、RTSノイズの発生を抑制することができるため、製造コストを増加させることなく、RTSノイズを低減できる。
- [0065] また、ゲート絶縁膜14について、実施例2以外の膜厚構造をとる実施例に係る電極構造にあっては、上記の作用、効果に加えて、次のような作用、効果を得ることもできる。例えば、MOSFET1の製造工程中に活性領域16とゲート電極15との合わせズレが生じてしまった場合を想定する。この場合、例えば図12に示すように、活性領域16に対してゲート電極15がゲート幅方向の片側にズレてしまい、ゲート電極15のチャンネル長方向の長さが短い電極領域15Bが素子分離領域11の端部に近接した構造に形成されてしまう。
- [0066] このような合わせズレを持った電極構造に形成されてしまったとしても、素子分離領域11と活性領域16Sの境界付近のゲート絶縁膜14が厚膜化されていることで、当該境界付近の活性領域16の閾値電圧が高い構造となっているがために、素子分離領域11の端部のポテンシャルが浅い状態となる。これにより、オン電流（ドレイン電流）は素子分離領域11の端部には流れにくい状態が保たれるために、素子分離領域11の端部に存在するトラップに起因したRTSノイズの発生を抑制できる。つまりは、製造工程中の活性領域16とゲート電極15との合わせズレに対して、RTSノイズの発

生確率が増加することを防ぐ効果があり、製品の歩留まりを安定させることができる。

[0067] <半導体集積回路>

以上説明した実施例 1 乃至実施例 8 に係る MOSFET 1 は、無線通信機器で用いられる高周波受信回路において、低ノイズが要求される低ノイズアンプや局部発振器を構成する MOSFET に適用することができる。高周波受信回路の構成の一例のブロック図を図 13 に示す。

[0068] 本例に係る高周波受信回路 20 は、受信アンテナ 21、BPF（バンド・パス・フィルタ）22、低ノイズアンプ（LNA: Low Noise Amp）23、ミキサ 24、局部発振器 25、LPF（ロー・パス・フィルタ）26、及び、信号処理回路 27 によって構成されている。この高周波受信回路 20 において、例えば、低ノイズアンプ 23 や局部発振器 25 は、MOSFET を用いて構成される半導体集積回路である。

[0069] そして、半導体集積回路の一例である低ノイズアンプ 23 や局部発振器 25 を構成する MOSFET に、先述した実施例 1 乃至実施例 8 に係る MOSFET 1 を適用することにより、当該 MOSFET 1 は RTS ノイズを低減できる。その結果、低ノイズアンプ 23 や局部発振器 25 の低ノイズ化を実現できる。

[0070] 上記高周波受信回路 20 が使用される電子機器としては、

- ・携帯電話機
- ・無線 LAN（Local Area Network）、ワイヤレスキーボードなどのワイヤレス機器
- ・テレビジョンのチューナー
- ・GPS（Global Positioning System）
- ・ETC（Electronic Toll Collection System）

などを例示することができる。

[0071] また、半導体集積回路として MOSFET を用いて構成される低ノイズオペアンプが使用される電子機器としては、

- ・オーディオ機器
- ・産業用ロボット及びその制御機器
- ・家庭用電化製品（冷蔵庫、掃除機、洗濯機、冷暖房器具など）
- ・計測機器
- ・医療機器
- ・デスクトップ型ＰＣ（パーソナルコンピュータ）、ノート型ＰＣ、タブレット端末
- ・プリンタ、スキャナ、プロジェクター
- ・デジタルカメラやビデオカメラなどの画像処理装置
- ・セキュリティ機器

などを例示することができる。

[0072] <固体撮像素子>

また、ＭＯＳＦＥＴを用いて構成される半導体集積回路として、ＣＭＯＳ型固体撮像素子（ＣＭＯＳイメージセンサ）を例示することができる。そして、ＣＭＯＳ型固体撮像素子の回路部を構成するＭＯＳＦＥＴに対しても、先述した実施例１乃至実施例８に係るＭＯＳＦＥＴ１を適用することができる。以下に、実施例１乃至実施例８に係るＭＯＳＦＥＴ１が適用されるＣＭＯＳ型固体撮像素子について説明する。

[0073] [システム構成]

図１４は、ＣＭＯＳ型固体撮像素子の構成の概略を示すシステム構成図である。図１４に示すように、ここで例示するＣＭＯＳ型固体撮像素子３０は、単位画素３１が行列状に２次元配置されてなる画素アレイ部３２と、当該画素アレイ部３２の各画素３１を駆動する周辺の駆動系及び信号処理系を有する。本例では、周辺の駆動系や信号処理系として、例えば、行走査部３３、カラム処理部３４、参照信号生成部３５、列走査部３６、水平出力線３７、映像信号処理部３８、及び、タイミング制御部３９が設けられている。これらの駆動系及び信号処理系は、画素アレイ部３２と同一の半導体基板（チップ）４０上に集積されている。

- [0074] このシステム構成において、タイミング制御部 39 は、マスタークロック MCK に基づいて、行走査部 33、カラム処理部 34、参照信号生成部 35、及び、列走査部 36 などの動作の基準となるクロック信号や制御信号などを生成する。タイミング制御部 39 で生成されたクロック信号や制御信号などは、行走査部 33、カラム処理部 34、参照信号生成部 35、及び、列走査部 36 などに対してそれらの駆動信号として与えられる。
- [0075] 画素アレイ部 32 は、受光した光量に応じた光電荷を生成し、かつ、蓄積する光電変換素子を有する単位画素（以下、単に「画素」と記述する場合もある）31 が行方向及び列方向に、即ち、行列状（マトリックス状）に 2 次元配置された構成となっている。ここで、行方向とは画素行における画素の配列方向を言い、列方向とは画素列における画素の配列方向を言う。
- [0076] この画素アレイ部 32 において、m 行 n 列の画素配列に対して、画素行毎に行制御線 41（41_1～41_m）が行方向に沿って配線され、画素列毎に列信号線 42（42_1～42_n）が列方向に沿って配線されている。行制御線 41 は、単位画素 31 から信号を読み出す際の制御を行うための制御信号を伝送する。図 14 では、行制御線 41 について 1 本の配線として図示しているが、1 本に限られるものではない。行制御線 41_1～41_m の各一端は、行走査部 33 の各行に対応した各出力端に接続されている。
- [0077] 行走査部 33 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 32 の各画素 31 を全画素同時あるいは行単位等で駆動する。この行走査部 33 はその具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の 2 つの走査系を有する構成となっている。読出し走査系は、単位画素 31 から信号を読み出すために、画素アレイ部 32 の単位画素 31 を行単位で順に選択走査する。単位画素 31 から読み出される信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査を行う。
- [0078] この掃出し走査系による掃出し走査により、読出し行の単位画素 31 の光

電変換素子から不要な電荷が掃き出されることによって当該光電変換素子がリセットされる。そして、この掃出し走査系によって不要電荷を掃き出す（リセットする）ことにより、所謂、電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

[0079] 読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に受光した光量に対応するものである。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素 3 1 における光電荷の露光期間となる。

[0080] カラム処理部 3 4 は、例えば、画素アレイ部 3 2 の画素列毎、即ち、列信号線 4 2 (4 2_1~4 2_n) 毎に 1 対 1 の対応関係をもって設けられた A D (アナログ/デジタル) 変換器 5 0 (5 0_1~5 0_n) を有する信号処理部である。A D 変換器 5 0 (5 0_1~5 0_n) は、画素アレイ部 3 2 の各単位画素 3 1 から画素列毎に出力されるアナログ信号（画素信号）をデジタル信号に変換する。

[0081] 参照信号生成部 3 5 は、時間が経過するにつれて電圧値が階段状に変化する、所謂、ランプ (RAMP) 波形（傾斜状の波形）の参照信号 V_{ref} を、A D 変換に用いる基準信号として生成する。参照信号生成部 3 5 については、例えば、D A C (デジタル-アナログ変換) 回路を用いて構成することができる。尚、参照信号生成部 3 5 としては、D A C 回路を用いた構成のものに限られるものではない。

[0082] 参照信号生成部 3 5 は、タイミング制御部 3 9 による制御の下に、当該タイミング制御部 3 9 から与えられるクロック C K に基づいてランプ波の参照信号 V_{ref} を基準信号として生成する。そして、参照信号生成部 3 5 は、生成した参照信号 V_{ref} をカラム処理部 3 4 の A D 変換器 5 0_1~5 0_n に対して供給する。

[0083] A D 変換器 5 0_1~5 0_n は全て同じ構成となっている。ここでは、n 列

目のAD変換器50_nを例に挙げて、その具体的な構成について説明する。AD変換器50_nは、比較器（コンパレータ）51、カウント部である例えばアップ／ダウンカウンタ（図中、「U／DCNT」と記している）52、及び、ラッチ53を有する、シングルスロープ型のAD変換器構成となっている。

[0084] 比較器51は、画素アレイ部32のn列目の各単位画素31から出力される画素信号に応じた列信号線42_nの信号電圧V_{out}を比較入力とし、参照信号生成部35から供給されるランプ波の参照信号V_{ref}を基準入力とし、両者を比較する。そして、比較器51は、例えば、参照信号V_{ref}が信号電圧V_{out}よりも大きいときに出力V_{co}が第1の状態（例えば、高レベル）になり、参照信号V_{ref}が信号電圧V_{out}以下のときに出力V_{co}が第2の状態（例えば、低レベル）になる。

[0085] アップ／ダウンカウンタ52は非同期カウンタである。このアップ／ダウンカウンタ52には、タイミング制御部39による制御の下に、当該タイミング制御部39からクロックCKが参照信号生成部35と同じタイミングで与えられる。これにより、アップ／ダウンカウンタ52は、クロックCKに同期してダウン（DOWN）カウント、または、アップ（UP）カウントを行うことで、比較器51での比較動作の開始から比較動作の終了までの比較期間を計測する。

[0086] ラッチ53は、タイミング制御部39による制御の下に、ある画素行の単位画素31についてのアップ／ダウンカウンタ52のカウント動作が完了した時点で、当該アップ／ダウンカウンタ52のカウント結果をラッチする。

[0087] このようにして、画素アレイ部32の各単位画素31から列信号線42₁～42_nを経由して画素列毎に供給されるアナログ信号について、AD変換器50₁～50_nにおいて先ず比較器51で比較動作が行われる。そして、アップ／ダウンカウンタ52において、比較器51での比較動作の開始から比較動作の終了までの期間に亘ってカウント動作を行うことで、アナログ信号がデジタル信号に変換されてラッチ53に格納される。

[0088] 列走査部 36 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部 34 における A/D 変換器 50_1 ~ 50_n の列アドレスや列走査の制御を行う。この列走査部 36 による制御の下に、A/D 変換器 50_1 ~ 50_n の各々で A/D 変換されたデジタル信号は順に水平出力線 37 に読み出され、例えば映像信号処理部 38 を経由して出力端子 43 から半導体基板 40 外へ撮像データとして出力される。

[0089] 尚、上記構成の列並列 A/D 搭載の CMOS 型固体撮像素子 30 では、カラム処理部 34 について、A/D 変換器 50 が列信号線 42 毎に 1 対 1 の対応関係をもって設けられた構成を例に挙げたが、1 対 1 の対応関係の配置に限られるものではない。例えば、1 つの A/D 変換器 50 を複数の画素列で共有し、複数の画素列間で時分割にて使用する構成を採ることも可能である。

[0090] [画素構成]

図 15 は、単位画素 31 の回路構成の一例を示す回路図である。図 15 に示すように、本例に係る単位画素 31 は、光電変換素子として例えばフォトダイオード (PD) 61 を有している。単位画素 31 は、フォトダイオード 61 に加えて、例えば、転送トランジスタ (転送ゲート部) 62、リセットトランジスタ 63、増幅トランジスタ 64、及び、選択トランジスタ 65 を有する構成となっている。

[0091] 尚、ここでは、転送トランジスタ 62、リセットトランジスタ 63、増幅トランジスタ 64、及び、選択トランジスタ 65 の 4 つのトランジスタとして、例えば N 型 MOSFET を用いている。但し、ここで例示した 4 つのトランジスタ 62 ~ 65 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

[0092] この単位画素 31 に対して、先述した行制御線 41 (41_1 ~ 41_m) として、複数の制御線 41_1, 41_2, 41_3 が同一画素行の各画素に対して共通に配線されている。複数の制御線 41_1, 41_2, 41_3 は、行走査部 33 の各画素行に対応した出力端に画素行単位で接続されている。行走査部 33 は、複数の制御線 41_1, 41_2, 41_3 に対して転送信号 TRG、リ

セット信号 R S T、及び、選択信号 S E L を適宜出力する。

[0093] フォトダイオード 6 1 は、アノード電極が低電位側電源(例えば、グランド)に接続されており、受光した光をその光量に応じた電荷量の光電荷(ここでは、光電子)に光電変換してその光電荷を蓄積する。フォトダイオード 6 1 のカソード電極は、転送トランジスタ 6 2 を介して増幅トランジスタ 6 4 のゲート電極と電氣的に接続されている。増幅トランジスタ 6 4 のゲート電極と電氣的に繋がった領域は、電荷を電圧に変換する電荷検出部 6 6 である。以下、電荷検出部 6 6 を F D (フローティング・ディフュージョン／浮遊拡散領域／不純物拡散領域)部 6 6 と呼ぶ。

[0094] 転送トランジスタ 6 2 は、フォトダイオード 6 1 のカソード電極と F D 部 6 6 との間に接続されている。転送トランジスタ 6 2 のゲート電極には、高レベル(例えば、V_{dd}レベル)がアクティブ(以下、「H i g h アクティブ」と記述する)となる転送信号 T R G が行走査部 3 3 から制御線 4 1 1 を通して与えられる。転送トランジスタ 6 2 は、転送信号 T R G に応答して導通状態となることで、フォトダイオード 6 1 で光電変換され、蓄積された光電荷を F D 部 6 6 に転送する。

[0095] リセットトランジスタ 6 3 は、ドレイン電極が電圧 V_{dd}の電源線 6 7 に、ソース電極が F D 部 6 6 にそれぞれ接続されている。リセットトランジスタ 6 3 のゲート電極には、H i g h アクティブのリセット信号 R S T が行走査部 3 3 から制御線 4 1 2 を通して与えられる。リセットトランジスタ 6 3 は、リセット信号 R S T に応答して導通状態となり、F D 部 6 6 の電荷を電源線 6 7 に捨てることによって当該 F D 部 6 6 をリセットする。

[0096] 増幅トランジスタ 6 4 は、ゲート電極が F D 部 6 6 に、ドレイン電極が電源線 6 7 にそれぞれ接続されている。この増幅トランジスタ 6 4 は、フォトダイオード 6 1 での光電変換によって得られる信号を読み出す読出し回路であるソースフォロワの入力部となる。すなわち、増幅トランジスタ 6 4 は、ソース電極が選択トランジスタ 6 5 を介して列信号線 4 2 に接続されることで、当該列信号線 4 2 の一端に接続される電流源 6 8 とソースフォロワを構

成する。

[0097] 選択トランジスタ65は、例えば、ドレイン電極が増幅トランジスタ64のソース電極に、ソース電極が列信号線42にそれぞれ接続されている。選択トランジスタ65のゲート電極には、Highアクティブの選択信号SELが行走査部33から制御線413を通して与えられる。選択トランジスタ65は、選択信号SELに応答して導通状態となることで、単位画素31を選択状態として増幅トランジスタ64から出力される信号を列信号線42に伝達する。

[0098] 尚、選択トランジスタ65については、電源線67と増幅トランジスタ64のドレイン電極との間に接続した回路構成を採ることも可能である。また、本例では、単位画素31の画素回路として、転送トランジスタ62、リセットトランジスタ63、増幅トランジスタ64、及び、選択トランジスタ65から成る、即ち4つのトランジスタ(Tr)から成る4Tr構成を例に挙げたが、これに限られるものではない。例えば、選択トランジスタ65を省略し、増幅トランジスタ64に選択トランジスタ65の機能を持たせた3Tr構成とすることもできるし、必要に応じて、トランジスタの数を増やした構成とすることもできる。

[0099] 上記の構成の単位画素31が配置されて成るCMOS型固体撮像素子30では、一般的に、リセット動作時のノイズを除去するために、相関二重サンプリング(Correlated Double Sampling: CDS)によるノイズ除去処理が行われる。単位画素31からは、例えば、リセットレベルVrst及び信号レベルVsigの順に読み出される。リセットレベルVrstは、FD部66を電源電圧Vddにリセットした際の当該FD部66の電位に相当する。信号レベルVsigは、フォトダイオード61に蓄積された電荷をFD部66へ転送した際の当該FD部66の電位に相当する。

[0100] リセットレベルVrstを先に読み出す読み出し方式においては、リセットしたときに発生するランダムノイズはFD部66で保持されているため、信号電荷を加えて読み出された信号レベルVsigには、リセットレベルVrstと同

じノイズ量が保持されている。このため、信号レベル V_{sig} からリセットレベル V_{rst} を減算する相関二重サンプリング動作を行うことで、これらのノイズを除去した信号を得ることが可能となる。また、信号の読み出しに用いられる増幅トランジスタ64の閾値ばらつき等、固定的に加わるノイズ(Fixed Pattern Noise)も除去することができる。

[0101] カラム処理部34において、AD変換処理の際に、相関二重サンプリング処理が実行される。具体的には、カラム処理部34では、比較器51での比較動作の開始から比較動作の終了までの比較期間を計測する手段としてアップ／ダウンカウンタ52を用いている。そして、その計測動作の際に、アップ／ダウンカウンタ52は、単位画素31から順に読み出されるリセットレベル V_{rst} 及び信号レベル V_{sig} について、例えば、リセットレベル V_{rst} に対してはダウンカウントを行い、信号レベル V_{sig} に対してはアップカウントを行う。このダウンカウント／アップカウントの動作により、信号レベル V_{sig} とリセットレベル V_{rst} との差分をとることができる。その結果、カラム処理部34において、AD変換処理の際に相関二重サンプリング処理が行われる。

[0102] 以上説明した列並列ADC搭載のCMOS型固体撮像素子30は、半導体基板40上に形成されたフォトダイオード61、拡散層、ゲート絶縁膜の膜厚が異なる2種類以上のMOSFET、バイポーラトランジスタ、抵抗素子、容量素子を多層配線で接続することによって構成される。ゲート絶縁膜の膜厚が異なるMOSFETとしては、例えば、ゲート絶縁膜の膜厚が5.5[nm]程度の厚膜型MOSFETと、ゲート絶縁膜の膜厚が2.5[nm]程度の薄膜型MOSFETとを例示することができる。半導体基板40上にこれらの回路を形成する方法としては、一般的なCMOSプロセスを用いて形成する方法が用いられる。

[0103] [適用例1]

図14に示すCMOS型固体撮像素子30において、AD変換器50を構成する比較器51に用いるN型MOSFETに対して、先述した実施例1乃

至実施例 7 に係る MOSFET 1 を適用することができる。比較器 5 1 に用いる MOSFET に適用する場合を適用例 1 として以下に説明する。

- [0104] シングルスロープ型の AD 変換器 5 0 の構成の一例を図 1 6 A に示す。本例に係る AD 変換器 5 0 は、トランスコンダクタンスアンプ（以下、「Gm アンプ」と記述する）5 0 1 を有し、Gm アンプ 5 0 1 の非反転（+）入力端及び反転（-）入力端と 2 つの入力端子 5 4, 5 5 との間にサンプリング容量 5 0 2, 5 0 3 が接続された構成となっている。Gm アンプ 5 0 1 の後段には、電圧変動を抑えるためのアイソレータ 5 0 4 が配され、アイソレータ 5 0 4 の後段には、アンプ 5 0 5 が配されている。また、Gm アンプ 5 0 1 の反転（-）入力端とアイソレータ 5 0 4 の出力端との間には、オートゼロスイッチ 5 0 6 が接続されている。
- [0105] 図 1 4 に示すシングルスロープ型の AD 変換器 5 0 との対応関係において、一方の入力端子 5 4 には、参照信号生成部 3 5 で生成された参照信号 V_{ref} が入力信号 I_{N1} として供給される。また、他方の入力端子 5 5 には、単位画素 3 1 から読み出された画素信号が列信号線 4 2 を通して供給される。
- [0106] 上記のシングルスロープ型の AD 変換器 5 0 の初段回路である Gm アンプ 5 0 1 の回路構成の一例を図 1 6 B に示す。Gm アンプ 5 0 1 は、N 型 MOSFET から成る差動対トランジスタ Q_{n1} , Q_{n2} を有し、差動対トランジスタ Q_{n1} , Q_{n2} のソース共通接続ノード N が電流源 5 6 を介して低電位側電源に接続された構成となっている。また、電圧 V_{DD} の電源線 5 7 側には、カレントミラー回路を構成する P 型 MOS トランジスタ Q_{p1} , Q_{p2} が設けられている。
- [0107] そして、N 型 MOS トランジスタ Q_{n1} のゲート電極とドレイン電極との間にオートゼロスイッチ 5 0 6_1 が接続されている。また、N 型 MOS トランジスタ Q_{n2} のドレイン電極にはアイソレータ 5 0 4 が接続され、N 型 MOS トランジスタ Q_{n2} のゲート電極とアイソレータ 5 0 4 の出力端との間にオートゼロスイッチ 5 0 6_2 が接続されている。
- [0108] 上記の構成のシングルスロープ型 AD 変換器 5 0 の Gm アンプ 5 0 1 にお

いて、差動対トランジスタ Q_{n1} 、 Q_{n2} として用いるN型MOSFETに、先述した実施例1乃至実施例7に係るMOSFET1を適用する。ここで、実施例1乃至実施例7に係るMOSFET1、即ちRTSノイズを低減できるMOSFET1を、シングルスロープ型AD変換器50を構成するMOSFETに適用したCMOS型固体撮像素子30において、10万個分のAD変換器50の出力ノイズデータの累積頻度のプロットグラフを図17に示す。

[0109] 図17には、従来の電極構造のMOSFETを用いたシングルスロープ型AD変換器、即ち実施例1乃至実施例7に係るMOSFET1を用いないシングルスロープ型AD変換器と比較した場合を示している。図17において、破線が本開示の電極構造の場合（実施例1乃至実施例7に係るMOSFET1を適用した場合）を示し、実線が従来の電極構造の場合（実施例1乃至実施例7に係るMOSFET1を適用しない場合）を示している。図17の出力ノイズデータの累積頻度のプロットグラフから、従来の電極構造の場合に比較して、本開示の電極構造の場合のノイズレベルについて、同一発生確率で比較した場合、低ノイズ化されていることが確認できる。

[0110] [適用例2]

図14に示すCMOS型固体撮像素子30において、単位画素31を構成する増幅トランジスタ64（図15参照）として用いるN型MOSFETに対して、先述した実施例1乃至実施例7に係るMOSFET1を適用することができる。増幅トランジスタ64に用いるMOSFETに適用する場合を適用例2として以下に説明する。

[0111] 図18に、単位画素31を構成する素子、即ちフォトダイオード（PD）61、転送トランジスタ62、リセットトランジスタ63、増幅トランジスタ64、及び、選択トランジスタ65のレイアウトを示す。図18において、ハッチングで図示した領域が素子分離領域11であり、網掛けで図示した領域が活性領域16であり、白抜きで図示した領域が転送トランジスタ62、リセットトランジスタ63、増幅トランジスタ64、及び、選択トランジスタ65の各ゲート電極である。ウェルタップ部69は、固定電位との接続

のための電位接続部である。

[0112] CMOS型固体撮像素子30から発生されるランダムノイズは、単位画素31内の例えばN型MOSFETから成る増幅トランジスタ64が発生するRTSノイズが支配的である。そこで、N型MOSFETから成る増幅トランジスタ64の電極構造に、先述した実施例1乃至実施例7に係る電極構造を適用する。これにより、増幅トランジスタ64が発生するRTSノイズを低減でき、結果的には、CMOS型固体撮像素子30を低ノイズ化できる。

[0113] (具体例1)

具体例1は、増幅トランジスタ64の電極構造に対して、例えば実施例1に係る電極構造(図1及び図2参照)を適用する例である。具体例1に係るMOSFETの概略平面図を図19に示す。また、図19のA-A'線に沿った断面図を図20Aに示し、図19のB-B'線に沿った断面図を図20Bに示す。

[0114] 具体例1に係るMOSFETでは、素子分離領域(STI)11によって画定された活性領域(P型ウェル領域)16から成る増幅トランジスタ64の電極構造を、以下のようにする。

[0115] ゲート電極15は、図19に示すように、その平面形状がゲート長方向及びゲート幅方向において対称性を持っており、素子分離領域11と活性領域16との境界部のゲート長方向の長さがゲート幅方向に対して不連続な電極構造となっている。図19において、長い電極領域15Aの端—短い電極領域15Bの端間の寸法差 $\alpha 1$ 、及び、長い電極領域15Aの内側の辺—活性領域16の外側の辺間の寸法 $\alpha 2$ は共に0.05[μm]以上であることが好ましく、例えば0.1[μm]にする。

[0116] 活性領域16の表面に設けられたゲート絶縁膜14は、ソース領域12とドレイン領域13との間のチャネル領域19上に設けられており、素子分離領域11と活性領域16との境界部に設けられた厚膜領域14Aと、チャネル中心部に設けられた薄膜領域14Bとを有する。すなわち、ゲート絶縁膜14は、素子分離領域11と活性領域16との境界部の膜厚が、チャネル中

心部の膜厚よりも厚い構成となっている。

[0117] 図19において、厚膜領域14Aの内側の辺—活性領域16の外側の辺間の寸法 $\beta 1$ 、及び、厚膜領域14Aの端—ゲート電極15の長い部分15Aの端間の寸法 $\beta 2$ は共に0.05[μm]以上であることが好ましく、例えば0.1[μm]にする。加えて、厚膜領域14Aの膜厚 $T1$ と薄膜領域14Bの膜厚 $T2$ との膜厚差 $T1-T2$ は1[nm]以上であることが好ましい。例えば、厚膜領域14Aの膜厚 $T1$ を6[nm]とし、薄膜領域14Bの膜厚 $T2$ を1.8[nm]とする。

[0118] (具体例2)

具体例1は、増幅トランジスタ64の電極構造に、例えば実施例7に係る電極構造(図10B参照)を適用する例である。実施例7に係る電極構造を適用する具体例2に係るMOSFETの概略平面図を図21に示す。また、図21のA-A'線に沿った断面図を図22Aに示し、図21のB-B'線に沿った断面図を図22Bに示す。

[0119] ゲート電極15は、図21に示すように、その平面形状が一般的なMOSFETと同様に矩形形状となっている。また、ゲート絶縁膜14は、チャネル幅方向において、厚膜領域14A、14Aが素子分離領域11と活性領域16との境界に沿って配置され、かつ、チャネル中心部にも厚膜の連結領域14Dが配置された構造となっている。換言すれば、ゲート絶縁膜14において、厚膜領域(14A、14A、14D)は、活性領域16に対して、チャネル長方向において平面視でH型になった構造となっており、チャネル長方向及びチャネル幅方向において対称性を持つ平面形状となっている。

[0120] 図21において、厚膜領域14Aの内側の辺—素子分離領域11と活性領域16との境界間の寸法 $\gamma 1$ 、厚膜領域14Aの端面—ゲート電極15の端面間の寸法 $\gamma 2$ 、及び、ゲート電極15の端面—連結領域14Dの端面間の寸法 $\gamma 3$ は共に0.05[μm]以上であることが好ましく、例えば0.1[μm]にする。

[0121] <電子機器>

上述したCMOS型固体撮像素子30は、デジタルスチルカメラやビデオカメラ等の撮像装置や、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に固体撮像素子を用いる複写機などの電子機器全般において、その撮像部（画像取込部）として用いることができる。尚、電子機器に搭載される上記モジュール状の形態、即ち、カメラモジュールを撮像装置とする場合もある。

[0122] [撮像装置]

図23は、本開示の電子機器の一例である撮像装置の構成の一例を示すブロック図である。図23に示すように、本例に係る撮像装置100は、レンズ群101等を含む光学系、撮像素子102、カメラ信号処理部であるDSP回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108等を有している。そして、DSP回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108がバスライン109を介して相互に接続された構成となっている。

[0123] レンズ群101は、被写体からの入射光（像光）を取り込んで撮像素子102の撮像面上に結像する。撮像素子102は、レンズ群101によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。表示装置105は、液晶表示装置や有機EL(electro luminescence)表示装置等のパネル型表示装置から成り、撮像素子102で撮像された動画または静止画を表示する。

[0124] 記録装置106は、撮像素子102で撮像された動画または静止画を、メモリカードやDVD(Digital Versatile Disk)等の記録媒体に記録する。操作系107は、ユーザによる操作の下に、本撮像装置100が持つ様々な機能について操作指令を発する。電源系108は、DSP回路103、フレームメモリ104、表示装置105、記録装置106、及び、操作系107の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0125] 上記の構成の撮像装置100において、撮像素子102として、AD変換

器50を構成する比較器51に用いるN型MOSFETや、単位画素31を構成する増幅トランジスタ64として用いるMOSFETに本開示のMOSFETを適用した、低ノイズのCMOS型固体撮像素子30を用いることができる。そして、撮像素子102として、低ノイズのCMOS型固体撮像素子30を用いることで、撮像装置100の高画質化に寄与できることになる。

[0126] 尚、本開示は、以下のような構成をとることもできる。

[1] 活性領域を画定する素子分離領域と、

活性領域に形成されたソース領域及びドレイン領域と、

ソース領域とドレイン領域との間のチャネル領域上に設けられたゲート絶縁膜と、

ゲート絶縁膜上に設けられたゲート電極と、

を有し、

ゲート電極は、素子分離領域と活性領域との境界部のポテンシャルが、チャネル中心部のポテンシャルよりも浅くなるような電極形状を有する、

MOS型電界効果トランジスタ。

[2] ゲート電極は、素子分離領域と活性領域との境界部のゲート長方向の長さが、チャネル中心部のゲート長方向の長さよりも長い、

上記[1]に記載のMOS型電界効果トランジスタ。

[3] ゲート絶縁膜は、素子分離領域と活性領域との境界部の膜厚が、チャネル中心部の膜厚よりも厚い、

上記[2]に記載のMOS型電界効果トランジスタ。

[4] ゲート電極は、活性領域の中央部のチャネル領域上に配置された第1電極領域と、当該第1電極領域と接続され、素子分離領域と活性領域の境界上に沿って配置された第2電極領域とから成る、

上記[1]に記載のMOS型電界効果トランジスタ。

[5] ゲート電極の第2電極領域は、素子分離領域のゲート長方向の端部で、ソース領域及びドレイン領域のコンタクト部と対向する部位を除いて、素

子分離領域と活性領域との境界に沿って配置され、素子分離領域の一部及び活性領域の一部を覆う、

上記〔４〕に記載のＭＯＳ型電界効果トランジスタ。

〔６〕ソース領域及びドレイン領域の各々に、コンタクト部が複数個配置されている、

上記〔５〕に記載のＭＯＳ型電界効果トランジスタ。

〔７〕ゲート電極の第２電極領域は、ソース領域側にのみ、もしくは、ドレイン領域側にのみ素子分離領域と活性領域の境界上に沿って配置され、素子分離領域及び活性領域の一部を覆う、

上記〔４〕に記載のＭＯＳ型電界効果トランジスタ。

〔８〕ゲート絶縁膜は、チャネル幅方向の両端部に位置する素子分離領域と活性領域との境界に沿って設けられ、素子分離領域の一部及び活性領域の一部に対応する領域が厚膜化された２つの厚膜領域を有する、

上記〔５〕～〔７〕のいずれか１項に記載のＭＯＳ型電界効果トランジスタ。

〔９〕ゲート絶縁膜の２つの厚膜領域は、チャネル中心部側に突出した突出領域を有する、

上記〔８〕に記載のＭＯＳ型電界効果トランジスタ。

〔１０〕ゲート電極は、平面視で矩形の電極形状を有しており、

ゲート絶縁膜は、チャネル幅方向の両端部に位置する素子分離領域と活性領域との境界に沿って設けられ、素子分離領域の一部及び活性領域の一部に対応する領域が厚膜化された２つの厚膜領域と、チャネル中心部において２つの厚膜領域間を繋ぐ厚膜の連結領域とを有する、

上記〔１〕に記載のＭＯＳ型電界効果トランジスタ。

〔１１〕ＭＯＳ型電界効果トランジスタを用いて構成され、

ＭＯＳ型電界効果トランジスタは、

活性領域を画定する素子分離領域と、

活性領域に形成されたソース領域及びドレイン領域と、

ソース領域とドレイン領域との間のチャネル領域上に設けられたゲート絶縁膜と、

ゲート絶縁膜上に設けられたゲート電極と、

を有し、

ゲート電極は、素子分離領域と活性領域との境界のポテンシャルが、チャネル中心部のポテンシャルよりも浅くなるような電極形状を有する、

半導体集積回路。

[1 2] 光電変換素子を含む単位画素が行列状に配置されて成る画素アレイ部と、

MOS型電界効果トランジスタを用いて構成され、画素から読み出される信号を処理する回路部と、

を備え、

MOS型電界効果トランジスタは、

活性領域を画定する素子分離領域と、

活性領域に形成されたソース領域及びドレイン領域と、

ソース領域とドレイン領域との間のチャネル領域上に設けられたゲート絶縁膜と、

ゲート絶縁膜上に設けられたゲート電極と、

を有し、

ゲート電極は、素子分離領域と活性領域との境界のポテンシャルが、チャネル中心部のポテンシャルよりも浅くなるような電極形状を有する、

固体撮像素子。

[1 3] 回路部は、画素アレイ部の各画素から画素列毎に読み出される信号を基準信号と比較する比較器を含むAD変換器を有する信号処理部であり、

比較器は、MOS型電界効果トランジスタを用いて構成されており、

MOS型電界効果トランジスタは、

活性領域を画定する素子分離領域と、

活性領域に形成されたソース領域及びドレイン領域と、

ソース領域とドレイン領域との間のチャネル領域上に設けられたゲート絶縁膜と、

ゲート絶縁膜上に設けられたゲート電極と、

を有し、

ゲート電極は、素子分離領域と活性領域との境界のポテンシャルが、チャネル中心部のポテンシャルよりも浅くなるような電極形状を有する、

上記〔１２〕に記載の固体撮像素子。

〔１４〕単位画素は、光電変換素子で光電変換された電荷に基づく信号を増幅する増幅トランジスタを有しており、

増幅トランジスタは、ＭＯＳ型電界効果トランジスタを用いて構成されており、

ＭＯＳ型電界効果トランジスタは、

活性領域を画定する素子分離領域と、

活性領域に形成されたソース領域及びドレイン領域と、

ソース領域とドレイン領域との間のチャネル領域上に設けられたゲート絶縁膜と、

ゲート絶縁膜上に設けられたゲート電極と、

を有し、

ゲート電極は、素子分離領域と活性領域との境界のポテンシャルが、チャネル中心部のポテンシャルよりも浅くなるような電極形状を有する、

上記〔１２〕に記載の固体撮像素子。

〔１５〕撮像部として、

光電変換素子を含む画素が行列状に配置されて成る画素アレイ部と、

ＭＯＳ型電界効果トランジスタを用いて構成され、画素から読み出される信号を処理する回路部と、

を備える固体撮像素子を搭載しており、

ＭＯＳ型電界効果トランジスタは、

活性領域を画定する素子分離領域と、

活性領域に形成されたソース領域及びドレイン領域と、
ソース領域とドレイン領域との間のチャネル領域上に設けられたゲート絶縁膜と、
ゲート絶縁膜上に設けられたゲート電極と、
を有し、
ゲート電極は、素子分離領域と活性領域との境界のポテンシャルが、チャネル中心部のポテンシャルよりも浅くなるような電極形状を有する、
電子機器。

符号の説明

[0127] 1・・・MOSFET（MOS型電界効果トランジスタ）、11・・・素子分離領域、12・・・ソース領域、13・・・ドレイン領域、14・・・ゲート絶縁膜、15・・・ゲート電極、16・・・活性領域、17, 18・・・コンタクト部、19・・・チャネル領域、20・・・高周波受信回路、21・・・受信アンテナ、22・・・BPF（バンド・パス・フィルタ）、23・・・低ノイズアンプ（LNA）、24・・・ミキサ、25・・・局部発振器、26・・・LPF（ロー・パス・フィルタ）、27・・・信号処理回路、31・・・単位画素、32・・・画素アレイ部、33・・・行走査部、34・・・カラム処理部、35・・・参照信号生成部、36・・・列走査部、37・・・水平出力線、38・・・映像信号処理部、39・・・タイミング制御部、40・・・半導体基板、41（41_1～41_m）・・・行制御線、42（42_1～42_n）・・・列信号線、50_1～50_n・・・AD変換器、51・・・比較器、52・・・アップ／ダウンカウンタ、53・・・ラッチ、61・・・フォトダイオード（PD）、62・・・転送トランジスタ（転送ゲート部）、63・・・リセットトランジスタ、64・・・増幅トランジスタ、65・・・選択トランジスタ、66・・・FD部（電荷検出部）

請求の範囲

- [請求項1] 活性領域を画定する素子分離領域と、
 活性領域に形成されたソース領域及びドレイン領域と、
 ソース領域とドレイン領域との間のチャンネル領域上に設けられたゲート絶縁膜と、
 ゲート絶縁膜上に設けられたゲート電極と、
 を有し、
 ゲート電極は、素子分離領域と活性領域との境界部のポテンシャルが、チャンネル中心部のポテンシャルよりも浅くなるような電極形状を有する、
 MOS型電界効果トランジスタ。
- [請求項2] ゲート電極は、素子分離領域と活性領域との境界部のゲート長方向の長さが、チャンネル中心部のゲート長方向の長さよりも長い、
 請求項1に記載のMOS型電界効果トランジスタ。
- [請求項3] ゲート絶縁膜は、素子分離領域と活性領域との境界部の膜厚が、チャンネル中心部の膜厚よりも厚い、
 請求項2に記載のMOS型電界効果トランジスタ。
- [請求項4] ゲート電極は、活性領域の中央部のチャンネル領域上に配置された第1電極領域と、当該第1電極領域と接続され、素子分離領域と活性領域の境界上に沿って配置された第2電極領域とから成る、
 請求項1に記載のMOS型電界効果トランジスタ。
- [請求項5] ゲート電極の第2電極領域は、素子分離領域のゲート長方向の端部で、ソース領域及びドレイン領域のコンタクト部と対向する部位を除いて、素子分離領域と活性領域との境界に沿って配置され、素子分離領域の一部及び活性領域の一部を覆う、
 請求項4に記載のMOS型電界効果トランジスタ。
- [請求項6] ソース領域及びドレイン領域の各々に、コンタクト部が複数個配置されている、

請求項 5 に記載の MOS 型電界効果トランジスタ。

[請求項 7] ゲート電極の第 2 電極領域は、ソース領域側にのみ、もしくは、ドレイン領域側にのみ素子分離領域と活性領域の境界上に沿って配置され、素子分離領域及び活性領域の一部を覆う、

請求項 4 に記載の MOS 型電界効果トランジスタ。

[請求項 8] ゲート絶縁膜は、チャンネル幅方向の両端部に位置する素子分離領域と活性領域との境界に沿って設けられ、素子分離領域の一部及び活性領域の一部に対応する領域が厚膜化された 2 つの厚膜領域を有する、

請求項 5 に記載の MOS 型電界効果トランジスタ。

[請求項 9] ゲート絶縁膜の 2 つの厚膜領域は、チャンネル中心部側に突出した突出領域を有する、

請求項 8 に記載の MOS 型電界効果トランジスタ。

[請求項 10] ゲート電極は、平面視で矩形の電極形状を有しており、
ゲート絶縁膜は、チャンネル幅方向の両端部に位置する素子分離領域と活性領域との境界に沿って設けられ、素子分離領域の一部及び活性領域の一部に対応する領域が厚膜化された 2 つの厚膜領域と、チャンネル中心部において 2 つの厚膜領域間を繋ぐ厚膜の連結領域とを有する、

請求項 1 に記載の MOS 型電界効果トランジスタ。

[請求項 11] MOS 型電界効果トランジスタを用いて構成され、
MOS 型電界効果トランジスタは、
活性領域を画定する素子分離領域と、
活性領域に形成されたソース領域及びドレイン領域と、
ソース領域とドレイン領域との間のチャンネル領域上に設けられたゲート絶縁膜と、
ゲート絶縁膜上に設けられたゲート電極と、
を有し、
ゲート電極は、素子分離領域と活性領域との境界のポテンシャルが

、チャネル中心部のポテンシャルよりも浅くなるような電極形状を有する、

半導体集積回路。

[請求項12] 光電変換素子を含む単位画素が行列状に配置されて成る画素アレイ部と、

MOS型電界効果トランジスタを用いて構成され、画素から読み出される信号を処理する回路部と、

を備え、

MOS型電界効果トランジスタは、

活性領域を画定する素子分離領域と、

活性領域に形成されたソース領域及びドレイン領域と、

ソース領域とドレイン領域との間のチャネル領域上に設けられたゲート絶縁膜と、

ゲート絶縁膜上に設けられたゲート電極と、

を有し、

ゲート電極は、素子分離領域と活性領域との境界のポテンシャルが、チャネル中心部のポテンシャルよりも浅くなるような電極形状を有する、

固体撮像素子。

[請求項13] 回路部は、画素アレイ部の各画素から画素列毎に読み出される信号を基準信号と比較する比較器を含むAD変換器を有する信号処理部であり、

比較器は、MOS型電界効果トランジスタを用いて構成されており、

MOS型電界効果トランジスタは、

活性領域を画定する素子分離領域と、

活性領域に形成されたソース領域及びドレイン領域と、

ソース領域とドレイン領域との間のチャネル領域上に設けられたゲ

ート絶縁膜と、

ゲート絶縁膜上に設けられたゲート電極と、

を有し、

ゲート電極は、素子分離領域と活性領域との境界のポテンシャルが、チャンネル中心部のポテンシャルよりも浅くなるような電極形状を有する、

請求項 1 2 に記載の固体撮像素子。

[請求項14]

単位画素は、光電変換素子で光電変換された電荷に基づく信号を増幅する増幅トランジスタを有しており、

増幅トランジスタは、MOS型電界効果トランジスタを用いて構成されており、

MOS型電界効果トランジスタは、

活性領域を画定する素子分離領域と、

活性領域に形成されたソース領域及びドレイン領域と、

ソース領域とドレイン領域との間のチャンネル領域上に設けられたゲート絶縁膜と、

ゲート絶縁膜上に設けられたゲート電極と、

を有し、

ゲート電極は、素子分離領域と活性領域との境界のポテンシャルが、チャンネル中心部のポテンシャルよりも浅くなるような電極形状を有する、

請求項 1 2 に記載の固体撮像素子。

[請求項15]

撮像部として、

光電変換素子を含む画素が行列状に配置されて成る画素アレイ部と、

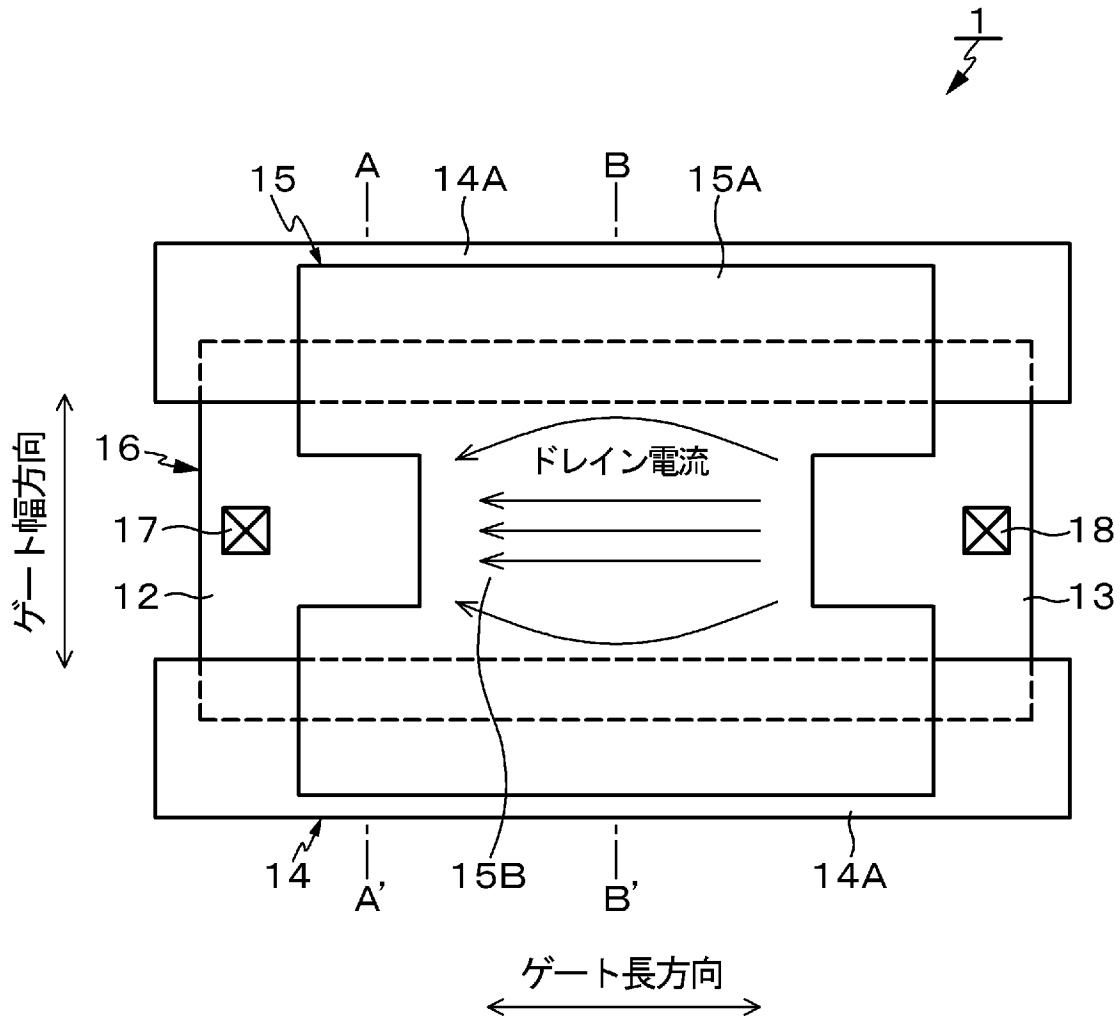
MOS型電界効果トランジスタを用いて構成され、画素から読み出される信号を処理する回路部と、

を備える固体撮像素子を搭載しており、

MOS型電界効果トランジスタは、
活性領域を画定する素子分離領域と、
活性領域に形成されたソース領域及びドレイン領域と、
ソース領域とドレイン領域との間のチャネル領域上に設けられたゲート絶縁膜と、
ゲート絶縁膜上に設けられたゲート電極と、
を有し、
ゲート電極は、素子分離領域と活性領域との境界のポテンシャルが、チャネル中心部のポテンシャルよりも浅くなるような電極形状を有する、
電子機器。

[図1]

図 1



[図2]

図 2 A

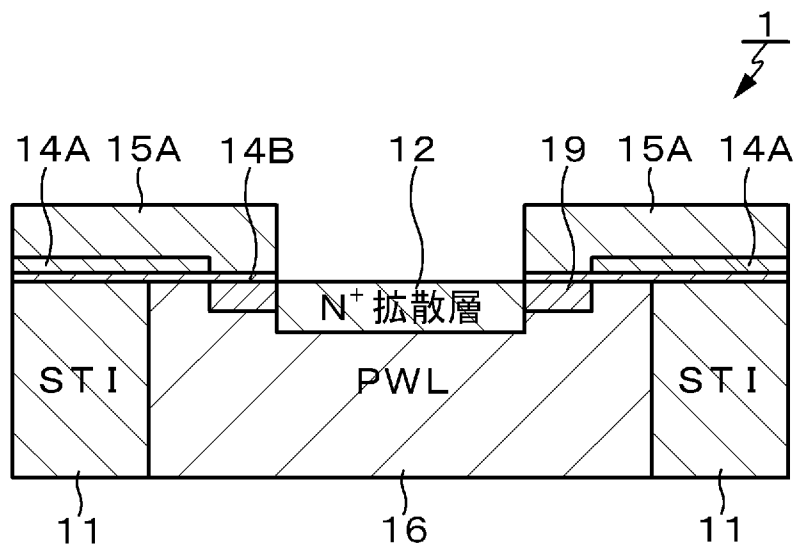
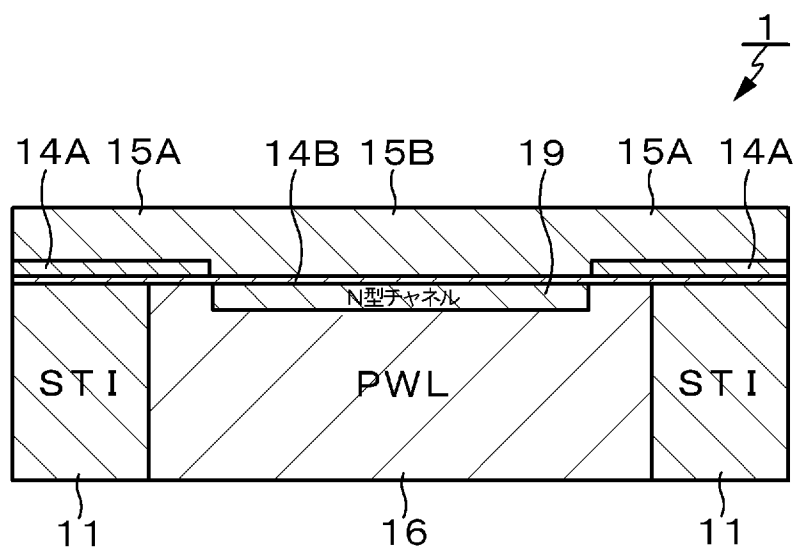


図 2 B



[図3]

図3 A

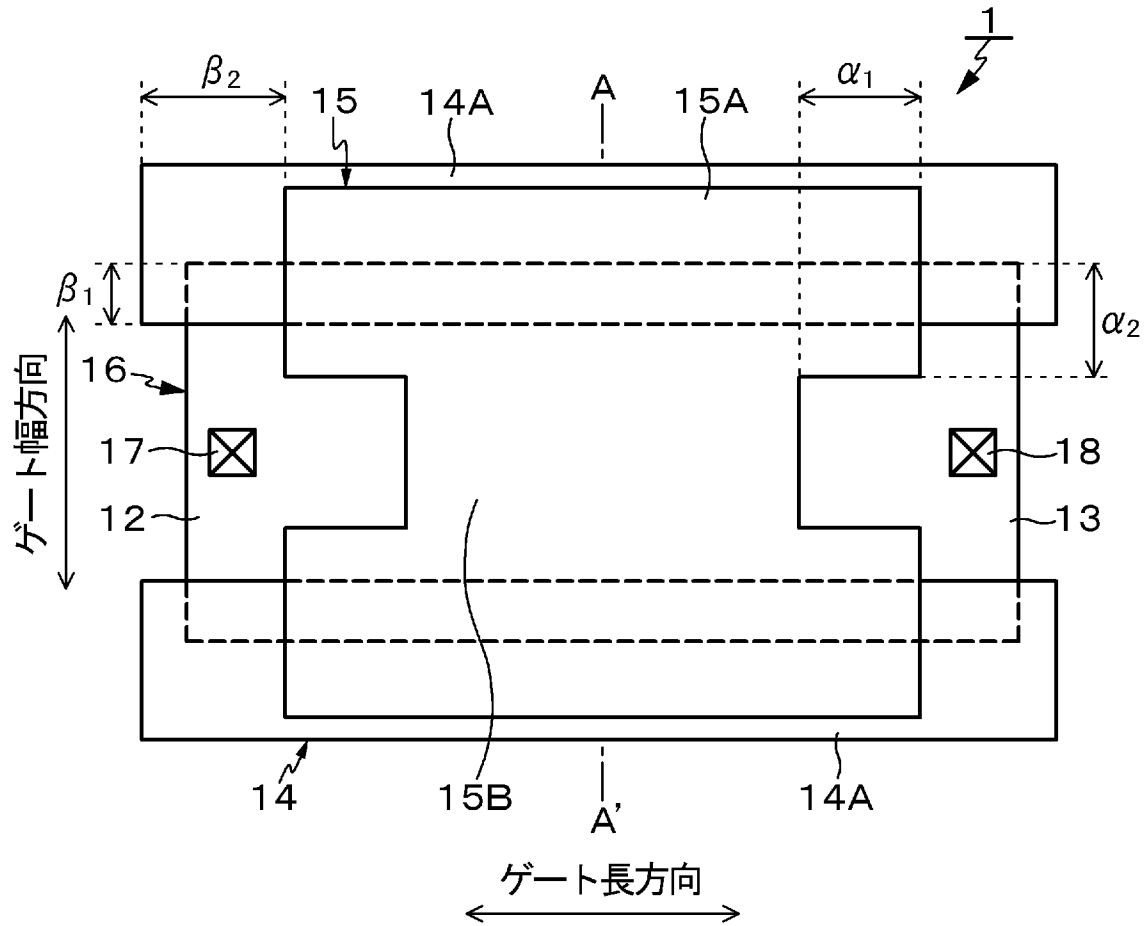
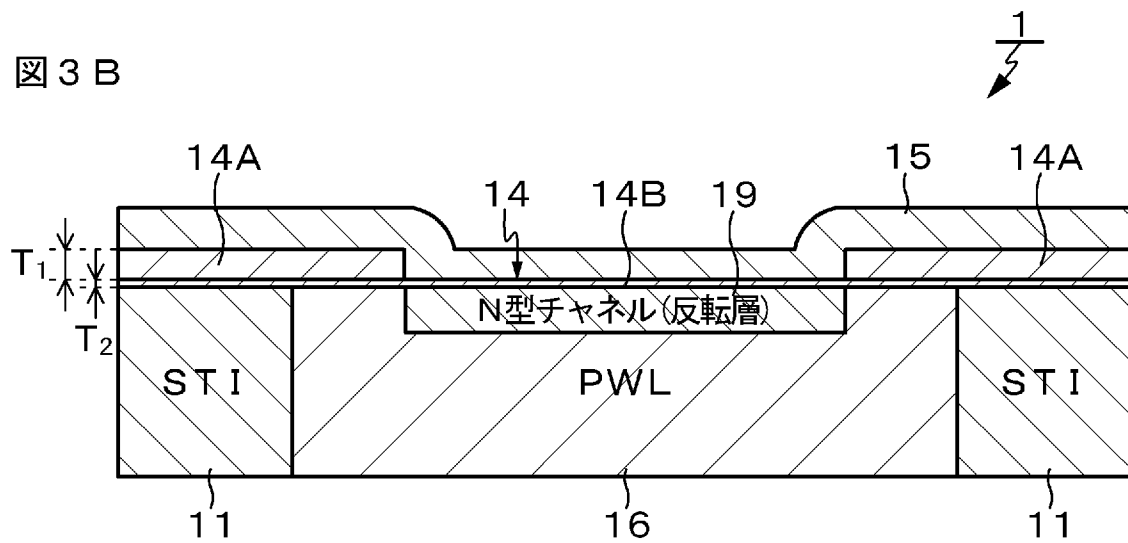


図3 B



[図4]

図 4 A

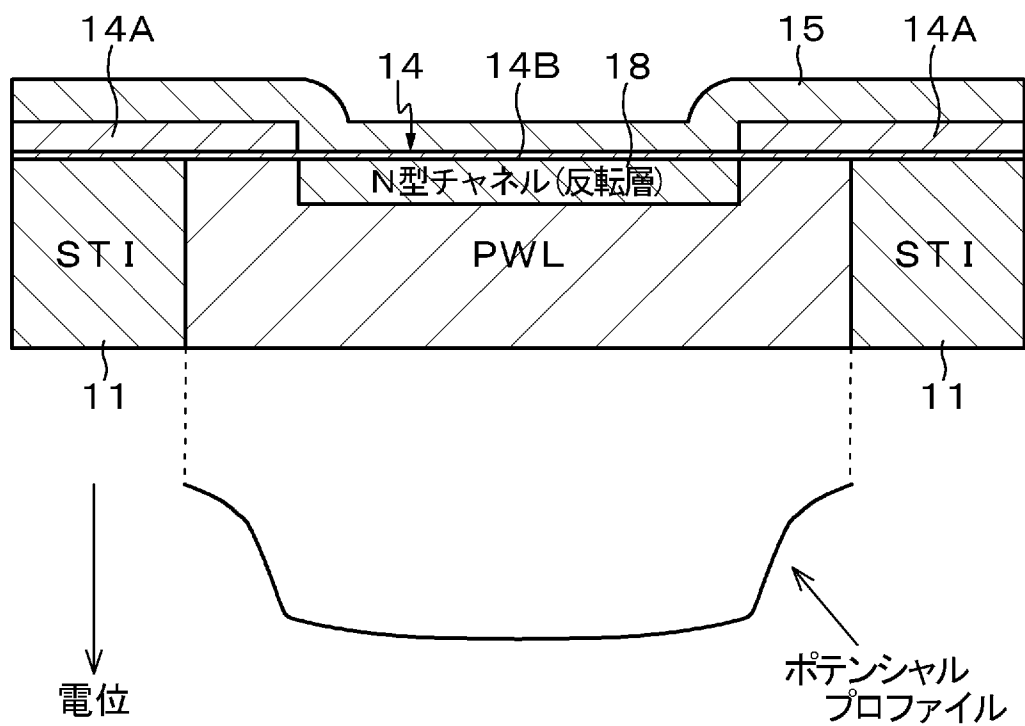
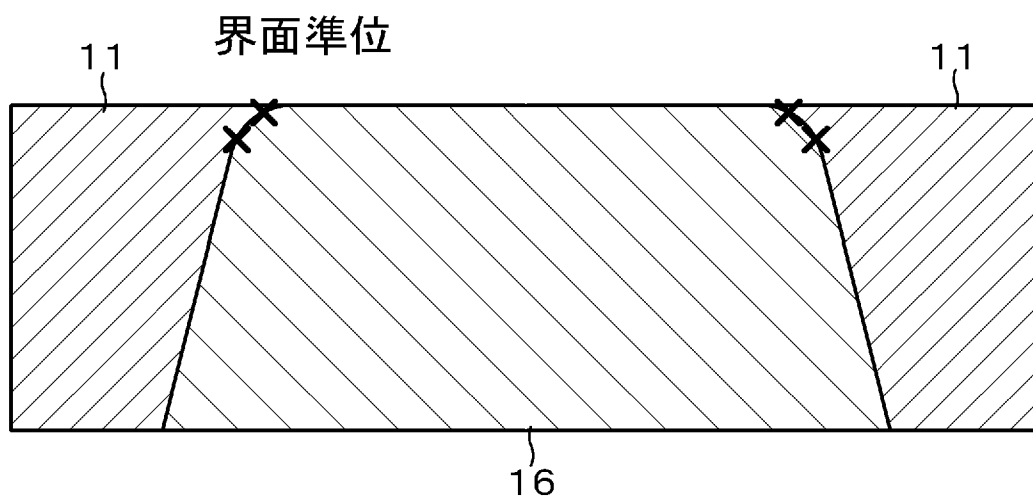


図 4 B



[図5]

図 5 A

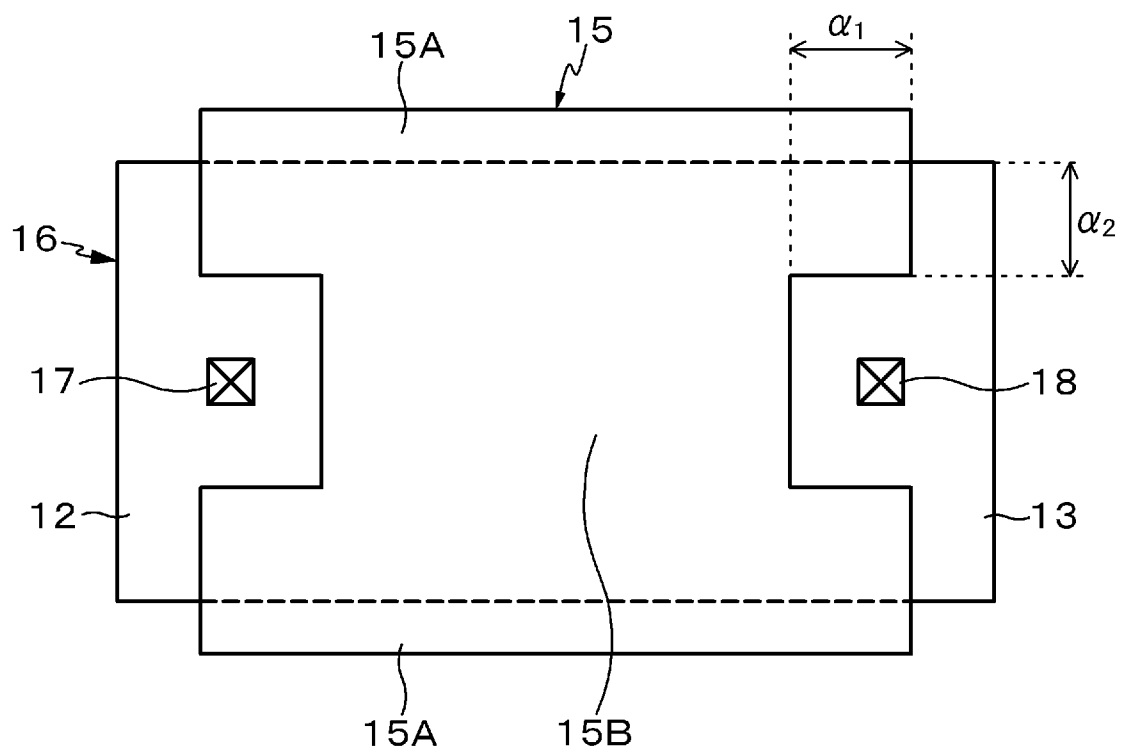


図 5 B

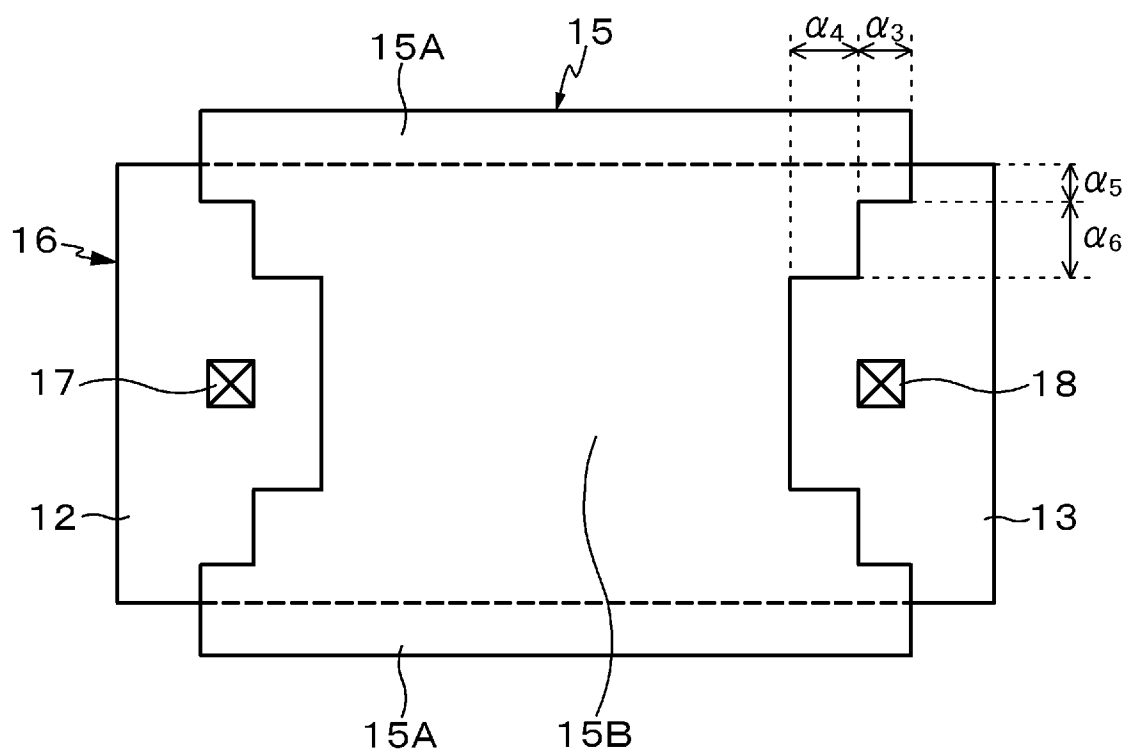


図 6 A

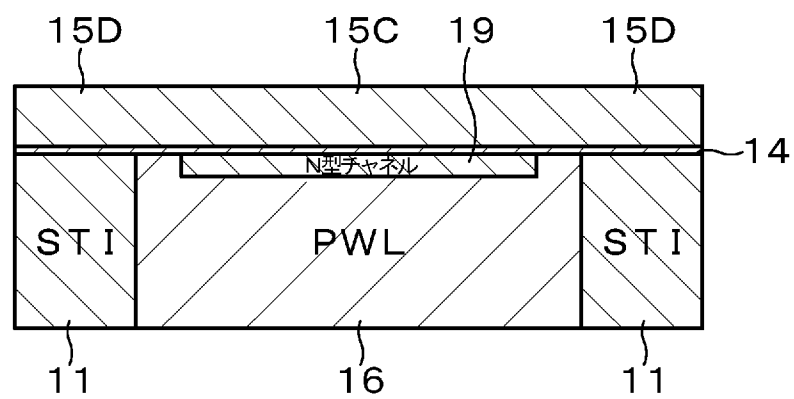
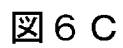
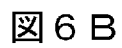
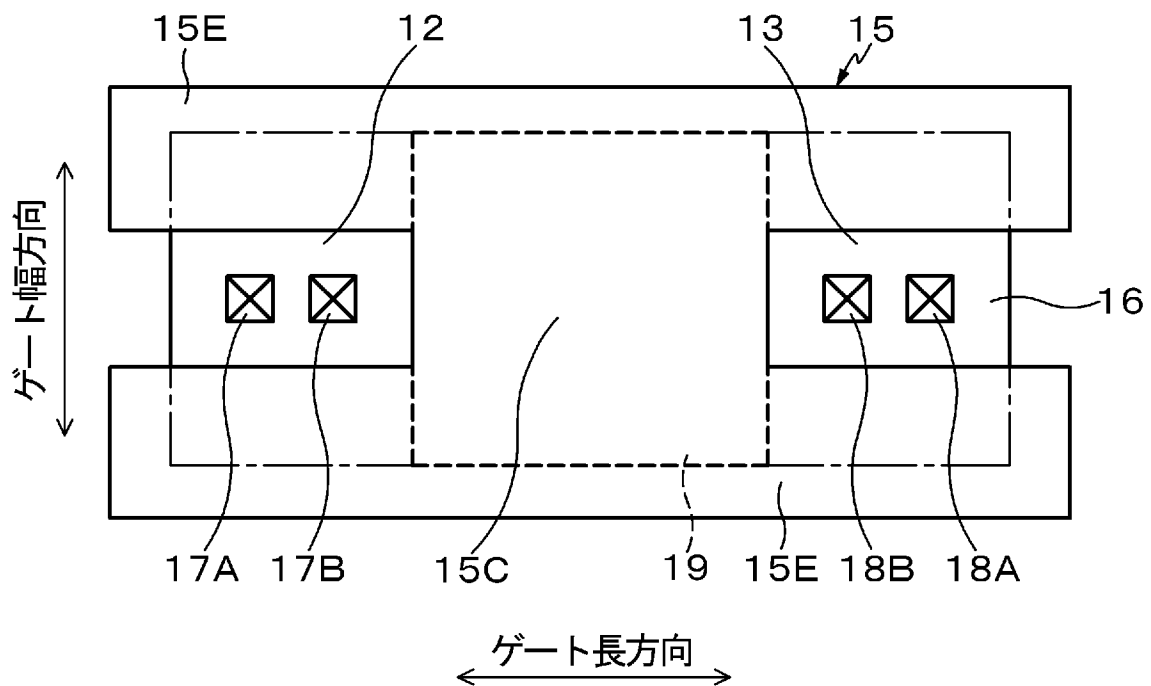
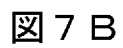


図 7 A



[図8]

図 8 A

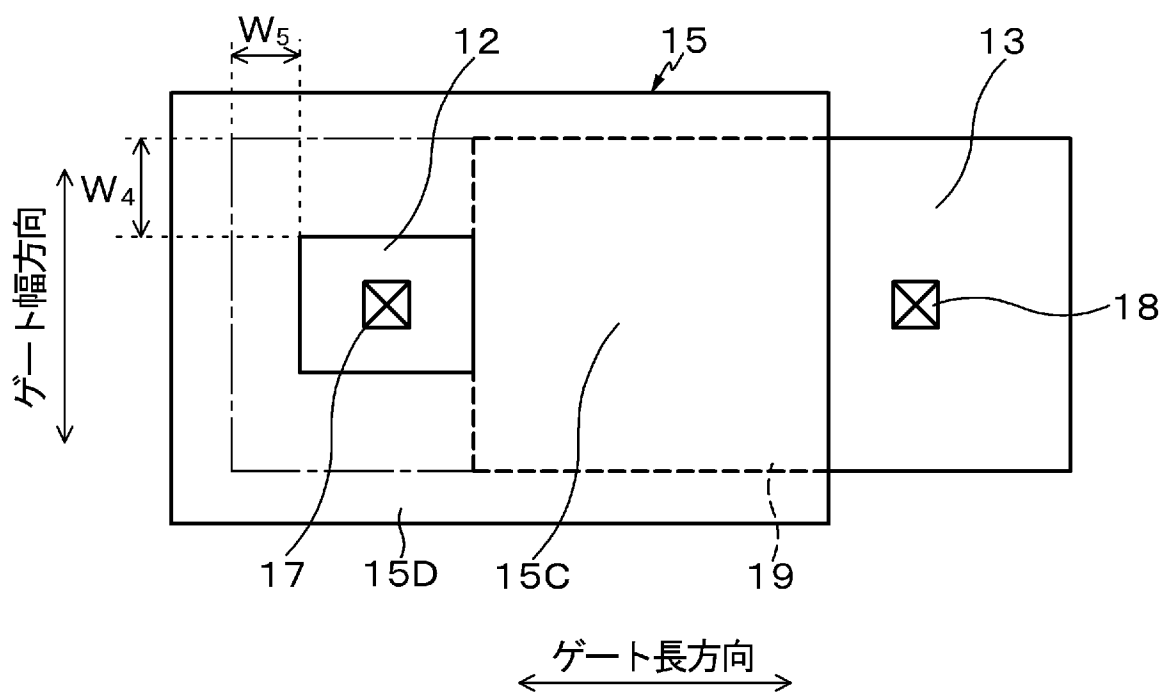
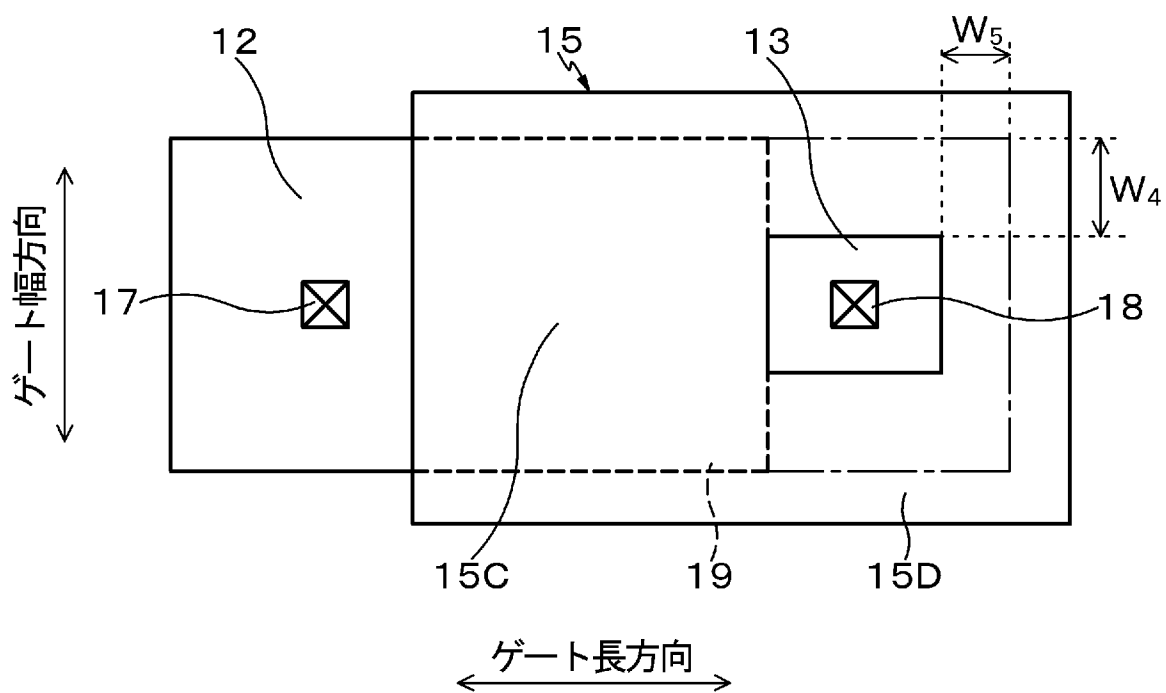


図 8 B



[図9]

図9 A

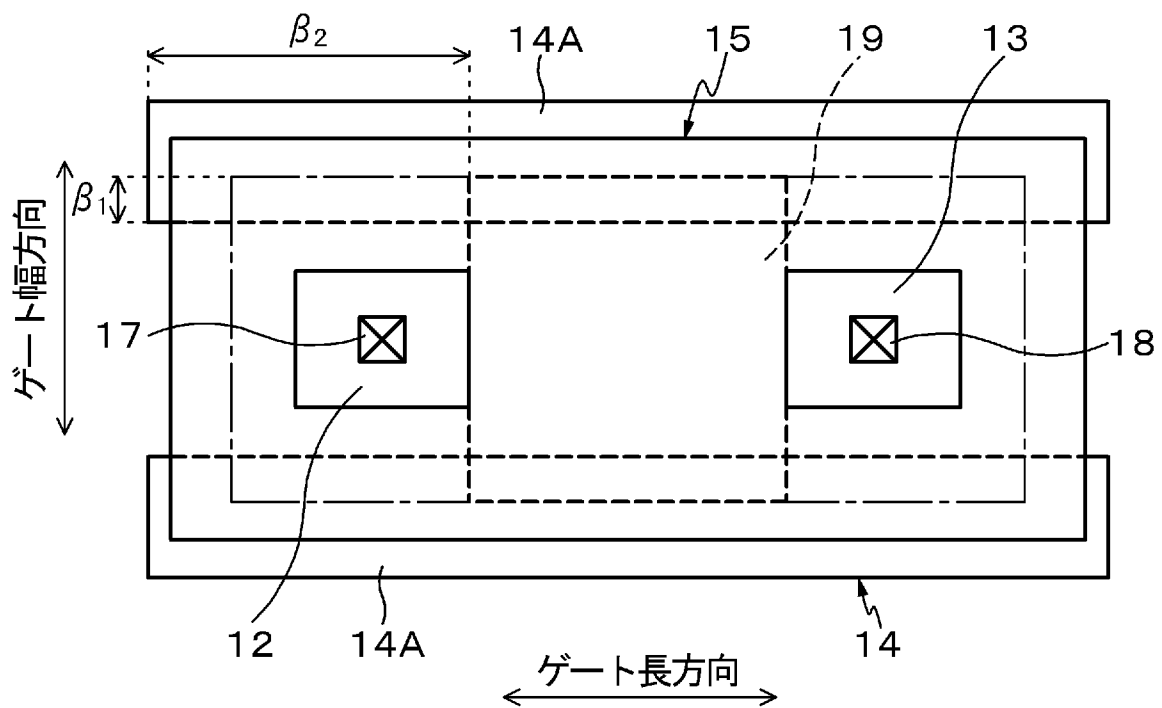
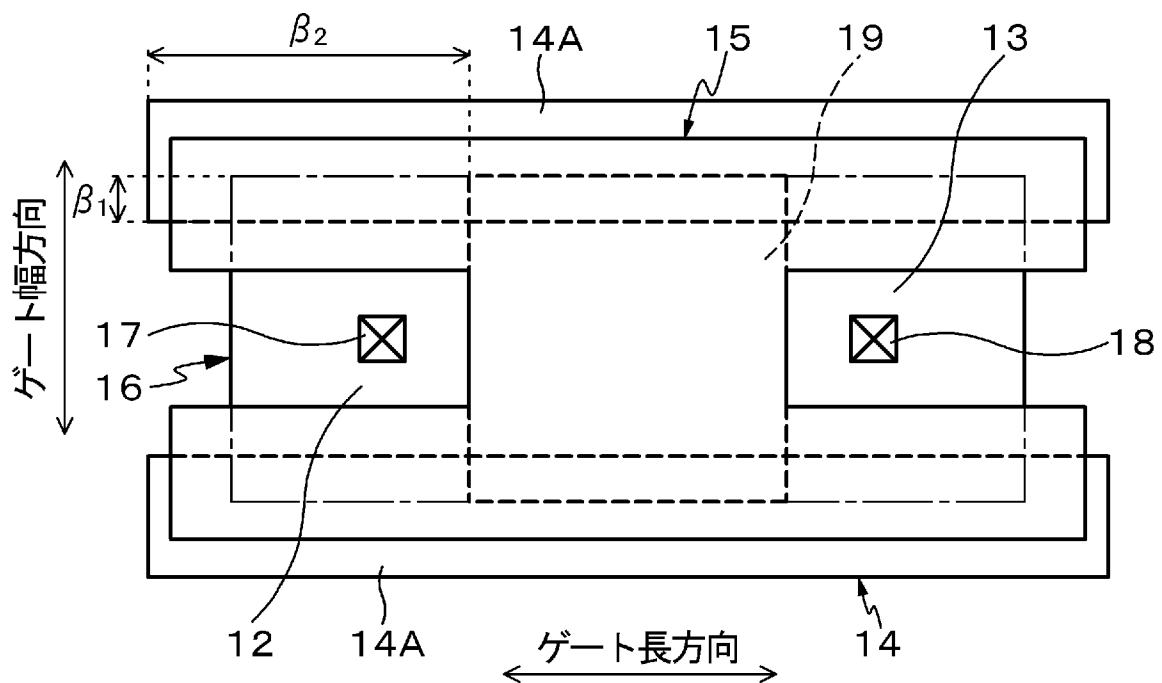


図9 B



[図10]

図10A

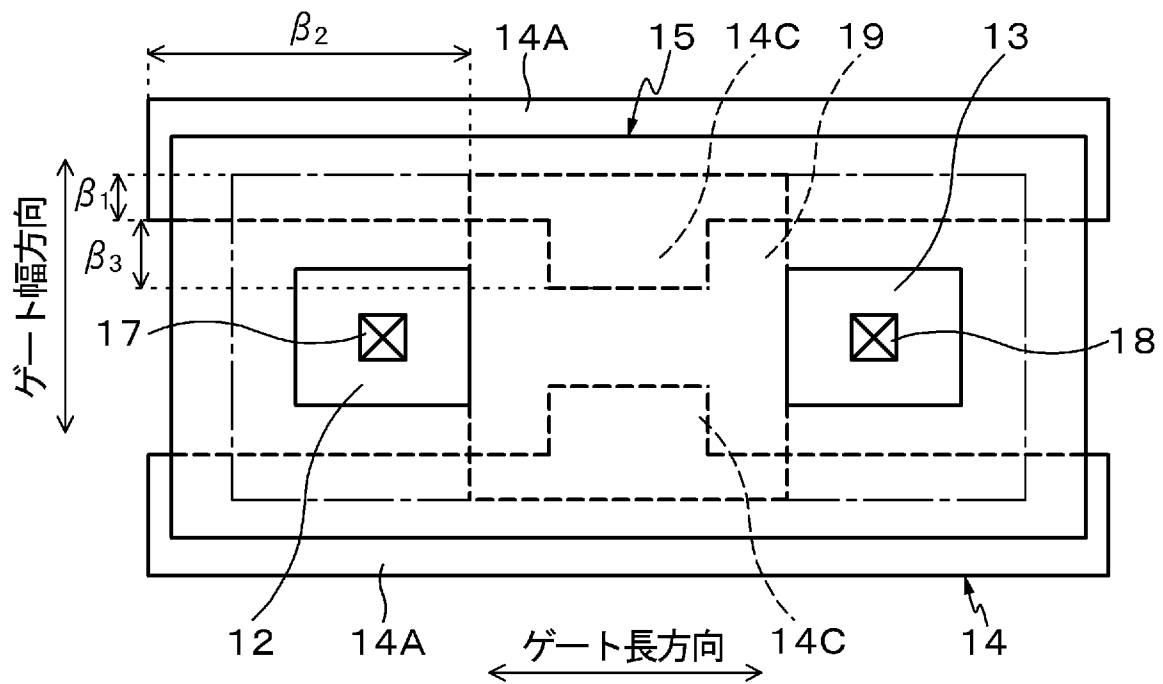


図10B

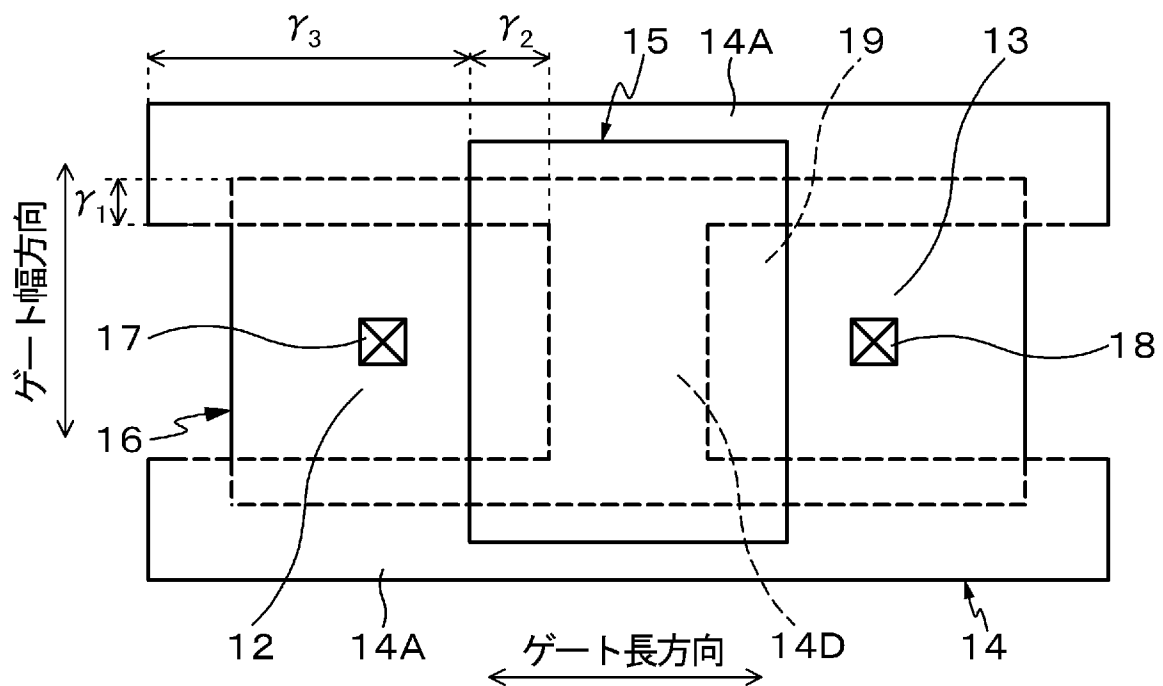
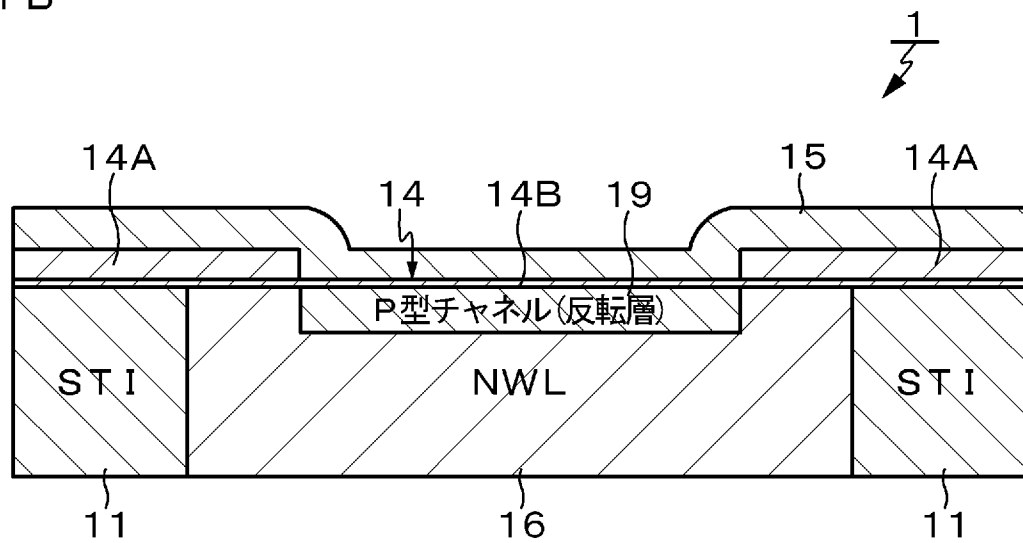
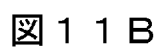
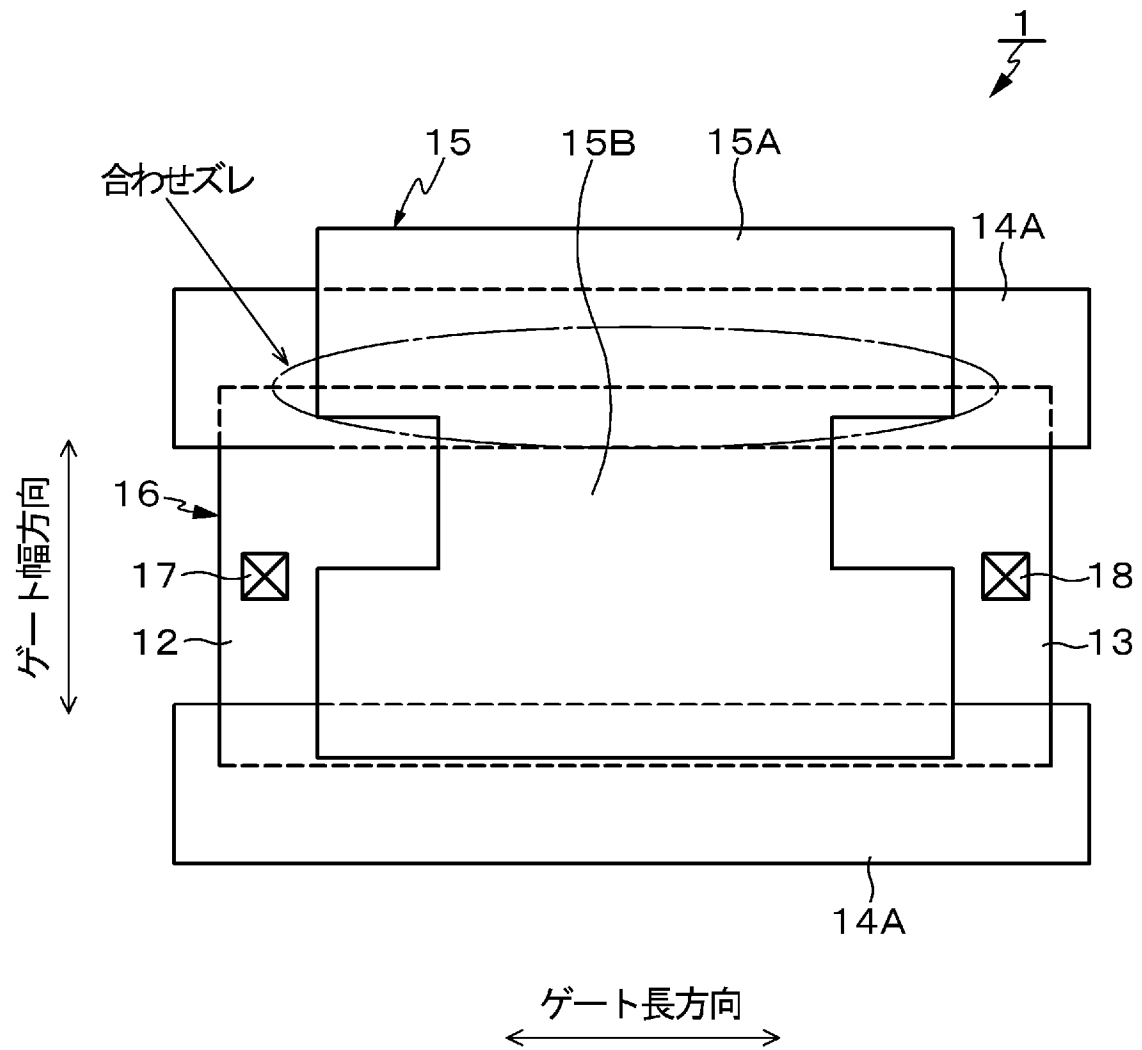


图 1 1 A



[図12]

図 1 2



[図13]

図 1 3

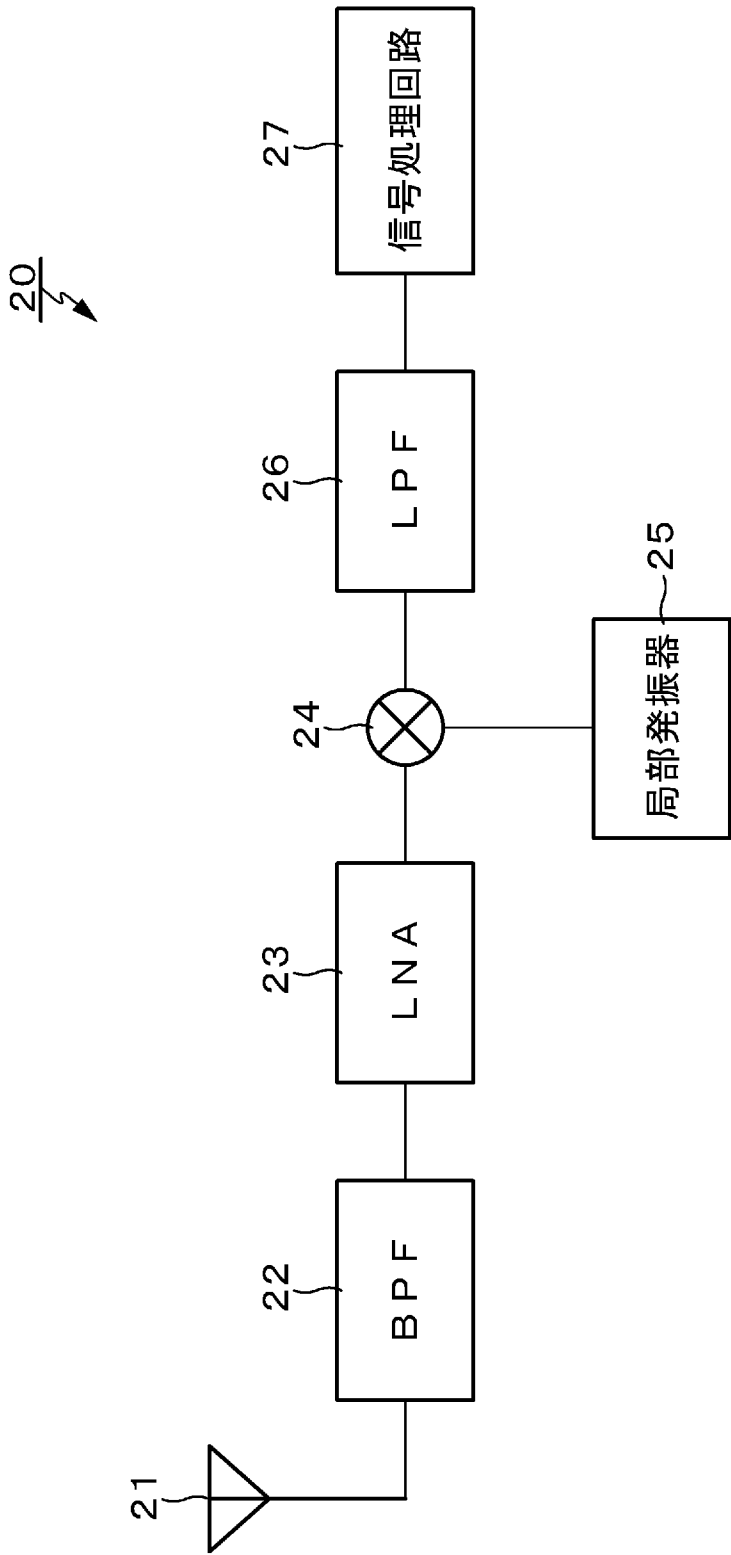
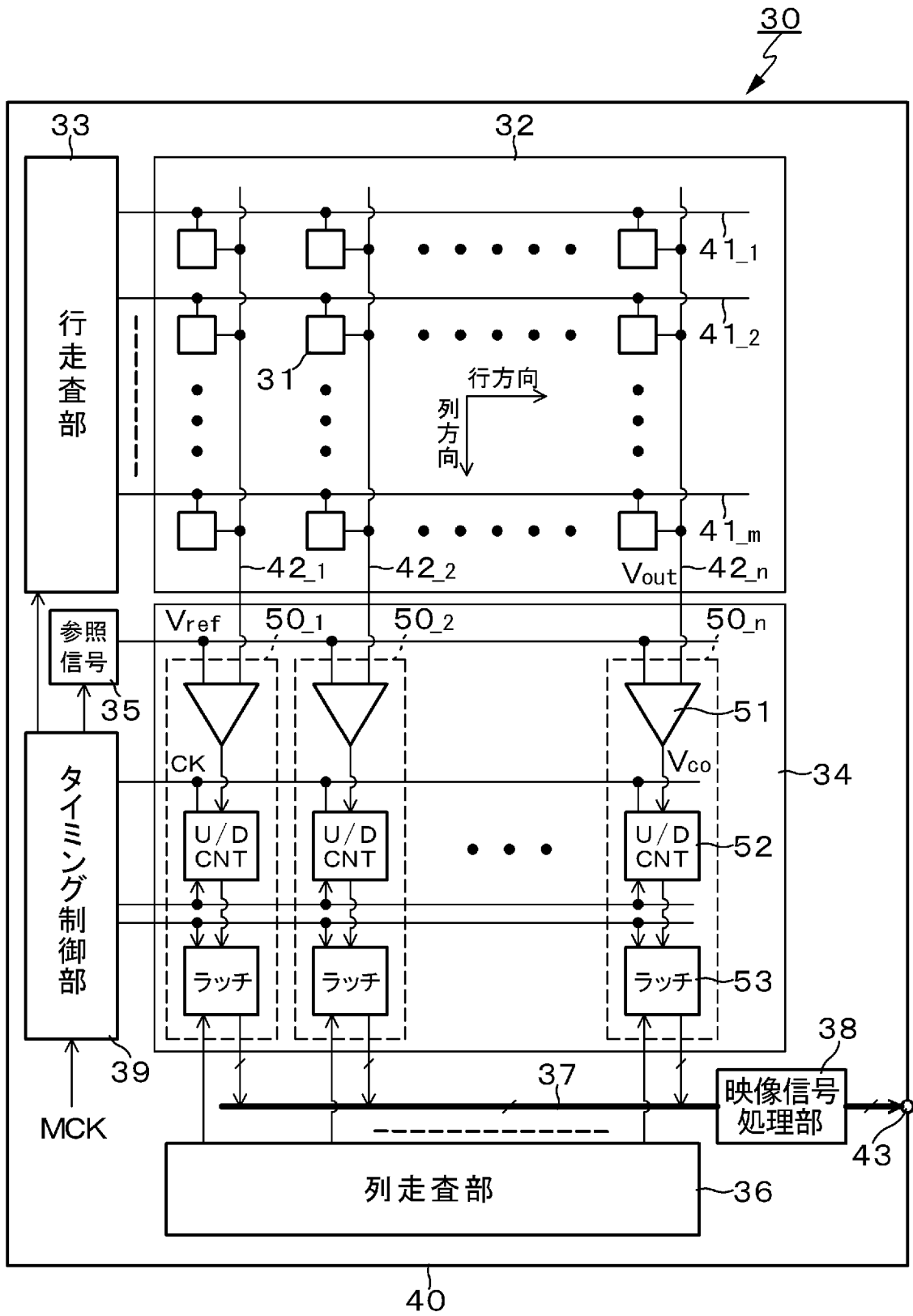
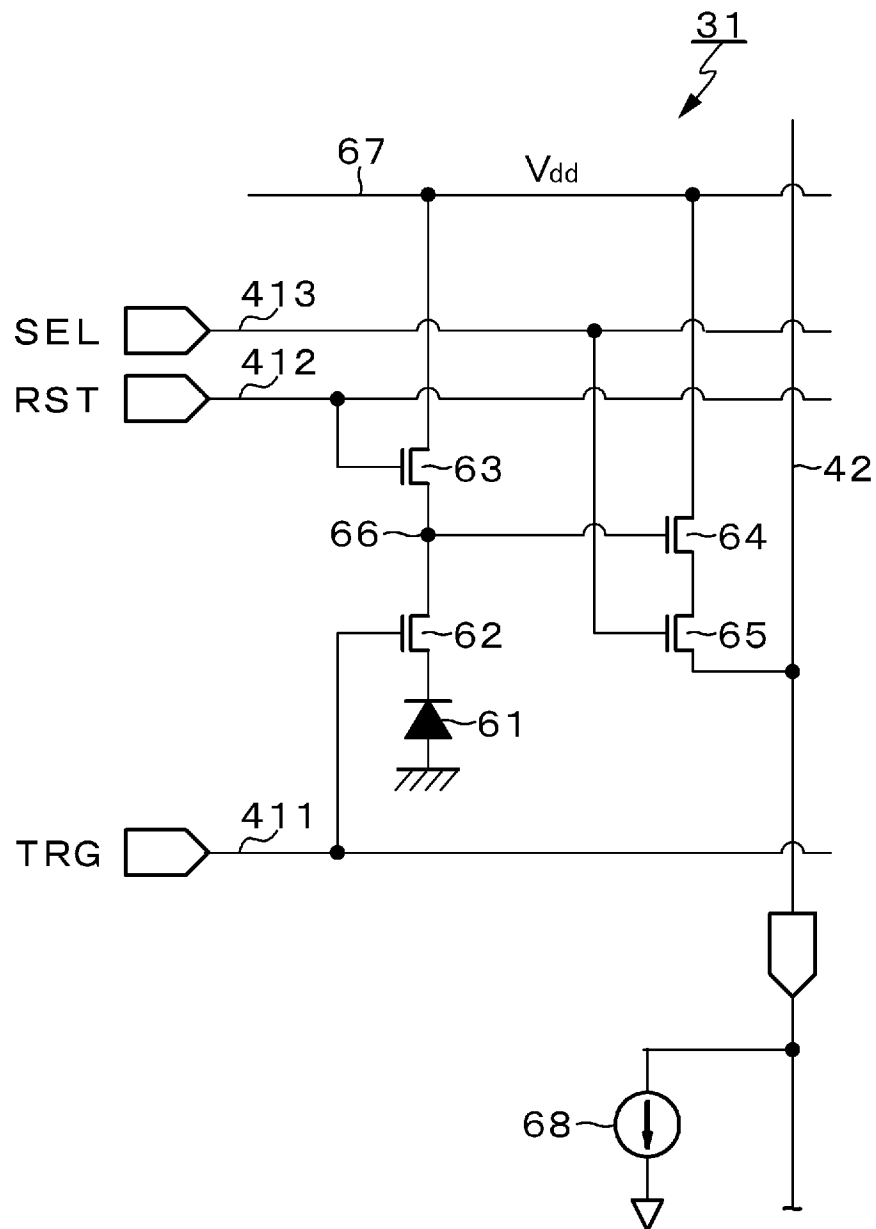


图 14



[図15]

図 1 5



[図16]

図 1 6 A

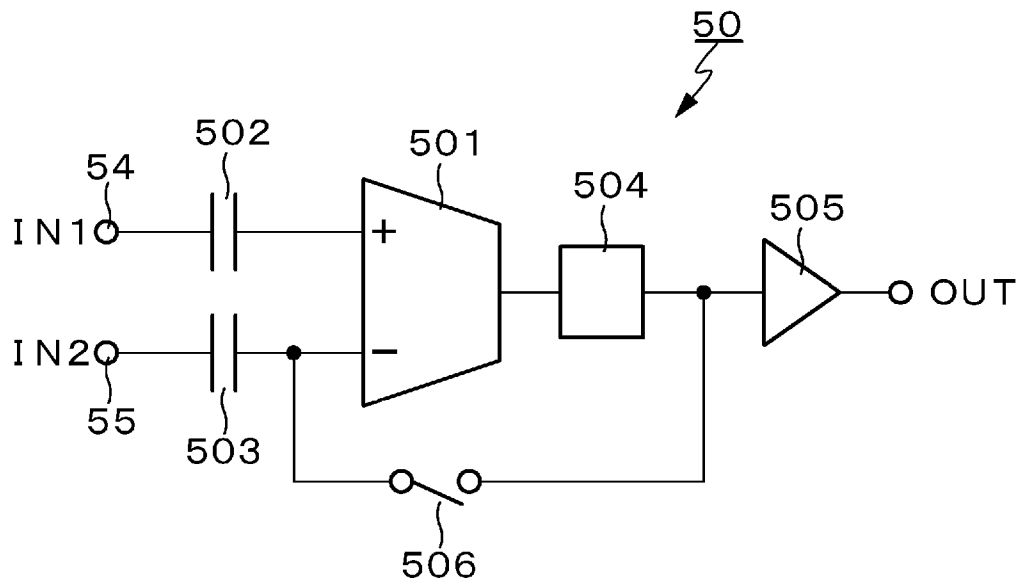
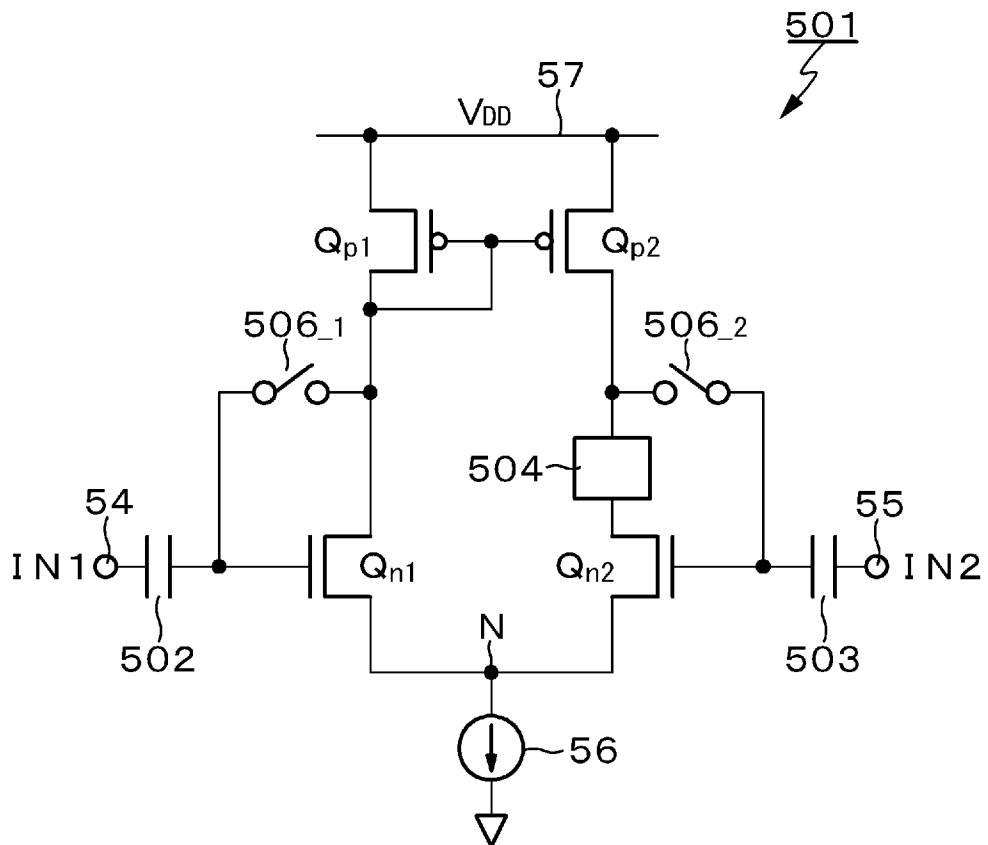
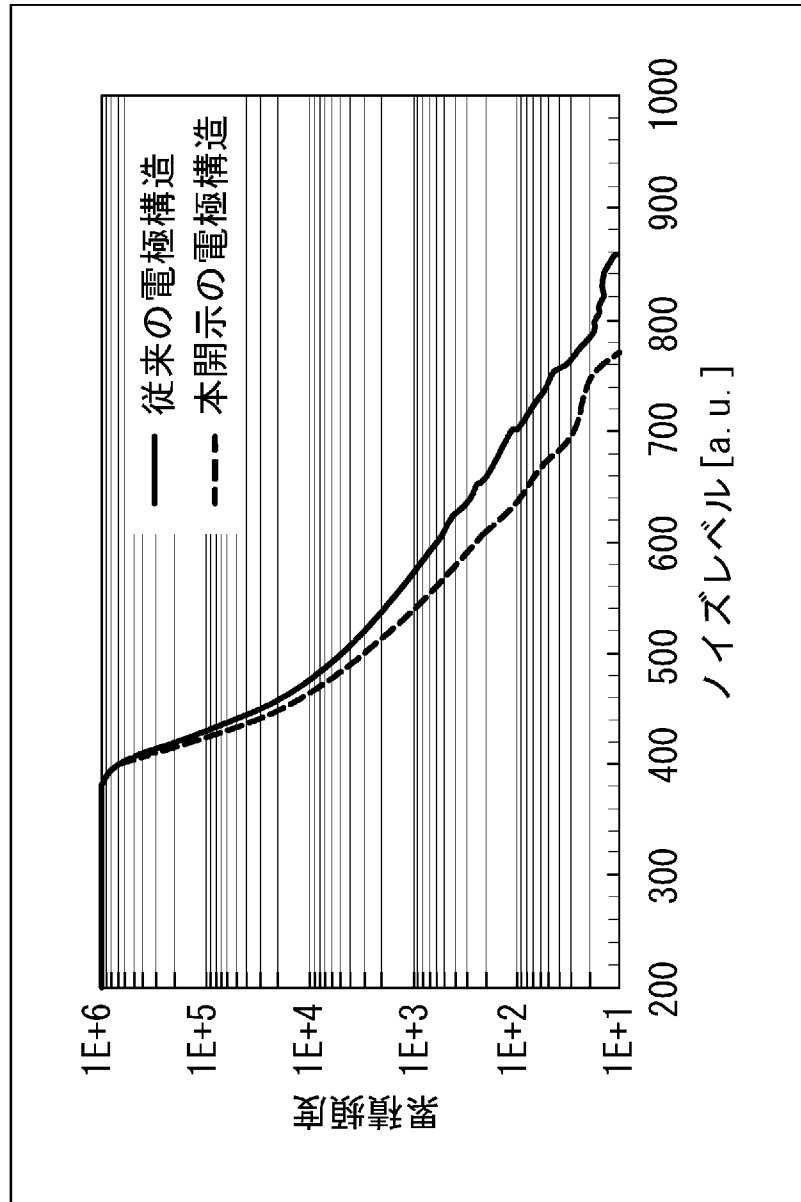


図 1 6 B



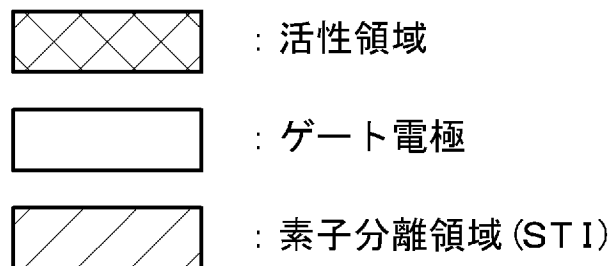
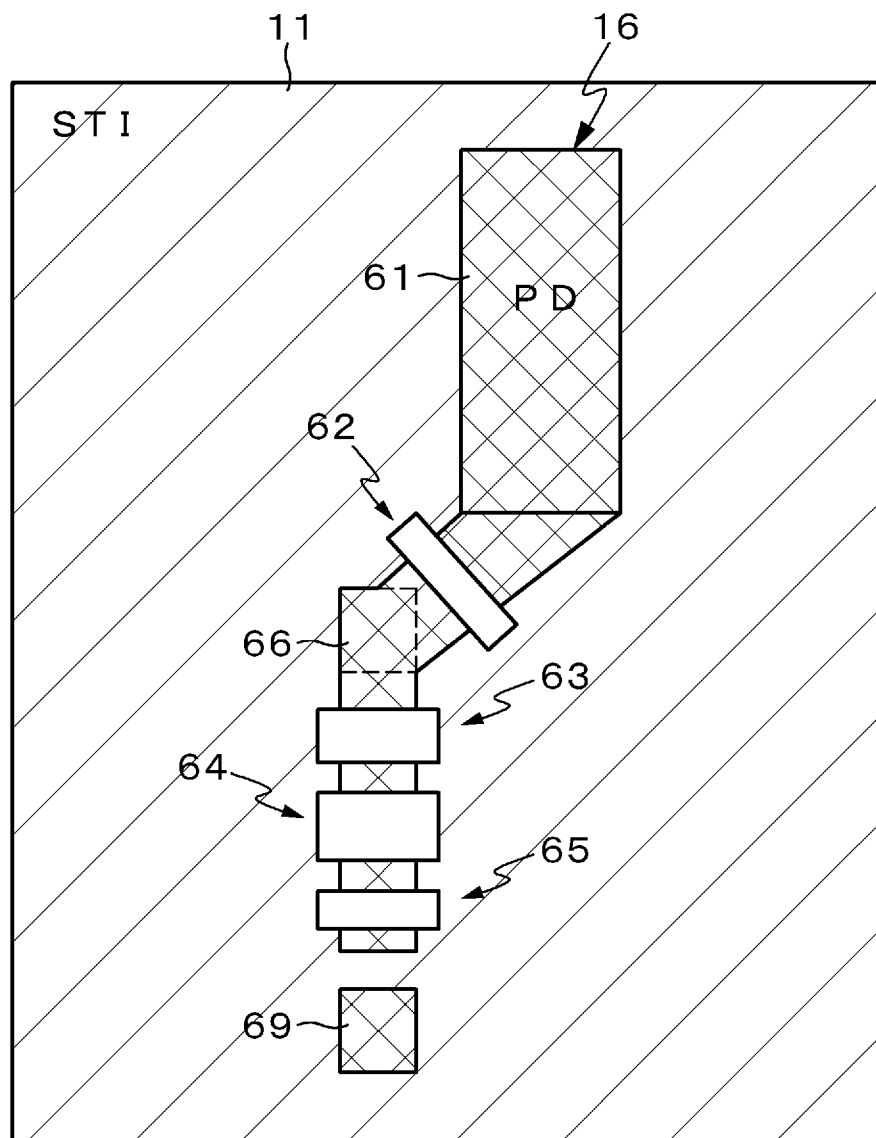
[図17]

図 1 7



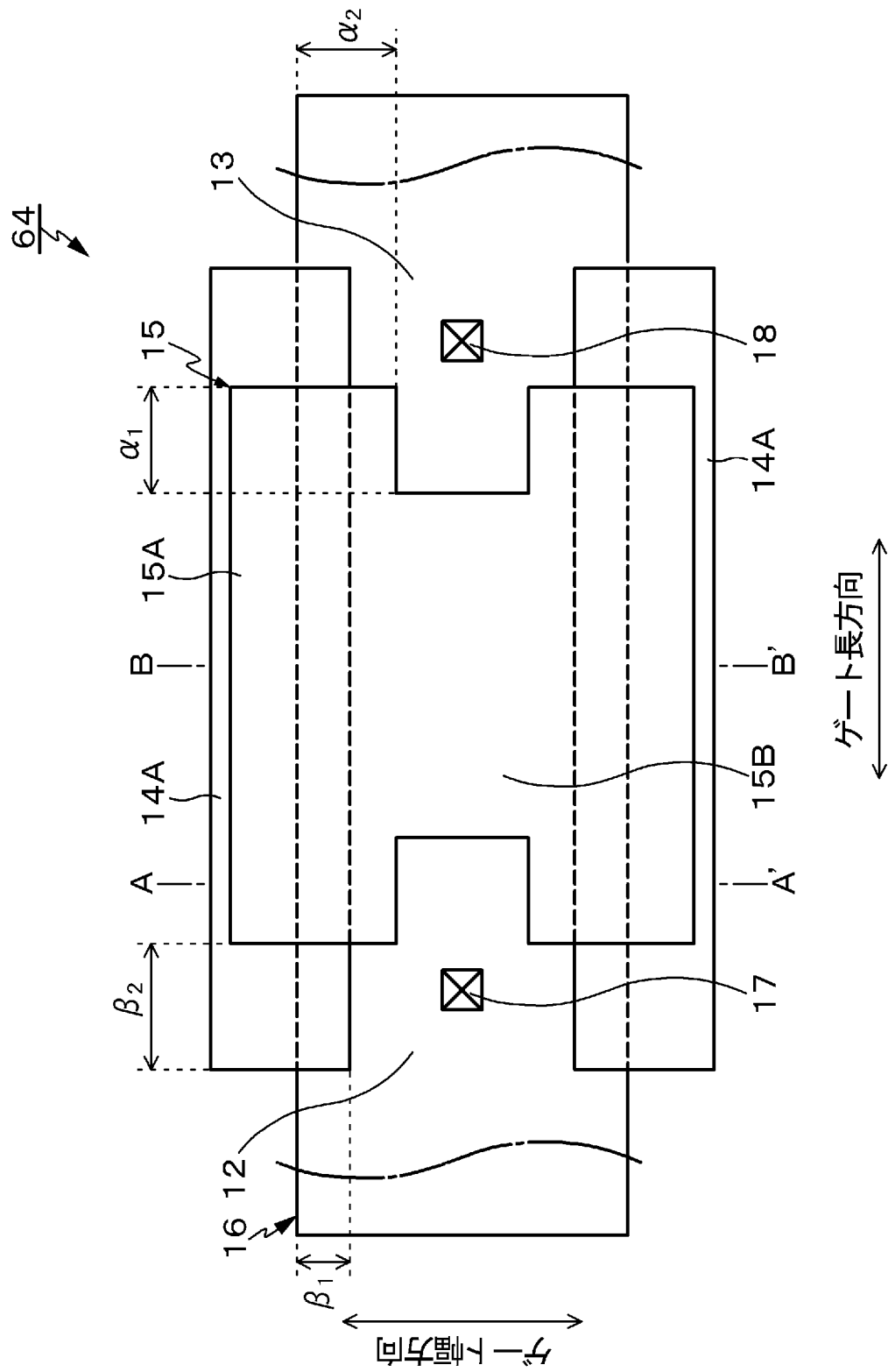
[図18]

図 1 8



[図19]

図 19



[図20]

図20A

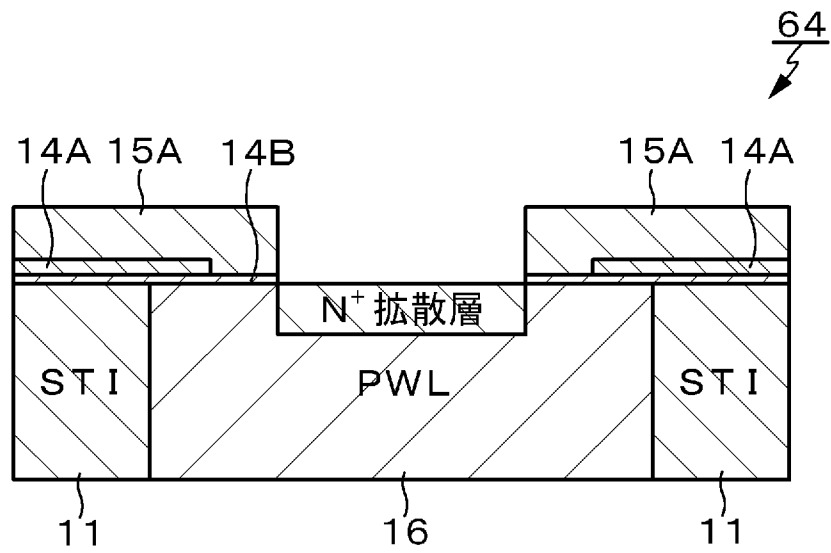
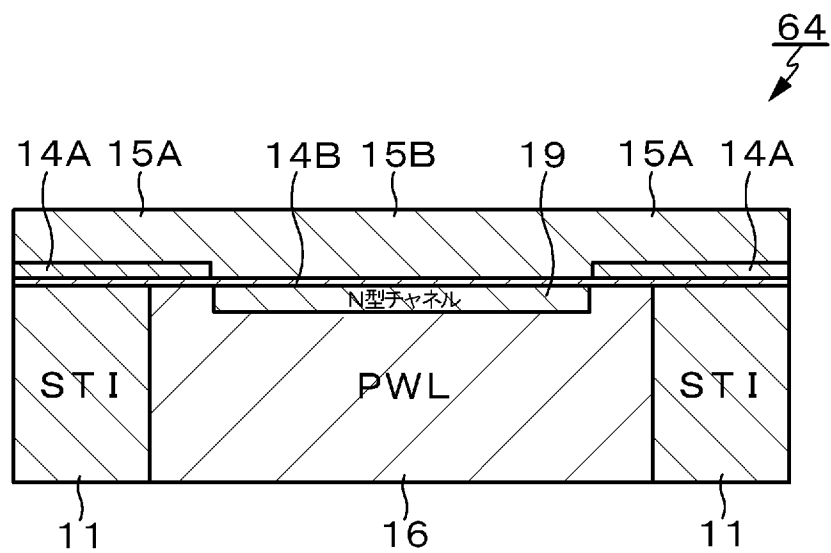


図20B



[図21]

図 2 1

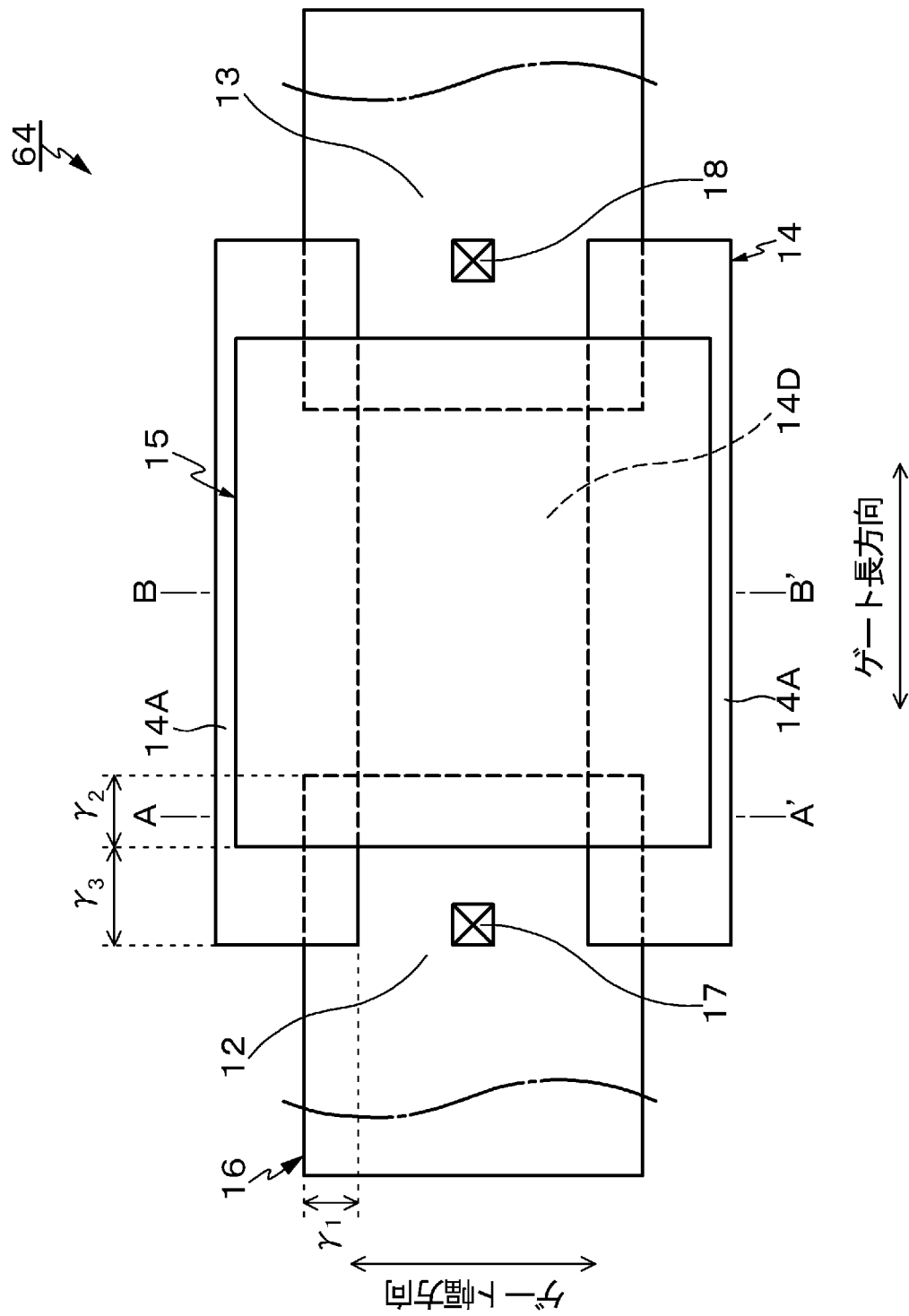
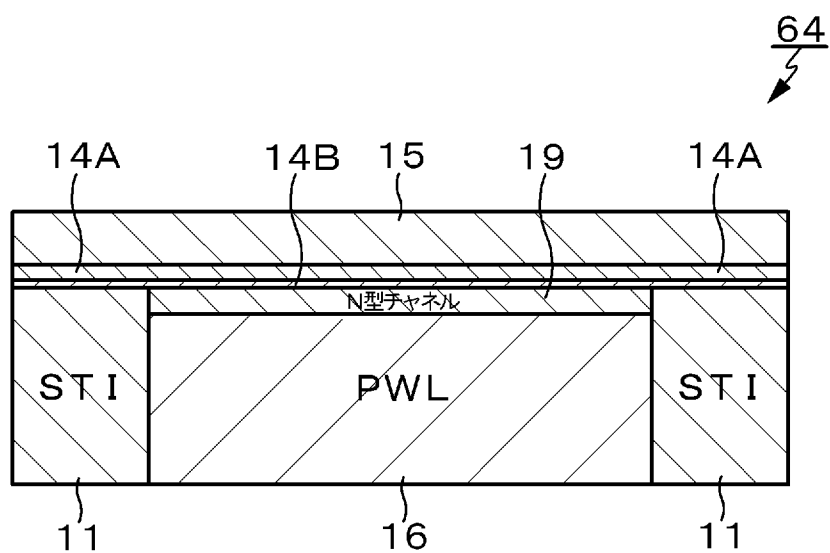
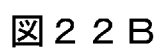
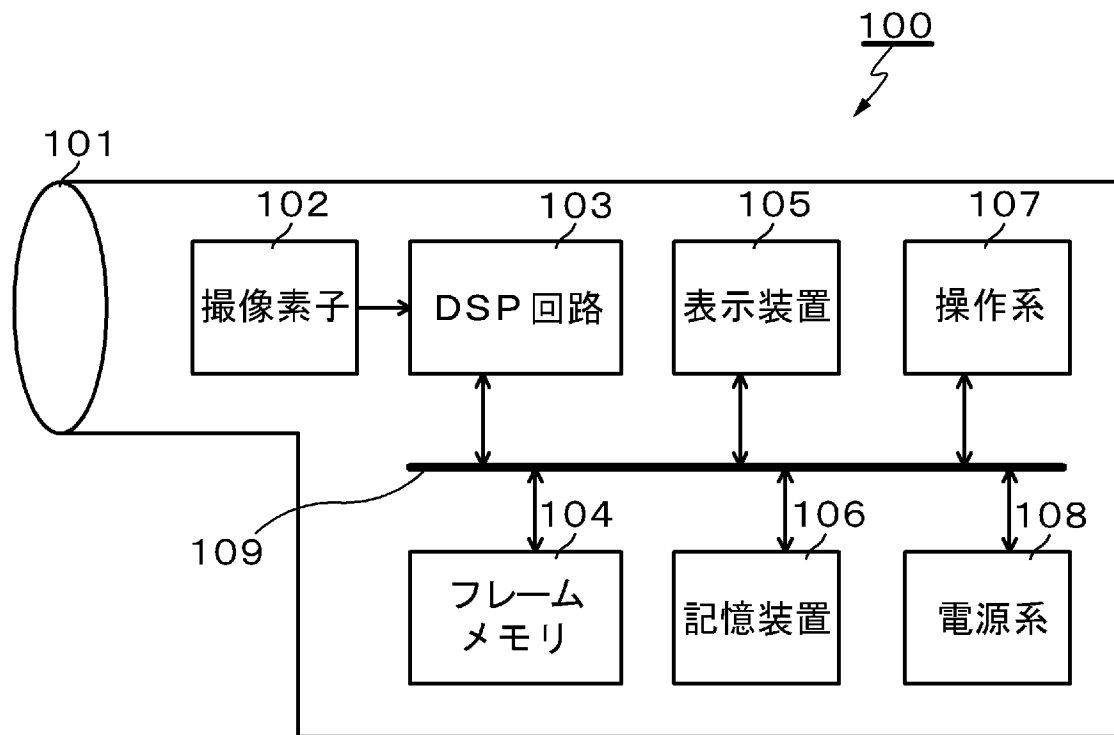


図 2 2 A



[図23]

図 2 3



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/073433

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i,
H04N5/374(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H01L21/336, H01L29/78, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-138851 A (Renesas Electronics Corp.), 30 July 2015 (30.07.2015),	1-2, 4-7, 11-15
Y	paragraphs [0002] to [0121]; fig. 1 to 14 & US 2015/0206920 A1 paragraphs [0002] to [0140]; fig. 1 to 14 & US 2016/0099286 A1 & CN 104795415 A	3, 8-10
Y	WO 2013/027524 A1 (Sharp Corp.), 28 February 2013 (28.02.2013), paragraphs [0096] to [0098]; fig. 11 & US 2014/0191290 A1 paragraphs [0121] to [0123]; fig. 11 & TW 201312740 A	3, 8-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
21 October 2016 (21.10.16)

Date of mailing of the international search report
01 November 2016 (01.11.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/073433

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-114036 A (Brookman Technology, Inc.), 09 June 2011 (09.06.2011), paragraphs [0002] to [0004]; fig. 27 to 28 (Family: none)	9
Y	TAKEUCHI, K. et al., Single-Charge-Based Modeling of Transistor Characteristics Fluctuations Based on Statistical Measurement of RTN Amplitude, In: 2009 Symposium on VLSI Technology Digest of Technical Papers, 2009.06.16, p. 54-55, particularly, p. 54, left column, line 55 to right column, line 7, p.55, fig. 7	9
Y	JP 2005-064190 A (Toshiba Corp.), 10 March 2005 (10.03.2005), paragraphs [0016] to [0039], [0088] to [0096]; fig. 1 to 5, 25 to 33 (Family: none)	10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/146(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/146, H01L21/336, H01L29/78, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2015-138851 A（ルネサスエレクトロニクス株式会社） 2015.07.30, 段落 [0002] - [0121], [図 1] - [図 14]	1-2, 4-7, 11-15
Y	& US 2015/0206920 A1, 段落 [0002] - [0140], 図 1-14 & US 2016/0099286 A1 & CN 104795415 A	3, 8-10
Y	WO 2013/027524 A1（シャープ株式会社） 2013.02.28, 段落 [0096] - [0098], [図 11] & US 2014/0191290 A1, 段落 [0121] - [0123], 図 11 & TW 201312740 A	3, 8-10

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 1 0 . 2 0 1 6

国際調査報告の発送日

0 1 . 1 1 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

田邊 顕人

5 F

5 8 9 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-114036 A (株式会社ブルックマンテクノロジー) 2011.06.09, 段落 [0002] - [0004], [図 27] - [図 28] (ファミリーなし)	9
Y	TAKEUCHI, K. et al., Single-Charge-Based Modeling of Transistor Characteristics Fluctuations Based on Statistical Measurement of RTN Amplitude, In: 2009 Symposium on VLSI Technology Digest of Technical Papers, 2009.06.16, p. 54-55, 特に p. 54, 左欄第 55 行-右欄第 7 行, p. 55, 第 7 図	9
Y	JP 2005-064190 A (株式会社東芝) 2005.03.10, 段落 [0016] - [0039], [0088] - [0096], [図 1] - [図 5], [図 25] - [図 33] (ファミリーなし)	10