



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0139595
(43) 공개일자 2014년12월05일

- (51) 국제특허분류(Int. Cl.)
G06F 1/04 (2006.01) *G11C 7/22* (2006.01)
G11C 11/419 (2006.01)
- (21) 출원번호 10-2014-7029964
- (22) 출원일자(국제) 2013년03월28일
심사청구일자 없음
- (85) 번역문제출일자 2014년10월24일
- (86) 국제출원번호 PCT/US2013/034414
- (87) 국제공개번호 WO 2013/149040
국제공개일자 2013년10월03일
- (30) 우선권주장
13/433,891 2012년03월29일 미국(US)

- (71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
제, 샤오펑
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
차이, 치아밍
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)
- (74) 대리인
특허법인 남앤드남

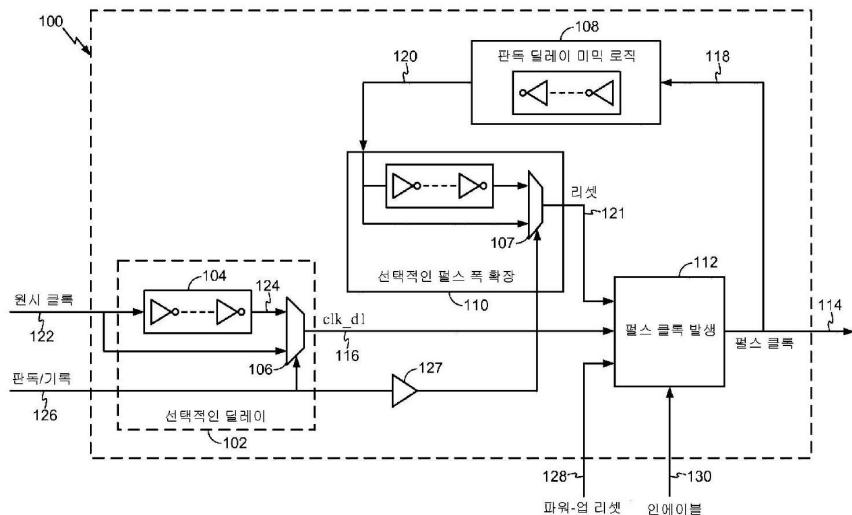
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 내장형 레벨 시프터 및 프로그래머블 상승 엣지 및 펄스 폭을 갖는 펄스 클록 발생 로직

(57) 요 약

본 발명은 상이한 메모리 액세스 동작들의 요건들을 변화시키기 위해 구성된 프로그래머블 엣지들 및 펄스 폭들을 갖는 펄스 클록들을 발생시키기 위한 시스템들 및 방법들에 관한 것이다. 펄스 클록 발생 회로(100)는, 펄스 클록(114)의 프로그래머블 상승 엣지 딜레이를 제공하기 위한 선택적인 딜레이 회로(102), 펄스 클록의 프로그래머블 펄스 폭을 제공하기 위한 선택적인 펄스 폭 확대 회로(110), 및 펄스 클록의 전압 레벨을 시프팅하기 위한 내장형 레벨 시프터를 포함한다. 판독 동작에 대한 상승 엣지 딜레이는 예상 판독 어레이 액세스 딜레이에 대응하도록 프로그래밍되고, 기록 동작에 대한 펄스 폭은 판독 동작에 대한 펄스 폭보다 더 넓게 되도록 프로그래밍된다.

대 표 도



(72) 발명자

리레스, 스티븐 에드워드

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

엔구옌, 램 브이.

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

피셔, 제프리 허버트

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

특허청구의 범위

청구항 1

펄스 클록을 발생시키기 위한 방법으로서,
 상기 펄스 클록의 프로그래머블 상승 엣지 딜레이를 구성하는 단계;
 상기 펄스 클록의 프로그래머블 펄스 폭을 구성하는 단계;
 상기 펄스 클록의 전압 레벨을 시프팅하기 위한 레벨 시프터를 구성하기 위한 단계; 및
 프로그래밍된 상승 엣지 딜레이, 프로그래밍된 펄스 폭, 및 시프팅된 전압 레벨에 따라서 상기 펄스 클록을 발생시키는 단계를 포함하는,
 펄스 클록을 발생시키기 위한 방법.

청구항 2

제 1 항에 있어서,
 저전압 레벨에서의 원시 클록(raw clock)으로부터 고전압 레벨의 펄스 클록을 발생시키는 단계를 포함하는,
 펄스 클록을 발생시키기 위한 방법.

청구항 3

제 2 항에 있어서,
 상기 저전압 레벨에서의 상기 원시 클록의 상승 엣지는, 상기 고전압 레벨에서 펄스 클록의 상승 엣지를 발생시키도록 구성되는,
 펄스 클록을 발생시키기 위한 방법.

청구항 4

제 2 항에 있어서,
 상기 펄스 클록의 상기 상승 엣지 딜레이를 발생시키기 위해 기록 동작 동안 상기 원시 클록을 딜레이하는 단계를 더 포함하는,
 펄스 클록을 발생시키기 위한 방법.

청구항 5

제 1 항에 있어서,
 판독 동작에 대한 상승 엣지 딜레이는, 예상 판독 어레이 액세스 딜레이에 대응하도록 프로그래밍되는,
 펄스 클록을 발생시키기 위한 방법.

청구항 6

제 1 항에 있어서,
 기록 동작에 대한 펄스 폭은, 판독 동작에 대한 펄스 폭보다 더 넓게 되도록 프로그래밍되는,
 펄스 클록을 발생시키기 위한 방법.

청구항 7

펄스 클록을 발생시키기 위한 펄스 클록 발생 회로로서,
 상기 펄스 클록 발생 회로는:

상기 펠스 클록의 프로그래머블 상승 엣지 딜레이를 제공하기 위한 선택적인 딜레이 로직;

상기 펠스 클록의 프로그래머블 펠스 폭을 제공하기 위한 선택적인 펠스 폭 확대 로직;

상기 펠스 클록의 전압 레벨을 시프팅하도록 구성된 내장형 레벨 시프터; 및

프로그래밍된 상승 엣지 딜레이, 프로그래밍된 펠스 폭, 및 시프팅된 전압 레벨에 따라서 상기 펠스 클록을 발생시키도록 구성된 로직을 포함하는,

펠스 클록 발생 회로.

청구항 8

제 7 항에 있어서,

상기 펠스 클록은 저전압 도메인에서의 원시 클록으로부터 고전압 도메인에 발생되는,

펠스 클록 발생 회로.

청구항 9

제 8 항에 있어서,

상기 저전압 도메인에서의 상기 원시 회로의 상승 엣지는, 상기 고전압 도메인에서의 상기 펠스 클록의 상승 엣지를 발생시키도록 구성되는,

펠스 클록 발생 회로.

청구항 10

제 8 항에 있어서,

상기 선택적인 펠스 폭 확대 로직은, 상기 펠스 클록의 상기 상승 엣지 딜레이를 발생시키기 위해 기록 동작 동안 상기 원시 클록을 딜레이하도록 구성되는,

펠스 클록 발생 회로.

청구항 11

제 7 항에 있어서,

판독 딜레이 미만 로직은, 판독 동작에 대한 펠스 클록의 상승 엣지에 프로그래머블 딜레이를 제공하도록 구성되고,

상기 프로그래머블 딜레이는 판독 어레이 액세스에 대한 예상 딜레이에 일치하는,

펠스 클록 발생 회로.

청구항 12

제 7 항에 있어서,

상기 선택적인 펠스 폭 확대 로직은, 판독 동작에 대한 펠스 폭보다 더 넓은 기록 동작에 대한 펠스 폭을 발생시키도록 구성되는,

펠스 클록 발생 회로.

청구항 13

제 7 항에 있어서,

상기 펠스 클록을 낮은 로직 레벨로 구동시키도록 구성된 입력 리셋 신호를 더 포함하는,

펠스 클록 발생 회로.

청구항 14

제 7 항에 있어서,

상기 펠스 클록을 안정화하기 위한 래치를 더 포함하는,
펠스 클록 발생 회로.

청구항 15

제 14 항에 있어서,

상기 래치에 의해 생성되는 전하 공유를 감소시키기 위해 풀-업 트랜지스터들을 더 포함하는,
펠스 클록 발생 회로.

청구항 16

제 7 항에 있어서,

상기 펠스 클록의 펠싱 거동을 가능하게 하기 위해 입력 인에이블 신호를 더 포함하는,
펠스 클록 발생 회로.

청구항 17

제 16 항에 있어서,

상기 입력 인에이블 신호는, 메모리 액세스 동작의 완료를 위해 일정 시간 기간에 대응하는 복수의 클록 사이클
들 동안 상기 펠스 클록의 펠싱 거동을 가능하게 하도록 구성되는,
펠스 클록 발생 회로.

청구항 18

제 7 항에 있어서,

반도체 다이에 집적되는,
펠스 클록 발생 회로.

청구항 19

제 7 항에 있어서,

셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스,
PDA(personal digital assistant), 고정형 위치 데이터 유닛, 및 컴퓨터로 구성된 그룹으로부터 선택된 디바이스
스로 집적되는,

펠스 클록 발생 회로.

청구항 20

펠스 클록을 발생시키기 위한 펠스 클록 발생 시스템으로서,

상기 펠스 클록 발생 시스템은:

상기 펠스 클록의 프로그래머블 상승 엣지 딜레이를 제공하기 위한 선택적인 딜레이 수단;

상기 펠스 클록의 프로그래머블 펠스 폭을 제공하기 위한 선택적인 펠스 폭 확대 수단;

상기 펠스 클록의 전압 레벨을 시프팅하기 위한 내장형 레벨 시프팅 수단; 및

프로그래밍된 상승 엣지 딜레이, 프로그래밍된 펠스 폭, 및 시프팅된 전압 레벨에 따라서 상기 펠스 클록을 발
생시키기 위한 수단을 포함하는,

펠스 클록 발생 시스템.

청구항 21

비-일시적 컴퓨터-판독가능 저장 매체로서,

프로세서에 의해 실행될 때, 상기 프로세서로 하여금, 펄스 클록 발생기를 프로그래밍하기 위한 동작들을 수행하게 하는 코드를 포함하고,

상기 비-일시적 컴퓨터-판독가능 저장 매체는:

상기 펄스 클록의 프로그래머블 상승 엣지 딜레이를 구성하기 위한 코드;

상기 펄스 클록의 프로그래머블 펄스 폭을 구성하기 위한 코드;

상기 펄스 클록의 전압 레벨을 시프팅하기 위한 레벨 시프터를 구성하기 위한 코드; 및

프로그래밍된 상승 엣지 딜레이, 프로그래밍된 펄스 폭, 및 시프팅된 전압 레벨에 따라서 상기 펄스 클록을 발생시키기 위한 코드를 포함하는,

비-일시적 컴퓨터-판독가능 저장 매체.

명세서

기술 분야

[0001]

개시된 실시예들은 일반적으로 펄스 클록 발생에 관한 것이다. 더욱 구체적으로는, 예시적인 실시예들이 상이한 메모리 액세스 동작들의 요건들을 변화시키기 위해 구성된 프로그래머블 엣지들 및 펄스 폭들을 갖는 펄스 클록들을 발생시키는 것에 관한 것이다.

배경기술

[0002]

핸드헬드 디바이스 및 모바일 폰 산업들에서 연장된 배터리 수명 및 높은 프로세싱 속도에 대한 증가하는 요구들은 저전력 및 고성능 메모리 시스템들에 대한 대응하는 필요성을 생성하였다. 전력을 아끼기 위해, 온-칩 메모리는 낮은 공급 전압 레벨들로 제한된다.

[0003]

그러나, 6T-SRAM(6 Transistor Static Random Access Memory)과 같은 종래의 메모리 셀들은 매우 낮은 전압들에서 동작할 수 없다. 일반적인 해결책은, 메모리 셀들이 비교적 높은 전압 레벨에서 동작될 수 있으면서 다른 온-칩 로직은 저전압들에서 동작될 수 있도록, 다수의 전압 도메인들의 이용을 수반한다. 다수의 전압 도메인들을 달성하기 위해, 필요에 따라 저전압에서 고전압으로 그리고 그 반대로 변환하기 위해 레벨 시프터들이 흔히 이용된다. 그러나, 레벨 시프터들은 레이턴시를 도입하며, 이는 타이밍 임계적인 경로들에서 바람직하지 않을 수도 있다.

[0004]

메모리 셀들의 큰 어레이들을 포함하는 메모리 시스템들의 경우에서, (예를 들어, 프로세스 변동들로 인한) 디바이스 변동들의 영향들을 극복하기 위해 국부적으로 발생된 셀프-타이밍(self-timed) 펄스 클록들이 종종 활용된다. 이러한 펄스 클록들은 상이한 메모리 액세스 동작들에 대해 상충되는 니즈(needs)의 영향을 받을 수 있다. 예를 들어, 메모리 판독 동작 동안, 빠른 판독 액세스를 가능하게 하기 위해, 펄스 클록의 상승 엣지는, 액세스되고 있는 메모리 어레이의 메모리 셀들에 가능한 한 빨리 도달하게 하는 것이 바람직할 수 있다. 더욱이, 메모리 판독 동작 동안, 비트 라인들 상에서의 전체 전압 스윙들을 불허함으로써 전력 소모를 감소시키기 위해, 펄스 클록의 펄스 폭은 좁게 되는 것이 바람직할 수 있다.

[0005]

한편으로는, 메모리 기록 동작은 대개 타이밍 임계적이지 않으며, 이에 따라 펄스 클록의 상승 엣지에서의 더 높은 도달 딜레이들을 허용할 수 있다. 사실상, 메모리 기록 동작들은 데이터가 기록되기 위한 충분한 셋-업 시간을 허용하기 위해 펄스 클록에서 딜레이들로부터의 이득을 취할 수 있다. 판독 동작들에 더 대조적으로, 기록 동작들 동안, 특히 낮은 공급 전압 레벨들에서의 기록 동작들의 성공적인 완료를 보증하기 위해 충분한 기록 시간을 허용하도록 펄스 클록의 펄스 폭은 더 넓게 되는 것이 바람직할 수 있다. 종래의 펄스 클록 구현들은, 메모리 셀들 상에서의 판독 및 기록 동작들에 대해 이러한 상충하는 니즈를 충족시키는데에는 매우 적합하지 않다.

[0006]

이에 따라, 레벨 시프터들 및 펄스 클록들과 연관된 전술한 문제들을 회피하는 해결책에 대한 필요성이 당업계

에 존재한다.

발명의 내용

- [0007] 본 발명의 예시적인 실시예들은, 상이한 메모리 액세스 동작들의 요건들을 변화시키도록 구성된 프로그래머블 엣지들 및 펠스 폭들을 갖는 펠스 클록들을 발생시키기 위한 시스템들 및 방법들에 관한 것이다.
- [0008] 예를 들어, 예시적인 실시예는: 펠스 클록의 프로그래머블 상승 엣지 딜레이를 구성하는 단계; 펠스 클록의 프로그래머블 펠스 폭을 구성하는 단계; 펠스 클록의 전압 레벨을 시프팅하기 위한 레벨 시프터를 구성하는 단계; 및 프로그래밍된 상승 엣지 딜레이, 프로그래밍된 펠스 폭, 및 시프팅된 전압 레벨에 따라서 펠스 클록을 발생시키는 단계를 포함하는 펠스 클록을 발생시키기 위한 방법에 관한 것이다.
- [0009] 다른 예시적인 실시예는: 펠스 클록의 프로그래머블 상승 엣지 딜레이를 제공하기 위한 선택적인 딜레이 로직; 펠스 클록의 프로그래머블 펠스 폭을 제공하기 위한 선택적인 펠스 폭 확대 로직; 펠스 클록의 전압 레벨을 시프트하도록 구성된 내장형(built-in) 레벨 시프터; 및 프로그래밍된 상승 엣지 딜레이, 프로그래밍된 펠스 폭, 및 시프팅된 전압 레벨에 따라서 펠스 클록을 발생시키도록 구성된 로직을 포함하는 펠스 클록 발생 회로에 관한 것이다.
- [0010] 또 다른 예시적인 실시예는 펠스 클록을 발생시키기 위한 펠스 클록 발생 시스템에 관한 것이며, 여기서 펠스 클록 발생 시스템은: 펠스 클록의 프로그래머블 상승 엣지 딜레이를 제공하기 위한 선택적인 딜레이 수단; 펠스 클록의 프로그래머블 펠스 폭을 제공하기 위한 선택적인 펠스 폭 확대 수단; 펠스 클록의 전압 레벨을 시프팅하기 위한 내장형 레벨 시프팅 수단; 및 프로그래밍된 상승 엣지 딜레이, 프로그래밍된 펠스 폭, 및 시프팅된 전압 레벨에 따라서 펠스 클록을 발생시키기 위한 수단을 포함한다.
- [0011] 또 다른 예시적인 실시예는, 프로세서에 의해 실행될 때, 프로세서로 하여금 펠스 클록 발생기를 프로그래밍하기 위한 동작들을 수행하게 하는 코드를 포함하는 비-일시적 컴퓨터-판독가능 저장 매체에 관한 것이며, 상기 비-일시적 컴퓨터-판독가능 저장 매체는: 펠스 클록의 프로그래머블 상승 엣지 딜레이를 구성하기 위한 코드; 펠스 클록의 프로그래머블 펠스 폭을 구성하기 위한 코드; 펠스 클록의 전압 레벨을 시프팅하기 위한 레벨 시프터를 구성하기 위한 코드; 및 프로그래밍된 상승 엣지 딜레이, 프로그래밍된 펠스 폭, 및 시프팅된 전압 레벨에 따라서 펠스 클록을 발생시키기 위한 코드를 포함한다.

도면의 간단한 설명

- [0012] 첨부 도면들은, 본 발명의 실시예들의 상세한 설명을 돋도록 제시되고, 실시예들의 제한이 아닌 실시예들의 오직 예시를 위해서 제공된다.
- 도 1은, 예시적인 실시예에 따라서 구성된 셀프-타이밍 펠스 클록 발생 회로(100)의 개략적인 표현을 예시한다.
- 도 2는, 도 1의 셀프-타이밍 펠스 클록 발생 회로(100)의 펠스 클록 발생 로직(112)의 트랜지스터-레벨 개략도를 예시한다.
- 도 3는, 셀프-타이밍 펠스 클록 발생 회로(100)에 관련된 펠스 클록들의 표현들을 포함하는 타이밍 도면을 예시한다.
- 도 4는, 예시적인 실시예들에 따라서 발생된 펠스 클록이 적용될 수 있는 종래의 6T SRAM 셀(400)을 예시한다.
- 도 5는, 예시적인 실시예들에 따라서 펠스 클록을 발생시키는 예시적인 방법을 나타내는 플로우 차트이다.
- 도 6은, 본 개시물의 실시예가 유리하게 채용될 수 있는 예시적인 무선 통신 시스템(600)을 예시한다.

발명을 실시하기 위한 구체적인 내용

- [0013] 본 발명의 양상들은, 본 발명의 특정 실시예들에 관련된 후술하는 상세한 설명 및 관련 도면들에 개시된다. 대안적인 실시예들이 본 발명의 범위를 벗어나지 않고 고안될 수 있다. 추가적으로, 본 발명의 잘 알려진 엘리먼트들은 본 발명의 관련 세부사항들을 모호하게 하지 않기 위해 상세하게 설명되지 않거나 또는 생략될 것이다.
- [0014] 단어 "예시적인"은 "예, 예시, 또는 예증으로서 기능하는"을 의미하도록 본원에 이용된다. "예시적인"으로서 본원에 설명된 어떠한 실시예도 반드시 다른 실시예들에 비해 선호되거나 또는 유리한 것으로서 해석되는 것은 아니다. 유사하게, 용어 "본 발명의 실시예들"은, 본 발명의 모든 실시예들이 논의된 특징, 이점, 또는 동작

모드를 포함하는 것을 요구하지 않는다.

[0015] 본원에 이용된 용어는, 오직 특정한 실시예들을 설명하는 목적을 위한 것이며, 본 발명의 실시예들을 제한하도록 의도되지 않는다. 본원에 이용된 바와 같이, 단수 형태들은, 문맥상 명확하게 달리 명시하지 않는 한, 복수 형태들도 또한 포함하는 것으로 의도된다. 용어들 "포함하다(comprises)", "포함하는(comprising)", "구비하다(includes)" 및/또는 "구비하는(including)"은, 본 명세서에 이용되는 경우, 언급된 특징들, 정수들, 단계들, 동작들, 엘리먼트들, 및/또는 컴포넌트들의 존재를 특정하지만, 하나 또는 그 초과의 다른 특징들, 정수들, 단계들, 동작들, 엘리먼트들, 컴포넌트들, 및/또는 이들의 그룹들의 존재 또는 부가를 불가능하게 하는 것은 아니라는 것을 더 이해할 것이다.

[0016] 게다가, 수많은 실시예들이, 예를 들어, 컴퓨팅 디바이스의 엘리먼트들에 의해 수행될 액션들의 시퀀스들과 관련하여 설명된다. 본원에 설명된 다양한 액션들은, 특정 회로들(예컨대, ASIC들(application specific integrated circuits)), 하나 또는 그 초과의 프로세서들에 의해 실행되는 프로그램 명령들, 또는 이 둘의 조합에 의해 수행될 수 있다는 것을 인식할 것이다. 추가적으로, 본원에 설명된 액션들의 이러한 시퀀스들은, 실행 시에 관련 프로세서로 하여금 본원에 설명된 기능을 수행하게 할 수 있는 대응하는 세트의 컴퓨터 명령들이 저장된 임의의 형태의 컴퓨터 판독가능 저장 매체 내에서 전체적으로 구현되는 것으로 고려될 수 있다. 이에 따라, 본 발명의 다양한 양상들은 다수의 상이한 형태들로 구현될 수 있고, 그 모두는 청구된 청구물의 범위 내에 있는 것으로 고려되었다. 또한, 본원에 설명된 실시예들 각각의 경우, 임의의 이러한 실시예들의 대응하는 형태는, 예를 들어, "설명된 액션을 수행 "하도록 구성된 로직"으로서 본원에 설명될 수 있다.

[0017] 예시적인 실시예들은, 판독 동작과 기록 동작의 상충하는 요건들을 충족시키기 위해 프로그래머블 펄스 폭 및 상승 엣지 딜레이들을 위해 구성된 셀프-타이밍 펄스 클록 발생 회로들에 관한 것이다. 게다가, 예시적인 실시예들은, 종래의 구현들에서 발생할 수 있는 글리치들 및 전하 공유 문제들을 방지하면서 또한 별도의 전압 레벨 시프터로부터 추가적인 딜레이들을 도입하지 않고, 저전압 도메인에서의 원시 클록을 고전압 도메인에서의 판독 및 기록 동작들을 위한 펄스 클록들로 변환하도록 구성된 내장형 레벨 시프터를 포함할 수 있다.

[0018] 도 1을 이제 참조하면, 예시적인 실시예들에 따라서 구성된 셀프-타이밍 펄스 클록 발생 회로(100)가 예시된다. 원시 클록(122)은, 셀프-타이밍 펄스 클록 발생 회로(100)에 입력될 수 있고, 판독 동작 및 기록 동작에 대한 맞춤형(customized) 클록 펄스들을 발생시키기 위한 기준 클록(base clock)으로서 기능할 수 있다. 원시 클록(122)은 압전 결정들(piezoelectric crystals) 등의 사용에 의해서와 같이 알려진 기법들에 의해 발생될 수 있다. 원시 클록(122)은, 저전압 레벨에서 이용가능하게 될 수 있거나, 또는 저전압 도메인으로부터 파생될 수 있다.

[0019] 원시 클록(122)이 선택적인 딜레이 로직(102)에 먼저 진입할 수 있는데, 여기서 원시 클록(122)은 기록 동작들 동안 선택적으로 딜레이될 수 있다. 원시 클록(122)을 선택적으로 딜레이하기 위한 프로그래머블 딜레이 로직(104), 판독/기록 제어(126) 및 선택기(106)가 도시된 바와 같이 구성될 수 있다. 일 예시에서, 판독/기록 제어(126)에 의해 판독 동작이 표시되면, 원시 클록(122)이 선택기(106)에 의해 선택되어 선택적으로 딜레이된 출력 클록 clk_d1(116)을 형성할 수 있다. 다른 한편으로, 판독/기록 제어(126)가 기록 동작을 나타내면, 프로그래머블 딜레이 로직(104)은 원시 클록(122)을 원하는 양만큼 딜레이할 수 있고, 이후에 선택적으로 딜레이된 출력 클록 clk_d1(116)을 형성하기 위해 선택기(106)에 의해 선택될 수 있는 딜레이된 클록(124)을 발생시킬 수 있다. 프로그래머블 딜레이 로직(104)은, 직렬로 커플링되도록 다수의 인버터들 또는 버퍼 엘리먼트들을 제어함으로써와 같이 알려진 기법들에 의해 구현될 수 있다. 이러한 인버터들 또는 버퍼 엘리먼트들의 유효 크기들은 또한 딜레이 양을 조정하기 위해 제어될 수 있다. 당업자들은 프로그래머블 딜레이 로직(104)에 대한 적절한 구현들을 인식할 것이다.

[0020] 이에 따라 발생된, 선택적으로 딜레이된 출력 클록 clk_d1(116)은, 그후 펄스 클록 발생 로직(112)에 진입할 수 있다. 펄스 클록 발생 로직(112)은 예시적인 실시예들에서 판독 동작 및 기록 동작에 대한 앞서 언급된 요건들을 충족하는 펄스 클록(114)을 최종적으로 출력할 수 있다. 펄스 클록 발생 로직(112)은, 출력 펄스 클록(114)이 별도의 전압 레벨 시프터로부터 원치않는 레이턴시를 도입하지 않고 고전압 레벨에서 이용가능하게 형성되도록, 전압 레벨 시프팅을 위한 로직을 포함할 수 있다. 게다가, 펄스 클록 발생 로직(112)은 출력 펄스 클록(114)에서의 글리치들을 제거하도록 구성될 수 있다. 리셋(121)을 통한 출력 펄스 클록(114)으로부터 다시 펄스 클록 발생 회로(112)로의 피드백 경로(118)는, 도시된 바와 같이 판독 딜레이 미믹 로직(108) 및 선택적인 펄스 폭 확대 로직(110)을 포함할 수 있다. 피드백 경로(118)는, 셀프-리셋을 제공할 수 있고, 이에 따라 펄스 클록 발생 로직(112)에 셀프-타이밍 기능을 제공할 수 있다. 펄스 클록 발생 로직(112), 판독 딜레이 미믹 로

직(108), 및 선택적인 펄스 폭 확대 로직(110)이 이제 더 상세하게 설명될 것이다.

[0021] 도 2를 이제 참조하면, 트랜지스터-레벨 도식(transistor-level schematic)을 포함하는 펄스 클록 발생 로직(112)의 확대 뷰가 제공된다. 인에이블(130) 및 파워-업 리셋(128)은 출력 펄스 클록(114)을 인에이블하거나 또는 리셋하기 위해 외부 소스(미도시)로부터 클록 발생 로직(112)으로 입력된다. 펄스 클록 발생 로직(112)의 예시적인 동작이 이제 설명될 것이다. 초기에, 파워-업 리셋(128)이 하이(high)로 구동되고, 이에 따라 인버터 i6의 출력이 로우(low)로 구동되도록 야기하고, lat_node(142)를 풀 업하기 위해 풀-업 트랜지스터 p3를 트리거하여, 이에 의해 풀업 인버터 i5를 통해 출력 펄스 클록(114)을 로우로 구동시킨다. 도 2에 나타낸 바와 같이, 풀-업 트랜지스터 p3는 고전압 도메인에 있는 것으로 관찰될 것이다. 따라서, 출력 펄스 클록(114)은 고전압 도메인에서 파생된다.

[0022] 그후, 파워-업 리셋(128)은 로우로 구동되고, 인에이블(130)은 하이로 구동된다. 선택적으로 딜레이된 출력 클록 clk_d1(116)은 인버터들(i1, i2, 및 i3)을 관통하고, 이에 따라 i3의 출력은 clk_d1에 후속하여 인버팅된 그리고 딜레이된 펄스를 제시한다. i3의 출력이 또한 상승하는 시점에, 둘 다 nand1로 입력하고, 즉, i3의 출력 및 인에이블(130)은 하이이고, 이에 따라 nand1의 출력은 로우가 되도록 야기된다. 이는 결국, nor1의 입력들을 둘 다, 즉, nand1의 출력 및 파워-업 리셋(128)이 로우임을 의미하고, 이에 따라 노드 clk_d2(140)는 하이로 구동되고, 이에 의해 풀-다운 트랜지스터 n2를 턴 온한다. 게다가, 풀-다운 트랜지스터 n4가 이제, 인버터 i6의 출력이 하이로 구동될 것이기 때문에, 턴 온 될 것이다.

[0023] 이제, 원시 클록(122)의 상승 엣지의 제 1 경우가 고려될 것이다. 선택적으로 딜레이된 출력 클록 clk_d1(116)은 원시 클록(122)의 선택적으로 딜레이된 버전인 것으로 상기될 것이다. 원시 클록(122) 및 선택적으로 딜레이된 출력 클록 clk_d1(116) 둘 다는 저전압 도메인에 있을 수 있다. 따라서, 원시 클록(122)의 상승 엣지는, 딜레이 이후에 선택적으로 딜레이된 출력 클록 clk_d1(116)의 상승 엣지를 야기할 수 있고, 그후 풀-다운 트랜지스터 n1을 턴 온 할 수 있다. 이 경우, 이에 맞춰(in time) 풀-다운 트랜지스터 n3가 턴 오프된 채로 유지될 것이다. 선택적으로 딜레이된 출력 클록 clk_d1(116)은 풀-업 트랜지스터 p5의 게이트에 커플링되고, 노드 clk_d2(140)는 트랜지스터 p6의 게이트에 커플링된다는 것이 도 2에서 주목될 것이다. 이에 따라, 풀-업 트랜지스터들(p5 및 p6)의 소스 전압들이 고전압 도메인에 있고 그들의 게이트 전압들은 저전압 도메인에 있기 때문에 풀-업 트랜지스터들(p5 및 p6)은 부분적으로 턴 오프될 것이고; 모든 4개의 풀-다운 트랜지스터들(n0, n1, n2, 및 n4)은 이 순간에 턴 온될 것이다. 이에 따라, 노드 int_node(144) 및 lat_node(142) 둘 다는 풀-다운될 것이며, 인버터 i5는 출력 펄스 클록(114)을 하이로 구동시킬 것이다. lat_node(142)가 풀 다운되고 있는 시간 동안, 풀-다운 트랜지스터 n3는 턴 온 될 것이며, 이는 lat_node(142) 및 int_node(144)의 풀 다운 프로세스의 속도를 증가시키기 위해 추가적인 전류원을 제공할 것이다. 출력 펄스 클록(114)이 이미 고전압 도메인에 있는 것으로 상기될 것이다. 이에 따라, 저전압 도메인 내의 원시 클록(122)의 상승 엣지는 추가적인 전압 레벨 시프팅 로직을 요구하지 않고 고전압 도메인에 출력 펄스 클록(114)의 상승 엣지를 생성한다. 풀-업 트랜지스터들(p5 및 p6)이 불완전하게(halfway) 턴 오프되는 것이 중요하지 않은(minor) 딜레이 및 중요하지 않은 전력 소모 비용들을 발생시킬 수 있지만, 이러한 비용들은 풀-다운 트랜지스터들(n3 및 n4)에 의해 제공되는 추가적인 풀-다운 경로에 의해 상쇄(offset)될 수 있다.

[0024] 이제, 리셋 메커니즘이 lat_node(142)를 하이 상태로 복귀시켜서 이에 따라 출력 펄스 클록(114)이 로우로 구동될 때까지, lat_node(142)는 로우 상태에서 유지될 것이고, 펄스 클록(114)은 인버터 i4에 의해 생성된 래치 및 풀-업 트랜지스터들(p4, p6)과 풀-다운 트랜지스터들(n3, n4)의 결합으로 인해 하이 상태에서 유지될 것이다. 이하 더욱 상세하게 설명될 리셋(121)은, 출력 펄스 클록(114)의 하강 엣지를 제어할 수 있다. 출력 펄스 클록(114)의 상승 엣지와 출력 펄스 클록(114)의 하강 엣지 사이의 시간 기간을 제어하는 것은 출력 펄스 클록(114)에서 파생되는 클록 펄스의 폭을 결정할 것이라는 것이 인식될 것이다.

[0025] 이제 도 1로 복귀하면, 선택적인 펄스 폭 확대 로직(110)이 출력 펄스 클록(114)의 상승 엣지와 하강 엣지 사이의 펄스 폭을 선택적으로 확대시키기 위해 채용될 수 있다. 선택적인 딜레이 로직(102)과 유사하게, 선택적인 펄스 폭 확대 로직(110)은, 판독/기록 제어(126)에 기초하여, 부가된 딜레이들을 갖지 않는 입력 신호와 딜레이된 버전의 입력 신호 사이에서 선택하기 위해 멀티플렉서(107)를 채용할 수 있다. 판독/기록 제어(126)의 타이밍은 버퍼(127)에 의해 알맞게 조정되어 이전에 논의되었던 선택적인 딜레이 블록(102)을 통과한 후에 선택적인 펄스 폭 확대 블록(110)에 도달하는 딜레이들에 대해 해명할 수 있다. 이에 따라, 동작이 판독인지 또는 기록인지에 따라, 기록 동작들에 대한 펄스 폭이 더 넓게 형성되도록, 선택적인 펄스 폭 확대 로직을 통한 딜레이 경로가 제어될 수 있다. 즉, (이하 더욱 상세하게 논의될) 판독 딜레이 미리 로직(108)의 출력(120)은, 선택적으로 딜레이되어 선택적인 펄스 폭 확대 로직(110)의 출력과 리셋(121)의 폭을 변경시키도록 야기할 수 있다.

이는, 리셋(121)이 로우 레벨로부터 하이 레벨로 상승하게 한 후 로우 레벨로 폴 백하는 시간을 제어할 것이다.

[0026] 리셋(121)이 하강하면, 출력 펄스 클록(114)의 다음 상승 엣지는 이전의 프로세스를 반복함으로써 발생될 것이다. 다음 하강 엣지는 판독 딜레이 미믹 로직(108)에 의한 판독 동작들 동안 적절하게 딜레이될 수 있다. 즉, 판독 딜레이 미믹 로직(108)은 출력 펄스 클록(114)의 하강 엣지를 최종적으로 딜레이시키도록 구성되고, 이에 따라 펄스 폭을 제어한다. 상기될 바와 같이, 출력 펄스 클록(114)의 상승 엣지는 선택적인 딜레이 로직(102)에 의해 제어된다.

[0027] 이제 도 1 및 도 2를 조합하여 참조하면, 출력 펄스 클록(114)으로부터 리셋(121)으로의 피드백 경로(118)가 이제 설명될 것이다. 도 1에 도시된 바와 같이, 이 경로는 판독 딜레이 미믹 로직(108) 및 선택적인 펄스 폭 확대 로직(110)을 포함한다.

[0028] 판독 동작 동안 직면된 메모리 어레이 액세스 딜레이들을 설명하기 위해 출력 펄스 클록(114)의 상승 엣지로부터 출력 펄스 클록(114)의 하강 엣지로의 딜레이를 제어하기 위해 판독 딜레이 미믹 로직(108)이 포함될 수 있다. 예를 들어, 판독 딜레이 미믹 로직(108)은, 메모리 어레이 내의 메모리 셀에 액세스하는데 있어서 발생될 수 있는 딜레이에 대응하는 딜레이를 제공하도록 구성될 수 있다. 판독 딜레이 미믹 로직은 예상 판독 액세스 딜레이에 일치시키기 위해 프로그래머블 딜레이 엘리먼트를 포함할 수 있다. 따라서, 출력 펄스 클록(114)의 상승 엣지는, 출력(120)의 상승 엣지를 형성하기 위해 판독 딜레이 미믹 로직(108)에 의해 딜레이될 것이다. 판독 동작들의 경우, 선택적인 펄스 폭 확대 로직(110)은 부가되는 임의의 딜레이를 갖지 않는 입력을 선택할 것이며, 출력(120)의 상승 엣지는 펄스 클록 발생 로직(112)에서 인버터 i7에 의해 인버팅된 리셋(121)의 상승 엣지로서 필수적으로 나타날 것이다. 도 2를 이제 특히 참조하면, 폴-업 트랜지스터 p0 및 폴-다운 트랜지스터 n0에 의해 형성된 인버터는 lat_node(142)를 하이 상태로 리셋할 것이다. 즉, 도 1의 판독 미믹 딜레이 로직(108)을 포함하는 피드백 루프는, 판독 동작들의 경우에서 출력 펄스 클록(114)의 하강 엣지가 고전압 도메인에서 딜레이된 시간에 이용가능하게 형성되는 것을 필수적으로 보장할 것이다.

[0029] 리셋 이후에 원시 클록(122)의 상승 엣지의 제 1 경우로 다시 돌아가면, 선택적으로 딜레이된 출력 클록 clk_d1(116)의 상승 엣지가 인버터들(i1, i2, i3) 및 nand1 및 nor1을 통과한 후에, 노드 clk_d2(140)는 하강 할 것이다. 이는, 폴-다운 트랜지스터 n2를 턴 오프하게 할 것이며, 또한 폴-업 트랜지스터 p6를 턴 온하게 할 것이다. 이는, lat_node(142)가 상승하게 할 것이고, 이에 따라 출력 펄스 클록(114)의 하강 엣지를 생성할 것이다. 시간상으로 이 시점에서, lat_node(142)의 래칭 기능에 영향을 주지 않고, 폴-다운 트랜지스터 n1이 턴 온 되거나 또는 턴 오프될 수 있다. (원시 클록(122)의 하강 엣지로부터 선택적으로 딜레이된 이후에) 선택적으로 딜레이된 출력 클록 clk_d1(116)의 하강 엣지에 도달(comes through)될 때, 폴-다운 트랜지스터 n1은 또한 턴 오프될 것이고, 폴-업 트랜지스터 p5는 턴 온 될 것이다. 폴-다운 트랜지스터들(n1 및 n2) 둘 다를 턴 오프하는 것은, 폴-다운 트랜지스터들(n1 및 n2)을 포함하는 경로를 통한 추가적인 누설 전력 절감을 제공할 것이다. 기록 동작들의 경우, 리셋(121)이 어써팅될 수 있기 전에 선택적인 펄스 폭 확대 로직(110)이 피드백 경로에서의 추가적인 딜레이를 선택적으로 도입할 것이어서, 이에 따라 lat_node(142)가 출력 펄스 클록(114)의 하강 엣지를 생성하거나 상승시키도록 허용한다. 이 방식으로, 기록 동작들은 더 넓은 펄스 폭을 가질 것이다. 이전에 설명되는 바와 같이, 더 넓은 펄스 폭이 (상기되는 바와 같이, 대개는 통상적으로 타이밍 임계적이지 않은) 기록 동작들의 완료를 위해 추가적인 시간을 제공함으로써 기록 동작들을 용이하게 할 수 있다.

[0030] 폴-다운 트랜지스터들(n1 및 n2) 둘 다를 턴 온 하는 것이 셀프-타이밍 프로세스임이 인식될 것이다. 폴-다운 트랜지스터들(n1 및 n2)이 턴 온되는 시간 기간은, 인버터들(i1, i2, i3) 및 게이트들(nand1 및 nor1)을 통한 딜레이에 의해 결정될 수 있다. 일반적으로, 폴-다운 트랜지스터들(n1 및 n2)은, 리셋(121)이 디-어써팅되기 전에 턴 오프될 것이다. 이에 따라, 판독/기록 동작들이 그들의 완료를 위해 다수의 사이클들을 요구하는 경우, 전체 동작 동안 단일 펄스의 인에이블(130)이 제공될 수 있고, 이에 따라 출력 펄스 클록(114)의 오직 단일 펄스만이 전체 동작의 지속주기 동안 생성됨을 보장한다.

[0031] 이에 따라, 출력 펄스 클록(114)의 상승 엣지는 판독 동작들 및 기록 동작들에 대해 제어가능한 양만큼 원시 클록(122)으로부터 딜레이될 수 있는 것으로 보여진다. 인버터 i4 및 폴-업 트랜지스터들(p4, p6)과 폴-다운 트랜지스터들(n3, n4)의 결합을 포함하는 래치 메커니즘은, 신호 리셋(121)을 어써팅함으로써 판독 동작 및 기록 동작에 대한 제어가능한 시간 기간 이후에 하강 엣지가 도입될 때까지, 출력 펄스 클록(114)을 하이 상태로 홀딩할 것이다.

[0032] 이제, 예를 들어, lat_node(142)와 int_node(144) 사이에서 발생할 수 있는 클리치들 및 원치않는 전하 공유를 회피하기 위해 펄스 클록 발생 로직(112)이 또한 구성된다는 점에 주목할 것이다. 리셋(121)이 하이 상태와

우 상태 사이에서 변화할 때, lat_node(142)는 래치 메커니즘으로 인해 하이 상태에서 유지할 수 있지만, int_node(144)는 로우 상태로 하강할 수 있어서, 이에 따라 풀-다운 트랜지스터 n0의 드레인 노드와 소스 노드 사이에서 큰 전압차가 발생하도록 야기할 수 있다는 것이 인식될 것이다. 이는, 원치않는 전하 공유 문제들을 야기할 수 있다. 이러한 문제들이 발생하는 것을 방지하기 위해, int_node(144)는 풀-업 트랜지스터들(p5, p6, p1 및 p2)을 이용하여 하이 상태로 풀 업될 수 있다. 따라서, lat_node(142) 및 int_node(144) 둘 다는 하이 상태에 있을 것이고, 큰 차이의 전압은 더 이상 풀-다운 트랜지스터 n0에 영향을 주지 않을 것이다.

[0033] 이제 도 3을 참조하면, 앞서 설명된 바와 같은 판독 동작 및 기록 동작에 대한 출력 펄스 클록(114) 및 원시 클록(122)의 예시적인 개략적인 표현들을 포함하는 타이밍 도면이 예시된다. 도시된 바와 같이, 수평축은 시간을 포함하고, 수직축은 전압 레벨들을 포함한다. 타이밍 도면(302)은 저전압 레벨에 있는 원시 클록(122)을 예시한다. 타이밍 도면(304)에 도시된 바와 같이, 판독 동작에 대해 발생된 출력 펄스 클록(114)은 고전압 레벨에 있고 상승 엣지 딜레이(304d)를 포함하며, 타이밍 도면(306)에 도시된 바와 같이, 기록 동작에 대해 발생된 출력 펄스 클록(114)은 고전압 레벨에 있고 상승 엣지 딜레이(306d)를 포함한다. 예상 판독 어레이 딜레이가 (예를 들어, 도 1의 판독 딜레이 미믹 로직(108)을 통해서) 설명된 후에, 상승 엣지 딜레이(304d)가 빠른 판독 동작의 니즈를 충족시키기 위해 요구됨에 따라 빠르게 형성될 수 있다. 비교하여, 상승 엣지 딜레이(306d)는 빠르게 될 필요는 없을 수도 있고, 이에 따라 요구되는 대로 느려질 수 있다. 게다가, 타이밍 도면(304)과 비교하여, 타이밍 도면(306)은 앞서 설명된 바와 같이 기록 동작들의 더 넓은 펄스 폭 요건들을 충족시키기 위해 기록 동작에 대한 펄스 폭(306w)을 판독 동작에 대한 펄스 폭(304w) 보다 더 넓게 예시한다.

[0034] 이제 도 4를 참조하면, 예시적인 실시예들에 따라서 발생된 출력 펄스 클록(114)이 적용되는 종래의 6T SRAM 셀(400)이 예시된다. 도시된 바와 같이, 출력 펄스 클록(114)은, 도 4의 로직(402)에 의해 일반적으로 지정되는 워드 라인 디코더와 같은, 당업계에 잘 알려진 로직 컴포넌트들에 의해 이용된다. 6T SRAM 셀(400)의 동작이 잘 알려져 있다. 트랜지스터들(M1, M2, M3, 및 M4)은 크로스-커플링된 인버터 저장 엘리먼트를 형성하지만, 액세스 트랜지스터들(M5 및 M6)은 저장 엘리먼트에 대한 판독/기록 동작들을 제어한다. 상호보완적인 비트 라인들(BL 및 BLB)이 기록 동작들에 대해 특정한 6T SRAM 셀(400)을 선택하고 그리고 판독 동작들에 대해 저장된 값을 판독하도록 이용되면서, 워드 라인 WL은 액세스 트랜지스터들(M5 및 M6)의 게이트들을 제어한다. 도시된 바와 같이, 도 3에 예를 들어 도시된 바와 같이, 출력 펄스 클록(114)은 판독 동작 및 기록 동작을 위한 특정 펄스 클록 요건들을 충족하기 위해 워드 라인 WL에 적용될 수 있다.

[0035] 예시적인 실시예들에서 기록 동작들과 관련하여, 선택적인 딜레이 로직(102)에 의해 도입된 딜레이들은, 기록 동작들 동안 출력 펄스 클록(114)의 상승 엣지를 딜레이할 수 있어서 이는 다시 비트 라인들(BL 및 BLB)에 대한 추가적인 셋업 시간을 허용하며, 더욱이 동반되는 베퍼들 및 드라이버들이 다운사이징될 수 있기 때문에 전력을 감소시킬 수 있는 것으로 관찰될 것이다. 게다가, 선택적인 펄스 폭 확대 로직(110)에 의해 생성된 더 넓은 펄스 폭은 심지어는 더 낮은 전압 레벨들에서의 기록 동작들을 용이하게 할 수 있고 이는 개선된 수율을 유도할 수 있다.

[0036] 추가적으로, 펄스 클록 발생 로직(112)에 전압 레벨 시프팅 메커니즘을 집적시키는 것은, 펄스 클록 생성 로직으로부터 분리된 레벨 시프터들을 갖는 종래의 구현들과 비교하여, 더 낮은 레이턴시 및 기능 블록들의 개선된 재사용을 유도할 수 있다. 풀-다운 트랜지스터들(n3 및 n4)을 통한 내장형 레벨 시프터로의 피드백 경로는, 특히 원시 클록(122)의 저전압 레벨과 출력 펄스 클록(114)의 고전압 레벨 사이의 전압차가 클 때, 출력 펄스 클록(114)의 상승 엣지를 가속시킬 수 있다. 추가적으로, 펄스 클록 발생 로직(112)에서의 래치 메커니즘은 출력 펄스 클록(114)의 로직 상태를 안정적으로 홀딩하는 것을 용이하게 한다.

[0037] 실시예들은 본원에 개시된 프로세스들, 기능들 및/또는 알고리즘들을 수행하기 위한 다양한 방법들을 포함하는 것으로 인식될 것이다. 예를 들어, 도 5에 예시된 바와 같이, 실시예는: 펄스 클록의 프로그래머블 상승 엣지 딜레이(예를 들어, 도 3의 타이밍 도면들(304 및 306)에 예시된 것과 같은 상승 엣지 딜레이(304d 및 306d))를 구성하는 단계 - 블록 502; 펄스 클록의 프로그래머블 펄스 폭(예를 들어, 도 3의 타이밍 도면들(304 및 306)에 예시된 바와 같은 폭(304w 및 306w))을 구성하는 단계 - 블록 504; 펄스 클록의 전압 레벨을 시프팅하기 위한 레벨 시프터(예를 들어, 도 1 및 도 2의 펄스 클록 발생 회로(112) 내의 내장형 레벨 시프터)를 구성하기 위한 단계 - 블록 506; 및 프로그래밍된 상승 엣지 딜레이, 펄스 폭, 및 시프팅된 전압 레벨에 따라서 펄스 클록을 발생시키는 단계 - 블록 508을 포함하는 펄스 클록(예를 들어, 도 1의 출력 펄스 클록(114))을 발생시키기 위한 방법을 포함할 수 있다.

[0038] 당업자들은 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 것을 이용하여 표현될 수 있다는 것을

이해할 것이다. 예를 들어, 전술한 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광 필드들 또는 광 입자들, 또는 이들의 임의의 결합에 의해 표현될 수 있다.

[0039] 게다가, 당업자들은 본원에 개시된 실시예들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 회로들 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어 또는 이들의 조합들로서 구현될 수 있다는 것을 이해 할 것이다. 하드웨어 및 소프트웨어의 이러한 상호 교환성을 명확하게 설명하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 단계들이 이들의 기능과 관련하여 위에서 일반적으로 설명되었다. 이러한 기능이 하드웨어로서 구현되는지 또는 소프트웨어로서 구현되는지는 특정한 애플리케이션 및 전체 시스템에 대하여 부과되는 설계 제약들에 좌우된다. 당업자들은 설명된 기능을 각각의 특정한 애플리케이션에 대하여 다양한 방식들로 구현할 수 있으나, 이러한 구현 결정들은 본 발명의 범위를 벗어나게 하는 것으로 해석되어서는 안된다.

[0040] 본원에 개시된 실시예들과 관련하여 설명된 방법들, 시퀀스들 및/또는 알고리즘들은 직접 하드웨어로 구현되거나, 프로세서에 의해 실행되는 소프트웨어 모듈로 구현되거나, 또는 이 둘의 조합으로 구현될 수 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드 디스크, 탈착식 디스크, CD-ROM, 또는 당업계에 공지된 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고 저장 매체에 정보를 기록할 수 있도록, 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다.

[0041] 도 6을 참조하면, 예시적인 실시예들에 따라서 구성된 멀티-코어 프로세서를 포함하는 무선 디바이스의 특정 예시적인 실시예의 블록도가 도시되고 일반적으로 600으로 지정된다. 디바이스(600)는, 도 1의 셀프-타이밍 펄스 클록 발생 회로(100)를 포함할 수 있는 디지털 신호 프로세서(DSP)(664)를 포함한다. DSP(664)는 도시된 바와 같이 메모리(632)에 커플링될 수 있고, 여기서 셀프-타이밍 펄스 클록 발생 회로(100)로부터의 발생된 펄스 클록은 메모리(632) 상에서의 메모리 액세스들을 위해 이용될 수 있다. 예를 들어, 도 6은 또한 DSP(664)에 그리고 디스플레이(628)에 커플링된 디스플레이 컨트롤러(626)와 같은 외부 디바이스를 도시한다. 코더/디코더(CODEC)(634)(예를 들어, 오디오 및/또는 비디오 CODEC)와 같은 외부 디바이스는 또한 DSP(664)에 커플링될 수 있다. (모뎀을 포함할 수 있는) 무선 컨트롤러(640)와 같은 다른 컴포넌트들/외부 디바이스들이 또한 예시된다. 스피커(636) 및 마이크로폰(638)이 CODEC(634)에 커플링될 수 있다. 도 6은 또한, 무선 컨트롤러(640)가 무선 안테나(642)에 커플링될 수 있는 것으로 나타낸다. 특정한 실시예에서, DSP(664), 디스플레이 컨트롤러(626), 메모리(632), CODEC(634), 및 무선 컨트롤러(640)는 시스템-인-패키지 또는 시스템-온-칩 디바이스(622)에 포함된다.

[0042] 특정한 실시예에서, 입력 디바이스(630) 및 전원(644)이 시스템-온-칩 디바이스(622)에 커플링된다. 더욱이, 특정 실시예에서, 도 6에 예시된 바와 같이, 디스플레이(628), 입력 디바이스(630), 스피커(636), 마이크로폰(638), 무선 안테나(642), 및 전원(644)은 시스템-온-칩 디바이스(622) 외부에 있다. 그러나, 디스플레이(628), 입력 디바이스(630), 스피커(636), 마이크로폰(638), 무선 안테나(642), 및 전원(644) 각각은, 인터페이스 또는 컨트롤러와 같은 시스템-온 칩 디바이스(622)의 컴포넌트에 커플링될 수 있다.

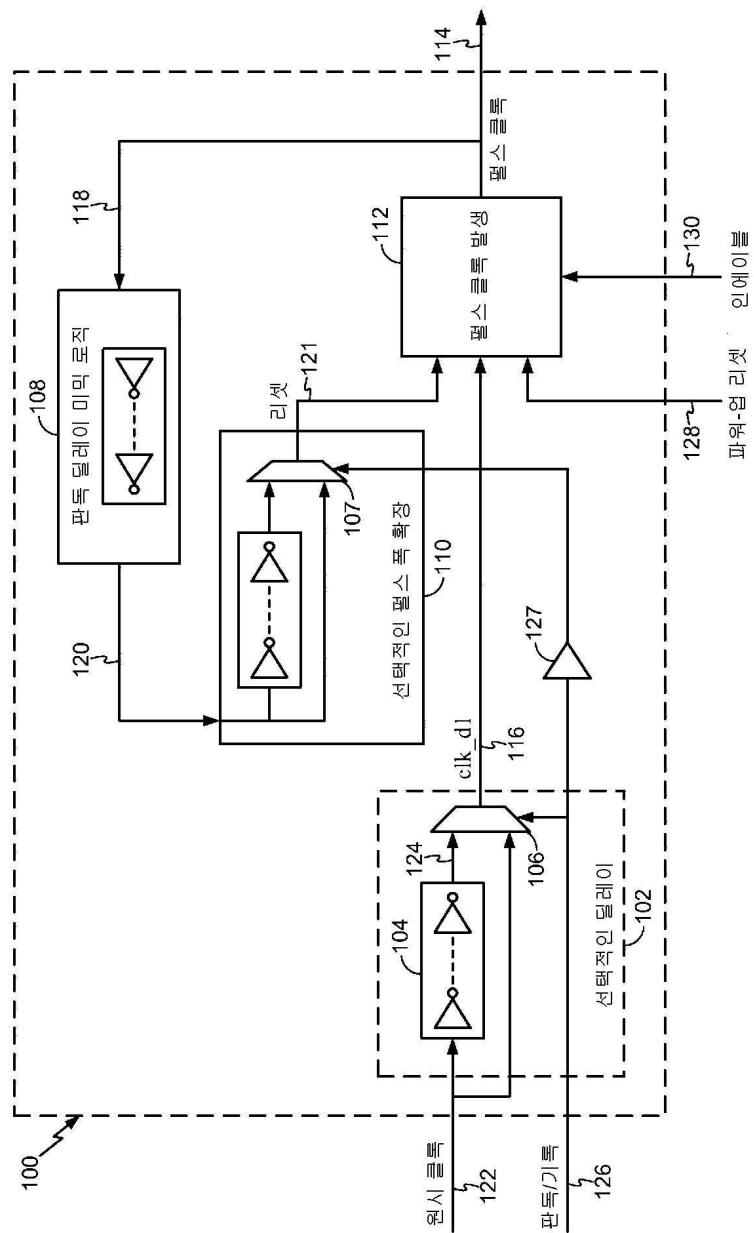
[0043] 도 6이 무선 통신 디바이스를 도시하지만, DSP(664) 및 메모리(632)는 또한 셋-톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, PDA(personal digital assistant), 고정형 위치 데이터 유닛, 또는 컴퓨터에 접속될 수 있다는 점이 주목된다. 프로세서(예를 들어, DSP(664))는 또한 이러한 디바이스에 접속될 수 있다.

[0044] 이에 따라, 본 발명의 실시예는 내장형 레벨 시프터 및 프로그래머블 상승 엣지 및 프로그래머블 펄스 폭을 갖는 펄스 클록을 발생시키기 위한 방법을 구현하는 컴퓨터 판독가능 매체를 포함할 수 있다. 이에 따라, 본 발명은 예시된 예시들로 제한되지 않고, 본원에 설명된 기능을 수행하기 위한 임의의 수단이 본 발명의 실시예들에 포함된다.

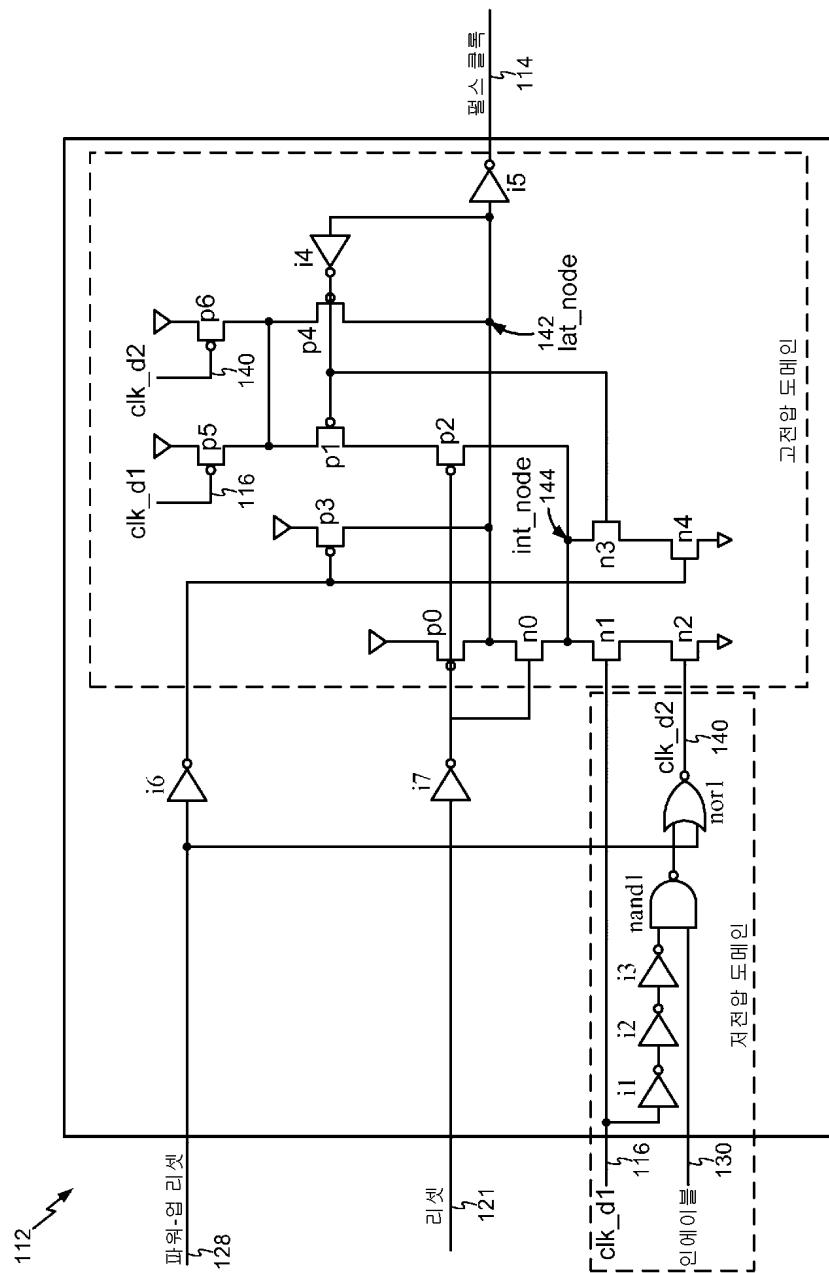
[0045] 상기의 개시물은 본 발명의 예시적인 실시예들을 나타내지만, 첨부된 청구항들에 의해 정의되는 바와 같이 본 발명의 범위로부터 벗어나지 않고 다양한 변화들 및 변형들이 본원에서 행해질 수 있다는 것에 주목해야 한다. 본원에 설명된 본 발명의 실시예들에 따른 방법 청구항들의 기능들, 단계들 및/또는 액션들은 임의의 특정한 순서로 수행될 필요는 없다. 게다가, 본 발명의 엘리먼트들은 단수표현으로 설명되거나 또는 청구될 수 있지만, 단수표현으로의 제한이 명확하게 언급되지 않는 한 복수표현도 고려된다.

도면

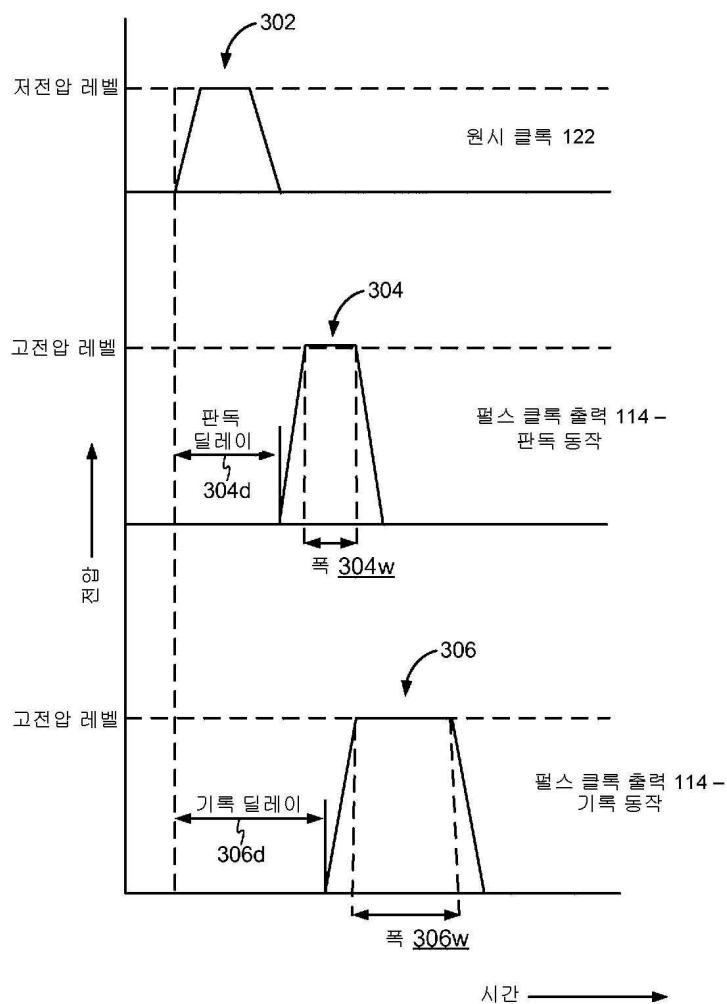
도면1



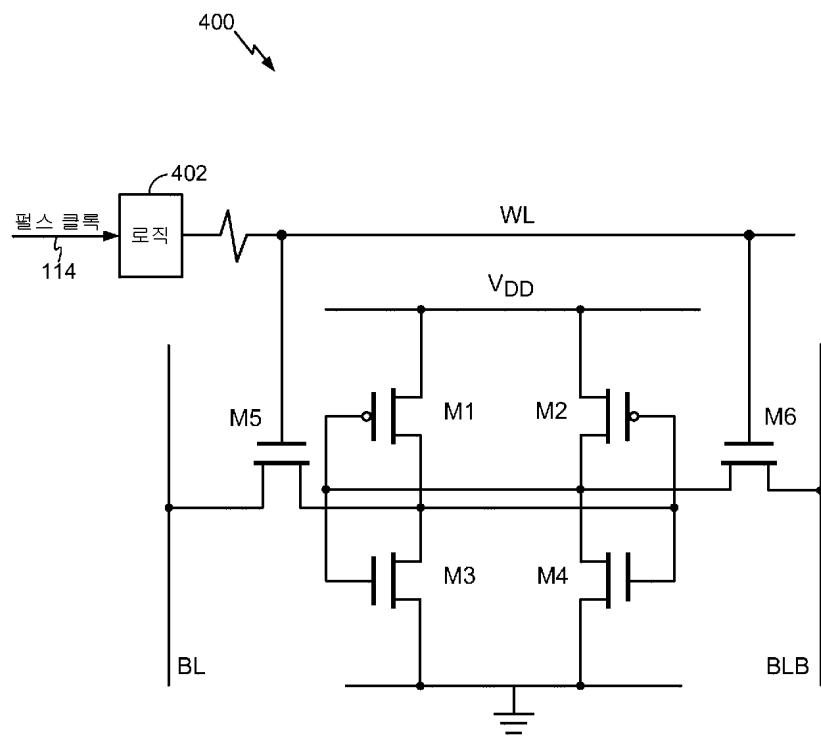
도면2



도면3

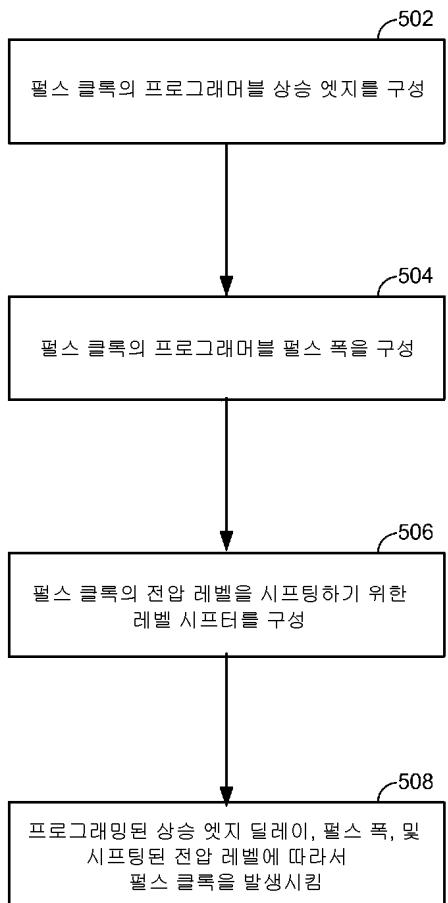


도면4



종래의 6T SRAM

도면5



도면6

