(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월28일
(11) 등록번호 10-0824674
(24) 등록일자 2008년04월17일

(51) Int. Cl.
G09G 3/28 (2006.01) *H01J 17/49* (2006.01)
(21) 출원번호 10-2006-0118996
(22) 출원일자 2006년11월29일
심사청구일자 2006년11월29일
(56) 선행기술조사문헌
JP2001282185 A
JP2006317811 A
KR1020030031358 A
KR1020040078435 A

(73) 특허권자
인하대학교 산학협력단
인천 남구 용현동 253 인하대학교
(72) 발명자
이석현
인천광역시 남구 학익동 신동아아파트 38동 403호
서정현
서울 서초구 서초동 1685 삼풍아파트 10-1506
김 선
인천 남구 용현1동 176-17번지 202호
(74) 대리인
특허법인명문

전체 청구항 수 : 총 8 항 심사관 : 김민수

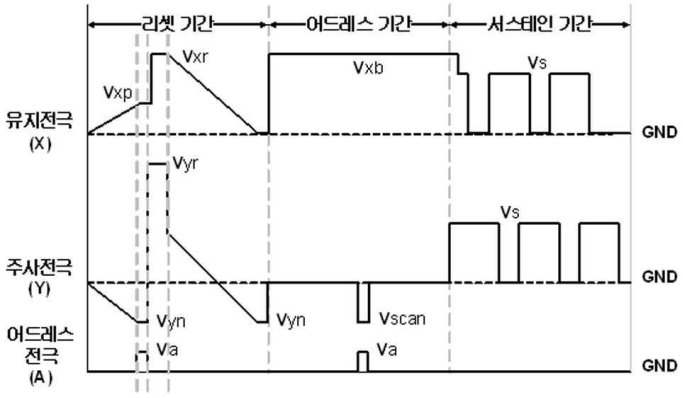
(54) 플라즈마 디스플레이 패널의 구동방법

(57) 요 약

본 발명은 발광횟수가 다른 다수개의 서브필드가 리셋기간, 어드레스 기간, 서스테인 기간으로 나뉘고 각 기간에서 주사전극, 유지전극, 어드레스 전극에 소정의 펄스를 인가하여 화상을 표현하는 플라즈마 디스플레이 패널의 구동방법에 있어서, 상기 리셋기간은 상기 주사전극의 전압을 감소시키는 소거단계; 상기 어드레스 전극에 전압을 인가하여 프라이밍 입자를 공급하는 프라이밍 입자 생성단계; 상기 유지전극 및 주사전극에 전압을 인가하고기 설정된 시간동안 유지시키는 셋업단계 및 상기 유지전극 및 주사전극의 인가된 전압을 감소시키는 램프하강단계를 포함하여 이루어지는 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

본 발명은 유지전극과 주사전극간의 간격이 넓은 플라즈마 디스플레이 패널 구조에서 램프기간에 종래의 상승램프를 사용하지 않고 어드레스 방전을 안정적으로 수행할 수 있는 리셋 방법을 제공하는 것이다.

대표도 - 도3



특허청구의 범위

청구항 1

발광횟수가 다른 다수개의 서브필드가 리셋기간, 어드레스 기간, 서스테인 기간으로 나뉘고 각 기간에서 전면기판의 주사전극과 유지전극, 및 배면기판의 어드레스 전극에 소정의 펄스를 인가하여 화상을 표현하는 플라즈마 디스플레이 패널의 구동방법에 있어서,

상기 주사전극과 상기 유지전극 사이의 간격인 유지방전 갭이 상기 어드레스 전극의 중심선 상에서 상기 배면기판의 형광체층 표면과 상기 전면기판의 보호층 표면 사이의 거리인 대향방전 갭 보다 크고,

상기 리셋기간은 상기 주사전극의 전압을 감소시키는 소거단계;

상기 어드레스 전극에 전압을 인가하여 프라이밍 입자를 공급하는 프라이밍 입자 생성단계;

상기 유지전극 및 주사전극에 전압을 인가하고 기 설정된 시간동안 유지시키는 셋업단계 및

상기 유지전극 및 주사전극의 인가된 전압을 감소시키는 램프하강단계를 포함하여 이루어지는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 2

제 1항에 있어서,

상기 소거단계는 상기 유지전극의 전압을 양의 전압인 제 1전압까지 완만하게 증가시키면서, 상기 주사전극의 전압은 음의 전압인 제 2전압까지 완만하게 감소시키는것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 3

제 1항에 있어서,

상기 프라이밍 입자 생성단계는 상기 유지전극의 제 1전압과 상기 주사전극의 제 2전압을 일정시간 유지하는 상태에서 상기 어드레스 전극에 양의 전압인 제 3전압을 인가하여 프라이밍 입자를 생성하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 4

제 3항에 있어서,

상기 제 3전압의 크기는 상기 어드레스전극에서 입력되는 데이터 펄스의 크기와 동일한 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 5

제 1항에 있어서,

상기 셋업단계는 상기 유지전극의 전압을 양의 전압인 제 4전압까지 수직상승하여 일정시간 유지하고, 상기 주사전극의 전압을 양의 전압인 제 5전압까지 수직상승하고 일정시간 유지하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 6

제 5항에 있어서,

상기 제 4전압은 상기 제 5전압보다 낮은 전압이며, 상기 유지전극에서 제 4전압으로의 수직상승은 주사전극에서 제 5전압으로 수직상승한 이후에 이루어지는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 7

제 5항에 있어서,

상기 제 4전압의 크기는 상기 어드레스기간에서 유지전극에 입력되는 전압의 크기와 동일할 수 있는 것을 특징

으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 8

제 1항에 있어서,

상기 램프하강단계는 상기 유지전극의 전압을 제 4전압에서 접지전위까지 완만하게 감소시킨 후 일정시간 유지하고, 상기 주사전극의 전압을 제 5전압에서 제 6전압까지 수직하강하고 상기 제 6전압에서 음의 전압인 제 7전압까지 완만하게 감소시킨 후 일정시간 유지하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<10> 본 발명은 다수개의 서브필드가 리셋기간, 어드레스기간, 서스테인기간으로 나뉘고, 각 기간에서 주사전극, 유지전극, 어드레스전극에 소정의 펄스를 인가하여 화상을 표현하는 플라즈마 디스플레이 패널의 구동방법에 관한 것으로, 보다 상세하게는 유지방전의 갭을 대향방전 갭보다 넓게 형성하는 3전극 교류형(AC) 플라즈마 디스플레이 패널에서 상기 리셋기간을 소거단계, 프라이밍 입자 생성단계, 셋업단계, 램프하강단계를 거치도록 함에 따라, 충분한 어드레스 마진을 가지며 안정적인 어드레스 방전을 통해 패널을 구동할 수 있도록 하는 것이다.

<11> 일반적으로, 플라즈마 디스플레이 패널(plasma display panel, 이하 '플라즈마 디스플레이 패널'라 한다)은 기체방전을 통하여 얻어진 플라즈마로부터 방출되는 진공자외선(vacuum ultraviolet: VUV)이 형광체를 여기시킴으로써 발생되는 가시광을 이용하여 영상을 구현하는 디스플레이 소자이다. 플라즈마 디스플레이 패널은 현재 활발히 연구되고 있는 LCD(Liquid Crystal Display), FED(Field Emission Display), ELD(Electrol Luminescence Display)와 같은 여러 평판형 디스플레이 소자 중에서도 대형화에 가장 적합한 장점을 가지고 있다. 즉, 40인치 이상의 대형화가 가능하고, 방전에서 형성되는 자외선이 형광막을 자극하여 가시광을 발광시키는 포토루미네슨스(Photoluminescence) 메카니즘을 이용하기 때문에 음극선관(Cathode Ray Tube)수준의 칼라화가 가능하며, 자기 발광형 디스플레이 소자이므로 색재현성이 우수하고, 시야각에 따른 왜곡현상이 없는 특징을 가지며, LCD에 비해 제조방법이 간단하며 생산성 및 원가 측면에서도 강점을 가지므로 차세대 산업용 평판 디스플레이 및 가정용 텔레비전 디스플레이로 주목받고 있다.

<12> 위와 같은 장점을 갖는 종래 기술에 따른 플라즈마 디스플레이 패널은 두께가 3㎜ 정도의 2장의 유리기판을 사용하여 각각의 기판 위에 적당한 전극과 형광체를 도포하고, 두 기판의 간격을 0.1㎜~0.2㎜로 유지하면서 그 사이의 공간에 플라즈마를 형성하는 방법을 채택하고 있기 때문에 평판으로의 대형화가 가능하다. 이러한, 플라즈마 디스플레이 패널은 플라즈마를 발생하기 위한 전극이 플라즈마에 직접 노출되어 전도전류(conduction current)가 전극을 통해 직접 흐르는 직류형(DC형)과 전극이 유전체로 덮여 있어 직접 노출되지 않아 변위전류(Displacement Current)가 흐르는 교류형(AC형)으로 구분된다. 구조상으로는, 3전극 면방전형 구조와 3전극 대향방전형 구조로 나눠진다.

<13> 그러나, 좁은 유지전극 간격을 가지는 종래의 플라즈마 디스플레이 패널구조에서는 그 효율 개선에 한계점을 드러내고 있어, 유지전극 간격을 넓게 하고 이 사이에 방전을 유도하여 양광주를 발생시키는 새로운 플라즈마 디스플레이 패널구조에 대한 연구가 이루어진다. 플라즈마 디스플레이 패널구조에서 유지전극사이의 간격을 넓게 하는 경우 패널 효율이 향상될 수 있는데, 주사전극과 유지전극 사이를 격벽의 높이보다 크게 설정하면, 특이한 방전 특성이 나타난다.

<14> 종래의 플라즈마 디스플레이 패널의 구동방법에 따르면, 플라즈마 디스플레이 패널의 각 전극에 대해 구동회로에서 전압을 인가하지만 각 방전셀은 원래 점등이나 소등의 2계조로만 표시할 수 있으므로, 적색(R), 녹색(G), 청색(B)의 각 색에 대하여 1필드를 복수의 서브필드로 분할하여 점등시간을 시분할하고, 그 조합에 의하여 중간계조를 표현하는 방법이 이용된다. 각 서브필드에서는 일반적으로 ADS(Address Display-period Separation) 방식에 의해서 플라즈마 디스플레이 패널에 화상을 표시한다. 이 방식으로는 주사전극 전체에 펄스전압을 인가하여 셋업하는 셋업기간과, 주사전극에 펄스전압을 순차 인가하는 동시에 어드레스전극 중의 선택된 전극에 펄스전압을 인가하여 점등하고자 하는 셀에 벽전하를 축적하는 어드레스 기간과, 주사전극과 유지전극사이에 펄스전

압을 인가하여 방전유지를 행하는 방전유지기간이라는 일련의 동작을 행한다. 상기 셋업기간은 다시 소거기간, 상승램프기간, 하강램프기간으로 나뉘고, 상승램프기간에서 유지전극과 주사 전극 사이에 주방전이 이루어진다. 이때, 보호층이 음극역할을 하게 되며, 안정적인 약방전이 형성된다.

<15> 그러나, 이러한 종래의 리셋기간을 장방전 구조에 적용한다면 방전의 시작은 어드레스 전극과 주사전극 사이에서 발생하게 되고, 이와 같은 경우 음극 역할을 하는 어드레스 전극의 표면에 형광체가 도포되어 있기 때문에 방전이 불안정하게 이루어진다.

<16> 이에 따라, 장방전 구조에서 안정적인 약방전이 형성되기 위해, 상승램프기간 전에 프라이밍 입자를 공급하는 방법이 제시되었다. 그러나, 이 역시 프라이밍 입자의 공급으로 일정한 기간(수십us)동안 안정적인 약방전이 발생할 수 있지만, 일정 시간이 지난 후에는 불안정한 방전이 나타나는 것을 실험을 통하여 확인하였다. 이와 같은 결과는 프라이밍 효과가 지속적으로 나타나기 위해서는 더 많은 프라이밍 입자들이 필요하다는 것을 의미한다. 플라즈마 디스플레이 패널의 수백만 개 이상의 셀들은 각각 다른 방전전압이 나타나는데, 특히 녹색 셀의 경우 방전개시전압이 적색이나 청색 셀에 비해 높게 나타난다. 따라서, 녹색 셀의 방전점화 시간은 상승램프 동안 다른 셀보다 지연되어 나타나며, 지연된 시간 동안 프라이밍 입자들이 소멸하여 안정적인 방전을 만들 수가 없다. 즉, 모든 셀에 안정적인 방전을 발생시키기 위한 충분한 프라이밍 입자를 공급할 수 없기 때문에 종래의 상승램프를 사용 수 없다.

발명이 이루고자 하는 기술적 과제

<17> 따라서, 본 발명은 상술한 문제점을 해결하기 위하여 창안된 것으로, 유지전극과 주사전극간의 간격이 넓은 플라즈마 디스플레이 패널 구조에서 램프기간에 종래의 상승램프를 사용하지 않고 어드레스 방전을 안정적으로 수행할 수 있는 리셋 방법을 제공하는 것이다.

발명의 구성 및 작용

<18> 상술한 문제점을 해결하기 위한 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법은 발광횟수가 다른 다수개의 서브필드가 리셋기간, 어드레스 기간, 서스테인 기간으로 나뉘고 각 기간에서 주사전극, 유지전극, 어드레스 전극에 소정의 펄스를 인가하여 화상을 표현하는 플라즈마 디스플레이 패널의 구동방법에 있어서, 상기 리셋기간은 상기 주사전극의 전압을 감소시키는 소거단계; 상기 어드레스 전극에 전압을 인가하여 프라이밍 입자를 공급하는 프라이밍 입자 생성단계; 상기 유지전극 및 주사전극에 전압을 인가하고 기 설정된 시간동안 유지시키는 셋업단계 및 상기 유지전극 및 주사전극의 인가된 전압을 감소시키는 램프하강단계를 포함하여 이루어지는 것을 특징으로 한다.

<19> 여기서, 상기 소거단계는 상기 유지전극의 전압을 양의 전압인 제 1전압까지 완만하게 증가시키면서, 상기 주사전극의 전압은 음의 전압인 제 2전압까지 완만하게 감소시키는 것으로 이루어진다.

<20> 다음으로, 상기 프라이밍 입자 생성단계는 상기 유지전극의 제 1전압과 상기 주사전극의 제 2전압을 일정시간 유지하는 상태에서 상기 어드레스 전극에 양의 전압인 제 3전압을 인가하여 프라이밍 입자를 생성하는 것으로 이루어지는데, 상기 제 3전압의 크기는 상기 어드레스전극에서 입력되는 데이터 펄스의 크기와 동일한 것이 바람직하다.

<21> 다음으로, 상기 셋업단계는 상기 유지전극의 전압을 양의 전압인 제 4전압까지 수직상승하여 일정시간 유지하고, 상기 주사전극의 전압을 양의 전압인 제 5전압까지 수직상승하고 일정시간 유지하는 것으로 이루어지는데, 상기 제 4전압은 상기 제 5전압보다 낮은 전압이며, 상기 유지전극에서 제 4전압으로의 수직상승은 주사전극에서 제 5전압으로 수직상승한 이후에 이루어지는 것이 바람직하다. 또한, 상기 제 4전압의 크기는 상기 어드레스기간에서 유지전극에 입력되는 전압의 크기와 동일할 수 있다.

<22> 다음으로, 상기 램프하강단계는 상기 유지전극의 전압을 제 4전압에서 접지전위까지 완만하게 감소시킨 후 일정시간 유지하고, 상기 주사전극의 전압을 제 5전압에서 제 6전압까지 수직하강하고 상기 제 6전압에서 음의 전압인 제 7전압까지 완만하게 감소시킨 후 일정시간 유지하는 것으로 이루어진다.

<23> 이하, 도면들을 참조하여, 본 발명에 따른 플라즈마 디스플레이 패널 전극구조의 구동방법의 일 실시예에 대하여 상세하게 설명하고자 한다. 그러나 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

<24> 이하 도 1 및 도 2는 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법에 대한 설명을 위해 3전극 면방전형 구조의 플라즈마 디스플레이 패널의 구조를 나타내는 도면이다.

<25> 도 1은 일반적인 3전극 면방전형 구조의 플라즈마 디스플레이 패널의 부분 평면도로서, 유지전극과 주사전극과의 간격이 상부 보호층과 어드레스전극과의 간격보다 더 넓게 설정된 형태를 갖는다.

<26> 도 1에 도시된 바와 같이, 전면기판(11)의 배면에는 교류 구동 신호가 공급되어 유지 면방전을 이루는 주사전극(12a)과 유지전극(12b)이 동일면상에 나란하게 형성된다. 여기서, 주사전극(12a) 및 유지전극(12b)은 ITO(Indium Tin Oxide)가 없는 버스전극으로만 형성된 불투명전극이며, 각각 빗(Comb) 형태이다. 상기 주사전극(12a) 및 유지전극(12b)을 형성된 전면기판(11)의 배면에는 상부유전층(13)이 전면에 형성되는데, 상부유전층(13)은 방전시 전하를 축적함과 아울러 방전 전류를 제한하는 기능을 갖는다. 그리고, 상부유전층(13) 상에 전면 도포되는 보호층(14)은 방전시 스퍼터링으로부터 상부유전층(13)을 보호하여 화소셀의 수명을 연장시킴과 아울러 2차 전자의 방출효율을 높여 방전효율을 향상시킨다.

<27> 다음으로, 배면기판(21)상에는 어드레스 방전을 위한 어드레스 전극(22)이 주사전극(12a) 및 유지전극(12b)과 직교하는 방향으로 형성된다. 그리고, 배면기판(21)과 어드레스 전극(22) 상에는 방전시 벽전하 형성을 위한 하부유전층이 전면 도포되고, 전면기판(11)과 배면기판(21) 사이에는 격벽(30)이 수직으로 형성된다. 하부유전층 상에서 어드레스전극(22)과 나란한 방향으로 형성되는 격벽(30)은 전면기판(11) 및 배면기판(21)과 함께 방전셀(40)을 형성하고, 이웃한 방전셀 간의 전기적, 광학적 상호 간섭을 차단한다. 또한, 격벽(30)은 인접한 방전셀 간의 간섭을 최소화하기 위해 어드레스전극(22)과 나란한 방향뿐만이 아니라, 어드레스전극(22)에 직교하는 방향으로도 형성되어 격자 형태의 구조를 갖기도 한다. 상기 격벽(30)의 표면에는 형광체층(31)이 도포되어 있고, 방전셀(40) 내에는 He+Xe 또는 Ne+Xe의 방전가스를 봉입한다.

<28> 여기서, 각각의 라인에 연결되어 독립적으로 제어되는 주사전극(12a)과 어드레스전극(22)의 방전에 의해 방전의 유무가 결정되고, 화면을 표시 하는 서스테인 방전은 동일 면상에 위치한 주사전극(12a)과 유지전극(12b)에 의해 이루어진다.

<29> 도 2는 도 1의 플라즈마 디스플레이 패널의 단면을 나타내는 도면이다.

<30> 도 2는 도 1에 도시된 바와 같은 플라즈마 디스플레이 패널을 어드레스전극(22)을 따라 절단한 단면도로서, 유지전극(12a)과 주사전극(12b)과의 유지방전 갭(dss)를 대향방전 갭(dsa)-어드레스전극(22)의 중심선 상에서의 형광체층(31)의 표면과 보호층(14)의 표면과의 거리-보다 크게 설정하고 있다. 종래에는, 상기 유지방전 갭(dss)을 파셴법칙에 기초하여 설정하였으나 이 경우 대향방전 갭(dsa)보다 작은 값이 된다.

<31> 따라서, 도 2에 도시된 바와 같이 유지방전 갭(dss)을 대향방전 갭(dsa)보다 크게 설정함으로써, 종래의 플라즈마 디스플레이 패널과 비교하여 유지방전시의 방전길이가 크게 설정된다. 또한, 유지방전 갭(dss)을 크게하면, 약간이라 해도 구동전압은 상승하므로, 이 구동전압으로부터도 상한이 결정되지만 대향방전 갭(dsa)의 5~6배까지 구동이 가능하다.

<32> 이와 같이 유지방전 갭(dss)이 대향방전 갭(dsa)보다 크게 설정된 플라즈마 디스플레이 패널의 구동방법은 도 3을 참조하여 설명하도록 한다.

<33> 도 3은 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법에서 구동 파형도를 나타내는 도면이다.

<34> 일반적인 플라즈마 디스플레이 패널의 구동방법에 따르면, 플라즈마 디스플레이 패널의 각 전극에 대해 구동회로에서 전압을 인가하지만 각 방전셀은 원래 점등이나 소등의 2계조로만 표시할 수 있으므로, 적색(R), 녹색(G), 청색(B)의 각 색에 대하여 1필드를 복수의 서브필드로 분할하여 점등시간을 시분할하고, 그 조합에 의하여 중간계조를 표현하는 방법이 이용된다. 각 서브필드에서는 일반적으로 ADS(Address Display-period Separation) 방식에 의해서 플라즈마 디스플레이 패널에 화상을 표시한다. 이 방식으로는 주사전극 전체에 펄스전압을 인가하여 셋업하는 리셋기간과, 주사전극에 펄스전압을 순차 인가하는 동시에 어드레스전극 중의 선택된 전극에 펄스전압을 인가하여 점등하고자 하는 셀에 벽전하를 축적하는 어드레스 기간과, 주사전극과 유지전극사이에 펄스전압을 인가하여 방전유지를 행하는 방전유지기간이라는 일련의 동작을 행한다. 여기서, 본 발명은 상기 리셋기간은 소거단계, 프라이밍 입자 생성 단계, 셋업단계, 램프하강단계를 포함하고 있다.

<35> 소거 단계에서는 이전의 시스템인 방전이 완료되면 주사전극(Y)에 0으로부터 음의 전압이 Vyn을 향하여 완만하게 하강하는 소거 램프 전압을 인가함으로써 유지전극(Y)의 벽전하는 점점 소거되고, 유지전극(X)에는 0으로부터 양의 전압인 Vxp까지 완만하게 증가하는 전압을 인가한다. 이때에는 이전의 서브필드에서 유지방전이 일어난

셀에서만 소거 약방전이 일어나며, 이는 주사전극과 어드레스 전극 사이의 방전이다.

<36> 다음으로, 프라이밍 입자 생성단계에서는 주사전극(Y)을 Vyn으로, 유지전극(X)을 Vxp로 유지하고, 어드레스기간에 입력되는 데이터 전압과 크기가 같은 Va펄스를 어드레스전극(A)에 인가한다. 따라서, Va펄스로 인하여 양극이 된 어드레스전극(A)과 음극의 주사전극(Y) 사이의 트리거 방전이 유지전극(X)과 주사전극(Y) 사이의 강한 방전으로 발전됨에 따라 다량의 프라이밍 입자들이 생성된다. 이는 주사전극(Y) 상부에 있는 보호층(MgO)이 음극이 되는 조건에서 높은 2차 전자 방출로 프라이밍 방전을 안정적으로 일으키게 하며, 동시에 주사전극(Y)과 어드레스전극(A) 사이의 방전전압을 낮추게 한다. 또한, 이때 발생하는 프라이밍 입자들이 뒤따르는 방전을 안정적으로 일으키게 하는 효과가 있다. 주사전극(Y)과 어드레스 전극(A) 사이의 방전은 양 주사전극(Y)과 유지전극(X) 사이의 방전으로 확장되어야 프라이밍 방전이 완성된다. 이때, 유지전극(X)은 방전의 확장을 위해서 소정의 전압레벨이 필요하고, 방전의 확장은 이동도가 좋은 (-)전하에 의해서 어드레스전극(A)을 통해 일어난다.

<37> 다음으로, 셋업단계에서는 주사전극(Y)에 Vyr이 입력되어 유지된 후, 유지전극(X)에 Vxr이 입력되어 유지되는 상태에서 주사전극(Y)과 어드레스전극(A) 사이에 방전이 이루어지는데, 이때 어드레스전극(A)은 음극이 되며 음극부분의 형광물질에 따라 방전의 세기차이가 발생한다. 여기서, 상기 Vyr 전압은 어드레스전극(A)에 Va를 인가한 후 프라이밍 입자들의 소멸 시간인 20㎲이내에 인가하여야 상기 방전이 안정적으로 일어날 수 있다. 이 방전은 이전 서브필드의 유지 방전의 유무에 상관없이 전 셀에 걸쳐 발생하며, 어드레스전극(A)에는 (+)전하가 축적되고, 주사전극(Y)에는 (-)전하가 축적된다. 상기 주사전극(Y)과 어드레스전극(A) 사이의 방전이 주사전극(Y)과 유지전극(X)과의 방전으로 확장하기 위해서는 주사전극(Y)과 유지전극(X) 사이에 일정 전압레벨 이상의 차이가 있어야 한다. 상기 Vyr전압과 Vxr전압을 동시에 수직 상승시키는 경우 전압의 차이가 줄어들어 방전이 완전하게 일어나지 않을 수 있다. 따라서, 유지전극(X)의 Vxp전압에서 Vxr전압으로의 수직상승은 상기 주사전극(Y)에 Vyr전압으로의 수직상승 후 이루어지고, 상기 Vxr전압의 값이 상기 Vyr전압보다 낮도록 하는 것이 바람직하다. 이후의 방전에서는, 앞서 상술한 바와 같이 프라이밍 입자를 공급함으로써 방전의 세기 차이를 줄일 수 있으며 또한 안정적인 방전이 이루어질 수 있다.

<38> 다음으로, 램프하강단계는 과도하게 쌓였던 벽전하를 기입 방전에 적합하도록 지워주는 단계로서, 유지전극(X)을 Vxr에서 0V로 완만하게 하강하는 램프전압을 인가하고, 주사전극(Y)을 Vyr에서 Vs로 수직하강한 후 Vyn까지 완만하게 하강하는 램프전압을 인가한다. 이는, 유지전극(X)의 전압을 Vxr전압으로 유지할 경우 상기 유지전극(X)과 주사전극(Y) 사이의 전압 차이가 일정 전압 이상 커지게 되면 주사전극(Y)의 약방전이 발생하다가 유지전극(X)과의 방전으로 발전할 가능성이 있기 때문이다. 따라서, 상기 주사전극(Y)의 약방전에 영향을 미치는 것을 방지하기 위하여 램프로 낮춰주는데, 전압레벨의 추가가 없도록 하기 위해 통상 접지전위인 0전압까지 내리는 것이다. 상기 램프 전압이 하강하는 동안 모든 방전셀에서는 미약한 리셋방전이 일어나고, 그 결과 주사전극(Y)의 (-)벽전하가 감소하고, 어드레스전극(A)의 (+)벽전하는 어드레스 동작에 적당한 값으로 조정된다.

<39> 도 4a 내지 도 4c는 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법에서 어드레스 전압 마진의 일실시예를 나타내는 도면이다. 본 발명의 실시예에서, 서스테인 전극간격은 350㎛로 하고, 표준 전압레벨은 각각 Vyn=-130V, Vscan=-120V, Vxr=Vxb=300V, Vyr=480V로 한다.

<40> 도 4a는 본 발명에 따른 구동방법의 실시예에서 서스테인 전극간격 350㎛에서의 Vyr 전압크기와 어드레스 전압의 마진을 나타낸다. 최소 어드레스전압이 60V, 최대 어드레스전압이 140V로 Vyr 전압의 크기에 대하여 어드레스 전압마진이 변하지 않는다. 각각의 레드, 블루, 그린 셀들을 안정적인 리셋을 시킬 수 있는 최소 Vyr 전압크기가 480V이고, 그 이하에서는 전압마진이 나타나지 않는다는 것을 확인할 수 있다. 이러한 구동파형은 서스테인 전극 간격에 영향을 받지 않는다는 장점이 있다. 그리고, 서스테인 전극간격을 250㎛으로 한 경우에도 도 4a와 동일한 마진이 나타난다.

<41> 도 4b는 본 발명에 따른 구동방법의 실시예에서 서스테인 전극간격 350㎛에서의 Vxr에 의한 어드레스 전압마진을 나타낸다. Vxr의 바이어스가 계속 주어진 상태에서 주사전극(Y)에 하강램프를 인가하면 강한 방전이 발생하게 되고, 주사전극의 하강램프 기간 동안 유지전극(X)의 Vxr 전압도 0V까지 하강램프를 사용하려 내리고, 주사전극(Y)/유지전극(X) 및 어드레스전극(A) 사이에서 안정적인 약방전이 발생하게 된다. Vxr이 300V이하에서 방전이 일어난 후 양의 전하가 유지전극에 쌓이게 되고, 이로 인하여 하강램프구간에서 불안정한 방전이 일어나게 한다. 340V이상에서는 어드레스전극과 서스테인전극 사이에서 방전이 발생하여 벽전하의 셋업을 방해하게 된다.

<42> 도 4c는 유지전극의 바이어스 전압인 Vxb의 어드레스 마진을 보여준다. 어드레스전극(A)과 주사전극(Y)의 트리거 방전이 주사전극(Y)과 유지전극(X) 사이의 방전으로 발전해야 정상적인 어드레스 방전이다. Vxb가 360V 이상에서는 Vxb 바이어스를 인가할 때, 어드레스전극(A)과 유지전극(X) 사이에서 방전이 발생하고, 벽전하의 셋업을

방해하여 어드레스 방전에도 악영향을 끼친다. Vxb가 280V이하에서는 트리거 방전이 유지방전으로 발전하지 못하게 된다.

<43> 이상에서는 본 발명의 바람직한 실시 예에 대해서 도시하고 설명하였으나, 본 발명은 상술한 특정의 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능한 것은 물론이고 그와 같은 변경은 청구범위 기재의 범위 내에 있게 된다.

발명의 효과

<44> 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법에 있어서, 유지방전 갭을 대향방전 갭보다 넓게 형성하는 3전극 교류형(AC) 플라즈마 디스플레이 패널의 리셋기간을 소거단계, 프라이밍 입자 생성단계, 셋업단계, 램프 하강단계를 포함함에 따라 충분한 어드레스 마진을 가지며 안정적인 어드레스 방전을 통해 패널을 구동할 수 있다.

도면의 간단한 설명

<1> 도 1은 종래기술에 따른 3전극 면방전형 플라즈마 디스플레이 패널의 구조의 일실시예를 나타내는 도면이고,

<2> 도 2는 도 1에 도시된 바와 같은 3전극 면방전형 플라즈마 디스플레이 패널의 단면을 나타내는 도면이고,

<3> 도 3은 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법의 일실시예로 구동 파형도를 나타내는 도면이고,

<4> 도 4a는 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법에서 주사전극에 인가되는 전압(Vyr)의 어드레스 전압 마진을 나타내는 도면이고,

<5> 도 4b는 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법에서 유지전극에 인가되는 전압(Vxr)의 어드레스 전압 마진을 나타내는 도면이고,

<6> 도 4c는 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법에서 유지전극의 바이어스 전압(Vxb)의 어드레스 전압 마진을 나타내는 도면이다.

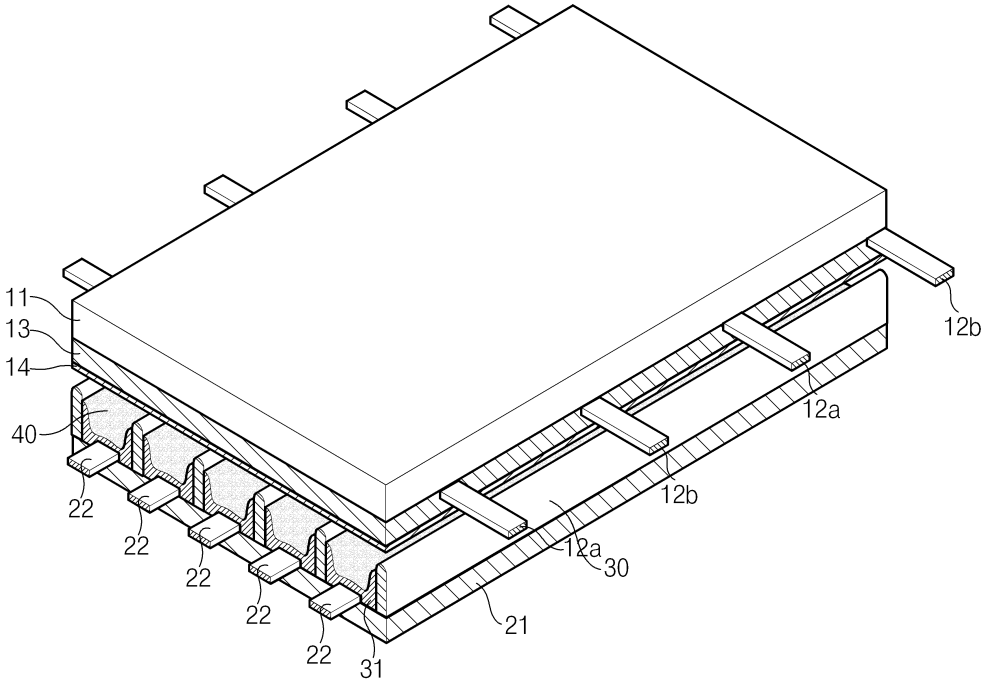
<7> < 도면의 주요부호에 대한 설명 >

<8> 12a : 주사전극 12b : 유지전극

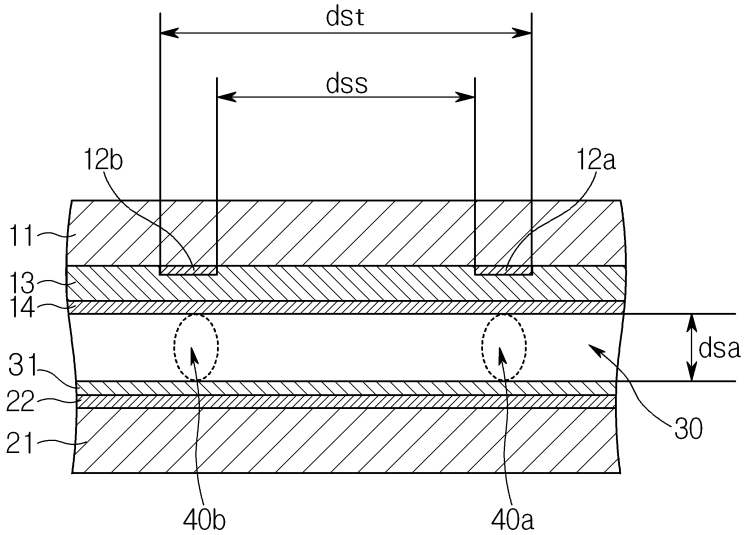
<9> 22 : 어드레스전극 40 : 방전셀

도면

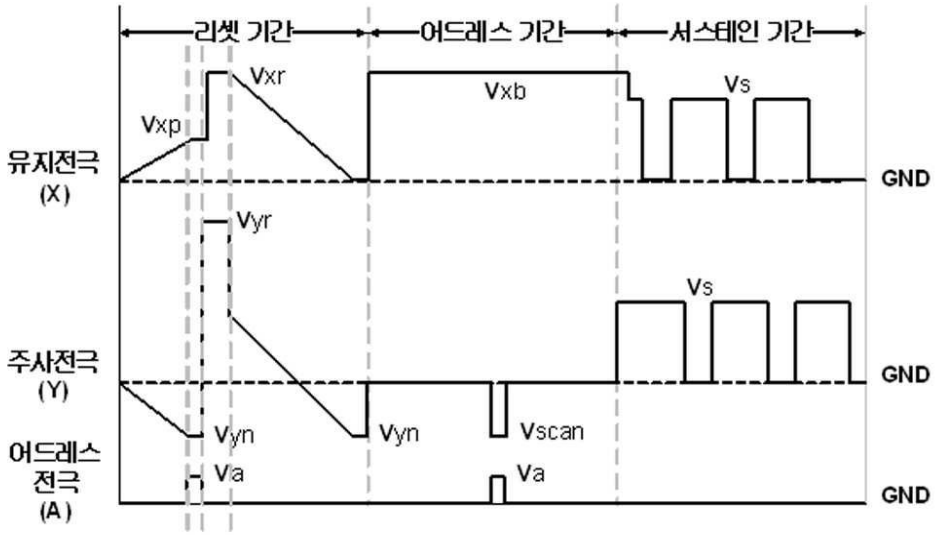
도면1


11
13
14
40
22
22
22
22
22
31
21
30
12a
12b
12a
12b

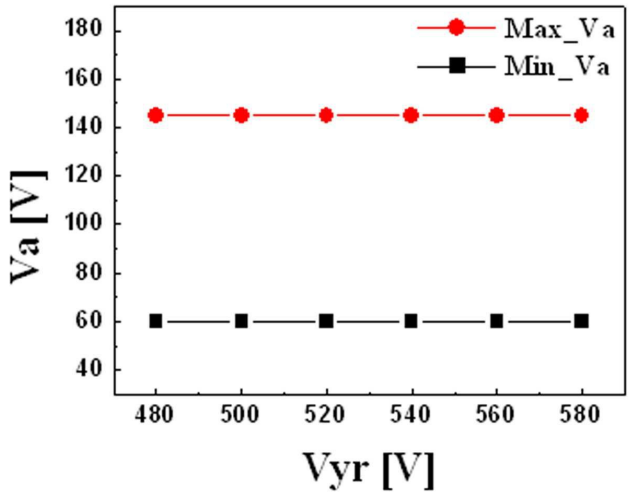
도면2


dst
dss
12b
12a
11
13
14
31
22
21
dsa
30
40b
40a

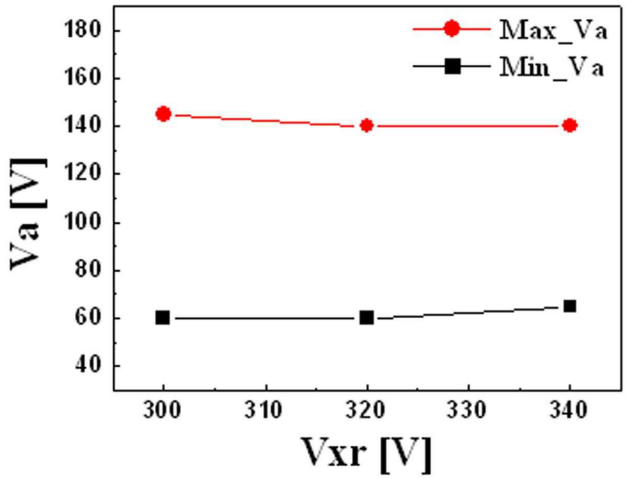
도면3


리셋 기간
어드레스 기간
서스테인 기간
Vxr
Vxb
Vs
Vxp
유지전극
(X)
GND
Vyr
Vs
주사전극
(Y)
GND
Vyn
Vyn
Vscan
어드레스
전극
(A)
Va
Va
GND

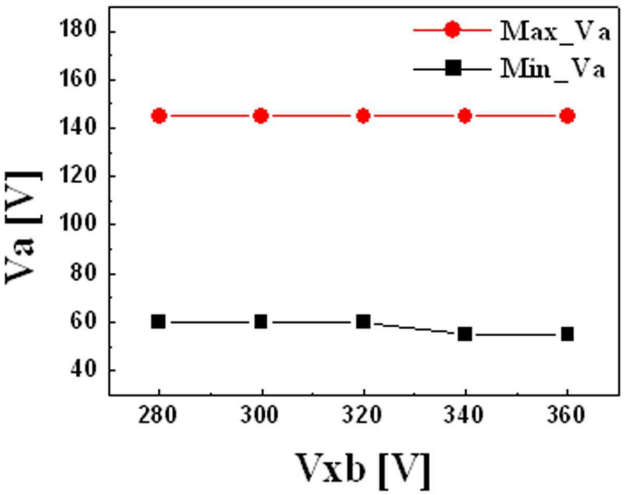
도면4a


Max_Va
Min_Va
180
160
140
120
100
80
60
40
Va [V]
480
500
520
540
560
580
Vyr [V]

도면4b


Max_Va
Min_Va
Va [V]
180
160
140
120
100
80
60
40
300
310
320
330
340
Vxr [V]

도면4c


Max_Va
Min_Va
Va [V]
180
160
140
120
100
80
60
40
280
300
320
340
360
Vxb [V]