

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/1362 (2006.01)

G09G 3/36 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710104864.8

[43] 公开日 2007 年 11 月 28 日

[11] 公开号 CN 101078846A

[22] 申请日 2007.5.23

[21] 申请号 200710104864.8

[30] 优先权

[32] 2006.5.23 [33] KR [31] 10-2006-0046028

[71] 申请人 三星电子株式会社

地址 韩国京畿道水原市灵通区梅滩3洞416

[72] 发明人 李白云

[74] 专利代理机构 北京铭硕知识产权代理有限公司

代理人 郭鸿禧 安宇宏

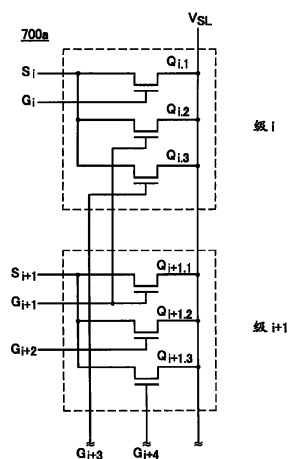
权利要求书 3 页 说明书 14 页 附图 8 页

[54] 发明名称

显示装置

[57] 摘要

本发明提供了一种显示装置，该显示装置包括：多条栅极线，传输栅极信号，其中，每个栅极信号具有栅极导通电压和栅极截止电压；多条数据线，与栅极线交叉并传输数据电压；多条存储电压线，平行于栅极线延伸并传输存储信号；多个像素，以矩阵布置，其中，每个像素包括连接到栅极线和数据线的开关元件、连接到开关元件和共电压的液晶电容器、连接到开关元件和存储电极线的存储电容器；多个存储信号发生器，基于栅极信号产生存储信号。施加到各像素的存储信号具有在完成将数据电压充入液晶电容器和所述存储电容器之后立即改变的电压电平。



1、一种显示装置，包括：

像素电极；

共电极，被提供有共电压；

数据驱动器，产生数据电压；

栅极驱动器，产生栅极电压；

像素开关元件，根据所述栅极电压导通和截止，并在导通时将所述数据电压提供给所述像素电极；

存储电容器，包括部分像素电极、存储电极和位于其间的绝缘体；

存储电极驱动器，当所述像素开关元件截止时对所述存储电极提供升压电压至少两个持续时间。

2、根据权利要求1所述的显示装置，所述存储电极驱动器在所述像素开关元件导通时提供维持电压。

3、根据权利要求2所述的显示装置，从第一数据电压组和第二数据电压组中的一组选择所述数据电压。

4、根据权利要求3所述的显示装置，当从所述第一数据电压组选择所述数据电压时，所述像素电极的电压高于所述共电压，当从所述第二数据电压组选择所述数据电压时，所述像素电极的电压低于所述共电压。

5、根据权利要求4所述的显示装置，当从所述第一数据电压组选择所述数据电压时，所述升压电压高于所述维持电压，当从所述第二数据电压组选择所述数据电压时，所述升压电压低于所述维持电压。

6、根据权利要求5所述的显示装置，所述存储电极驱动器包括电压源。

7、根据权利要求6所述的显示装置，所述存储电极驱动器还包括级，所述级包括：第一开关元件，具有连接到所述存储电极的输出端、连接到所述电压源的输入端和连接到第一控制信号源的控制端；第二开关元件，具有连接到所述存储电极的输出端、连接到所述电压源的输入端和连接到第二控制信号源的控制端；第三开关元件，具有连接到所述存储电极的输出端、连接到所述电压源的输入端和连接到第三控制信号源的控制端。

8、根据权利要求7所述的显示装置，所述电压源以交替的周期产生在第一电平和第二电平之间交替的存储电极电压，其中，所述第二电平高于所述

第一电平。

9、根据权利要求8所述的显示装置，还包括连接到所述栅极驱动器的多条栅极线，所述栅极驱动器逐行顺序地对多条栅极线中的每条提供导通电压脉冲，其中，两条相邻栅极线分别提供的两个导通脉冲的上升沿隔开一定的期间，所述多条栅极线中的第 i 栅极线连接到所述开关元件和所述栅极驱动器。

10、根据权利要求9所述的显示装置，其中，所述交替周期为所述期间的两倍。

11、根据权利要求10所述的显示装置，其中，

所述第一控制信号源是所述第 i 栅极线，所述第二控制信号源是第 $i+2K+1$ 栅极线，所述第三控制信号源是所述第 $i+2N+1$ 栅极线；

K 是自然数或0， N 是大于 K 的自然数。

12、根据权利要求11所述的显示装置，还包括 $2N+1$ 条附加栅极线。

13、根据权利要求7所述的显示装置，所述电压源还包括：

第一电压源，以交替的周期产生在第一电平和第二电平之间交替的第一存储电极电压，所述第二电平高于所述第一电平；

第二电压源，产生具有与所述第一存储电极电压的相位相反的相位的第二存储电极电压。

14、根据权利要求13所述的显示装置，其中，所述第一开关元件的所述输入端连接到所述第一电压源和所述第二电压源中的一个，所述第二和第三开关元件的输入端连接到所述第一电压源和所述第二电压源中的另一个。

15、根据权利要求14所述的显示装置，其中，所述交替的周期是帧的两倍。

16、根据权利要求15所述的显示装置，

其中，所述第一控制信号源是所述第 i 栅极线，所述第二控制信号源是第 $i+K+1$ 栅极线，所述第三控制信号源是所述第 $i+N+1$ 栅极线；

其中， K 是自然数或0， N 是大于 K 的自然数。

17、根据权利要求16所述的显示装置，还包括 $N+1$ 条附加栅极线。

18、根据权利要求1所述的显示装置，所述持续时间的每个与所述像素开关元件被导通所持续的时间相同。

19、根据权利要求5所述的显示装置，从所述第一数据电压组和所述第

二数据电压组逐帧交替地选择所述数据电压。

20、根据权利要求 9 所述的显示装置，还包括存储电极连接线，所述存储电极连接线的一端将所述第一至所述第三开关元件的输出端共同连接，并且另一端连接到所述存储电极。

21、根据权利要求 20 所述的显示装置，还包括维持所述存储电极的电压的电容。

22、根据权利要求 21 所述的显示装置，所述电容包括：

第一电容，包括部分所述存储电极连接线、第一电极和位于所述部分存储电极和所述第一电极之间的第一绝缘层；

第二电容，包括所述部分存储电极连接线、第二电极和位于所述部分存储电极连接线和所述第二电极之间的第二绝缘层。

23、根据权利要求 22 所述的显示装置，其中，所述部分存储电极连接线位于所述第一绝缘层和所述第二绝缘层之间。

24、根据权利要求 23 所述的显示装置，其中，施加到所述第一电极的电压和施加到所述第二电极的电压相同。

25、根据权利要求 24 所述的显示装置，其中，所述第一电极和所述第二电极相互电连接。

显示装置

技术领域

本发明涉及一种显示装置。

背景技术

通常，液晶显示器包括两个显示面板以及位于两个面板之间具有介电各向异性的液晶层，这两个显示面板具有像素电极和共电极。像素电极按矩阵布置，并连接到将数据电压顺序地施加到像素的开关元件如薄膜晶体管（TFT）。共电极被设置在显示面板的整个表面的上方，并对共电极提供共电压。像素电极、共电极和液晶层构成了液晶电容器。液晶电容器与开关元件一起为像素单元。

图像数据电压改变施加到两个面板之间的液晶层的电场的强度，从而控制穿过液晶层的光的透射率，以显示对应于数据电压的图像。为了防止液晶的劣化，对每帧、像素行或像素，使数据电压的极性相对于共电压反转。

然而，由于液晶分子的响应速度低，所以充入液晶电容器的电压（以下称作像素电压）要花费一定的时间才能达到目标电压。该目标电压是影响期望亮度的电压。上述的时间取决于目标电压和先前充入液晶电容器的电压之间的差。因此，当目标电压和先前充入的电压之间的差大时，在开关元件导通的时间内，仅施加目标电压不足以使像素电压达到目标电压。

为了解决这个问题，已经提出了 DCC(dynamic capacitance compensation, 动态电容补偿) 方案。DCC 方案采用了充电速度与液晶电容器两端的电压成比例这一事实。选择施加到像素的数据电压（实际上为数据电压和共电压之间的差，其中，共电压通常假定为 0V）使其高于目标电压，以缩短像素电压达到目标电压所花费的时间。然而，在 DCC 方案中，需要用于执行 DCC 计算的驱动电路和帧存储器。因此，在电路设计上还存在难题并且提高了产品成本。

为了降低在中型或小型显示装置如移动电话中的功耗，执行了行反转。然而，随着中型或小型显示装置的分辨率的增大，功耗也随之增大。具体地

讲，当执行 DCC 计算时，由于另加的计算和电路元件导致功耗显著增大。

与点反转相比，适于利用行反转的图像显示的数据电压的范围小，其中，所述的点反转是对每个像素反转数据电压的极性的情况。因此，在 VA（垂直取向）模式的液晶显示器中，如果驱动液晶的阈值电压高，则用于表示图像显示的灰阶的数据电压的可用范围减少阈值电压的量。因此，不能得到期望的亮度。

发明内容

根据本发明的一方面，显示装置在不增加功耗的情况下提供了提高的响应速度和图像品质。根据本发明的实施例，显示装置包括：像素电极；共电极，被提供有共电压；数据驱动器，产生数据电压；栅极驱动器，产生栅极电压；像素开关元件，根据所述栅极电压导通和截止，并在导通时将所述数据电压提供给所述像素电极；存储电容器，包括部分像素电极、存储电极和位于其间的绝缘体；存储电极驱动器，当所述像素开关元件截止时对所述存储电极提供升压电压至少两个持续时间。

所述存储电极驱动器在所述像素开关元件导通时提供维持电压。

可从第一数据电压组和第二数据电压组中的一组选择所述数据电压。在这种情况下，当从所述第一数据电压组选择所述数据电压时，所述像素电极的电压高于所述共电压，当从所述第二数据电压组选择所述数据电压时，所述像素电极的电压低于所述共电压，当从所述第一数据电压组选择所述数据电压时，所述升压电压高于所述维持电压，当从所述第二数据电压组选择所述数据电压时，所述升压电压低于所述维持电压。

所述存储电极驱动器可包括电压源。

所述存储电极驱动器可包括级，所述级包括：第一开关元件，具有连接到所述存储电极的输出端、连接到所述电压源的输入端和连接到第一控制信号源的控制端；第二开关元件，具有连接到所述存储电极的输出端、连接到所述电压源的输入端和连接到第二控制信号源的控制端；第三开关元件，具有连接到所述存储电极的输出端、连接到所述电压源的输入端和连接到第三控制信号源的控制端。

所述显示装置还可包括连接到所述栅极驱动器的多条栅极线，所述多条栅极线中的第 i 栅极线连接到所述开关元件和所述栅极驱动器。所述栅极驱

动器逐行顺序对多条栅极线中的每条提供导通电压脉冲。两条相邻栅极线分别提供的两个导通脉冲的上升沿隔开一定的期间。所述电压源可以以交替的周期产生在第一电平和第二电平之间交替的存储电极电压,其中,所述第二电平高于所述第一电平。所述交替周期可为所述期间的两倍。在这种情况下,所述第一控制信号源可以是所述第 i 栅极线,所述第二控制信号源可以是第 $i+2K+1$ 栅极线,所述第三控制信号源可以是所述第 $i+2N+1$ 栅极线。这里, K 是自然数或 0, N 是大于 K 的自然数。

所述的显示装置还可包括 $2N+1$ 条附加栅极线。

另外,所述电压源还可包括:第一电压源,以交替的周期产生在第一电平和第二电平之间交替的第一存储电极电压,所述第二电平高于所述第一电平;第二电压源,产生具有与所述第一存储电极电压的相位相反的相位的第二存储电极电压。

在这种情况下,所述第一开关元件的所述输入端连接到所述第一电压源和所述第二电压源中的一个,所述第二和第三开关元件的输入端连接到所述第一电压源和所述第二电压源中的另一个,所述交替的周期可为帧的两倍。所述第一控制信号源是所述第 i 栅极线,所述第二控制信号源是第 $i+K+1$ 栅极线,所述第三控制信号源是所述第 $i+N+1$ 栅极线。这里, K 是自然数或 0, N 是大于 K 的自然数。所述的显示装置还可包括 $N+1$ 条附加栅极线。

可从所述第一数据电压组和所述第二数据电压组逐帧交替地选择所述数据电压。

所述显示装置还可包括存储电极连接线,其中,所述存储电极连接线的一端将所述第一至所述第三开关元件的输出端共同连接,并且另一端连接到所述存储电极。所述显示装置还可包括维持存储电极的电压的电容。

所述电容可包括:第一电容,包括部分所述存储电极连接线、第一电极和位于所述部分存储电极和所述第一电极之间的第一绝缘层;第二电容,包括所述部分存储电极连接线、第二电极和位于所述部分存储电极连接线和所述第二电极之间的第二绝缘层。

所述部分存储电极连接线可位于所述第一绝缘层和所述第二绝缘层之间。所述第一电极和所述第二电极可相互电连接。

将参照附图详细描述本发明的示例性实施例，在附图中：

图 1 是根据本发明的示例性实施例的液晶显示器的框图；

图 2 是根据本发明的示例性实施例的液晶显示器中的一个像素的等效电路图；

图 3 是根据本发明的示例性实施例的存储电极驱动器的示例的电路图；

图 4 是用于包括图 3 中所示的信号产生电路的液晶显示器的信号的时序图；

图 5 是根据本发明的示例性实施例的存储电极驱动器的另一示例的电路图；

图 6 是用于包括图 5 中所示的信号产生电路的液晶显示器的信号的时序图；

图 7 是根据本发明实施例的液晶显示器的示例的布局图；

图 8A 和图 8B 分别是沿图 7 中的线 XIIa-XIIa 和 XIIb-XIIb 截取的薄膜晶体管阵列面板的剖视图。

具体实施方式

在附图中，为了清晰，夸大了层、膜、面板、区域等的厚度。应该理解，当元件如层、膜、区域或基底被称作在另一元件“上”时，该元件可以直接在另一元件上，或者也可以存在中间元件。相反，当元件被称作“直接”在另一元件“上”时，不存在中间元件。将参照图 1 和图 2 详细描述根据本发明的示例性实施例的液晶显示器。

图 1 是根据本发明的示例性实施例的液晶显示器的框图，图 2 是根据本发明的示例性实施例的液晶显示器中的一个像素的等效电路图。

如图 1 所示，液晶显示器包括液晶面板组件 300、栅极驱动器 400、数据驱动器 500、存储电极驱动器 700、连接到数据驱动器 500 的灰度电压发生器 800 和控制这些部件的信号控制器 600。

液晶面板组件 300 包括多条信号线 G_1-G_n 、 D_1-D_m 和 S_1-S_n 以及连接到信号线 G_1-G_n 、 D_1-D_m 和 S_1-S_n 并基本按矩阵布置的多个像素 PX。在图 2 中示出的结构示图中，液晶面板组件 300 包括彼此面对的下面板 100 和上面板 200 以及位于下面板 100 和上面板 200 之间的液晶层 3。信号线包括多条栅极线 G_1-G_n 、多条数据线 D_1-D_m 和多条存储电极线 S_1-S_n 。

存储电极线 S_1-S_n 连接到存储电极驱动器并基本在与栅极线延伸的方向相同的方向上延伸。

参照图 2, 每个像素 PX, 例如连接到第 i 栅极线 G_i ($i=1, 2, \dots, n$) 和第 j 数据线 D_j ($j=1, 2, \dots, m$) 的像素 PX, 包括: 像素开关元件 Q, 连接到信号线 G_i 和 D_j ; 液晶电容器 Clc 和存储电容器 Cst, 连接到像素开关元件 Q。

像素开关元件 Q 是三端子元件如薄膜晶体管, 并被设置在下面板 100 上。像素开关元件 Q 具有连接到栅极线 G_i 的控制端、连接到数据线 D_j 的输入端、以及连接到液晶电容器 Clc 和存储电容器 Cst 的输出端。

液晶电容器 Clc 包括作为两个电极的下面板 100 的像素电极 191 和上面板 200 的共电极 270, 以及作为电介质的位于两个电极之间的液晶层 3。像素电极 191 与像素开关元件 Q 连接。共电极 270 被设置在上面板 200 的整个表面上, 并被提供有共电压 Vcom, 其中, 共电压 Vcom 是具有预定值的 DC 电压。

共电极 270 可被设置在下面板 100 上。

通过将像素电极 191 和存储电极线 S_i 叠置并在其间具有绝缘体来构造存储电容器 Cst。

参照图 1, 灰度电压发生器 800 产生一定数量的与像素 PX 的透射率相关的灰度电压 (以下, 称作“基准灰度电压”)。

栅极驱动器 400 产生栅极信号并将栅极信号输出到栅极线。每个栅极信号具有导通电压 Von 和截止电压 Voff。

栅极驱动器 400 可与信号线 G_1-G_n 、 D_1-D_m 和 S_1-S_n 、开关元件 Q 和像素电极一起集成到液晶面板组件 300 中。可选择地, 栅极驱动器 400 可包括以载带封装(TCP)形式附于 LC 面板组件 300 的柔性印刷电路 (FPC) 膜或安装在 LC 面板组件 300 上的至少一个集成电路 (IC) 芯片。

信号控制器 600 控制栅极驱动器 400 和数据驱动器 500。信号控制器 600 从外部图形控制器 (未示出) 接收输入图像信号 R、G 和 B 及输入控制信号。输入图像信号 R、G 和 B 包含像素 PX 的亮度信息。该亮度具有预定数量的灰度级 (gray level), 例如 $1024(=2^{10})$ 、 $256(=2^8)$ 或 $64(=2^6)$ 个灰度。输入控制信号包括垂直同步信号 Vsync、水平同步信号 Hsync、主时钟信号 MCLK 和数据使能信号 DE。

信号控制器 600 基于输入控制信号和输入图像信号 R、G 和 B 处理图像

信号 R、G 和 B，以产生栅极控制信号 CONT1 和数据控制信号 CONT2，随后并将产生的栅极控制信号 CONT1 和数据控制信号 CONT2 传输到对应的驱动器。

栅极控制信号 CONT1 包括：扫描起始信号 STV，用于指示扫描开始；至少一个时钟信号，用于控制导通电压 V_{on} 的输出周期。栅极控制信号 CONT1 还可包括用于定义导通电压 V_{on} 的持续时间的输出使能信号 OE。

数据控制信号 CONT2 包括：水平同步起始信号 STH，用于指示一行像素 PX 的数据传输；加载信号 LOAD，用于命令将数据电压施加到数据线 D_1 - D_m ；数据时钟信号 HCLK。数据控制信号 CONT2 还可包括用于使数据电压的极性相对于共电压 V_{com} 反转的反转信号 RVS。

响应来自信号控制器 600 的数据控制信号 CONT2，数据驱动器 500 接收一行像素 PX 的数字图像信号 DAT 的包，并将数字图像信号 DAT 转换成选自于灰度电压的模拟数据电压，并将模拟数据电压施加到数据线 D_1 - D_m 。

栅极驱动器 400 响应来自信号控制器 600 的栅极控制信号 CONT1，逐行将导通电压 V_{on} 施加到栅极线 G_1 - G_n ，并导通与被施加导通电压 V_{on} 的栅极线连接的开关元件 Q。

然后，通过导通的开关元件 Q 将施加到数据线 D_1 - D_m 的数据电压提供到像素 PX，从而对像素 PX 中的液晶电容器 C_{lc} 和存储电容器 C_{st} 充电。

存储电极驱动器 700 连接到存储电极线 S_1 - S_n ，并施加存储电压。存储电压具有两个电平，两个电平中的一个为低电平，另一个为高电平。

存储电极驱动器 700 可与信号线 G_1 - G_n 、 D_1 - D_m 和 S_1 - S_n 、开关元件 Q 和像素电极一起被集成到液晶面板组件 300 上。存储电极驱动器 700 还可为安装在 LC 面板组件 300 或附于面板组件 300 的柔性印刷电路 (FPC) 膜上的集成电路 (IC) 芯片。

当导通电压被施加到栅极线 G_i 时，存储电极驱动器 700 将高电平电压或低电平电压中的一个作为维持电压提供到存储电极线 S_i ，其中，该存储电极线 S_i 与连接到所述栅极线的像素行叠置。同时，在截止电压被施加到所述栅极线时，以多于两次的不同的间隔，另一电平电压作为升压电压 (boosting voltage) 被提供到所述存储电极线 S_i 。

从而，在第 i 像素行中被浮置的像素电极 191 的电压根据存储电极线的电压变化而改变。通过对所有像素行重复这个过程，液晶显示器显示一帧的

图像。

从第一数据电压组和第二数据电压组中的一组选择数据电压。确定第一数据电压组的数据电压，使得当升压电压被施加到存储电极线时，像素电极的电压高于共电压。当从第一数据电压组选择数据电压时，所述的数据电压具有正极性。

另一方面，确定第二数据电压组的数据电压，使得当升压电压被施加到存储电极线时，像素电极的电压低于共电压。当从第二数据电压组选择数据电压时，所述的数据电压具有负极性。

当下一帧开始时，控制施加到数据驱动器 500 的反转信号 RVS，从而数据电压的极性被反转（这称作“帧反转”）。另外，施加到一行的像素 PX 的数据电压的极性基本相同，而施加到两个相邻行的像素 PX 的数据电压的极性相反（所谓的“行反转”）。

因为根据本发明的示例性实施例的液晶显示器执行帧反转和行反转，所以施加到一行的像素 PX 的所有数据电压的极性是正的或负的，并且每帧被改变。

当利用正极性数据电压对像素电极 191 充电时，施加到存储电极线 S_1-S_n 的存储电压从作为维持电压的低电平电压变为作为升压电压的高电平电压。这时，像素电极被电浮置，从而通过存储电极和像素电极之间的电容耦合，存储电极的电压增大使得像素电极电压增大。

另一方面，当用负极性的数据电压对像素电极 191 进行充电时，存储电压从作为维持电压的高电平电压改变为作为升压电压的低电平电压。这样由于电容耦合，存储电极电压的降低使得像素电极电压降低。

因此，像素电极 191 的电压范围可宽于基于数据电压的灰度电压的范围，从而增大了利用低的基础电压（basic voltage）的亮度范围。

将施加到像素 PX 的像素电极电压和共电压 Vcom 的大小之间的差表示为像素 PX 的液晶电容器 Clc 两端的电压，称作像素电压。液晶电容器 Clc 中的液晶分子具有取决于像素电压的大小的取向，并且分子取向确定穿过液晶层 3 的光的偏振。偏光器将光偏振转变成光透射，从而像素 PX 具有由数据电压的灰度表示的亮度。

将参照图 3 和图 4 来解释根据本发明的存储电极驱动器的实施例。

图 3 是根据本发明示例性实施例的存储电极驱动器的电路图，图 4 示出

了在包括图 3 所示的存储电极驱动器的液晶显示器中使用的信号的时序图。

存储电极驱动器具有多级 (stage)，每级连接到存储电极线。在图 3 中，将第 i 级和第 $i+1$ 级分别描述为 STAGE i 和 STAGE $i+1$ 。

每级包括三个或更多的开关元件。作为最简单的实施例之一，图 3 示出了具有三个作为开关元件的晶体管的级。

第 i 级 STAGE i 的第一晶体管 $Q_{i.1}$ 具有作为输入端的源极、作为输出端的漏极和作为控制端的栅极。第一晶体管 $Q_{i.1}$ 的源极通过存储电极线驱动电压供给线 SL 连接到存储电极线驱动电压源 V_{SL} 。第一晶体管 $Q_{i.1}$ 的漏极连接到第 i 存储电极线 S_i 。第一晶体管 $Q_{i.1}$ 的栅极连接到第 i 栅极线 G_i 。

第 i 级 STAGE i 的第二晶体管 $Q_{i.2}$ 具有作为输入端的源极、作为输出端的漏极和作为控制端的栅极。第二晶体管 $Q_{i.2}$ 的源极通过存储电极线驱动电压供给线 SL 连接到存储电极线驱动电压源 V_{SL} 。第二晶体管 $Q_{i.2}$ 的漏极连接到第 i 存储电极线 S_i 。第二晶体管 $Q_{i.2}$ 的栅极连接到第 $i+1$ 栅极线 G_{i+1} 。

第 i 级 STAGE i 的第三晶体管 $Q_{i.3}$ 具有作为输入端的源极、作为输出端的漏极和作为控制端的栅极。第三晶体管 $Q_{i.3}$ 的源极通过存储电极线驱动电压供给线 SL 连接到存储电极线驱动电压源 V_{SL} 。第三晶体管 $Q_{i.3}$ 的漏极连接到第 i 存储电极线 S_i 。第三晶体管 $Q_{i.3}$ 的栅极连接到第 $i+3$ 栅极线 G_{i+3} 。

如图 4 所示，存储驱动电压 V_{SL} 在高电平电压 V_H 和低电平电压 V_L 之间交替。交替的周期为大约 $2H$ ，每个电压电平的持续时间基本相同，换言之，每个电压电平的持续时间为大约 $1H$ 。

参照图 3 和图 4，当导通电平 V_{on} 施加到第 i 栅极线时，施加到与第 i 栅极线连接的像素的数据电压的极性是正的。

同时，第一晶体管 $Q_{i.1}$ 导通，并将低电平 V_L 提供给存储电极线 S_i 。

在大约 $1H$ 过去之后，施加到第 i 栅极线 G_i 的电压变为截止电平 V_{off} ，施加到第 $i+1$ 栅极线 G_{i+1} 的电压变为导通电平 V_{on} 。

同时，第二晶体管 $Q_{i.2}$ 被第 $i+1$ 栅极线的 V_{on} 导通，并将高电平 V_H 提供给第 i 存储电极线 S_i 。

因此，第 i 存储电极线 S_i 的电压从 V_L 变为 V_H ，这样由于第 i 存储电极线和连接到第 i 栅极线的像素电极之间的电容耦合改变了连接到第 i 栅极线 G_i 的像素的电压。

另一方面，如图 4 所示，在下一帧，数据电压 V_D 的极性变为负的，并

且在第 i 栅极线 G_i 的导通时间段期间, 存储电极线驱动电压为高电平 V_H 。当第 $i+1$ 栅极线 G_{i+1} 的电压从 V_{off} 变为 V_{on} 时, 存储驱动电压 V_{SL} 从 V_H 变为 V_L 。

等式 1 表示像素电压变化和存储电极线电压之间的关系。这里, V_P 是像素电压, V_D 是在第 i 栅极线 G_i 的导通时间段期间充入连接到第 i 栅极线 G_i 的像素的数据电压。

等式 1

$$V_P = V_D \pm \frac{C_{st}}{C_{st} + C_{lc}} (V_H - V_L)$$

当数据电压具有正极性时, V_D 后的符号为正 (+), 当数据电压具有负极性时, V_D 后的符号为负 (-)。

可根据 LC 面板的特性来选择数据电压 V_D 的范围。作为实施例, 在正极性时间段内, 从具有电压范围例如具有最大灰度级的 5V 和最小灰度级的 0V 的电压组选择数据电压 V_D 。在负极性时间段内, 从具有与正极性相反顺序的电压组例如最大灰度级的 0V 和最小灰度级的 5V 的电压组选择的数据电压 V_D 。在这种情况下, 无论极性是正的还是负的, 灰度级的数据电压与最大灰度级或最小灰度级的数据电压之间的差基本相同。在上述示例中, 如果第 125 灰度级的数据电压是正极性的 3V 和负极性的 2V, 则对每个极性与最大灰度级的数据电压差相同, 为 2V。

在这个实施例中, 即使第 i 级的第二晶体管的栅极连接到下一级第 $i+1$ 级, 当第二晶体管提供的存储驱动电压的电平与第一晶体管提供的存储驱动电压的电平不同时, 也可以不同地构造该连接。

由于通过导通第二 TFT 施加的存储驱动电压的电平不同于通过导通第一晶体管施加的存储驱动电压的电平, 所以一个可能的修改是第 i 级中的第二晶体管的栅极连接到第 $i+2K+1$ 栅极线。

这里, K 是自然数或零。在 K 为 0 的情况下, 对每级, 第二晶体管的栅极连接到下一栅极线。

第二晶体管 $Q_{i,2}$ 在其漏极和栅极之间具有寄生电容。当第二晶体管 $Q_{i,2}$ 导通时, 该寄生电容感应导通电压并将导通电压充入漏极, 这些感应的电荷流入存储电极, 从而当第二晶体管 $Q_{i,2}$ 截止时使像素电压下降。像素电压下

降的量与寄生电容成比例。因此，为了减少存储电压的下降，需要减小寄生电容。

另一方面，第二晶体管的大小需要足够大，以驱动整个存储电容器线，这对减小寄生电容是个限制。

为了解决这个问题，本发明的存储电极驱动器在对像素充电后多于两次地提供存储驱动电压。

当 V_{on} 被施加到第 $i+3$ 栅极线时，第三晶体管 $Q_{i,3}$ 导通，并将高电平 V_H 再次提供给第 i 存储电极线。

因此，由于升压电压供给持续时间变被加倍，所以可以减小第二晶体管和第三晶体管中每个晶体管的大小。

由于最后一级的第二晶体管需要与之连接的下一栅极线，并且最后 $2N+1$ 级的每个第三晶体管分别需要下面的第 $2N+1$ 栅极线，所以液晶面板可包括 $2N+1$ 条附加栅极线。

例如，当液晶面板具有 100 条栅极线和 100 条存储电极线，并且 N 为 1 时，第 98 级、第 99 级和第 100 级中的第三晶体管的栅极需要将分别与之连接的第 101 栅极线、第 102 栅极线 and 第 103 栅极线。所述的第 101 栅极线、第 102 栅极线 and 第 103 栅极线为附加栅极线，顺序移位的导通电压被施加到所述的附加栅极线，并且所述的附加栅极线不与像素晶体管连接。

代替在液晶面板上形成附加栅极线，可将输出顺序移位的导通信号的输出端连接到最后 $2N+1$ 级的第三晶体管的栅极。

即使上述公开的实施例仅具有第三晶体管，每级也可包括附加的晶体管和存储电极线，以将足够的电荷供给存储电极线。

在这种情况下，当附加晶体管必须导通时，通过附加 TFT 的导通而施加的存储驱动电压的电平与通过第三晶体管的导通而施加的存储驱动电压的电平相同。

例如，存储电极驱动器的每级可包括第四晶体管，所述第四晶体管具有连接到存储驱动电压源的源极、连接到存储电极线的漏极和连接到第 $i+5$ 栅极线 G_{i+5} 的栅极。

由于存储驱动电压以大约 $2H$ 的周期交替，所以当导通电平被施加到第 $i+5$ 栅极线时，存储电压为与第三晶体管导通时的电平相同的电平的高电平 V_H 。

而且, 存储电极驱动器的每级可包括第五晶体管等, 所述第五晶体管具有连接到存储驱动电压源的源极、连接到存储电极线的漏极和连接到第 $i+7$ 栅极线 G_{i+7} 的栅极。

通常, 对于上述的第一实施例, 第 i 级的第三晶体管的栅极可连接到第 $i+2N+1$ 栅极线, 除了基本的三个晶体管 $Q_{i.1}$ 、 $Q_{i.2}$ 和 $Q_{i.3}$ 之外的附加晶体管的栅极可连接到第 $i+2M+1$ 栅极线。这里, N 为大于 K 的自然数, M 为大于 N 的自然数。

将参照图 5 和图 6 来解释根据本发明的存储电极驱动器 700 的另一实施例。

存储电极驱动器包括第一驱动电压源 V_{SL1} 和第二驱动电压源 V_{SL2} 。

如图 6 所示, 第一驱动电压源和第二驱动电压源中的每个以大约 2 帧的交替周期产生在高电平和低电平之间交替的驱动电压。这两个驱动电压源产生的交替电压的相位彼此相反。

存储电极驱动器的每级包括三个晶体管, 每个晶体管具有连接到相同存储电极线的漏极。

对于级, 第一晶体管的源极连接到第一驱动电压源和第二驱动电压源之一, 第二晶体管和第三晶体管的源极连接到第一驱动电压源和第二驱动电压源中的另一个。

另一方面, 在两个相邻级的一个中的第一晶体管的源电极连接到第一驱动电压源和第二驱动电压源之一, 而另一级中的第一晶体管的源电极连接到另一驱动电压源。

将参照作为示例的图 5 来描述上述结构。

第 i 级的三个晶体管 $Q_{i.1}$ 、 $Q_{i.2}$ 和 $Q_{i.3}$ 中的每个连接到第 i 存储线。

第一晶体管 $Q_{i.1}$ 具有连接到第 i 栅极线的栅极和连接到第一驱动电压源 V_{SL1} 的源极。

第二晶体管 $Q_{i.2}$ 具有连接到第 $i+1$ 栅极线的栅极和连接到第二驱动电压源 V_{SL2} 的源极。

第三晶体管 $Q_{i.3}$ 具有连接到第 $i+2$ 栅极线的栅极和连接到第二驱动电压源 V_{SL2} 的源极。

第 $i+1$ 级的三个晶体管 $Q_{i+1.1}$ 、 $Q_{i+1.2}$ 和 $Q_{i+1.3}$ 中的每个连接到第 $i+1$ 存储线。

第一晶体管 $Q_{i+1.1}$ 具有连接到第 $i+1$ 栅极线的栅极和连接到第二驱动电压源 V_{SL2} 的源极。

第二晶体管 $Q_{i+1.2}$ 具有连接到第 $i+2$ 栅极线的栅极和连接到第一驱动电压源 V_{SL1} 的源极。

第三晶体管 $Q_{i+1.3}$ 具有连接到第 $i+3$ 栅极线的栅极和连接到第一驱动电压源 V_{SL1} 的源极。

当第 i 栅极线导通时，第一晶体管导通并同时将从第一驱动电压源 V_{SL1} 产生的为低电平的驱动电压提供给第 i 存储电极线。

当时间过去大约 $1H$ 时，第 i 栅极线截止，第 $i+1$ 栅极线导通。因此，第二晶体管导通，并将从第二驱动电压源 V_{SL2} 产生的为高电平的驱动电压提供给第 i 存储电极线。

当时间再过去大约 $1H$ 时，第 $i+1$ 栅极线截止，第 $i+2$ 栅极线导通。因此，第三晶体管导通，并将从第二驱动电压源 V_{SL2} 产生的为高电平的驱动电压提供给第 i 存储电极线。

通过第二晶体管和第三晶体管来升高像素电压并维持存储电压的机理与第一实施例中解释的相同。

如第一实施例中所说明的，每级可包括附加晶体管。

通常，第 i 级的第二晶体管的栅极可连接到第 $i+K$ 栅极线。对于第二实施例，第 i 级的第三晶体管的栅极可连接到第 $i+N$ 栅极线，除了三个基本的晶体管 $Q_{i.1}$ 、 $Q_{i.2}$ 和 $Q_{i.3}$ 之外的附加晶体管的栅极可连接到第 $i+M$ 栅极线。这里， K 为自然数， N 为大于 K 的自然数， M 为大于 N 的自然数。

由于最后 N 级的每个的第三晶体管分别需要下面的第 N 栅极线，所以液晶面板可包括 N 条附加栅极线。

例如，当液晶面板具有 100 条栅极线和 100 条存储电极线，且 N 为 2 时，第 99 级和第 100 级中的第三晶体管的栅极分别需要与之连接的第 101 栅极线 and 第 102 栅极线。这些第 101 栅极线和第 102 栅极线为附加栅极线，其中，顺序移位的导通电压被施加到附加栅极线，并且所述附加栅极线不与像素晶体管连接。

替代在液晶面板上形成附加栅极线，输出顺序移位的导通信号的输出端可连接到最后 N 级的第三晶体管的栅极。

存储电极驱动器的每级可形成在液晶面板上。图 7 是液晶面板上的阵列

的平面图,图 8A 和图 8B 分别是沿着图 7 中的线 XIIa-XIIa 和线 XIIb-XIIb 截取的剖视图。

在由透明玻璃或塑料制成的绝缘基底 110 上设置多条栅极线 121 和多条存储电极线 131 以及至少一条第一电极线 197。

栅极线 121 包括:栅电极 124,从栅极线 121 突出;端部(未示出),具有用于连接其它层或外部驱动电路的宽的表面区域。

存储电极线 131 中的每条包括多个扩大部分 137。

第一电极线 197 主要在与栅极线交叉的方向上延伸,并包括多个扩大部分 197a。

在栅极线 121、存储电极线 131 和第一电极线 197 上形成栅极绝缘层 140。

在栅极绝缘层 140 上形成多个半导体层 151。

在半导体层 151 上形成多个线形和岛形的欧姆接触 161 和 165。欧姆接触 161 和 165 可由重掺杂有 n 型杂质如磷的 n⁺氢化非晶硅或硅化物制成。

分别在欧姆接触 161 和 165 以及栅极绝缘层 140 上形成多条数据线 171、多个漏电极 175 和多条存储电极连接线 196。

存储电极连接线 196 中的每条连接到存储电极驱动器的开关元件的漏极。至少存储电极连接线 196 的部分与第一电极线 197 的扩大部分叠置。

在基底上形成钝化层 180。钝化层 180 可由无机绝缘材料或有机绝缘材料制成,并具有平坦化的表面。所述的绝缘材料可为氮化硅和氧化硅。有机绝缘材料可具有感光性,并且其介电常数优选为大约 4.0 或更小。可选的,钝化层 180 可具有下层为无机层且上层为有机层的双层结构,以维持有机层的良好绝缘性能并保护半导体层 151 的暴露的部分。

在钝化层 180 上形成分别暴露数据线 171、存储电极连接线 196 和漏电极 175 的端部的多个接触孔 182、183 和 185。在钝化层 180 和栅极绝缘层 140 上形成暴露存储电极线 131 的多个接触孔 184。

在钝化层 180 上形成多个像素电极 191、多个接触桥和至少一个第二电极 198。

像素电极 191 通过接触孔 185 与漏电极 175 物理地且电连接,并接收漏电极 175 施加的数据电压。

每条存储电极线通过接触孔 183 和 184 连接到第二电极 198。

第二电极 198 通过接触孔 181 连接到第一电极线 197,并与存储电极连

接线 196 叠置。

在存储电极连接线 196 和第一电极线 197 之间形成第一电容，在存储电极连接线 196 和第二电极 198 之间形成第二电容。这两个电容在施加最后的驱动电压之后维持存储电极电压。

尽管已经结合目前被认为是实际可行的示例性实施例描述了本发明，但是本领域的普通技术人员应该理解，本发明不限于公开的实施例，相反，意图覆盖包括在权利要求的精神和范围内的各种修改和等价布置。

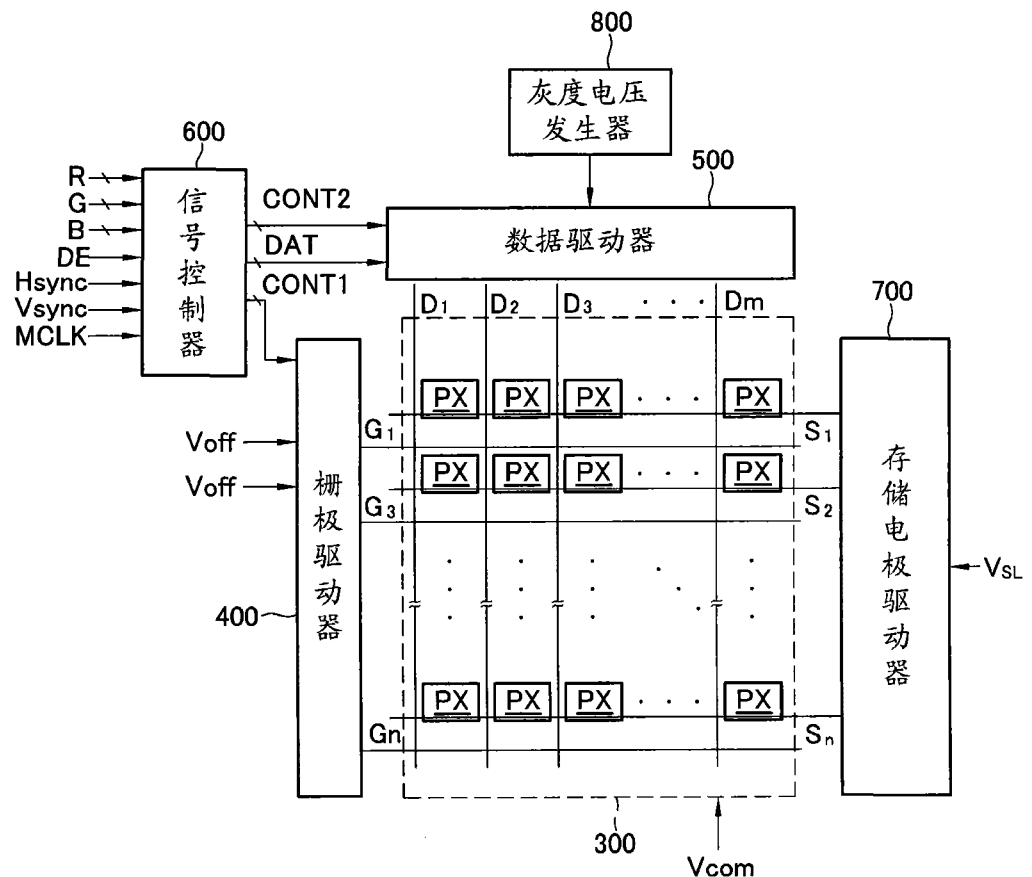


图 1

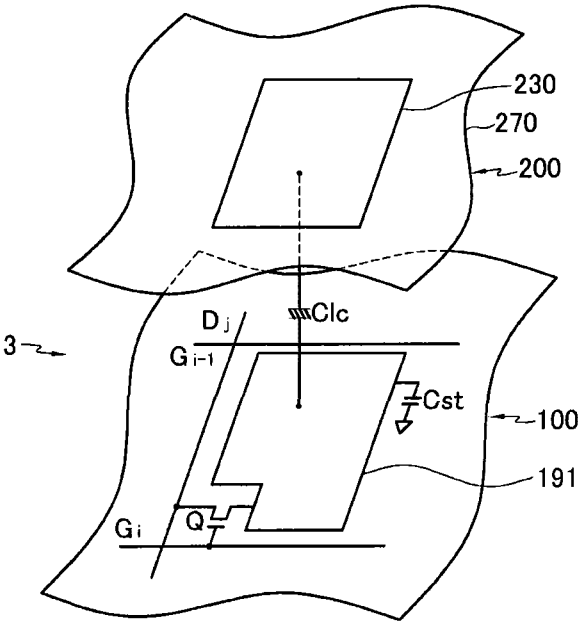


图 2

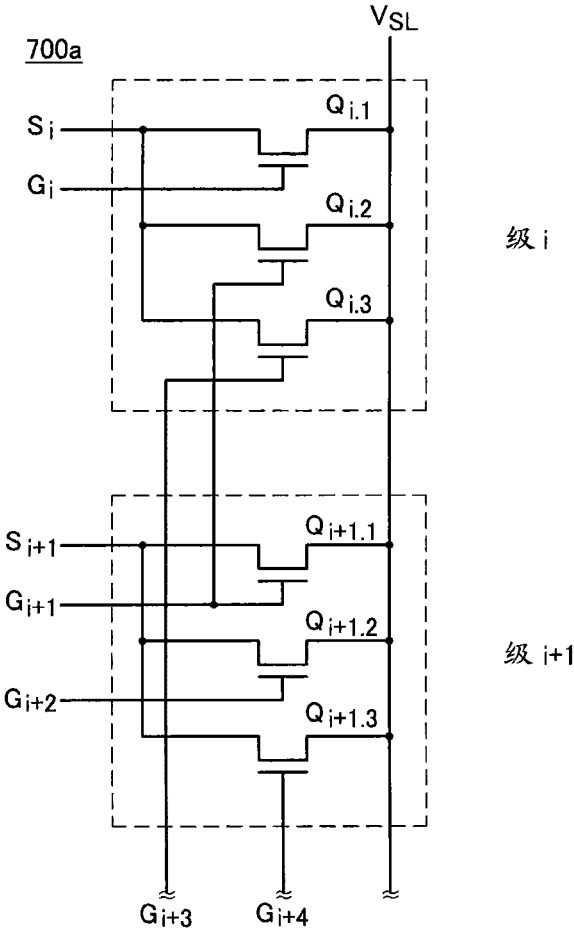


图 3

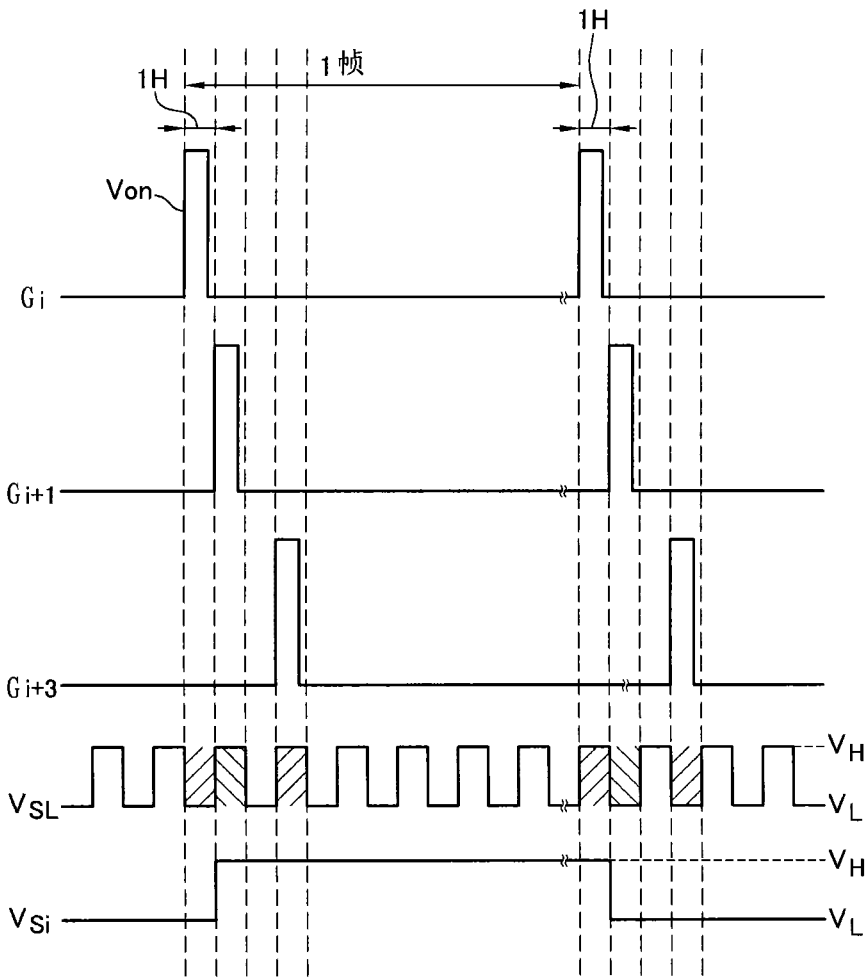


图 4

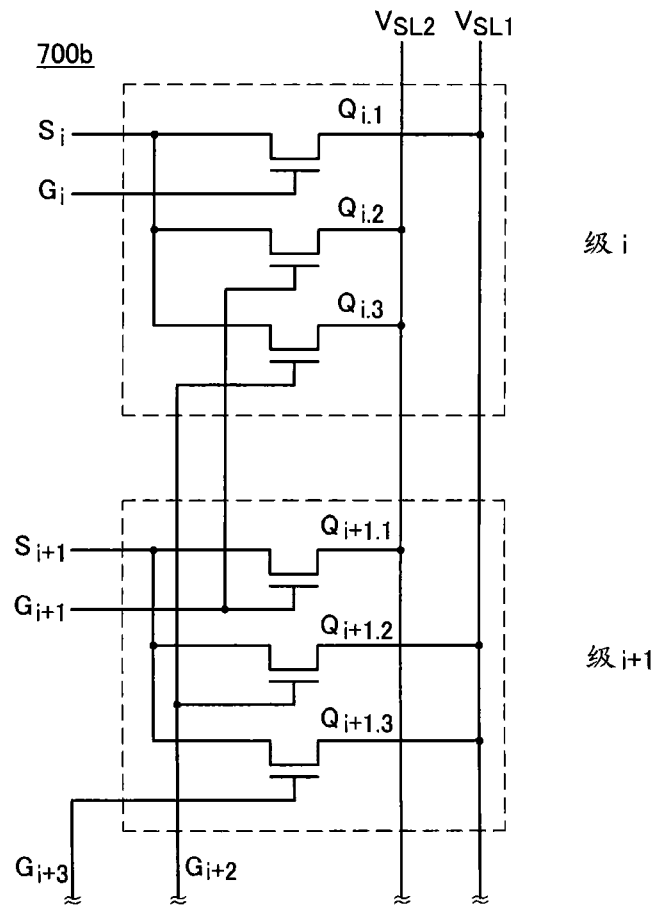


图 5

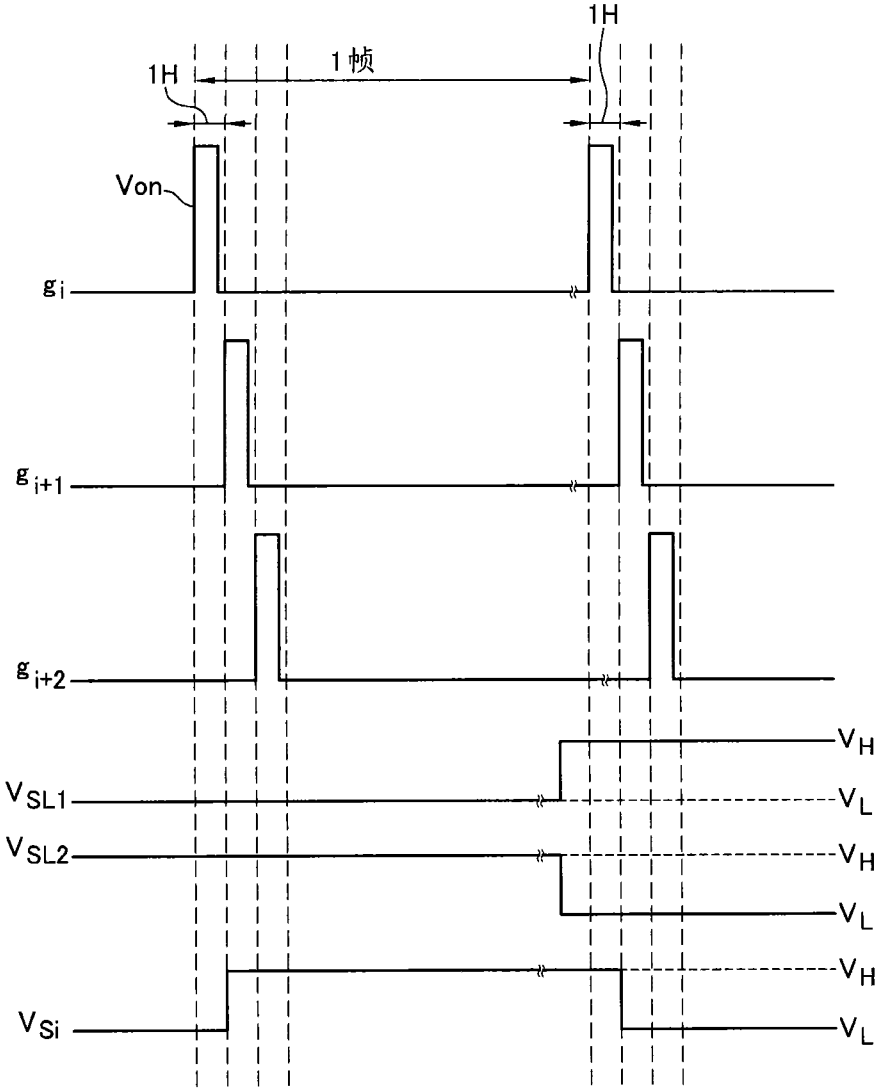


图 6

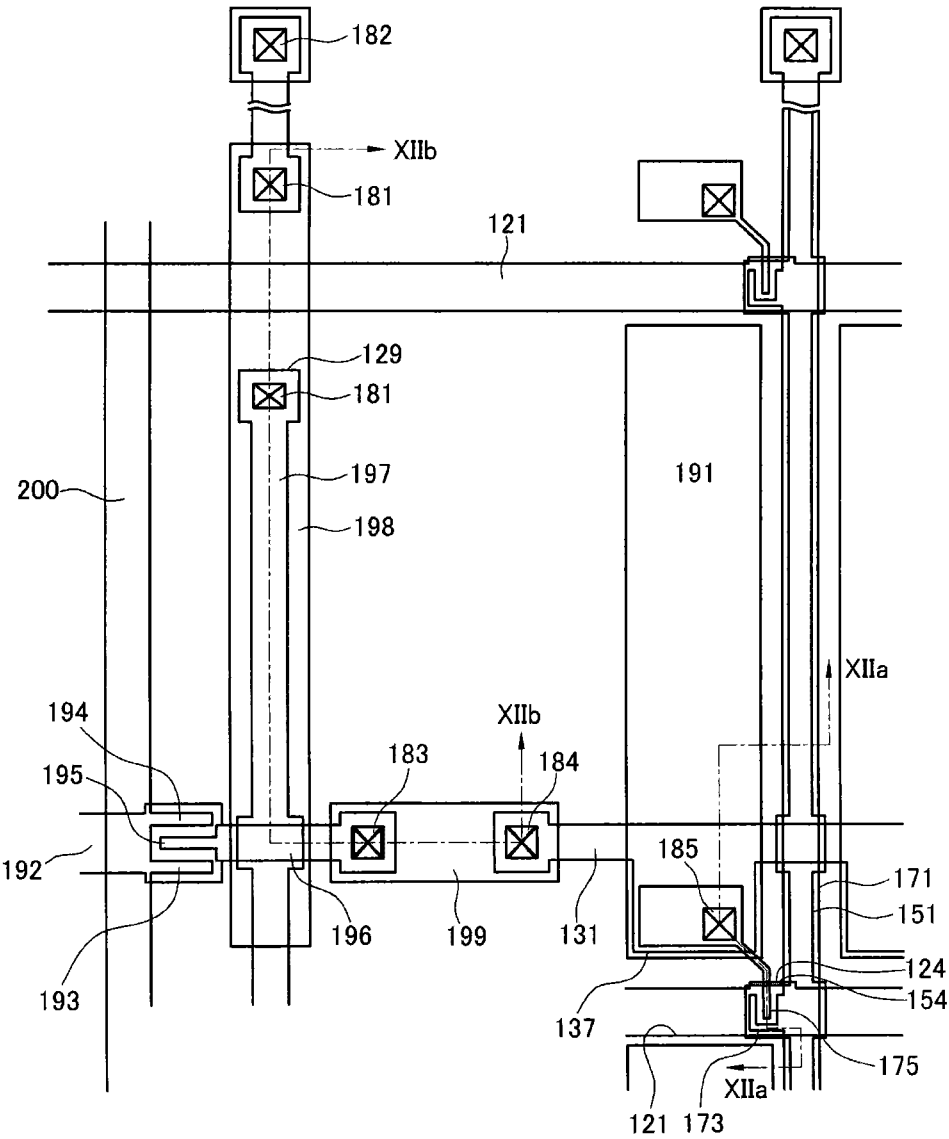


图 7

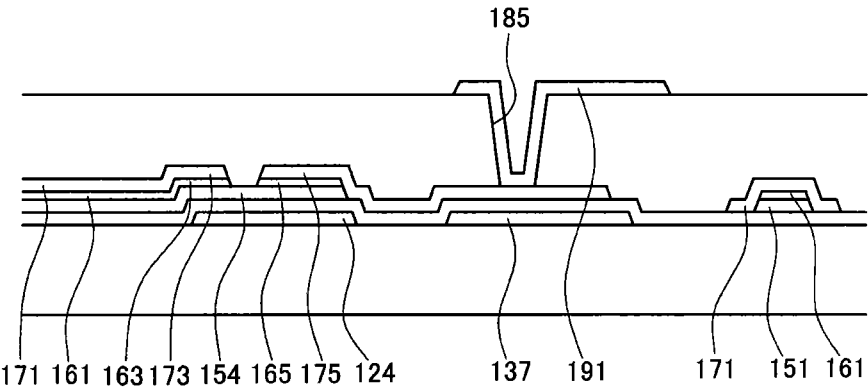


图 8A

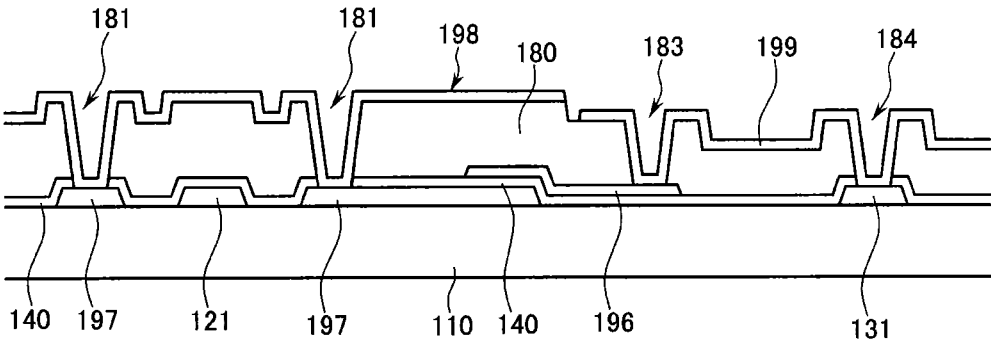


图 8B