

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3642180号

(P3642180)

(45) 発行日 平成17年4月27日(2005.4.27)

(24) 登録日 平成17年2月4日(2005.2.4)

(51) Int. Cl.⁷

F I

HO4L 7/00
 HO4L 12/28
 HO4L 12/56
 // HO4N 7/24

HO4L 7/00 Z
 HO4L 12/28
 HO4L 12/56
 HO4N 7/13 Z

請求項の数 5 (全 10 頁)

(21) 出願番号	特願平10-115368	(73) 特許権者	000006013
(22) 出願日	平成10年4月24日(1998.4.24)		三菱電機株式会社
(65) 公開番号	特開平11-308203		東京都千代田区丸の内二丁目2番3号
(43) 公開日	平成11年11月5日(1999.11.5)	(74) 代理人	100113077
審査請求日	平成15年6月18日(2003.6.18)		弁理士 高橋 省吾
		(74) 代理人	100112210
			弁理士 稲葉 忠彦
		(74) 代理人	100108431
			弁理士 村上 加奈子
		(74) 代理人	100128060
			弁理士 中鶴 一隆
		(72) 発明者	白須賀 恵一
			東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 クロック再生装置

(57) 【特許請求の範囲】

【請求項1】

伝送路を經由して入力されるパケットに含まれる、タイムスタンプ、ペイロード、および時刻基準参照値を抽出して、前記タイムスタンプで指定されるタイミングよりも先に前記ペイロードを出力するパケットデータ出力手段と、

このパケットデータ出力手段から前記ペイロードが出力された時刻に対応するペイロード出力時刻を検出するペイロード出力時刻検出手段と、

前記タイムスタンプと前記ペイロード出力時刻とに基づいて前記時刻基準参照値を補正して出力する時刻基準参照値補正手段と、

この時刻基準参照値補正手段の出力に基づいて、前記ペイロードの再生に用いるシステムクロックの周波数を制御するシステムクロック周波数制御手段とを備えるクロック再生装置。

【請求項2】

時刻基準参照値補正手段は、元の時刻基準参照値に対して時間的に遅らせるように、当該時刻基準参照値を補正することを特徴とする請求項1に記載のクロック再生装置。

【請求項3】

伝送路を經由して入力されるパケットに含まれる、タイムスタンプとペイロードとを抽出して、前記タイムスタンプで指定されるタイミングよりも先に前記ペイロードを出力するパケットデータ出力手段と、

このパケットデータ出力手段から前記ペイロードが出力された時刻に対応するペイロード

10

20

出力時刻を検出するペイロード出力時刻検出手段と、前記タイムスタンプと前記ペイロード出力時刻とに基づいて、前記ペイロードの再生に用いるシステムクロックの個数をカウントして得られるカウント値を補正して出力するカウント値補正手段と、

このカウント値補正手段の出力に基づいて、前記システムクロックの周波数を制御するシステムクロック周波数制御手段とを備えるクロック再生装置。

【請求項 4】

カウント値補正手段は、元のカウント値に対して時間的に遅らせるように、当該カウント値を補正することを特徴とする請求項 3 に記載のクロック再生装置。

【請求項 5】

システムクロック周波数制御手段は、時刻基準参照値補正手段、またはカウント値補正手段の出力に基づいて、システムクロックの周波数を一定にすることを特徴とする請求項 1 ないし 4 のいずれかに記載のクロック再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、パケット信号受信装置に設けられて、受信したパケットの復元に必要なクロックを再生するための装置に関する。

【0002】

【従来の技術】

図 4 は、例えば IEEE1394、ISO/IEC 13818-1、-2 および 3、HD DIGITAL VCR CONFERENCE PART 4 Specifications of MPEG DATA Transmission for Consumer-Use Digital Interface に準拠した各装置で構成された従来の信号受信装置の構成を示すブロック図で、高速シリアルバス IEEE1394 バス上の MPEG2 トランスポートストリームを受信するための装置である。

【0003】

図において、1 は高速転送帯域をもつがジッタを含む IEEE1394 バス、2 は IEEE1394 バス 1 上を伝送されたパケットを受信する IEEE1394 インターフェース、3 は受信したパケットのペイロードである MPEG2 トランスポートストリームを再構成するためにバッファリングするための FIFO メモリ、4 は再構成したペイロードを後段に出力するタイミングを示すタイムスタンプを抽出するタイムスタンプ抽出装置、5 はローカルの 24.576MHz のクロックでカウントアップされるサイクルタイマで、定期的に IEEE1394 インターフェース 2 で検出する絶対時間情報によりサイクルタイマ 5 が校正される。

【0004】

6 はタイムスタンプ抽出装置 4 で抽出したタイムスタンプの値と、サイクルタイマ 5 の値が一致したタイミングをタイムスタンプ抽出装置 4 に通知する出力タイミング制御装置、7 は MPEG2 トランスポートストリームデマルチプレクサ（以下、「MPEG2 TS デマルチプレクサ」という）で、27MHz のシステムクロックを再生するために MPEG2 トランスポートストリーム中に含まれているプログラムクロックリファレンス（PCR）を抽出する。

【0005】

タイムスタンプ抽出装置 4 は出力タイミング制御装置 6 からの転送通知を受信すると、再構成された MPEG2 トランスポートストリームを MPEG2 TS デマルチプレクサ 7 に出力する。8 はローカルカウンタで、クロックリカバリされた 27MHz のシステムクロックでインクリメントされる。9 は VCX0 制御装置で、27MHz のシステムクロックを再生するために PCR とローカルカウンタ 8 の値の情報をもとに VCX0 10 をコントロールし、クロックリカバリを実現する。MPEG2 のデータは MPEG2 TS デマルチプレクサ 7 からさらに後段の MPEG2 A/V デコーダ 11 に転送される。

【0006】

上記のシステムにおいて、出力タイミング制御装置 6 で、タイムスタンプで指定されたタイミングになったことを知らせる通知が来るまでタイムスタンプ抽出装置 4 でペイロード

10

20

30

40

50

をバッファリングしておくことで、IEEE1394バス上のジッタを吸収することができ、後段の27MHz システムクロックの再生にジッタの影響をあたえることなく、正確にクロック再生がなされる。

【0007】

【発明が解決しようとする課題】

上記のような従来の処理では、出力タイミング制御装置がMPEG2 トランスポートストリームをMPEG2 TS デマルチプレクサに転送するタイミングを通知する。そのタイミングの検出のために、サイクルタイマの値とタイムスタンプ抽出装置で抽出したタイムスタンプの値を常に比較する処理が必要になる。この処理をソフトウェアで実現する場合、常に比較演算をやり続けなければいけないので、この処理に要する負荷が大きくなり、他のソフトウェア処理のパフォーマンスに大きな影響を及ぼすことになる。

10

【0008】

また、比較演算の結果が一致したとき、瞬時にMPEG2 TS デマルチプレクサにデータを転送しなければ27MHzのクロックリカバリに影響を及ぼすので、高速なCPUが必要となる。他方、ハードウェアで出力タイミング制御装置を実現すると、余分な32bitの比較演算回路が必要になる。さらにサイクルタイマの値がタイムスタンプの値と等しくなるまでの期間、タイムスタンプ抽出装置でデータを保持しておかなければならないため、余分なバッファが必要になる。

【0009】

この発明は、上記のような課題の解決を目的とてなされたもので、ソフトおよびハードウェアいずれで構成しても、簡単な構成で正確なクロック再生を実行できるクロック再生装置を得ることを目的とする。

20

【0010】

【課題を解決するための手段】

この発明に係るクロック再生装置は、伝送路を経由して入力されるパケットに含まれる、タイムスタンプ、ペイロード、および時刻基準参照値を抽出して、前記タイムスタンプで指定されるタイミングよりも先に前記ペイロードを出力するパケットデータ出力手段と、このパケットデータ出力手段から前記ペイロードが出力された時刻に対応するペイロード出力時刻を検出するペイロード出力時刻検出手段と、前記タイムスタンプと前記ペイロード出力時刻とに基づいて前記時刻基準参照値を補正して出力する時刻基準参照値補正手段と、この時刻基準参照値補正手段の出力に基づいて、前記ペイロードの再生に用いるシステムクロックの周波数を制御するシステムクロック周波数制御手段とを備えるものである。

30

【0011】

また、伝送路を経由して入力されるパケットに含まれる、タイムスタンプとペイロードとを抽出して、前記タイムスタンプで指定されるタイミングよりも先に前記ペイロードを出力するパケットデータ出力手段と、このパケットデータ出力手段から前記ペイロードが出力された時刻に対応するペイロード出力時刻を検出するペイロード出力時刻検出手段と、前記タイムスタンプと前記ペイロード出力時刻とに基づいて、前記ペイロードの再生に用いるシステムクロックの個数をカウントして得られるカウント値を補正して出力するカウント値補正手段と、このカウント値補正手段の出力に基づいて、前記システムクロックの周波数を制御するシステムクロック周波数制御手段とを備えるものである。

40

【0013】

【発明の実施の形態】

以下、この発明をその実施の形態を示す図面に基づいて具体的に説明する。

実施の形態1.

通信システムは、送信装置と受信装置を備えていて、送信装置からはMPEG2 トランスポートストリームをリアルタイムに高速で転送するために、IEEE1394バス1を介して伝送する。このために図5に示す形式で信号が送出されるようになっている。IEEE1394バス上をMPEG2トランスポートストリームを送信する際に、まずIEEE1394バス上のジッタを吸収する

50

ために受信側でそのパケットを受信側のMPEG2 TS デマルチプレクサにどのタイミングで転送すべきかを指定するソースパケットヘッダ(SPH) と呼ばれるタイムスタンプをMPEG2 トランスポートストリームの各パケットの先頭に付加し、ソースパケットを構成する。

【 0 0 1 4 】

さらにIEEE1394バスの帯域を有効に使用するために、このソースパケットを転送レートに応じて複数個に分割し、ヘッダを付加してIEEE1394パケットを構成する。さらにIEEE1394バス上には、125 μ s 毎にサイクルスタートパケットと呼ばれるバス上の絶対時間情報を載せたパケットが送信される。またMPEG2トランスポートストリームは、図6のように1パケット188バイトで構成され、受信側で送信側のシステムクロックを正しく再生できMPEG2ストリームを正しく再生できるようにするために、プログラムクロックリファレンス(PCR)を含んでいる。

10

【 0 0 1 5 】

図1はこの発明の実施の形態1である受信装置を示すもので、図において、1はMPEG2トランスポートストリームをペイロードとするIEEE1394入力パケット信号である。2はIEEE1394パケット構造からペイロードを抽出するIEEE1394インターフェース、3はペイロードである分割されたMPEG2トランスポートストリームを再構成するためのFIFOメモリ、12はソースパケットヘッダ除去/タイムスタンプ抽出装置で、SPHを抽出除去し、後段のMPEG2 TS デマルチプレクサにMPEG2トランスポートストリームを転送する。

【 0 0 1 6 】

7はMPEG2 TS デマルチプレクサで、PCRを抽出してMPEG2 A/V デコーダ11へMPEG2ストリームを転送する。5はサイクルタイマで、IEEE1394インターフェース2で検出したサイクルスタートパケットから絶対時間情報により125 μ s 毎に更正されるIEEE1394の絶対時刻を計時する。13はサイクルタイマ、タイムスタンプ保持装置で、ソースパケットヘッダ除去/タイムスタンプ抽出装置12で抽出したSPHを保持し、さらにソースパケットヘッダ除去/タイムスタンプ抽出装置12からMPEG2 TS デマルチプレクサ7にMPEG2トランスポートストリームを転送したときのサイクルタイマ値を保持する。

20

【 0 0 1 7 】

8はクロック再生された27MHzのシステムクロックでカウントされるクロック再生のためのローカルカウンタ、10は27MHzのVCX0、9はVCX010を制御するVCX0制御装置、14はPCR補正/差分計算装置で、サイクルタイマ、タイムスタンプ保持装置13からの各情報とMPEG2 TS デマルチプレクサ7から抽出したPCRよりPCRを補正し、ローカルカウンタ8のカウント値との差分を求めてVCX0制御装置9に転送し、27MHzシステムクロック再生のためのフェーズドロックループ(PLL)を構成する。

30

【 0 0 1 8 】

ソースパケットヘッダ除去/タイムスタンプ抽出装置12では、従来技術のようにMPEG2トランスポートストリームをSPHが表す時刻までバッファリングせずに即、MPEG2 TS デマルチプレクサ7に転送する。このためMPEG2 TS デマルチプレクサ7に入力されるMPEG2トランスポートストリームには、1394バスを伝送してきたことによるジッタが除去されず含まれている。このためMPEG2 TS デマルチプレクサ7で抽出されるPCRにもジッタが含まれており、これをそのままリファレンスとしてクロックリカバリに使用すると、誤ったクロックリカバリをしてしまうことになる。

40

【 0 0 1 9 】

そこで、このジッタを補償する手段が必要となる。MPEG2 TS デマルチプレクサ7には、その前段でジッタ吸収のための時間管理およびバッファリング処理がされずにMPEG2トランスポートストリームが入力される。このため抽出したPCR値は、本来届くべき時刻よりも早めに抽出されることになる。

【 0 0 2 0 】

従来技術では図4のVCX0制御装置9においてローカルカウンタ値と抽出したPCRの値を比較し、その差分値に応じて27MHzVCX010が発生する周波数をコントロールする。もし早

50

めに抽出されたPCR をそのまま従来技術と同じ処理をVCX0制御装置9で行うと、PCR 値は、本来検出されるべきタイミングより早めに抽出されているので、ローカルカウンタ値と比べて大きな値になっているはずであるので、ローカルカウンタをインクリメントする27 MHz クロック周波数が遅いと判断し、27MHzVCX0 1 0 の出力周波数を上げる制御をしてしまうことになる。

【0021】

しかし、実際は27MHzのシステムクロック周波数が低かったわけではなく、バッファリングされずに本来到着するタイミングより早めにMPEG2トランスポートストリームがMPEG2 TS デマルチプレクサ7に入力されたのが原因である。この問題を補償するために、どれだけ早く抽出されてしまったかを図1のPCR補正/差分計算装置14で計算し、その分の値だけPCR 値に加算してPCR値を補正することで対応できる。

10

【0022】

この処理をPCR補正/差分計算装置14が以下のようにPCR補正を行う。図2において、 T_{stmpi} は1394バス上の最大遅延時間、 t_i は、188バイトのMPEGトランスポートパケットに4バイトのタイムスタンプ($T_{stmpi}=t_i+$)を付加し、192バイトのソースパケットをIEEE1394バス上に送信する時刻、 t_{cyci} は受信側で1トランスポートパケットが再構成されMPEGデマルチプレクサに転送した時刻、 t_{ji} は1394バスによる伝送ジッタとする。

【0023】

PCR補正/差分計算装置14で下式に従ってジッタ量に応じたPCR 補正を行う。補正したPCR_i 値をPCR_{cori}とし、PCR_i 値およびPCR補正/差分計算装置14で補正したPCR_{cori} 値を時刻換算した値をそれぞれ t_{PCRi} 、 t_{PCR_cori} とし、以下の補正を行う。

20

$$t_{PCR_cori} = t_{PCRi} + t_{ji} \dots\dots\dots (1)$$

ここで t_{ji} は図2より

$$t_{jt} = t_{cyci} - t_i \dots\dots\dots (2)$$

となる。 T_{stmpi} は送信時刻 t_i に最大遅延時間を加えた値なので、

$$T_{stmpi} = t_i + \dots\dots\dots (3)$$

となる。よって(2)式、(3)式より

$$t_{jt} = t_{cyci} - (T_{stmpi} -) \dots\dots\dots (4)$$

となる。

30

【0024】

PCR 補正/差分計算装置14では、時間的に隣り合うPCR 値およびローカルカウンタ値のそれぞれの変化量 PCR、LMの値を求め、VCX0制御装置9では、その誤差量に応じた制御電値を発生する。この計算では、PCRの代わりに補正したPCR 値を用いる。そこで PCR_{cori}の時刻換算値、 t_{PCR_cori} を(1)、(4)を用いて求めると、

$$\begin{aligned} \Delta t_{PCR_cori} &= t_{PCR_cori} - t_{PCR_cori-1} \\ &= \{ t_{PCRi} + t_{cyci} - (T_{stmpi} - \delta) \} \\ &\quad - \{ t_{PCRi-1} + t_{cyci-1} - (T_{stmpi-1} - \delta) \} \\ &= (t_{PCRi} - t_{PCRi-1}) + (t_{cyci} - t_{cyci-1}) \\ &\quad - (T_{stmpi} - T_{stmpi-1}) \\ &= \Delta t_{PCRi} + \Delta t_{cyc} - \Delta T_{stmp} \dots\dots\dots (5) \end{aligned}$$

40

となる。

【0025】

よって、PCR 補正/差分計算装置14では、(5)式のようにMPEG2 TS デマルチプレクサ7からのPCR値から PCRの時刻換算値 t_{PCR} を、サイクルタイマ、タイムスタンプ保持装置13から t_{cyc} 、 T_{stmp} を計算し(5)式に代入して t_{PCR_cori} を求める。

【0026】

50

さらにPCR補正 / 差分計算装置 14 でローカルカウンタ値と補正したPCR値との差分を求め、VCX0制御装置 9 で (6) 式に従いVCX0コントロール電圧 V_{ctrl} を発生する。

$$V_{ctrl} = G (t_{PCR_cor} - t_{LMC_i}) \dots\dots\dots (6)$$

ここで G はゲイン、 t_{LMC} はローカルカウンタ値の時刻換算値である。

(6) 式に従って発生されるコントロール電圧によって27MHzVCX0 10 は正確にシステムクロックを再生することができる。

【0027】

このような構成となっているからMPEG2 TS デマルチプレクサ7へMPEG2トランスポートストリームを転送するタイミングを監視する必要がなく、従来技術では必要だったSPHの値とサイクルタイムの値を逐次比較する手段が必要ない。このためソフトウェアで構成した場合には、SPHとサイクルタイム値を常時比較する処理が不要となり、また高速なCPUが不要となる。一方ハードウェアで構成した場合であっても、余分な比較演算回路が不要となり、また余分なバッファも不要となる。

10

【0028】

実施の形態 2 .

図3では図1のPCR補正 / 差分計算装置 14 の代わりにLMC 補正 / 差分計算装置 15 を使用した受信装置である。

図3のソースパケットヘッダ除去 / タイムスタンプ抽出装置 12 では、従来技術のようにMPEG2トランスポートストリームをSPH が表す時刻までバッファリングせずに即、MPEG2 TS デマルチプレクサ7に転送する。

20

このためMPEG2 TS デマルチプレクサ7に入力されるMPEG2トランスポートストリームには、1394バスを伝送してきたことによるジッタが除去されず含まれている。このためMPEG2 TS デマルチプレクサ7で抽出されるPCRにもジッタが含まれており、これをそのままリファレンスとしてクロックリカバリに使用すると誤ったクロックリカバリをしてしまうことになる。

【0029】

そこでこのジッタを補償する手段が必要となる。MPEG2 TS デマルチプレクサ7にはその前段でジッタ吸収のための時間管理およびバッファリング処理がされずにMPEG2 トランスポートストリームが入力される。このため抽出したPCR値は、本来届くべき時刻よりも早めに抽出されることになる。従来技術では図4のVCX0制御装置 9 においてローカルカウンタ値と抽出したPCR の値を比較し、その差分値に応じて27MHzVCX0 10 が発生する周波数をコントロールする。

30

【0030】

もし早めに抽出されたPCR をそのまま従来技術と同じ処理をVCX0制御装置 9 で行うと、PCR値は、本来検出されるべきタイミングより早めに抽出されているので、ローカルカウンタ値と比べて大きな値になっているはずであるので、ローカルカウンタをインクリメントする27MHzクロック周波数が遅いと判断し、27MHzVCX0 10 の出力周波数を上げる制御をしてしまうことになる。

【0031】

しかし、実際は27MHzのシステムクロック周波数が低かったわけではなく、バッファリングされずに本来到着するタイミングより早めにMPEG2トランスポートストリームがMPEG2 TS デマルチプレクサ7に入力されたのが原因である。この問題を補償するために、どれだけ早く抽出されてしまったかを図3のLMC補正 / 差分計算装置 15 で計算し、その分の値だけローカルカウンタ値を減算してローカルカウンタ値を補正することで対応できる。

40

【0032】

この処理をLMC補正 / 差分計算装置 15 が以下のようにローカルカウンタ補正を行う。補正した時刻計測カウンタ値の時刻換算した値を t_{LMCcor_i} 、タイムスタンプ値を時刻換算した値を t_{stmpi} とし以下の補正を行う。

$$t_{LMCcor_i} = t_{LMC_i} - t_{ji} \dots\dots\dots (7)$$

となる。(7)式に(4)式を代入すると

50

$$t_{LMC\text{cori}} = t_{LMCi} - t_{cyci} - (T_{stmpi} - \delta) \dots\dots\dots (8)$$

となる。

【0033】

図3のLMC補正/差分計算装置15では時間的に隣り合うPCR値およびローカルカウンタ値のそれぞれの変化量PCR、LMCの値の誤差を求め、VCX0制御装置9では、その誤差量に応じた制御電圧を発生する。この計算では、LMCの代わりに補正したLMC値を用いる。そこで $t_{LMC\text{cori}}$ の時刻換算値、 t_{LMC_cori} を(8)式を用いて求めると、

$$\begin{aligned} \Delta t_{LMC_cori} &= t_{LMC_cori} - t_{LMC_cori-1} \\ &= \{ t_{LMCi} - t_{cyci} + (T_{stmpi} - \delta) \} \\ &\quad - \{ t_{LMCi-1} - t_{cyci-1} + (T_{stmpi-1} - \delta) \} \\ &= (t_{LMCi} - t_{LMCi-1}) - (t_{cyci} - t_{cyci-1}) \\ &\quad + (T_{stmpi} - T_{stmpi-1}) \\ &= \Delta t_{LMCi} - \Delta t_{cyc} - \Delta T_{stmp} \dots\dots\dots (9) \end{aligned}$$

となる。

【0034】

よって、ローカルカウンタ値から LMCの時刻換算値 t_{LMC} を、図3のサイクルタイマ/タイムスタンプ保持装置13から t_{cyc} 、 T_{stmp} を計算し上式に代入して t_{LMC_co} 20
 r_i を求める。

【0035】

さらにLMC補正/差分計算装置15でローカルカウンタ値と補正したPCR値との差分を求めVCX0制御装置9で(10)式に従いVCX0コントロール電圧 V_{ctrl} を発生する。

$$V_{ctrl} = G (t_{PCR} - t_{LMC_cori}) \dots\dots\dots (10)$$

ここでGはゲイン、 t_{LMC} はローカルカウンタ値の時刻換算値である。

(10)式に従って発生されるコントロール電圧によって27MHzVCX010は正確にシステムクロックを再生することができる。

【0036】

このような構成となっているからMPEG2 TS デマルチプレクサ7へMPEG2トランスポートスト 30
リームを転送するタイミングを監視する必要がなく、従来技術では必要だったSPHの値とサイクルタイマの値を逐次比較する手段が必要ない。このためソフトウェアで構成した場合には、SPHとサイクルタイマ値を常時比較する処理が不要となり、また高速なCPUが不要となる。一方ハードウェアで構成した場合であっても、余分な比較演算回路が不要となり、また余分なバッファも不要となる。

【0037】

【発明の効果】

この発明は、以上説明したように、タイムスタンプとペイロード出力時刻とに基づいて時刻基準参照値を補正することにより、前記タイムスタンプで指定されるタイミングよりも先にペイロードが出力されてもシステムクロックの周波数を正確に制御することができる 40

。

【図面の簡単な説明】

【図1】 この発明の実施の形態1を示すブロック構成図である。

【図2】 実施の形態1のMPEG2トランスポートパケットの送信受信方法の説明図である。

。

【図3】 この発明の実施の形態2を示すブロック構成図である。

【図4】 従来の信号受信装置の構成を示すブロック図である。

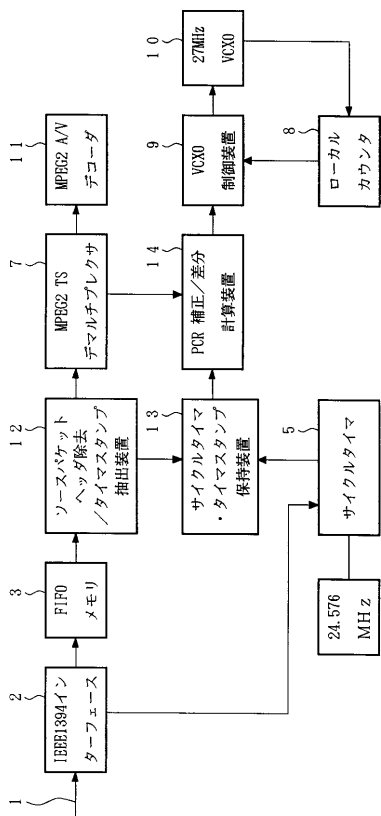
【図5】 パケット信号受信装置に入力するMPEG2トランスポートストリームをペイロードとするIEEE1394パケットの構成図である。

【図6】 MPEG2トランスポートパケットのフォーマット図である。

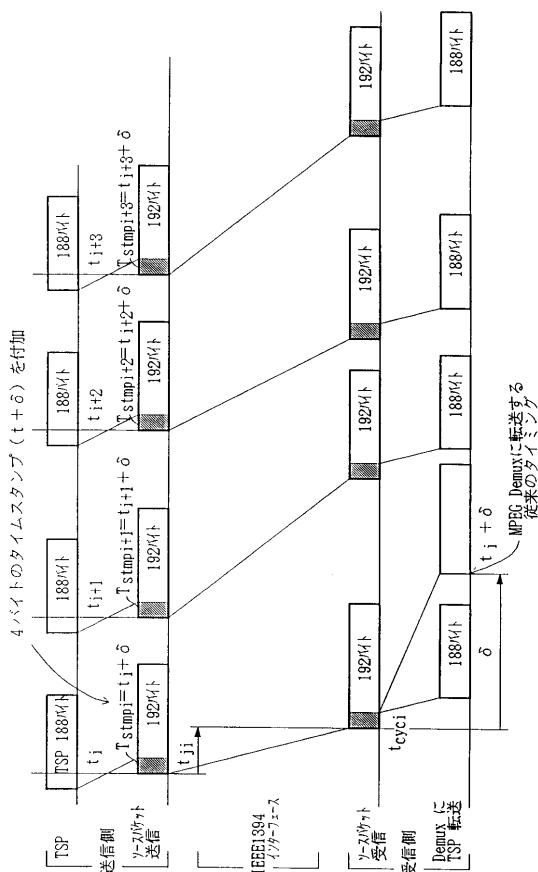
【符号の説明】

- 1 IEEE1394バス、2 IEEE1394インターフェース、3 FIFOメモリ、4 タイムスタンプ抽出装置、5 サイクルタイマ、6 出力タイミング制御装置、7 MPEG2 TS デマルチプレクサ、8 ローカルカウンタ、9 VCX0制御装置、
- 10 27MHzVCX0、11 MPEG2 A/V デコーダ、12 ソースパケットヘッダ除去/タイムスタンプ抽出装置、13 サイクルタイマ、タイムスタンプ保持装置、14 PCR補正/差分計算装置、15 LMC補正/差分計算装置。

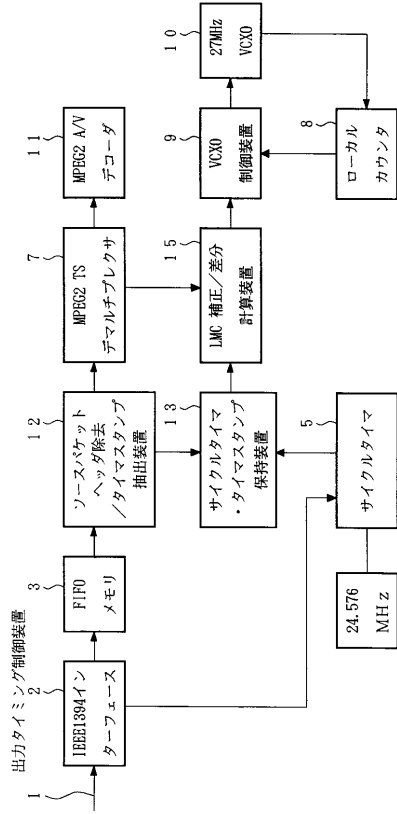
【図1】



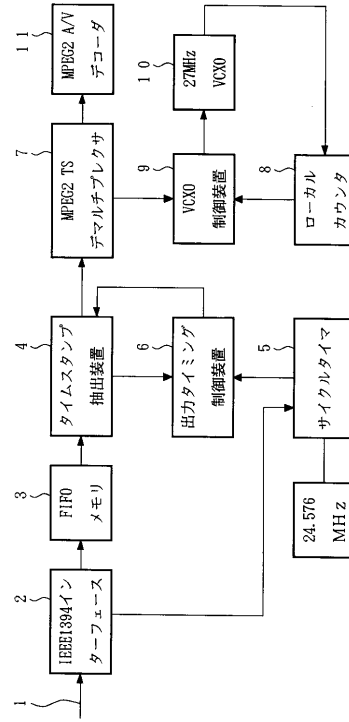
【図2】



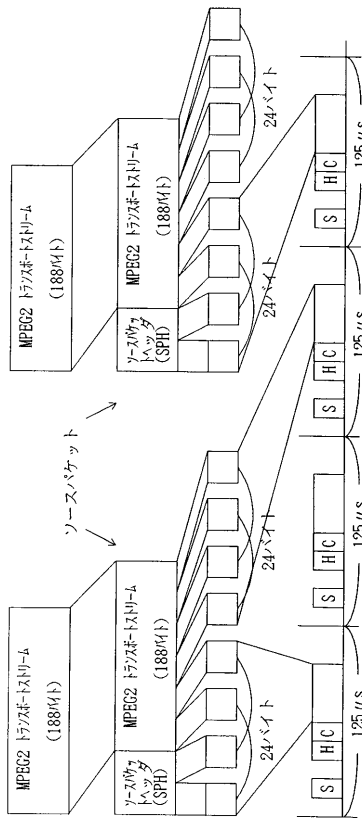
【 図 3 】



【 図 4 】

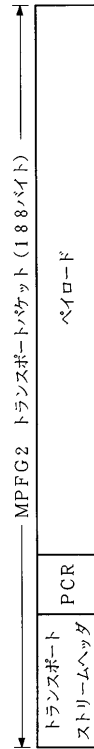


【 図 5 】



S : サイクルスタートバスケット
 H : IEEE1394アイソクロナスヘッダ
 C : CIP ヘッダ

【 図 6 】



フロントページの続き

- (72)発明者 奥村 友秀
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 林 正己
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 阿部 弘

- (56)参考文献 特開平08-097837(JP,A)
特開平08-191330(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
- H04L 7/00
 - H04L 12/28
 - H04L 12/56
 - H04N 7/24