

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月31日(31.05.2018)



(10) 国際公開番号

WO 2018/097025 A1

- (51) 国際特許分類:
H04N 5/32 (2006.01) H01L 31/08 (2006.01)
G01T 1/17 (2006.01) H04N 5/378 (2011.01)
- (21) 国際出願番号: PCT/JP2017/041261
- (22) 国際出願日: 2017年11月16日(16.11.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-229097 2016年11月25日(25.11.2016) JP
- (71) 出願人: 浜松 ホ ト ニ ク ス 株 式 会 社 (HAMAMATSU PHOTONICS K.K.) [JP/JP];
〒4358558 静岡県浜松市東区市野町 1 1 2 6 番地の 1 Shizuoka (JP).
- (72) 発明者: 市 河 実 (ICHIKAWA Minoru);
〒4358558 静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内 Shizuoka (JP). 藤田 一樹(FUJITA Kazuki); 〒4358558 静

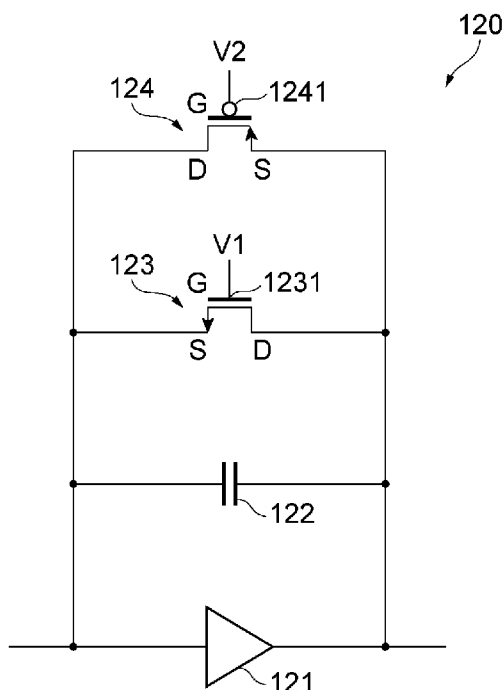
岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内 Shizuoka (JP).

(74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目 1 番 1 号丸の内 M Y P L A Z A (明治安田生命ビル) 9 階 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

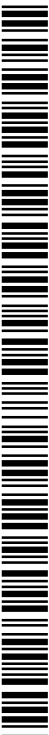
(54) Title: PHOTON DETECTOR

(54) 発明の名称: フォトン検出器



(57) Abstract: This embodiment of the present invention pertains to a photon detector provided with a preamp having a structure that allows saturation of an amplifier to be prevented. The preamp has an amplifier, and further has: capacitive elements disposed in each of a plurality of wires electrically connecting the input end side and the output end side of the amplifier; an n-type MOSFET; and a p-type MOSFET. A control electrode of the n-type MOSFET is set to a first fixed potential V1, and a control electrode of the p-type MOSFET is set to a second fixed potential V2.

(57) 要約: 本実施形態は、増幅器の飽和防止を可能にする構造を有するプリアンプを備えたフォトン検出器に関する。プリアンプは、増幅器を有するとともに、該増幅器の入力端側と出力端側とを電氣的に接続する複数配線上にそれぞれ配置された容量素子、n型MOSFET、およびp型MOSFETを更に有する。n型MOSFETの制御電極は第1の固定電位V1に設定される一方、p型MOSFETの制御電極は第2の固定電位V2に設定される。



WO 2018/097025 A1

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： フォトン検出器

技術分野

[0001] 本発明は、フォトン検出器に関するものである。

背景技術

[0002] 従来からX線撮像装置等に用いられるフォトン検出器が知られている。例えば、特許文献1には、X線撮像装置に用いられるフォトン検出器の構成要素としての半導体X線検出器が記載されている。この半導体X線検出器は、X線を検出するセンサ素子と、積分回路と、により構成されている。また、積分回路は、オペアンプ等からなる増幅器、該増幅器に並列接続されたキャパシタ、および該増幅器に並列接続された抵抗素子により構成されている。このような半導体X線検出器においては、X線がセンサ素子に入射するごとに、キャパシタに所定量の電荷が蓄えられ、増幅器の出力電圧がステップ状に上昇する。増幅器の出力電圧は、次段に接続されるシェーピングアンプ等により微分され、カウントパルスとして出力され、このカウントパルスのカウント値からX線入射量の測定がなされる。特許文献1には、抵抗素子としてゲート（ベース）がドレイン（コレクタ）に接続されたトランジスタがキャパシタに並列接続された構成も開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開平8-129070号公報

特許文献2：特開2015-115357号公報

非特許文献

[0004] 非特許文献1：Hirokazu Ikeda, “Electronics for Particle Measurement”, インターネット<URL:http://research.kek.jp/people/ikeda/KEK_REPORT2002-8/Electronics/day_5.pdf>, June 28, 2002

非特許文献2：池田博一「高度センサー信号処理のためのAnalog-VLSI Open-I

(9)」, インターネット <URL:http://research.kek.jp/people/iked/openIP/openIP_9.pdf>, pp.153-165, 平成16年8月22日

非特許文献3: R. Ballabriga, et al., “The Medipix3RX: a high resolution, zero dead-time pixel detector readout chip allowing spectroscopic imaging”, PUBLISHED BY IPO PUBLISHING FOR SISSA MEDIALAB, 14th INTERNATIONAL WORDHOP ON RADIATION IMAGING DETECTORS, 1-5 JULY 2012.

非特許文献4: Rafael Ballabriga Sune, ” The Design and Implementation in $0.13\mu\text{m}$ CMOS of an Algorithm Permitting Spectroscopic Imaging with High Spatial Resolution for Hybrid Pixel Detectors”, CERN-THESIS-2010-055. Page 126, November 24, 2009

発明の概要

発明が解決しようとする課題

[0005] 発明者らは、従来のフォトン検出器について検討した結果、以下のような課題を発見した。すなわち、X線を検出するセンサ素子と、積分回路（オペアンプ等からなる増幅器、該増幅器に並列接続されたキャパシタ、および該増幅器に並列接続された抵抗素子により構成）と、で構成される半導体X線検出器は、特許文献1で想定されているような入射フォトンのエネルギーの大きさを弁別して数をカウントするタイプのフォトン検出器のみならず、入射フォトンのエネルギーの大きさを検知するタイプのフォトン検出器にも使用することが可能である。そして、それらのフォトン検出器の初段増幅までを担う。積分回路の部分はプリアンプとも称する。このようなプリアンプにおいて、キャパシタに並列接続される抵抗素子は、フォトンの入射に応じてプリアンプの出力信号が確実に立ち上がるとともに適切な時定数で立ち下がるような特性を得るために、数百キロオーム～数十メガオームといった大きな抵抗値を有する必要がある。一方で、プリアンプ自体は高集積化のために小体積で構成されることが望ましい。また、このようなプリアンプには、単位時間当たりの入射フォトン数が増大した場合にも、増幅器が飽和しないような構造も求められる。

[0006] 本発明は、上述のような課題を解決するためになされたものであり、小体積でありながら大きな抵抗値を示す抵抗を有するとともに増幅器の飽和を防止することができるプリアンプ、を備えるフォトン検出器を提供することを目的としている。

課題を解決するための手段

[0007] 本実施形態に係るフォトン検出器は、センサ素子と、プリアンプと、波形整形回路と、比較器と、を少なくとも備える。センサ素子は、フォトンを検出する電子デバイスであって、入射フォトンのエネルギーの大きさに応じた電子または正孔を出力する。プリアンプは、センサ素子から出力される電子または正孔の電荷を積分し、得られた積分値を電圧信号へ変換し、そして、変換された電圧信号を増幅する。波形整形回路は、プリアンプからの出力波形を整形する。比較器は、波形整形回路からの出力信号を基準電圧と比較し、波形整形回路からの出力信号の電圧レベルが基準電圧を超えているときにパルスを出力する。特に、プリアンプは、第1増幅器と、容量素子と、第1のトランジスタと、第2のトランジスタと、を含む。第1増幅器は、入力端と、出力端と、を有する。容量素子は、第1増幅器の入力端に電氣的に接続された第1端と、第1増幅器の出力端に電氣的に接続された第2端と、を有する電子部品である。第1のトランジスタは、その抵抗値が第1増幅器の出力電圧の絶対値の増大に伴って増大する電子部品であって、第1増幅器の入力端側に電氣的に接続された第1電極と、第1増幅器の出力端側に電氣的に接続された第2電極と、第1の固定電位に電氣的に接続された制御電極と、を有する。第2のトランジスタは、その抵抗値が第1増幅器の出力電圧の絶対値の増大に伴って減少する電子部品であって、第1のトランジスタとは異なる導電型を有する。また、第2のトランジスタは、第1増幅器の入力端側に電氣的に接続された第1電極と、第1増幅器の出力端側に電氣的に接続された第2電極と、第2の固定電位に電氣的に接続された制御電極と、を有する。

発明の効果

[0008] 本発明によれば、小体積でありながら大きな抵抗値を示す抵抗を有するとともに増幅器の飽和を防止することができるプリアンプ、を備えるフォトン検出器が実現可能になる。

図面の簡単な説明

[0009] [図1]は、第1実施形態に係るフォトン検出器の構成例を示すブロック図である。

[図2]は、第1実施形態に係るフォトン検出器が備えるプリアンプの構成例を示す回路図である。

[図3]は、プリアンプの変形例を示す図である。

[図4]は、第1実施形態に係るフォトン検出器が備えるポールゼロ補償回路の構成例を示す回路図である。

[図5]は、第1実施形態に係るフォトン検出器が備える波形整形回路の構成例を示す回路図である。

[図6]は、第1実施形態に係るフォトン検出器が備える比較器の構成例を示す回路図である。

[図7]は、一般的なMOSFETの電圧電流特性と、第1実施形態に係るn型MOSFETとp型MOSFETの動作を示す図である。

[図8]は、第1実施形態に係るプリアンプの動作を表す波形の模式図である。

[図9]は、第1実施形態に係る波形整形回路の動作を表す波形の模式図である。

[図10]は、第1実施形態に係る比較器の動作を表す波形の模式図である。

[図11]は、第1実施形態に係るプリアンプが有する第2のトランジスタとしてのp型MOSFETの効果を説明するための図であり、(a)は単位時間当たりに入射されるフォトンの数が少ないときの各部の波形図、(b)はp型MOSFETを設けなかった場合に単位時間当たりに入射されるフォトンの数が増加したときの各部の波形図、(c)はp型MOSFETを設けた場合に単位時間当たりに入射されるフォトンの数が増加したときの各部の波形図である。

[図12]は、第2実施形態に係るフォトン検出器の構成例を示すブロック図である。

発明を実施するための形態

[0010] [本願発明の実施形態の説明]

最初に本願発明の実施形態の内容をそれぞれ個別に列挙して説明する。

[0011] (1) 本実施形態に係るフォトン検出器は、その一態様として、センサ素子と、プリアンプと、波形整形回路と、比較器と、を少なくとも備える。センサ素子は、フォトンを検出する電子デバイスであって、入射フォトンのエネルギーの大きさに応じた電子または正孔を出力する。プリアンプは、センサ素子から出力される電子または正孔の電荷を積分し、得られた積分値を電圧信号へ変換し、そして、変換された電圧信号を増幅する。波形整形回路は、プリアンプからの出力波形を整形する。比較器は、波形整形回路からの出力信号を基準電圧と比較し、波形整形回路からの出力信号の電圧レベルが基準電圧を超えているときにパルスを出力する。特に、プリアンプは、第1増幅器と、容量素子と、第1のトランジスタと、第2のトランジスタと、を含む。第1増幅器は、入力端と、出力端と、を有する。容量素子は、第1増幅器の入力端に電氣的に接続された第1端と、第1増幅器の出力端に電氣的に接続された第2端と、を有する電子部品である。第1のトランジスタは、その抵抗値が第1増幅器の出力電圧の絶対値の増大に伴って増大する電子部品であって、第1増幅器の入力端側に電氣的に接続された第1電極と、第1増幅器の出力端側に電氣的に接続された第2電極と、第1の固定電位に電氣的に接続された制御電極と、を有する。第2のトランジスタは、その抵抗値が第1増幅器の出力電圧の絶対値の増大に伴って減少する電子部品であって、第1のトランジスタとは異なる導電型を有する。また、第2のトランジスタは、第1増幅器の入力端側に電氣的に接続された第1電極と、第1増幅器の出力端側に電氣的に接続された第2電極と、第2の固定電位に電氣的に接続された制御電極と、を有する。

[0012] なお、本実施形態の一態様として、第1増幅器の入力端に入力される信号

を多段増幅するため構造を実現するため、プリアンプは、第1増幅器の出力端側に直列に配置された1またはそれ以上の第2増幅器を更に備えてもよい。この場合、容量素子の第2端、第1のトランジスタの第2電極、および第2のトランジスタの第2電極のそれぞれは、第1および第2増幅器の何れかの出力端と同電位に設定される。

[0013] 当該フォトン検出器では、第1および第2のトランジスタを抵抗として機能させるので、小体積でありながら大きな抵抗値を示す抵抗を有するプリアンプを得ることができる。また、第1のトランジスタの抵抗値が無限大に近づくような増幅器出力の電圧範囲において、第2のトランジスタの抵抗値を低下させることができるので、増幅器出力の飽和を防止することもできる。さらに、第1のトランジスタが適度な抵抗として機能する電圧範囲と第2のトランジスタが適度な抵抗として機能する電圧範囲とを、第1の固定電位と第2の固定電位とによって個別に調整することができる。そのため、「特許文献1の抵抗素子としてゲート（ベース）がドレイン（コレクタ）に接続されたトランジスタを、キャパシタに並列接続した積分回路」（以下、単に「特許文献1の積分回路」という。）や、本実施形態の第1のトランジスタが取り除いて第2のトランジスタのみを有する回路に比べ、当該フォトン検出器のプリアンプは、広い電圧レンジの利用が可能で、飽和が起こりにくい回路となり得る。

[0014] （2）本実施形態の一態様として、当該フォトン検出器は、比較器から出力されるパルス数をカウントするカウンタを更に備えていてもよい。この場合、当該フォトン検出器は、入射フォトン数をカウントするタイプのフォトン検出器となり得る。

[0015] （3）本実施形態の一態様として、当該フォトン検出器は、ピークホールド回路を更に備えていてもよい。ピークホールド回路は、波形整形回路の出力信号のピーク値をホールドし、比較器からの出力信号により規定されるタイミングで該ホールドされたピーク値に相当する電気信号を出力する。この場合、当該フォトン検出器は、入射フォトンのエネルギーの大きさを検知す

るタイプのフォトン検出器となり得る。

[0016] (4) 本実施形態の一態様として、センサ素子は、フォトンのエネルギーの大きさに応じた電子を出力する素子であってもよい。この場合、第1のトランジスタはn型MOSFETであり、第2のトランジスタはp型MOSFETであるのが好ましい。本態様の構成によれば、トランジスタとしてバイポーラトランジスタを使用した場合に比べて消費電力を低減することができる。すなわち、本態様の構成によれば、フォトン検出器の小型化が容易になるよう、上述の第1および第2のトランジスタが好適に実現され得る。

[0017] (5) 本実施形態一態様として、センサ素子は、フォトンのエネルギーの大きさに応じた正孔を出力する素子であってもよい。この場合、第1のトランジスタはp型MOSFETであり、第2のトランジスタはn型MOSFETであるのが好ましい。本態様の構成によれば、トランジスタとしてバイポーラトランジスタを使用した場合に比べて消費電力を低減することができる。すなわち、本態様の構成によれば、フォトン検出器の小型化が容易になるよう、上述の第1および第2のトランジスタが好適に実現され得る。

[0018] (6) 本実施形態の一態様として、当該フォトン検出器は、プリアンプと波形整形回路との間にポールゼロ補償回路を備えてもよい。本態様の構成によれば、プリアンプ出力の低周波数成分が波形整形回路の出力のベースラインを変動させることを抑制することができる。この場合、入射フォトンのエネルギーの大きさを比較器により1段階あるいは複数段階に弁別してカウントする際や入射フォトンのエネルギーの大きさを検知する際の精度が向上する。この点も、特許文献1の積分回路を備えた半導体X線検出器に対する優位な効果である。すなわち、当該ポールゼロ補償回路は、特許文献1の積分回路の後段には採用が困難であった回路である。その採用が困難であったのは、特許文献1の積分回路においては、トランジスタの抵抗値を自由に調整することができず（抵抗値がソース（エミッタ）、ドレイン（コレクタ）の電位とトランジスタのサイズのみにより決まるため）、ポールゼロ補償回路との整合をとることが困難であったためである。本実施形態においては、

第1の固定電位と第2の固定電位を任意に調整できるので、そのような困難はない。

[0019] (7) 本実施形態の一態様として、比較器は、ソースフォロワ回路と、該ソースフォロワ回路の出力ノードに接続された可変電流源と、を含む基準電圧発生回路を含んでもよい。この場合、それぞれが1つのセンサ素子に対応する画素ごとの検出感度の調整を容易かつ高精度に行うことができる。また、本実施形態の一態様として、ソースフォロワ回路の一部を構成する入力MOSFETのバックゲートは、ソースフォロワ回路の出力ノードに接続されてもよい。この場合、可変電流源の電流変化に対するソースフォロワ回路の出力電圧変化の直線性を改善することができる。加えて、出力電圧の可変範囲を大きくすることができる。

[0020] 以上、この[本願発明の実施形態の説明]の欄に列挙された各態様は、残りの全ての態様のそれぞれに対して、または、これら残りの態様の全ての組み合わせに対して適用可能である。

[0021] [本願発明の実施形態の詳細]

以下、本実施形態に係るフォトン検出器の具体的な構造を、添付図面を参照しながら詳細に説明する。なお、本発明はこれらの例示に限定されるものではなく、請求の範囲によって示され、請求の範囲と均等の意味および範囲内での全ての変更が含まれることが意図される。また、図面の説明において同一の要素には同一符号を付して重複する説明を省略する。

[0022] (第1実施形態)

(回路構成)

図1は、第1実施形態に係るフォトン検出器100の構成例を示すブロック図である。本実施形態のフォトン検出器100は、「フォトンカウンティング検出器」ともいい得るデバイスである。また、当該フォトン検出器100は、図1に示されたように、センサ素子110と、プリアンプ120と、ポールゼロ補償回路130と、波形整形回路140と、比較器150と、カウンタ160と、を備えている。これらの回路要素は、この順で直列に接続

されている。また、プリアンプ120と、ポールゼロ補償回路130と、波形整形回路140と、比較器150と、カウンタ160と、により一系統の信号処理系が構成されている。

[0023] センサ素子110は、入射されたフォトンのエネルギーの大きさに応じた電子を出力する素子（電子デバイス）である。センサ素子110は、例えば、化合物半導体の一方の面に配置された荷電電極に負の高電圧を印加する一方、他方の面に配置された集電電極からフォトンのエネルギーの大きさに応じた電子を取り出すよう構成された素子である。センサ素子110の具体的な構造については、上記特許文献2に開示されている。また、センサ素子110は、代表的には、以下に説明される一系統の信号処理系に一对一に対応する単一の素子（一画素を構成）である。なお、一系統の信号処理系に対して一对多の構成となるよう、複数のセンサ素子110により二次元状に配列されたセンサアレイの画素群が構成されてもよい。

[0024] プリアンプ120は、センサ素子110から出力される電子の電荷を積分し、得られた積分値を電圧信号に変換し、そして、変換された電圧信号を増幅する回路である。図2は、本実施形態のプリアンプ120の構成例を示す回路図である。図2に示されたように、プリアンプ120は、増幅器（第1増幅器）121を有するとともに、該増幅器121の入力端側と出力端側とを電氣的に接続する複数配線上にそれぞれ配置された容量素子122、n型MOSFET123（第1のトランジスタ）、およびp型MOSFET124（第2のトランジスタ）を有する。すなわち、増幅器121の入力端（入力電極を含む）、容量素子122の第1端、n型MOSFET123の第1電極（ソースS）、およびp型MOSFET124の第1電極（ドレインD）が同電位となる。一方、増幅器121の出力端（出力電極を含む）、容量素子122の第2端、n型MOSFET123の第2電極（ドレインD）、およびp型MOSFET124の第2電極（ソースS）が同電位となる。そして、n型MOSFET123およびp型MOSFET124それぞれのゲートG（制御電極）1231、1241は、それぞれ、第1の固定電位V1

および第2の固定電位V2を印加する配線に接続されている。

[0025] ここで、第1の固定電位V1は、n型MOSFET123を以下の(a)または(b)に規定されるように動作させる値に設定される。

(a) 増幅器121の出力電圧V0が比較的小さい範囲においてはドレインソース間の抵抗値が適度な値(例えば数百キロオーム~数十メガオーム)となる。

(b) 増幅器121の出力電圧V0が大きくなると、ドレインソース間の抵抗値が無量大に近づく。

[0026] また、第2の固定電位V2は、p型MOSFET124を以下の(a)または(b)で規定されるように動作させる値に設定される。

(a) 増幅器121の出力電圧V0が比較的小さい範囲においてはドレインソース間の抵抗値がほぼ無量大である。

(b) 増幅器121の出力電圧V0が大きくなると、ドレインソース間の抵抗値が適度な値となる。

[0027] なお、増幅器121の出力電圧V0は、増幅器121の入力電極側の電位(基準電位)と出力電極側の電位との間の電位差である。

[0028] また、プリアンプ120は、増幅器121の入力端に入力される信号を多段増幅するため構造を備えてもよい。図3(a)~図3(d)に示された例では、増幅器121と、該増幅器121の出力端側に直列に配置された後段増幅器(第2増幅器)121Aにより、多段増幅構造が構成されるとともに、容量素子122の第2端、n型MOSFET123の第2電極、およびp型MOSFET124の第2電極のそれぞれが、増幅器121の出力端側に電氣的に接続されている。なお、図3(a)~図3(d)の例では、1つの後段増幅器121Aだけ示されているが、複数の後段増幅器121Aが増幅器121の出力側に直列に配置されてもよい。

[0029] 具体的に、図3(a)の例では、容量素子の第2端、n型MOSFET123の第2電極、およびp型MOSFET124の第2電極のそれぞれが、後段増幅器121Aの出力端から延びる配線に接続されることで、後段増幅

器 1 2 1 A の出力端と同電位に設定されている。図 3 (b) の例では、容量素子の第 2 端、 n 型 MOS F E T 1 2 3 の第 2 電極、および p 型 MOS F E T 1 2 4 の第 2 電極のそれぞれが、増幅器 1 2 1 の出力端と後段増幅器 1 2 1 A の入力端を結ぶ配線に接続されることで、増幅器 1 2 1 の出力端と同電位に設定されている。図 3 (c) の例では、容量素子の第 2 端が、後段増幅器 1 2 1 A の出力端から延びる配線に接続されることにより、後段増幅器 1 2 1 A の出力端と同電位に設定されている。一方、 n 型 MOS F E T 1 2 3 の第 2 電極および p 型 MOS F E T 1 2 4 の第 2 電極のそれぞれは、増幅器 1 2 1 の出力端と後段増幅器 1 2 1 A の入力端を結ぶ配線に接続されることで、増幅器 1 2 1 の出力端と同電位に設定されている。更に、図 3 (d) の例では、容量素子の第 2 端が、増幅器 1 2 1 の出力端と後段増幅器 1 2 1 A の入力端を結ぶ配線に接続されることで、増幅器 1 2 1 の出力端と同電位に設定されている。一方、 n 型 MOS F E T 1 2 3 の第 2 電極および p 型 MOS F E T 1 2 4 の第 2 電極のそれぞれは、後段増幅器 1 2 1 A の出力端から延びる配線に接続されることにより、後段増幅器 1 2 1 A の出力端と同電位に設定されている。

[0030] 図 4 (a) ~ 図 4 (c) は、ポールゼロ補償回路 1 3 0 の構成例をそれぞれ示す回路図であり、図 4 (d) は、図 4 (a) ~ 図 4 (c) における抵抗素子 1 3 2 を構成する回路の一例である。図 4 (a) に示されたポールゼロ補償回路 1 3 0 A は、相互に並列接続された容量素子 1 3 1 および抵抗素子 1 3 2 を有する。図 4 (b) に示されたポールゼロ補償回路 1 3 0 B は、図 4 (a) のポールゼロ補償回路 1 3 0 A の構成に加え、容量素子 1 3 1 および抵抗素子 1 3 2 の出力側端子と基準電位線との間に配置された抵抗素子 1 3 3 を有する。図 4 (c) に示されたポールゼロ補償回路 1 3 0 C は、図 4 (a) のポールゼロ補償回路 1 3 0 A の構成に加え、容量素子 1 3 1 と直列に、かつ、抵抗素子 1 3 2 と並列に接続された抵抗素子 1 3 4 を有する。図 4 (a) ~ 図 4 (c) における抵抗素子 1 3 2 は、通常の抵抗体で構成されてもよいし、1 つの MOS F E T で構成されてもよい。更に、図 4 (a) ~

図4 (c) における抵抗素子132は、図4 (d) に示されたように、n型MOSFET135とp型MOSFET136が並列接続された回路で構成されるのが好ましい。n型MOSFET135とp型MOSFET136のゲート1351、1361には、それぞれ適当な固定電位V1a、V2aが接続される。いずれの回路構成が採用された場合においても、ポールゼロ補償回路130の時定数は、プリアンプ120の時定数(容量素子122の容量値とMOSFET123、124の抵抗値とにより決まる時定数)に整合する値に設定される。このとき、プリアンプ120と波形整形回路140における信号のゲインを大きくとるために、好ましくは、以下の設定が考慮される。

(a) プリアンプの容量素子122の容量値は、ポールゼロ補償回路130の容量素子131の容量値よりも小さい値に設定される。

(b) プリアンプ120のMOSFET123、124による抵抗値は、ポールゼロ補償回路130の抵抗素子132あるいはn型MOSFET135とp型MOSFET136による抵抗値よりも、大きい値に設定される(固定電位V1a、V2aの設定)。

[0031] 波形整形回路140は、プリアンプ120の出力の波形を整形する回路である。図5は、波形整形回路140の構成例を示す回路図である。図5に示されたように、波形整形回路140は、図2に示されたプリアンプ120と同様の構成を有する回路である。すなわち、波形整形回路140は、増幅器141を有するとともに、該増幅器141の入力端側と出力端側とを電氣的に接続する複数配線上にそれぞれ配置された容量素子142、n型MOSFET143、およびp型MOSFET144を有する。ただし、容量素子142の容量値とMOSFET143、144のドレイン-ソース間の抵抗値とによって定まる時定数は、図2に示されたプリアンプ120における容量素子122の容量値とMOSFET123、124のドレイン-ソース間の抵抗値とによって定まる時定数よりも小さな値に設定される(固定電位V1b、V2bの設定)。なお、波形整形回路140は、必ずしもn型MOSF

E T 1 4 3 と p 型 M O S F E T 1 4 4 の両方を有する必要はない。具体的に波形整形回路 1 4 0 は、n 型 M O S F E T 1 4 3 と p 型 M O S F E T 1 4 4 のうち、例えば n 型 M O S F E T 1 4 3 のみが、容量素子 1 4 1 とともに増幅器 1 4 1 の入力端側と出力端側とを電氣的に接続する複数配線上にそれぞれ配置された回路であってもよい。

[0032] 比較器 1 5 0 は、波形整形回路 1 4 0 の出力電圧を基準電圧 V_{th} と比較し、波形整形回路 1 4 0 の出力電圧が基準電圧 V_{th} を超える度にパルスを出力する回路である。図 6 (a) は、比較器 1 5 0 の一構成例を示す回路図であり、図 6 (b) は比較器 1 5 0 の他の構成例を示す回路図である。図 6 (a) と図 6 (b) とは、基準電圧発生回路の構成が相違している。図 6 (a) および図 6 (b) に示されたように、比較器 1 5 0 は、コンパレータ 1 5 1 と、基準電圧発生回路 1 5 2 または 1 5 3 とを有する。コンパレータ 1 5 1 の一方の入力電極 1 5 1 1 は波形整形回路 1 4 0 の出力端と接続され、他方の入力電極 1 5 1 2 は基準電圧発生回路 1 5 2 または 1 5 3 の出力端と接続される。

[0033] 基準電圧発生回路 1 5 2 は、互いに直列に接続された 2 つの n 型 M O S F E T を含むソースフォロワ回路 1 5 2 1 と、その出力ノード 1 5 2 2 に接続された可変電流源 1 5 2 3 とを含んでいる。出力ノード 1 5 2 2 と可変電流源 1 5 2 3 との間のノード N 1 は、コンパレータ 1 5 1 の他方の入力電極 1 5 1 2 と接続されている。ソースフォロワ回路 1 5 2 1 は、一方の n 型 M O S F E T (入力 M O S F E T) 1 5 2 4 と、カレントミラー抵抗を構成する他方の n 型 M O S F E T により構成されている。ソースフォロワ回路 1 5 2 1 の一方の n 型 M O S F E T 1 5 2 4 のバックゲート 1 5 2 5 は、ソースフォロワ回路 1 5 2 1 の出力ノード 1 5 2 2 に接続 (短絡) されている。なお、固定電位 V_{1c} は、出力ノード 1 5 2 2 の電位よりも僅かに高い電位であり、固定電位 V_{1c} と出力ノード 1 5 2 2 の電位差は、一方の n 型 M O S F E T 1 5 2 4 の閾値以下に設定されている。また、他方の n 型 M O S F E T により構成されるカレントミラー抵抗は、該他方の n 型 M O S F E T のゲ-

トに接続される固定電位 V_{2c} により規定される。

[0034] 基準電圧発生回路153は、互いに直列に接続された2つのp型MOSFETを含むソースフォロワ回路1531と、その出力ノード1532に接続された可変電流源1533とを含んでいる。出力ノード1532と可変電流源1533との間のノードN2は、コンパレータ151の他方の入力電極1512と接続されている。ソースフォロワ回路1531は、一方のp型MOSFET（入力MOSFET）1534と、カレントミラー抵抗を構成する他方のp型MOSFETにより構成されている。ソースフォロワ回路1531の一方のp型MOSFET1534のバックゲート1535は、ソースフォロワ回路1531の出力ノード1532に接続（短絡）されている。なお、固定電位 V_{1d} は、出力ノード1532の電位よりも僅かに低い電位であり、固定電位 V_{1d} と出力ノード1532の電位差は、一方のp型MOSFET1534の閾値以下に設定されている。また、他方のn型MOSFETにより構成されるカレントミラー抵抗は、該他方のn型MOSFETのゲートに接続される固定電位 V_{2c} により規定される。

[0035] カウンタ160は、比較器150から出力されるパルス数をカウントする回路である。カウンタ160は、パルス数をカウントする機能を有する回路であればどのような回路であってもよい。

[0036] （動作）

以上のように構成されたフォトン検出器100は、以下のように動作する。

[0037] まず、センサ素子110にフォトンが入射すると、センサ素子110は、入射フォトンのエネルギーの大きさに対応した数の電子を出力する。出力された電子はプリアンプ120に入力される。センサ素子110から負の電荷を有する電子がプリアンプ120に入力されると、増幅器121の入力電極の電位は、基準電位（増幅器121の入力電極側の電位）のままで該増幅器121の出力側の電位が入力された電子の電荷量に比例した電圧分だけ上昇する。

[0038] ここで、容量素子122、n型MOSFET123、およびp型MOSFET124の各両端の電位差は、増幅器121の出力電圧 V_0 と等しい。ただし、n型MOSFET123は、増幅器121の出力電極に接続された側（第2電極）がドレインとなるのに対し、p型MOSFET124は増幅器121の出力電極に接続された側（第2電極）がソースとなる。そのため、ソースを基準に見たドレイン電圧 V_{ds} は、n型MOSFET123では正の値となるのに対し、p型MOSFET124では負の値となる。

[0039] n型MOSFET123のゲート1231に接続される第1の固定電位 V_1 を、例えば基準電位に対してn型MOSFET123の閾値電圧以下の適切な値だけ高い値に設定すると、n型MOSFET123はサブスレッショールド領域（弱反転領域）内で動作する。そのため、該n型MOSFET123のドレイン-ソース間の抵抗値は、増幅器121の出力電圧 V_0 が比較的小さい範囲においては数百キロオーム～数十メガオームとなる。一方、この抵抗値は、増幅器121の出力電圧 V_0 が大きくなると無限大に近づく。この様子は、図7の点Aおよび点Bにより示される。すなわち、増幅器121の出力電圧 V_0 が比較的小さい範囲においては、n型MOSFET123の動作点は例えば点A近辺にあるが、増幅器121の出力電圧 V_0 が大きくなると、その動作点は例えば点B近辺へ破線矢印に沿って移動する。

[0040] 次に、p型MOSFET124について見ると、ソースを基準に見たドレイン電圧 V_{ds} は、増幅器121の出力電圧 V_0 の符号を反転させた値となる。また、ソースを基準に見たゲート電圧 V_{gs} は、ドレイン電圧 V_{ds} に、第2の固定電位 V_2 と基準電位との差電圧（固定電圧）を加算した値となる。したがって、第2の固定電位 V_2 を適切な値に設定すると、p型MOSFET124のドレイン-ソース間の抵抗値は、増幅器121の出力電圧 V_0 が所定値よりも小さい範囲においてはほぼ無限大となる。一方、この抵抗値は、増幅器121の出力電圧 V_0 が所定値を超えると、小さな値に変化する。この様子は、図7の点Cと点Dにより示される。すなわち、増幅器121の出力電圧 V_0 が所定値よりも小さい範囲においてはp型MOSFET1

24の動作点は例えば点C近辺にあるが、増幅器121の出力電圧 V_0 が大きくなると、その動作点は例えば点D近辺へ破線矢印に沿って移動する。

[0041] n型MOSFET123およびp型MOSFET124が上述のように動作するので、プリアンプ120の放電時定数は、増幅器121の出力電圧 V_0 が小さいうちは比較的大きく、増幅器121の出力電圧 V_0 が大きくなると小さくなる。

[0042] なお、図7において、縦軸の I_{ds} はドレインソース間の電流値であり、横軸の V_{ds} はドレインソース間の電圧値である。また、 V_{gsn} はn型MOSFET123のゲートソース間電圧であり、 V_{gsp} はp型MOSFET124のゲートソース間電圧である。ゲートソース間電圧 V_{gsn} 、 V_{gsp} の変化に応じて、図7に示されたように、n型MOSFET123およびp型MOSFET124の電圧電流特性が変化する。

[0043] 図8は、フォトン入射タイミングとプリアンプ120の出力波形とを模式的に表した図である。図8に示されたように、プリアンプ120の出力電圧（増幅器121の出力電圧 V_0 と同じ）が小さいうちはプリアンプ120の放電時定数は比較的大きい。そのため、該プリアンプ120の出力電圧は少ししか低下しない（フォトンが入射されるたびにプリアンプ120の出力電圧はほぼ階段状に上昇する）。しかしながら、プリアンプ120の出力電圧がある程度以上に大きくなると、プリアンプ120の放電時定数が小さくなる。この場合、プリアンプ120の出力電圧は急激に低下するようになり、その出力波形は鋸刃状になる。なお、図9は、波形整形回路140の動作を表す波形の模式図であり、図10は、比較器150の動作を表す波形の模式図である。

[0044] プリアンプ120からの、図8に示されたような波形の出力信号は、ポールゼロ補償回路130を介して波形整形回路140に入力される。ポールゼロ補償回路130は、プリアンプ120出力の低周波数成分が波形整形回路140の出力信号のベースライン（図9の下側の波形における水平のライン）を変動させることを抑制するための回路である。例えば、プリアンプ12

0に入力がない期間がしばらく続いてプリアンプ120の出力が徐々に低下するような場合にも、ポールゼロ補償回路130は、波形整形回路140の出力のベースラインが変動することを抑制するように作用する。

[0045] 波形整形回路140では、プリアンプ120からの図8の下側に示されたような波形、すなわち図9の上側に示される波形が、図9の下側に示されたような波形（次段の比較器150での比較に適した波形）に整形される。波形整形回路140の出力電圧は、比較器150において、基準電圧発生回路152から出力される基準電圧 V_{th} と比較される。図10の下側に示されたように、比較器150からは、波形整形回路140の出力電圧が基準電圧 V_{th} を下回るたびにパルスが出力される。なお、基準電圧発生回路152から出力される基準電圧 V_{th} は、可変電流源1523の電流値を調整することによって調整される。比較器150から出力されたパルスは、カウンタ160によりカウントされ、そのカウント値が入射フォトン数を表す数字として出力される。

[0046] (効果)

本実施形態によれば、n型MOSFET123とp型MOSFET124とを抵抗として機能させるので、小体積でありながら大きな抵抗値を示す抵抗を有するプリアンプ120が得られる。

[0047] また、本実施形態によれば、n型MOSFET123の抵抗値が無限大に近づくような増幅器出力 V_0 の電圧範囲において、p型MOSFET124の抵抗値を低下させることができる（増幅器出力 V_0 の飽和を防止することができる）。この効果は、図11(a)～図11(c)に示される。図11(a)は、単位時間当たりに入射されるフォトン数が少ないときの各部の波形図である。この場合は、p型MOSFET124の有無は波形の違いに現れない。図11(b)は、p型MOSFET124を設けなかった場合に単位時間当たりに入射されるフォトン数が増加したときの各部の波形図である。図11(c)は、p型MOSFET124を設けた場合に単位時間当たりに入射されるフォトン数が増加したときの各部の波形図である。図

11 (a) に示されたように、単位時間当たりに入射されるフォトン数が少ないときには、p型MOSFET 124の有無にかかわらず、プリアンプ120の出力はフォトン入射タイミングに応じてステップ状に上昇し、波形整形回路140は、フォトン入射タイミングに応じた波形を出力することができる。しかしながら、図11 (b) に示されたように、p型MOSFET 124を設けなかった場合に単位時間当たりに入射されるフォトン数が増加すると、プリアンプ120の出力が飽和し、波形整形回路140は、波形を出力することができなくなる。これに対し、本実施形態のようにp型MOSFET 124を設けた場合には、単位時間当たりに入射されるフォトン数が増加してもプリアンプ120は飽和することがなく、波形整形回路140はフォトン入射タイミングに応じた波形を出力することができる。

[0048] 本実施形態によれば、n型MOSFET 123が適度な抵抗として機能する電圧範囲とp型MOSFET 124が適度な抵抗として機能する電圧範囲とを、第1の固定電位V1と第2の固定電位V2とによって個別に調整することができる。したがって、特許文献1の積分回路や、本実施形態からn型MOSFET 123を取り除きp型MOSFET 124のみを抵抗として機能させるようにした回路に比べ、本実施形態のプリアンプ120は、広い電圧レンジの利用が可能であり、かつ、飽和が起こりにくい回路となり得る。

[0049] また、特許文献1のように、ゲート（ベース）がドレイン（コレクタ）に接続された1つのトランジスタを用いて適度な抵抗値を得ようとする場合には、調整可能なパラメータが1つのトランジスタの各種寸法や材料のみである。この場合、設計の自由度が低く、適度な抵抗値を得るための調整が困難となる可能性がある。これに対し、本実施形態においては、n型MOSFET 123およびp型MOSFET 124の各種寸法（ゲート長、ゲート幅など）や材料に加えて、制御電極に供給する固定電位V1、V2をも調整可能である。したがって、本実施形態は、設計の自由度が高く、適度な抵抗値を得るための調整が容易である。

- [0050] 本実施形態では第1のトランジスタがn型MOSFET123とされ、第2のトランジスタがp型MOSFET124とされている。従って、第1および第2のトランジスタとしてバイポーラトランジスタを使用した場合に比べ、本実施形態は、消費電力を低減することができ、フォトン検出器の小型化が容易になる。
- [0051] 本実施形態では、プリアンプ120と波形整形回路140の間にポールゼロ補償回路130を備えている。この場合、プリアンプ120の出力の低周波数成分が波形整形回路140の出力のベースライン（図9の下側の波形における水平のライン）を変動させることを抑制することができ、入射フォトンのエネルギーの大きさを比較器150で弁別する際の精度が向上する。この点も、特許文献1の積分回路を備えた半導体X線検出器に対しての優位な効果である。すなわち、このポールゼロ補償回路130は、特許文献1の積分回路の後段には採用が困難であった回路である。その採用が困難であった理由は、特許文献1の積分回路においては、トランジスタの抵抗値を自由に調整することができず（抵抗値がソース（エミッタ）、ドレイン（コレクタ）の電位とトランジスタのサイズのみにより決まるため）、ポールゼロ補償回路との整合をとることが困難であったためである。本実施形態においては、第1の固定電位V1と第2の固定電位V2を任意に調整できるので、そのような困難はない。
- [0052] 本実施形態では、比較器150が、ソースフォロワ回路1521、1531と、その出力ノード1522、1532に接続された可変電流源1523、1533とを含む基準電圧発生回路152、153を有している。このような構成により、画素ごとにフォトン検出器が設けられる場合（センサ素子110と一系統の信号処理系が一对一に対応した構成）に、画素ごとの検出感度の調整が容易かつ高精度に行われ得る。また、ソースフォロワ回路1521、1531の入力MOSFET1524、1534のバックゲート1525、1535は、ソースフォロワ回路1521、1531の出力ノード1522、1532に接続されている。これにより、可変電流源1523、1

533の電流変化に対するソースフォロワ回路1521、1531の出力電圧 V_{th} の変化の直線性を改善することができるとともに、出力電圧 V_{th} の可変範囲を大きくすることができる。

[0053] (第2実施形態)

図12は、第2実施形態に係る光子検出器200の構成を示すブロック図である。図1と図12を比べて分かるように、第2の実施形態の光子検出器200は、主として、第1実施形態のカウンタ160の代わりにピークホールド回路260と、出力スイッチ270と、出力イネーブル信号生成回路280とを備えている点で、第1実施形態の光子検出器100と相違している。ピークホールド回路260の具体的な構成については、上記非特許文献1(図6)および上記非特許文献2に開示されている。出力イネーブル信号生成回路280の具体的な構成については、上記非特許文献3および上記非特許文献4に開示されている。なお、第1実施形態(図1)はプリアンプ120と波形整形回路140との間にポールゼロ補償回路130が設けられており、第2実施形態も同様に、プリアンプ220と波形整形回路240との間にポールゼロ補償回路が設けられてもよい。他の構成については、第1実施形態と第2実施形態は共通する構成を有する。以下では、その第1実施形態と相違する部分を中心に説明する。

[0054] 図12に示されたように、本実施形態に係る光子検出器200は、センサ素子210(センサ素子110と同一構造を有する)と、プリアンプ220(プリアンプ120と同一構造を有する)と、波形整形回路240(波形整形回路140と同一構造を有する)と、比較器250(比較器150と同一構造を有する)と、ピークホールド回路260と、出力スイッチ270と、出力イネーブル信号生成回路280とを備えている。これらの回路要素のうち、センサ素子210と、プリアンプ220と、波形整形回路240と、ピークホールド回路260と、出力スイッチ270とは、その順で直列に接続されている。また、比較器250は、その入力が波形整形回路240の出力に接続され、出力がピークホールド回路260と出力イネーブル信号生

成回路 280 とに供給されている。プリアンプ 220 と、波形整形回路 240 と、比較器 250 と、ピークホールド回路 260 と、出力スイッチ 270 と、出カイナーブル信号生成回路 280 と、により、センサ素子 210 に一対一に対応して設けられた一系統の信号処理系が構成されている。

[0055] センサ素子 210、プリアンプ 220、波形整形回路 240、比較器 250 は、それぞれ、第 1 実施形態に係るセンサ素子 110、プリアンプ 120、波形整形回路 140、比較器 150 と同一構成であるので、ここでは説明を省略する。

[0056] ピークホールド回路 260 は、波形整形回路 240 の出力のピーク値をホールドし、そのホールドしたピーク値を出力スイッチ 270 経由でバスライン（共通信号線）へ出力する回路である。

[0057] 出カイナーブル信号生成回路 280 は、バスラインがビジーか否か（他の画素回路からバスラインに信号が読みだされている状態か否か）を判別するバスラインモニタ信号と比較器 250 の出力とを基に、出力スイッチ 270 に対して出カイナーブル信号を出力する回路である。

[0058] 出力スイッチ 270 は、出カイナーブル信号生成回路 280 からの出カイナーブル信号が出カイナーブルを表しているときに、ピークホールド回路 260 がホールドしたピーク値をバスライン（共通信号線）へ出力する回路である。

[0059] なお、波形整形回路 240 は、プリアンプ 220 の出力が共通に入力され独立した出力を有する 2 つの波形整形回路で構成されてもよい。その場合、一方の波形整形回路の出力が比較器 250 に供給され、他方の波形整形回路の出力がピークホールド回路 260 に接続される。

[0060] また、比較器 250 の出力は、ピークホールド回路 260 と出カイナーブル信号生成回路 280 以外の回路、例えば図 1 のカウンタ 160 に相当する回路にも供給されてもよい。

[0061] 以上のように構成されたフォトン検出器 200 の、ピークホールド回路 260、出力スイッチ 270、出カイナーブル信号生成回路 280 は、協働し

て、波形整形回路240の出力のピーク値をホールドし、ホールドしたピーク値を比較器250の出力により規定されるタイミングでバスラインへ出力するように動作する。これにより、フォトン検出器200は、入射フォトンのエネルギーの大きさに比例した信号をバスラインへ出力することができる。

[0062] 以上、本発明の第1実施形態と第2実施形態について説明したが、本発明は、上述した実施形態に限定されるものではない。例えば、上述の第1実施形態では、比較器150とカウンタ160がそれぞれ1つで、フォトンのエネルギーは1段階でしか弁別されていなかった。しかしながら、第1実施形態は、基準電圧が相互に異なる複数の比較器と、比較器に対応した複数のカウンタとを設けることにより、フォトンのエネルギーを複数段階に弁別してそれぞれカウントするよう攻勢されてもよい。この場合、より多くの情報を得ることができるX線撮像装置等を構成することができる。また、そのようにする場合には、ポールゼロ補償回路がより有効になる。

[0063] また、上述の第2実施形態ではポールゼロ補償回路が省略されているが、第2実施形態においても、プリアンプ220と波形整形回路240との間にポールゼロ補償回路130と同様のポールゼロ補償回路が設けられてもよい。この場合、入射フォトンのエネルギーの大きさを検知する精度が向上する。

[0064] 上述の第1実施形態では、プリアンプ120と波形整形回路140との間にポールゼロ補償回路130を備えているが、種々の条件が許す場合には、ポールゼロ補償回路130は備えなくてもよい。

[0065] センサ素子として、上述の各実施形態では入射されたフォトンのエネルギーの大きさに応じた電子を出力するセンサ素子110を例示したが、本発明はそれに限定されない。センサ素子は、入射されたフォトンのエネルギーの大きさに応じた正孔を出力するセンサ素子であってもよい。

[0066] 上述の各実施形態では、第1のトランジスタがn型MOSFET123であり、第2のトランジスタがp型MOSFET124であったが、本発明は

それに限定されない。例えば、センサ素子として正孔を出力するものを採用する場合には、第1のトランジスタをp型MOSFETとし、第2のトランジスタをn型MOSFETとすることが好ましい。また、第1および第2のトランジスタはMOSFETに限られない。例えば、第1および第2のトランジスタはともにバイポーラトランジスタであってもよい。この場合には、n型MOSFETに代えてnpn型のバイポーラトランジスタを用い、p型MOSFETに代えてpnp型のバイポーラトランジスタを用いる。また、各バイポーラトランジスタのベース、エミッタ、コレクタは、それぞれ、各MOSFETのゲート、ソース、ドレイン、に対応させる。そうすれば、各バイポーラトランジスタは、各MOSFETと同様に動作する。

[0067] 上述の各実施形態では、波形整形回路140は図5に示されたような回路構成を有する（図5のMOSFET143と144のいずれか一方がなくてもよいことは、上述したとおりである）が、本発明はそれに限定されない。例えば、図5に示されたMOSFET143および144の代わりに抵抗体で構成される抵抗素子等、任意の抵抗素子が用いられてもよい。

[0068] 上述の各実施形態では、図10に示されたように、波形整形回路140が反転出力タイプであり、比較器150は波形整形回路140の出力が基準電圧 V_{th} を下回るたびにパルスを出力する比較器であった。しかしながら、波形整形回路は非反転出力タイプであってもよく、比較器150は波形整形回路の出力が所定の基準電圧を上回るたびにパルスを出力する比較器であってもよい。

[0069] 上述の各実施形態では、比較器150が、ソースフォロワ回路1521、1531とその出力ノード1522、1532に接続された可変電流源1523、1533とを含む基準電圧発生回路152、153を有していたが、本発明はそれに限定されない。例えば比較器は、自身では基準電圧発生回路を有さず、外部から基準電圧が供給されるように構成されていてもよいし、ソースフォロワ回路を含まない基準電圧発生回路を有するものであってもよい。

[0070] 上述の各実施形態では、ソースフォロワ回路1521、1531の入力MOSFET1524、1534のバックゲート1525、1535が、ソースフォロワ回路1521、1531の出力ノード1522、1532に接続されていたが、本発明はそれに限定されない。ソースフォロワ回路1521の入力MOSFET1524のバックゲートは、ソースフォロワ回路1521、1531の出力ノード1522、1532に接続されていなくてもよい。

[0071] 上述の各実施形態では、図1および図12に示された各構成要素が、相前後する構成要素間で相互に直接接続されていたが、本発明はそれに限定されない。それらの各構成要素の間には、電流増幅器等の、上述の各実施形態に現われていない回路が介在していてもよい。

符号の説明

[0072] 100、200…フォトン検出器、110、210…センサ素子、120、220…プリアンプ、130…ポールゼロ補償回路、140、240…波形整形回路、150、250…比較器、160…カウンタ、121…増幅器（第1増幅器）、121A…後段増幅器（第2増幅器）、122…容量素子、123…n型MOSFET（第1のトランジスタ）、124…p型MOSFET（第2のトランジスタ）、142…容量素子、143、144…MOSFET、151…コンパレータ、152…基準電圧発生回路、1231…n型MOSFET（第1のトランジスタ）のゲート（制御電極）、1241…p型MOSFET（第2のトランジスタ）のゲート（制御電極）、1511…コンパレータの一方の入力電極、1512…コンパレータの他方の入力電極、1521、1531…ソースフォロワ回路、1522、1532…ソースフォロワ回路の出力ノード、1523、1533…可変電流源、1524、1534…ソースフォロワ回路の入力MOSFET、1525、1535…入力MOSFETのバックゲート、260…ピークホールド回路、270…出力スイッチ、280…出力イネーブル信号生成回路。

請求の範囲

[請求項1]

入射フォトンエネルギーの大きさに応じた電子または正孔を出力するセンサ素子と、

前記センサ素子に電氣的に接続されたプリアンプであって、前記センサ素子から出力される電子または正孔の電荷を入力し、前記電荷の積分値から変換された電圧信号を増幅するプリアンプと、

前記プリアンプに電氣的に接続された波形整形回路であって、前記プリアンプからの出力信号を入力し、前記プリアンプからの出力信号の波形を整形する波形整形回路と、

前記波形整形回路に電氣的に接続された比較器であって、前記波形整形回路からの出力信号を入力し、基準電圧を超える電圧レベルの前記波形整形回路からの出力信号の入力に応答してパルスを出力する比較器と、

を備え、

前記プリアンプは、

入力端と、出力端と、を有する第1増幅器と、

前記第1増幅器の前記入力端側に電氣的に接続された第1端と、前記第1増幅器の前記出力端側に電氣的に接続された第2端と、を有する容量素子と、

前記第1増幅器の出力電圧の絶対値の増大に伴って抵抗値が増大する第1のトランジスタであって、前記第1増幅器の前記入力端側に電氣的に接続された第1電極と、前記第1増幅器の前記出力端側に電氣的に接続された第2電極と、第1の固定電位に接続された制御電極と、を有する第1のトランジスタと、

前記第1のトランジスタとは異なる導電型を有するとともに前記第1増幅器の出力電圧の絶対値の増大に伴って抵抗値が減少する第2のトランジスタであって、前記第1増幅器の前記入力端側に電氣的に接続された第1電極と、前記第1増幅器の前記出力端側に電氣的に接続

された第2電極と、第2の固定電位に接続された制御電極と、を有する第2のトランジスタと、

を含む、

フォトン検出器。

[請求項2] 前記第1増幅器の前記入力端に入力される信号を多段増幅するため、前記プリアンプは、前記第1増幅器の前記出力端側に直列に配置された1またはそれ以上の第2増幅器を更に備え、

前記容量素子の前記第2端、前記第1のトランジスタの前記第2電極、および前記第2のトランジスタの前記第2電極のそれぞれは、前記第1および第2増幅器の何れかの出力端と同電位に設定されている、

請求項1に記載のフォトン検出器。

[請求項3] 前記比較器から出力されるパルス数をカウントするカウンタを更に備える、請求項1または2に記載のフォトン検出器。

[請求項4] 前記波形整形回路からの出力信号のピーク値をホールドし、前記比較器の出力信号により規定されるタイミングで前記ホールドされたピーク値に相当する電気信号を出力する、ピークホールド回路を更に備える、請求項1～3の何れか一項に記載のフォトン検出器。

[請求項5] 前記センサ素子が、前記フォトンのエネルギーの大きさに応じた電子を出力する素子であり、

前記第1のトランジスタがn型MOSFETであり、

前記第2のトランジスタがp型MOSFETである、

請求項1～4の何れか一項に記載のフォトン検出器。

[請求項6] 前記センサ素子が、前記フォトンのエネルギーの大きさに応じた正孔を出力する素子であり、

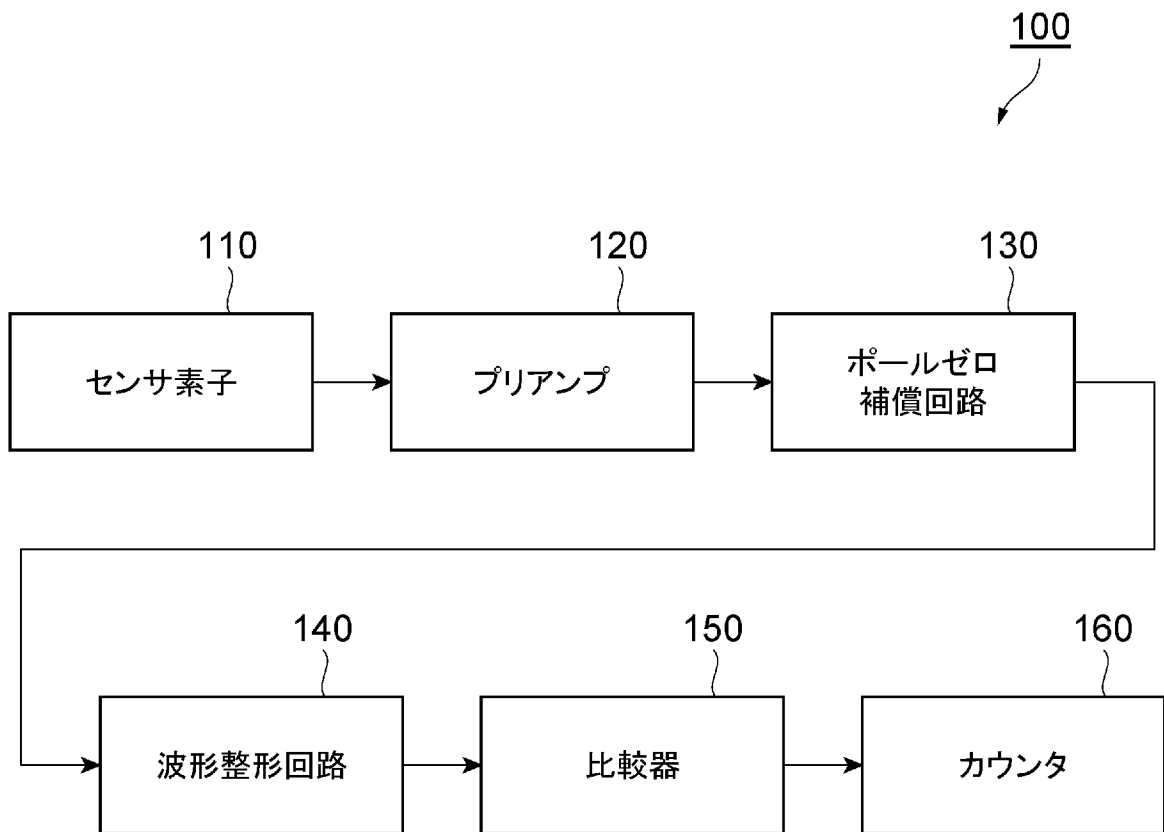
前記第1のトランジスタがp型MOSFETであり、

前記第2のトランジスタがn型MOSFETである、

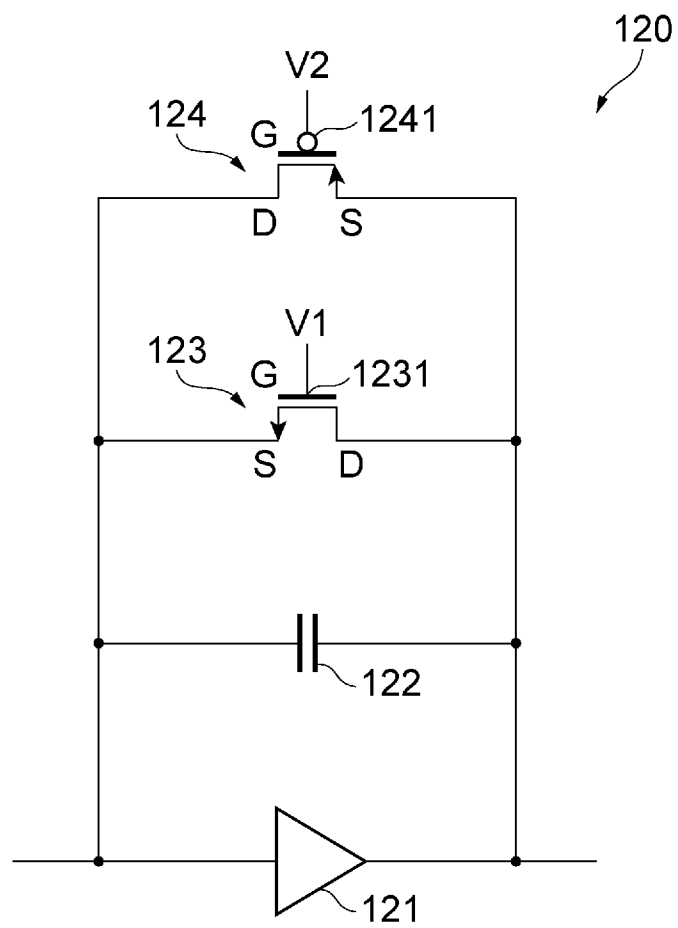
請求項1～4の何れか一項に記載のフォトン検出器。

- [請求項7] 前記プリアンプと前記波形整形回路との間にポールゼロ補償回路を備える、請求項1～6の何れか一項に記載のフォトン検出器。
- [請求項8] 前記比較器は、ソースフォロワ回路と、前記ソースフォロワ回路の出力ノードに接続された可変電流源とを含む基準電圧発生回路を含む、請求項1～7の何れか一項に記載のフォトン検出器。
- [請求項9] 前記ソースフォロワ回路の一部を構成する入力MOSFETのバックゲートが、前記ソースフォロワ回路の出力ノードに接続されている、請求項8に記載のフォトン検出器。

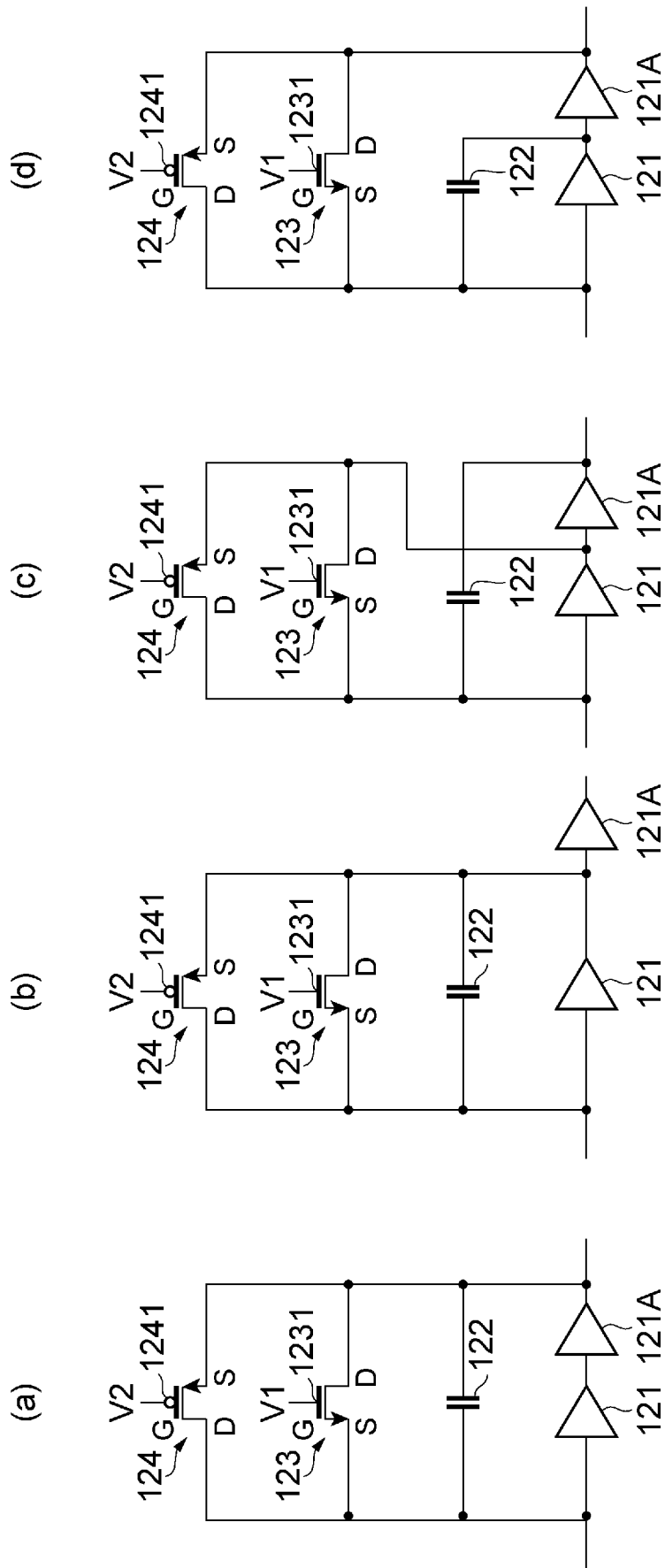
[図1]



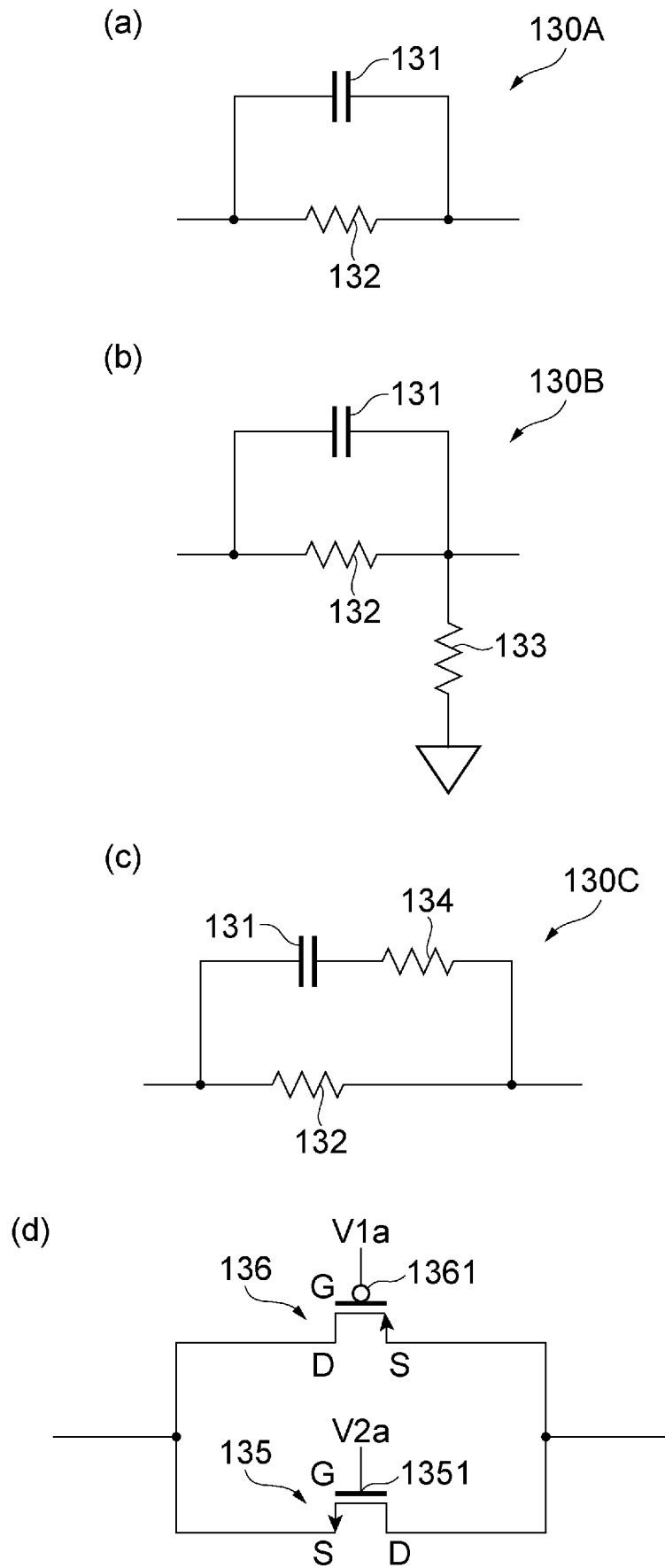
[図2]



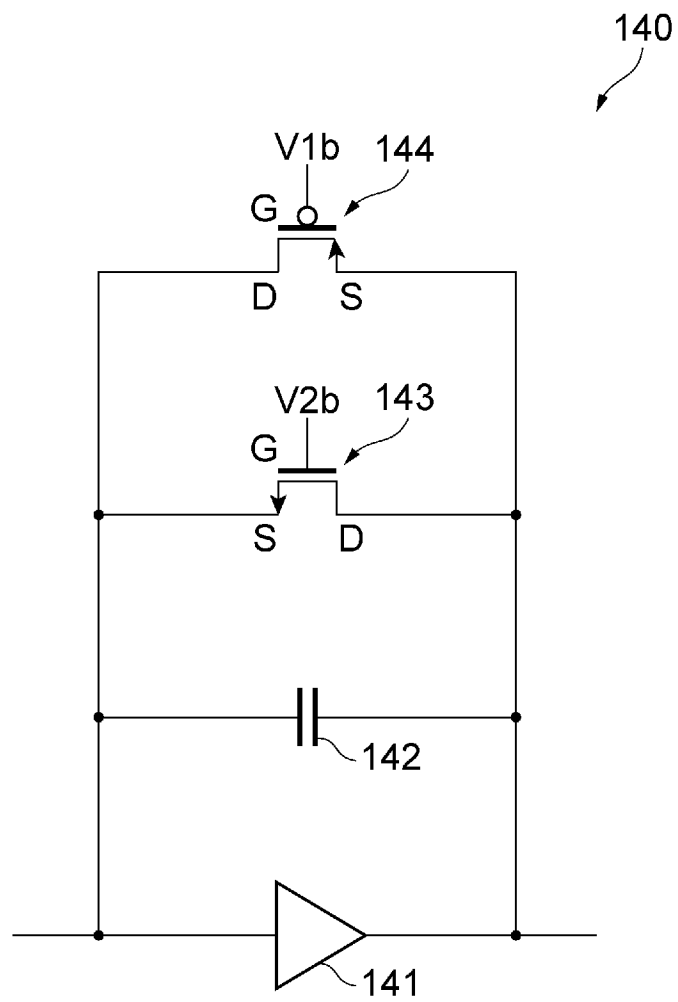
[図3]



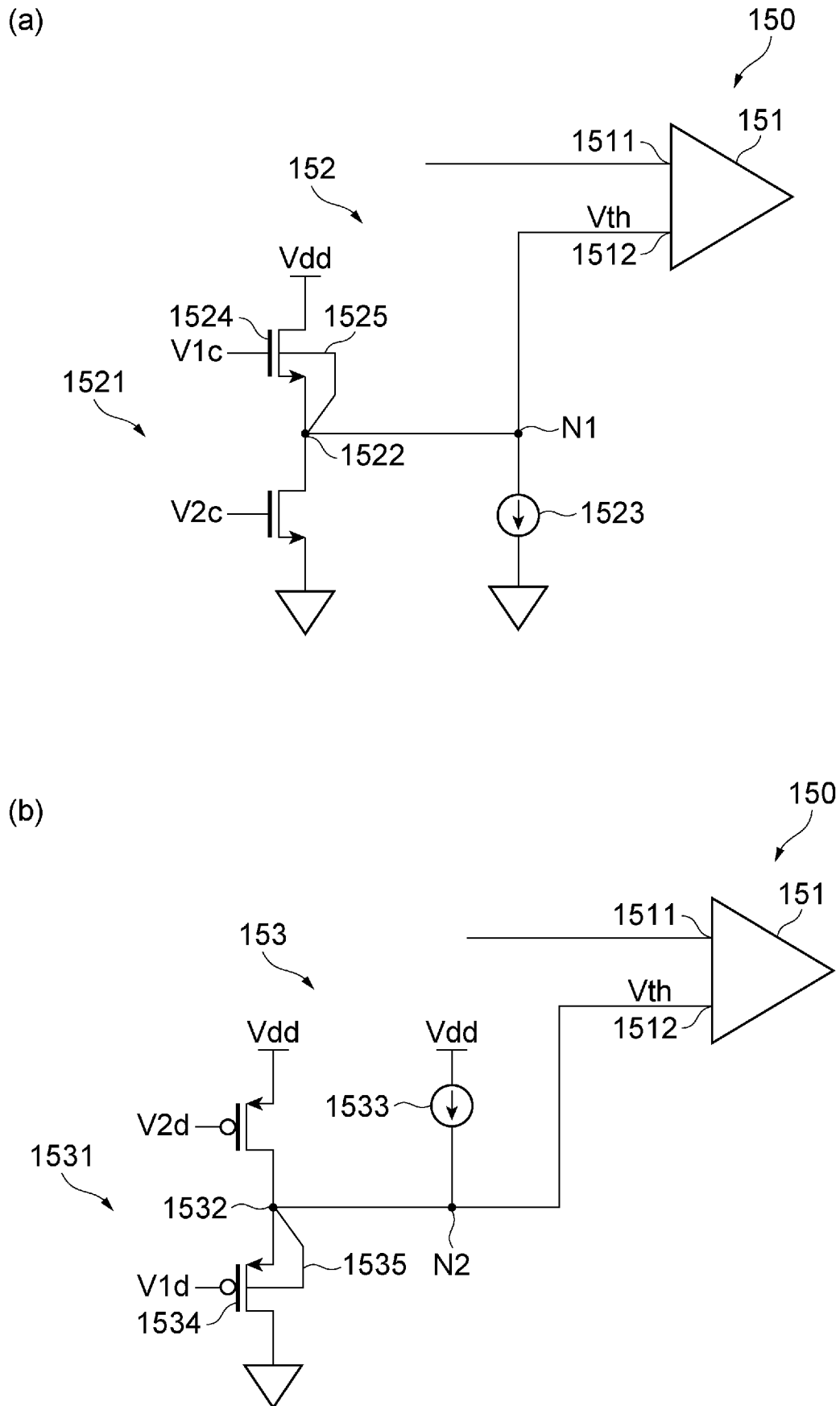
[図4]



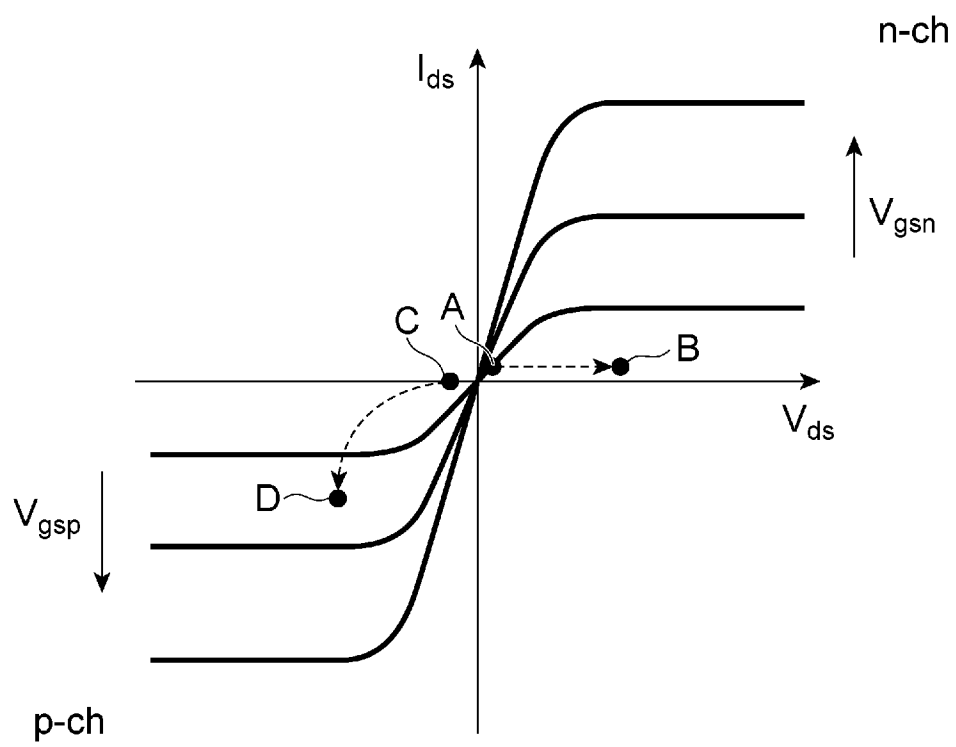
[図5]



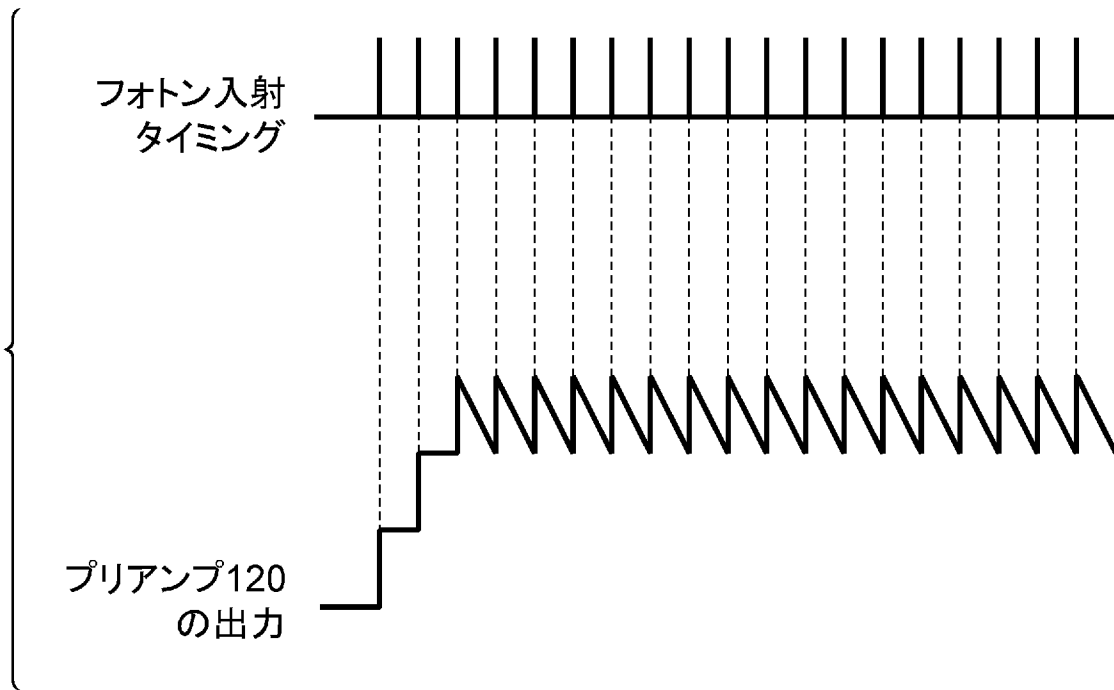
[図6]



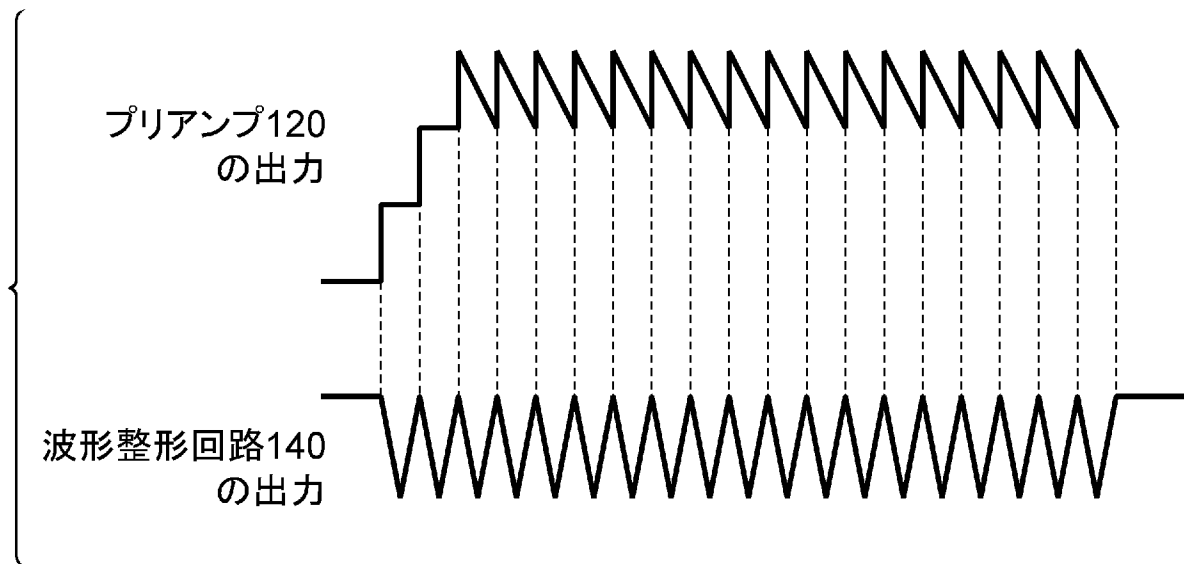
[図7]



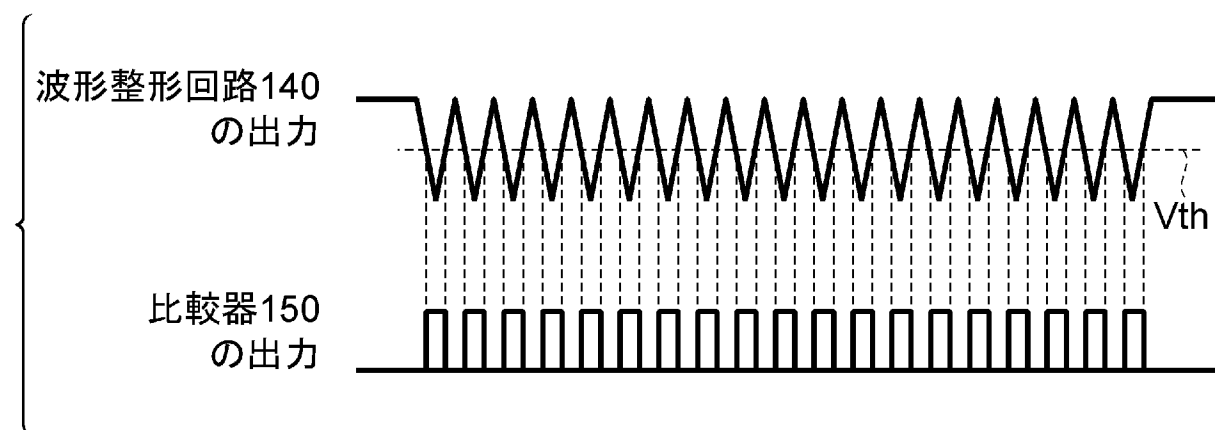
[図8]



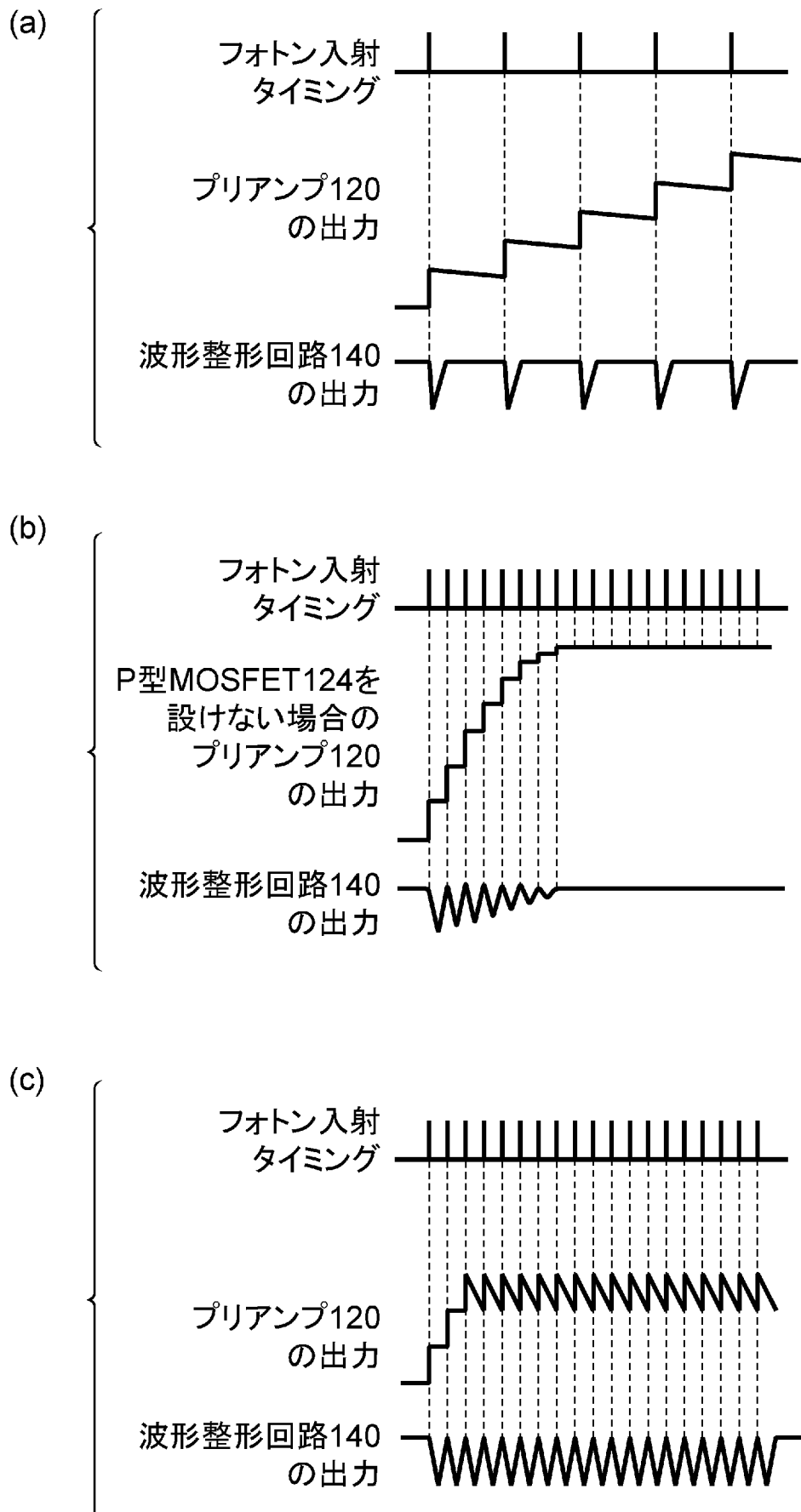
[図9]



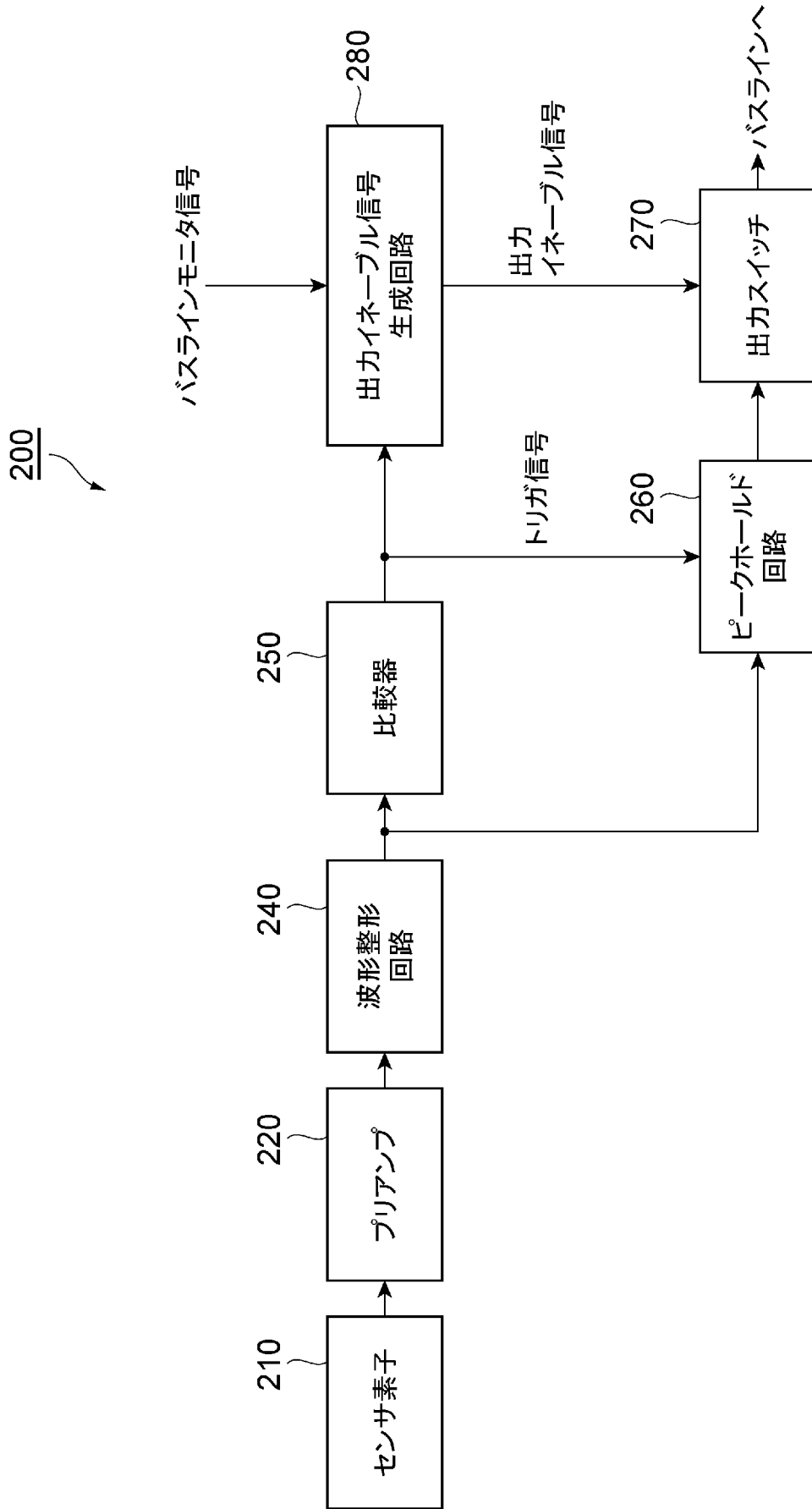
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/041261

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H04N5/32 (2006.01) i, G01T1/17 (2006.01) i, H01L31/08 (2006.01) i, H04N5/378 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H04N5/32, G01T1/17, H01L31/08, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2017
 Registered utility model specifications of Japan 1996-2017
 Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-19725 A (TOSHIBA CORP.) 04 February 2016 & US 2016/0070005 A1	1-9
A	JP 2016-534374 A (NAVISION TECHNOLOGY (BEIJING) CO., LTD.) 04 November 2016, & US 2016/0266054 A1	1-9
A	JP 2007-535728 A (NEWLIGHT, INC.) 06 December 2007, & WO 2005/081810 A2	1-9

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- “A” document defining the general state of the art which is not considered to be of particular relevance
- “E” earlier application or patent but published on or after the international filing date
- “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- “O” document referring to an oral disclosure, use, exhibition or other means
- “P” document published prior to the international filing date but later than the priority date claimed

- “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- “&” document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

Name and mailing address of the ISA/
 Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

 Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2017/041261

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-129070 A (SHIMADZU CORP.) 21 May 1996 (Family: none)	1-9
A	JP 3-26980 A (SHIMADZU CORP.) 05 February 1991 (Family: none)	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/32(2006.01)i, G01T1/17(2006.01)i, H01L31/08(2006.01)i, H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/32, G01T1/17, H01L31/08, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-19725 A (株式会社東芝) 2016.02.04, & US 2016/0070005 A1	1-9
A	JP 2016-534374 A (ナノヴィジョン・テクノロジー・(ベイジン)・カンパニー・リミテッド) 2016.11.04, & US 2016/0266054 A1	1-9
A	JP 2007-535728 A (ニューライト・コーポレーション) 2007.12.06, & WO 2005/081810 A2	1-9

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 13.12.2017	国際調査報告の発送日 26.12.2017
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 松永 隆志 電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 8-129070 A (株式会社島津製作所) 1996. 05. 21, (ファミリーなし)	1-9
A	JP 3-26980 A (株式会社島津製作所) 1991. 02. 05, (ファミリーなし)	1-9