



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 196 02 517 B4 2005.03.24**

(12)

Patentschrift

(21) Aktenzeichen: **196 02 517.6**
 (22) Anmeldetag: **25.01.1996**
 (43) Offenlegungstag: **01.08.1996**
 (45) Veröffentlichungstag
 der Patenterteilung: **24.03.2005**

(51) Int Cl.7: **H03K 5/135**
G01R 31/3177

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:
95-1573 27.01.1995 KR

(71) Patentinhaber:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

(74) Vertreter:
Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart

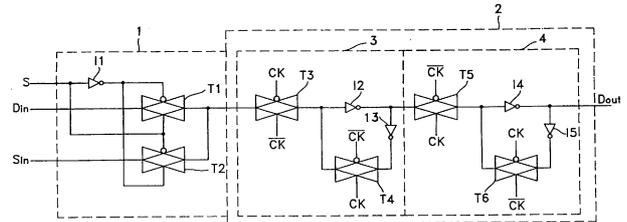
(72) Erfinder:
Moon, Kab-ju, Suwon, KR; Cho, Seong-rae, Suwon, KR; Kwon, Hyuk-sang, Seoul/Soul, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
DE 31 00 429 A1
DE 38 84 936 T2

(54) Bezeichnung: **Flip-Flop-Steuerung**

(57) Hauptanspruch: Flip-Flop-Steuerung, gekennzeichnet durch

- eine Taktsteuerung zur Erzeugung eines zweiten Taktsignals mittels Freigeben oder Sperren eines ersten Taktsignals in Abhängigkeit eines Taktfreigabesignals und
- eine Mehrzahl von Flip-Flops zur selektiven Zwischenspeicherung eines Funktionsmodussignals oder eines Ab-rastertestmodussignals in Abhängigkeit eines Modusaus-wahlsignals und synchron mit dem zweiten Taktsignal.



Beschreibung

[0001] Die Erfindung bezieht sich auf eine Flip-Flop-Steuerung, insbesondere zur Verwendung beim Testen logischer Schaltkreise.

[0002] Das Testen logischer Schaltkreise beinhaltet typischerweise einen Funktionstest und einen Fehlerstest. Beim Testen integrierter Schaltkreise mit relativ geringem Integrationsgrad kann allein mit dem Funktionstest eine adäquate Fehlererfassung erzielt werden. Für hochintegrierte Schaltkreise können Fabrikationsfehler jedoch allein mit den Testvektoren für den Funktionstest nicht ausreichend genau detektiert werden.

[0003] Da die Produktionskosten integrierter Schaltkreise direkt proportional zur Testdauer anwachsen, sollte die gewünschte Fehlererfassung unter Verwendung von möglichst wenig Testvektoren erreicht werden. Es wurden daher in jüngerer Zeit sowohl vollständig abrasternde als auch partiell abrasternde Verfahren verwendet. Bei dem vollständig abrasternden Verfahren, bei dem jedes Bauelement eines integrierten Schaltkreises vollständig getestet wird, kann eine gute Fehlererfassung bereitgestellt werden. Da jedoch zu jedem Speicherelement ein Schaltkreis hinzuzufügen ist, sollte die Chipfläche vergrößert werden. Andererseits wird bei dem partiell abrasternden Verfahren, bei dem einige Bauelemente nicht getestet werden, ein Schaltkreis einem Teil der Speicherelemente hinzugefügt, so daß die Chipfläche im Vergleich zu dem vollständig abrasternden Verfahren verringert werden kann, es läßt sich jedoch keine gute Fehlererfassung erzielen. Dabei sind die Speicherelemente für die vollständige bzw. partielle Abrasterung im allgemeinen so ausgelegt, daß sie zwei Pfade aufweisen, nämlich einen funktionellen Datenpfad und einen Abrasterungsdatenpfad.

[0004] Fig. 1 zeigt ein Schaltbild zur Veranschaulichung eines Flip-Flops, das eine herkömmliche Abrasterungstestfunktion besitzt. Dabei bezeichnen das Bezugszeichen 1 einen Eingangsselektor, das Bezugszeichen 2 ein Flip-Flop, S ein Steuersignal, D_{in} ein Dateneingangssignal, S_{in} ein Eingangssignal für einen abrasternden Testvorgang, D_{out} ein Datenausgangssignal sowie CK und \bar{CK} ein Taktsignal bzw. ein invertiertes Taktsignal.

[0005] Der Eingangsselektor (1) beinhaltet Transmissionsgatter T1 und T2 sowie einen Inverter I1 und selektiert in Abhängigkeit vom Steuersignal (S) eines der Eingangssignale D_{in} und S_{in} .

[0006] Das Flip-Flop (2) ist ein übliches, statisches Zweiphasen-Flip-Flop mit zwei Stufen und besteht aus einem Hauptzwischenpeicher (3) und einem Hilfszwischenpeicher (4). Der Hauptzwischenpeicher (3) enthält zwei Transmissionsgatter T3 und T4

sowie zwei Inverter I1 und I3, und der Hilfszwischenpeicher (4) weist zwei Transmissionsgatter T5 und T6 sowie zwei Inverter I4 und I5 auf.

[0007] Das solchermaßen aufgebaute Flip-Flop funktioniert folgendermaßen. Wenn das Steuersignal (S) auf hohem Pegel liegt, wählt der Eingangsselektor (1) das D_{in} -Eingangssignal aus. Umgekehrt wählt der Eingangsselektor (1) das S_{in} -Eingangssignal aus, wenn das Steuersignal (S) auf niedrigem Pegel liegt. Das Flip-Flop (2) gibt die vom Eingangsselektor (1) ausgewählten Daten am Ausgang D_{out} in Synchronisation mit dem Taktsignal (CK) ab.

[0008] Fig. 2 zeigt ein Blockdiagramm zur Veranschaulichung eines herkömmlichen, vollständig abrasternden Verfahrens. Hierbei sind eine Mehrzahl der Flip-Flops, wie sie in Fig. 1 gezeigt sind, seriell hintereinander geschaltet. Die Flip-Flops (F_1 bis F_n) besitzen die Abrasterungstestfunktion und empfangen das Taktsignal (CK) und das Steuersignal (S). Das Ausgangssignal (D_{out}) des jeweiligen Flip-Flops der vorhergehenden Stufe wird dem Eingang (S_{in}) desjenigen der nächsten Stufe zugeführt.

[0009] Da die meisten der Eingangssignale (D_{in} und S_{in}) des Flip-Flops lediglich über einen nicht gezeigten Puffer verbunden sind, ist das Taktsignal (CK) sowohl im Funktionsmodus als auch im Abrastermodus stets freigegeben. Es ist außerdem schwierig, das jedem Flip-Flop zugeführte Taktsignal bezüglich des Funktions- oder des Abrastermodus unabhängig zu steuern.

Stand der Technik

[0010] In der Offenlegungsschrift DE 31 00 429 A1 ist eine Schaltungsanordnung mit einem gesteuerten Signalgenerator zur Erzeugung eines zweiten Signals mit einer zweiten Frequenz in genauer zeitlicher Beziehung zu einem ersten Signal mit einer ersten Frequenz, einem Schaltimpulsgenerator zur Erzeugung eines Schaltimpulses und einer durch letzteren wirksam geschaltete Schaltung zum Vergleich des ersten Signals mit dem zweiten Signal sowie zur Steuerung des gesteuerten Signalgenerators als Funktion des Vergleichs zwecks Aufrechterhalten des zweiten Signals in genauer zeitlicher Beziehung zum ersten Signal beschrieben. Das zweite Signal wird vom gesteuerten Signalgenerator ständig erzeugt und abgegeben, und der vom Schaltimpulsgenerator erzeugte Schaltimpuls dient zur Freigabe oder Sperrung eines Phasendetektors, der den gesteuerten Signalgenerator so ansteuert, dass er das zweite Signal mit der gewünschten zweiten Frequenz erzeugt. Das erste Signal wird von einem Referenzimpulsgenerator einer Eingangsseite der Vergleichsschaltung mit zwei parallelen Flip-Flops zugeführt.

[0011] In der DE 38 84 936 T2 ist ein Taktzerhacker

beschrieben, der einen Empfänger, einen Verzögerungsgenerator, einen Pegelkonverter und ein ODER-Gatter umfasst. Mit diesen Komponenten erzeugt der Taktzerhacker aus einem zugeführten Taktsignal in Abhängigkeit von einem zugeführten Freigabesignal ein entsprechend zerhacktes Taktsignal. Dabei erzeugt der Empfänger aus dem zugeführten Taktsignal in Abhängigkeit vom zugeführten Freigabesignal zwei in komplementärer Beziehung zueinander stehende Ausgangssignale.

Aufgabenstellung

[0012] Der Erfindung liegt als technisches Problem die Bereitstellung einer Flip-Flop-Steuerung zugrunde, die in einfacher Weise einen Testvektor erzeugt, die Fehlererfassung mit weniger Testvektoren erhöht und den Stromverbrauch durch Deaktivieren unnötiger Teile des Taktsignals verringert.

[0013] Dieses Problem wird durch eine Flip-Flop-Steuereinheit mit den Merkmalen des Anspruchs 1 gelöst.

[0014] Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0015] Bevorzugte Ausführungsformen der Erfindung sowie die zu deren besserem Verständnis oben beschriebenen, den Erfindern intern als herkömmlich bekannten Ausführungsbeispiele sind in den Zeichnungen dargestellt, in denen zeigen:

Ausführungsbeispiel

[0016] Fig. 1 ein Schaltbild zur Veranschaulichung eines Flip-Flops, das eine herkömmliche Abrasterfunktion besitzt,

[0017] Fig. 2 ein Blockschaltbild zur Veranschaulichung eines herkömmlichen, vollständig abrasternen Verfahrens,

[0018] Fig. 3 ein Blockschaltbild zur Veranschaulichung der Struktur einer erfindungsgemäßen Flip-Flop-Steuerung,

[0019] Fig. 4 Betriebssignalformen zur Veranschaulichung des Betriebs der in Fig. 3 dargestellten Flip-Flop-Steuerung,

[0020] Fig. 5 ein Blockschaltbild zur Veranschaulichung einer Flip-Flop-Steuerung gemäß einer bevorzugten Ausführungsform der Erfindung,

[0021] Fig. 6 ein detailliertes Schaltbild zur Veranschaulichung von in Fig. 5 dargestellten Flip-Flop-Steuerungsmitteln,

[0022] Fig. 7 ein detailliertes Schaltbild zur Veranschaulichung eines einer Mehrzahl von in Fig. 5 gezeigten Flip-Flops,

Fig. 8 ein Blockschaltbild zur Veranschaulichung einer Flip-Flop-Steuerung mit einer synchronen Rücksetzfunktion gemäß einer weiteren bevorzugten Ausführungsform der Erfindung,

[0023] Fig. 9 Betriebssignalformen zur Veranschaulichung des Betriebs der in Fig. 8 gezeigten Flip-Flop-Steuerung und

[0024] Fig. 10 Betriebssignalformen für den Fall, daß in einem Eingangssignal von Fig. 5 ein Störimpuls auftritt.

[0025] Fig. 11 Die in Fig. 3 gezeigte Flip-Flop-Steuerung beinhaltet eine Flip-Flop-Steuereinheit (10) und eine Mehrzahl von Flip-Flops ($F_{31}, F_{32}, F_{33}, \dots, F_n$). In den Fig. 3 und 4 bezeichnen CLK ein Systemtaktsignal, S ein Modusauswahlsignal, EN ein Taktfreigabesignal zur Feststellung, ob das Systemtaktsignal freigegeben ist, und IN ein Dateneingangssignal.

[0026] Zuerst gibt die Flip-Flop-Steuereinheit (10) nach Zwischenspeicherung des Modusauswahlsignals (S) ab. Wenn sich das Taktfreigabesignal (EN) auf hohem Pegel befindet, gibt die Flip-Flop-Steuereinheit (10) den Systemtakt (CLK) frei und gibt ihn als ein Taktsignal (C_{EN}) ab. Daher wird das Dateneingangssignal (IN) freigegeben, wenn das Taktfreigabesignal (EN) auf hohem Pegel liegt.

[0027] Die Flip-Flops ($F_{31}, F_{32}, F_{34}, \dots, F_n$) führen in Abhängigkeit vom Modusauswahlsignal (S) synchron mit dem Taktsignal (C_{EN}) den Funktionsmodus oder den Abrastermodus aus, wobei während des Funktionsmodus D_{in} und während des Abrastermodus S_{in} zugeführt wird.

[0028] Die Flip-Flop-Steuerung gemäß eines bevorzugten Ausführungsbeispiels der Erfindung, wie es in Fig. 5 dargestellt ist, besitzt eine Flip-Flop-Steuereinheit (50) und eine Mehrzahl von Flip-Flops ($F_{51}, F_{52}, F_{53}, \dots, F_n$). Dabei bezeichnen "sms" ein Abrastermodus-Setzsignal, "reset" ein synchrones Rücksetzsignal, "fmen" ein Taktfreigabesignal für den Funktionsmodus, CLK einen Systemtakt, "smen" ein Taktfreigabesignal für den Abrastermodus und "smreset" ein Rücksetzsignal für den Abrastermodus. Des weiteren bezeichnen (S) ein Modusauswahlsignal, CK ein von der Flip-Flop-Steuereinheit (50) abgegebenes Taktsignal und "rst" ein Rücksetzsignal.

[0029] Fig. 6 zeigt ein detailliertes Schaltbild der Flip-Flop-Steuereinheit 50 von Fig. 5. Die Flip-Flop-Steuereinheit (50) beinhaltet Inverter I61, I62, ..., I67, Logik-Gatter G1 und G2 sowie Transmissionsgatter T61, T62, ..., T66. Dabei führt das Gatter G1 eine NAND-Verknüpfung des durch den Inverter

I61 invertierten sms-Signals mit dem durch den Inverter I62 invertierten Rücksetzsignal durch. Der Inverter I63 invertiert das Ausgangssignal des NAND-Gatters G1 und gibt über einen Modusanschluß das invertierte Signal als das Modusauswahlsignal ab.

[0031] Die Transmissionsgatter T61, T62,..., T66 führen eine Signalübertragung in Abhängigkeit von zwei Transmissionssteuersignalen (positiver Eingang und negativer Eingang) durch. Wenn der positive Eingang auf hohem Pegel und der negative Eingang auf niedrigem Pegel (oder umgekehrt) liegen, wird die Signalübertragung durchgeführt. Das Transmissionsgatter T61 transmittiert das fmen-Signal unter Empfangen des sms-Signals an seinem negativen Eingang und des durch den Inverter I61 invertierten sms-Signal an seinem positiven Eingang. Dies bedeutet, daß das fmen-Signal übertragen wird, wenn das sms-Signal auf niedrigem Pegel liegt. Das Transmissionsgatter T62 transmittiert das smen-Signal unter Empfang des sms-Signals an seinem positiven Eingang und des durch den Inverter I61 invertierten sms-Signals an seinem negativen Eingang. Dies bedeutet, daß in Abhängigkeit von dem sms-Signal das fmen- oder das smen-Signal ausgewählt und dann einem Zwischenspeicher (60) zugeführt wird. Der Zwischenspeicher (60) besteht hierbei aus den zwei Transmissionsgattern T63 und T64 sowie den zwei Invertern I65 und I66 und ist mit dem Takt CLK synchronisiert, wie dies bei der in Fig. 1 gezeigten Schaltung der Fall ist. Das durch den Zwischenspeicher (60) gepufferte Signal und das Taktsignal CLK werden über das Gatter G2 UND-verknüpft, und das resultierende Signal wird dann als das Taktsignal CK den Flip-Flops (F_{51} , F_{52} , F_{53} , ..., F_n) bereitgestellt. Des weiteren transmittiert das Transmissionsgatter T65 das durch den Inverter I62 invertierte Rücksetzsignal unter Empfang des sms-Signals an seinem negativen Eingang und des durch den Inverter I61 invertierten sms-Signals an seinem positiven Eingang. Das Transmissionsgatter T66 transmittiert das smreset-Signal unter Empfang des sms-Signals an seinem positiven Eingang und des durch den Inverter I61 invertierten sms-Signals an seinem negativen Eingang. Hierbei invertiert der Inverter I67 das Ausgangssignal der Transmissionsgatter T65 und T66 und gibt das invertierte Signal als das Rücksetzsignal (rst) für die Flip-Flops (F_{51} , F_{52} , F_{53} , ..., F_n) ab. Hierbei sind das fmen-, das smen- und das smreset-Signal bei niedrigem Pegel und das sms- und das reset-Signal bei hohem Pegel aktiv.

[0032] Fig. 7 ist ein detailliertes Schaltbild eines der Mehrzahl der in Fig. 5 gezeigten Flip-Flops (F_{51} , F_{52} , F_{53} , ..., F_n). Der Schaltkreis beinhaltet Inverter I71, I72, I73, I74, I75 und I76, ein NOR-Gatter G3 und Transmissionsgatter T71, T72, T73, T74, T75 und T76. Die Struktur ist dieselbe wie diejenige von Fig. 1 mit der Ausnahme, daß das Gatter G3 eine NOR-Verknüpfung des S_{in} -Signals mit dem rst-Signal vornimmt.

[0033] Bezugnehmend auf die Fig. 5 bis 7 läßt sich die gesamte Betriebsweise wie folgt beschreiben. Zunächst liegt beim Betrieb im Funktionsmodus, wenn das sms- und das reset-Signal auf niedrigem Pegel liegen, das Modusauswahlsignal (S) auf hohem Pegel. Das fmen-Signal ist dabei für den Betrieb im Funktionsmodus irrelevant. Wenn das fmen-Signal auf hohem Pegel liegt, ist das CK-Signal gesperrt. Die Flip-Flops (F_{51} , F_{52} , F_{53} , ..., F_n) können daher das D_{in} -Signal nicht zwischenspeichern. Wenn andererseits das fmen-Signal auf niedrigem Pegel liegt, entsteht aus dem durch Puffern des CLK-Signals gebildeten Signal das CK-Signal. Das D_{in} -Signal wird dann in der Mehrzahl von Flip-Flops (F_{51} , F_{52} , F_{53} , ..., F_n) zwischengespeichert. Wenn das reset-Signal auf hohem Pegel und das fmen-Signal auf niedrigem Pegel zugeführt werden, liegt das rst-Signal auf hohem Pegel. Wenn das rst-Signal auf hohem Pegel liegt, wird das S_{in} -Signal gesperrt.

[0034] Des weiteren wird beim Betrieb im Abrastermodus der Abrastermodus durchgeführt, wenn das sms- und das smreset-Signal beide auf hohem und das reset- sowie das smen-Signal beide auf niedrigem Pegel liegen. Wenn das sms-Signal auf hohem Pegel liegt, befindet sich das Modusauswahlsignal (S) auf niedrigem Pegel, und das Transmissionsgatter T62 läßt das smen-Signal durch. Das vom Inverter I65 invertierte smen-Signal und das CLK-Signal werden dann vom UND-Gatter G2 einer UND-Verknüpfung unterzogen, wonach das resultierende Signal als das CK-Signal abgegeben wird. Wenn das sms-Signal auf hohem Pegel liegt, befindet sich das Modusauswahlsignal (S) auf niedrigem Pegel. Demgemäß wird der Abrastermodus durchgeführt, und das S_{in} -Signal ist freigegeben. Wenn nun das smreset-Signal auf niedrigem Pegel liegt, gelangt das rst-Signal über das Transmissionsgatter T66 auf hohem Pegel. Daher liegt das Ausgangssignal des Gatters G3 unabhängig vom S_{in} -Signal auf niedrigem Pegel. Als Ergebnis hiervon wird der Abrastermodusbetrieb zurückgesetzt.

[0035] Fig. 8 zeigt als Blockdiagramm die Flip-Flop-Steuerung gemäß einer weiteren, bevorzugten Ausführungsform der Erfindung, wobei diese Steuerung eine synchrone Rücksetzfunktion besitzt. Das synchrone Rücksetzsignal wird dem reset-Anschluß der Flip-Flop-Steuereinheit (50) von Fig. 5 zugeführt. Außerdem wird das invertierte synchrone Rücksetzsignal dem fmen-Signalanschluß zugeführt.

[0036] Fig. 9 zeigt Betriebssignalformen zur Veranschaulichung des Betriebs der in Fig. 8 gezeigten Flip-Flop-Steuerung.

[0037] Fig. 10 zeigt Betriebssignalformen, wenn in dem fmen-Signal ein Störimpuls auftritt. Ersichtlich kann durch den Zwischenspeicher, der von den Transmissionsgattern T63 und T64, den Invertern

I64 und I65 sowie dem Logikgatter G2 gebildet wird, ein fehlerhafter Betrieb auch dann verhindert werden, wenn das fmen-Signal den Störimpuls enthält.

[0038] Wie oben beschrieben, wird erfindungsgemäß ein Schaltkreis zur Steuerung eines Taktsignals und eines mit einem Testvorgang in Beziehung stehenden Steuersignals der Eingangsseite eines Flip-Flops hinzugefügt, um auf diese Weise die Fehlererfassung mit relativ wenigen, leicht erzeugbaren Testvektoren zu verbessern. Außerdem kann der Stromverbrauch durch Sperren des nicht benötigten Teils des dem Flip-Flop zugeführten Taktsignals verringert werden.

Patentansprüche

1. Flip-Flop-Steuerung, gekennzeichnet durch

- eine Taktsteuerung zur Erzeugung eines zweiten Taktsignals mittels Freigeben oder Sperren eines ersten Taktsignals in Abhängigkeit eines Taktfreigabesignals und
- eine Mehrzahl von Flip-Flops zur selektiven Zwischenspeicherung eines Funktionsmodussignals oder eines Abrastertestmodussignals in Abhängigkeit eines Modusauswahlsignals und synchron mit dem zweiten Taktsignal.

2. Flip-Flop-Steuerung nach Anspruch 1, dadurch gekennzeichnet, daß die Taktsteuerung folgende Elemente enthält:

- einen ersten Inverter zum Invertieren eines Abrastertestmodus-Setzsignals,
- einen zweiten Inverter zum Invertieren eines Rücksetzsignals,
- ein erstes Logik-Gatter zur NAND-Verknüpfung der Ausgangssignale des ersten und des zweiten Inverters,
- einen dritten Inverter, der das Modusauswahlsignal durch Invertieren des Ausgangssignals des ersten Logik-Gatters abgibt,
- ein erstes Transmissionsgatter zum Transmittieren eines Funktionsmodus-Taktfreigabesignals, wenn sich das Abrastertestmodus-Setzsignal in einem ersten logischen Zustand befindet,
- ein zweites Transmissionsgatter zum Transmittieren eines Abrastermodus-Taktfreigabesignals, wenn sich das Abrastertestmodus-Setzsignal in einem zweiten logischen Zustand befindet,
- ein drittes Transmissionsgatter zum Transmittieren der Ausgangssignale des ersten und des zweiten Transmissionsgatters, wenn sich das erste Taktsignal in einem dritten Logikzustand befindet,
- einen vierten Inverter zum Invertieren des Ausgangssignals des dritten Transmissionsgatters,
- einen fünften Inverter zum Invertieren des Ausgangssignals des vierten Inverters,
- ein viertes Transmissionsgatter zum Transmittieren des Ausgangssignals des fünften Inverters an den vierten Inverter, wenn sich das Taktsignal in einem

vierten Logikzustand befindet,

- ein zweites Logik-Gatter, welches das zweite Taktsignal abgibt, indem es das Ausgangssignal des vierten Inverters und das erste Taktsignal UND-verknüpft,
- ein fünftes Transmissionsgatter zum Transmittieren des Ausgangssignals des zweiten Inverters, wenn sich das Abrastertestmodus-Setzsignal in einem fünften Logikzustand befindet,
- ein sechstes Transmissionsgatter zum Transmittieren eines Abrastertestmodus-Rücksetzsignals, wenn sich das Abrastertestmodus-Setzsignal in einem sechsten Logikzustand befindet, und
- einen sechsten Inverter zum Invertieren der Ausgangssignale des fünften und des sechsten Transmissionsgatters.

3. Flip-Flop-Steuerung nach Anspruch 2, weiter dadurch gekennzeichnet, daß die Flip-Flops folgende Elemente beinhalten:

- einen siebten Inverter zum Invertieren des Modusauswahlsignals,
- ein siebtes Transmissionsgatter zum Transmittieren des Funktionsmodussignals, wenn sich das Ausgangssignal des siebten Inverters in einem siebten Logikzustand befindet,
- ein drittes Logik-Gatter zur NOR-Verknüpfung des Abrastertestmodussignals und des Abrastertestmodus-Rücksetzsignals,
- ein achttes Transmissionsgatter zum Transmittieren des Ausgangssignals des dritten Logik-Gatters, wenn sich das Modusauswahlsignal in einem achten Logikzustand befindet,
- ein neuntes Transmissionsgatter zum Transmittieren der Ausgangssignale des siebten und des achten Transmissionsgatters, wenn sich das zweite Taktsignal in einem neunten Logikzustand befindet,
- einen achten Inverter zum Invertieren des Ausgangssignals des neunten Transmissionsgatters,
- einen neunten Inverter zum Invertieren des Ausgangssignals des achten Inverters,
- ein zehntes Transmissionsgatter zum Transmittieren des Ausgangssignals des neunten Inverters, wenn sich das zweite Taktsignal in einem zehnten Logikzustand befindet,
- ein elftes Transmissionsgatter zum Transmittieren des Ausgangssignals des achten Inverters, wenn sich das zweite Taktsignal in dem neunten Logikzustand befindet,
- einen zehnten Inverter zum Invertieren des Ausgangssignals des elften Transmissionsgatters,
- einen elften Inverter zum Invertieren des Ausgangssignals des zehnten Inverters, wenn sich das zweite Taktsignal in dem zehnten Logikzustand befindet, und
- ein zwölftes Transmissionsgatter zum Transmittieren des Ausgangssignals des elften Inverters an den zehnten Inverter, wenn sich das zweite Taktsignal in dem neunten Logikzustand befindet.

Es folgen 6 Blatt Zeichnungen

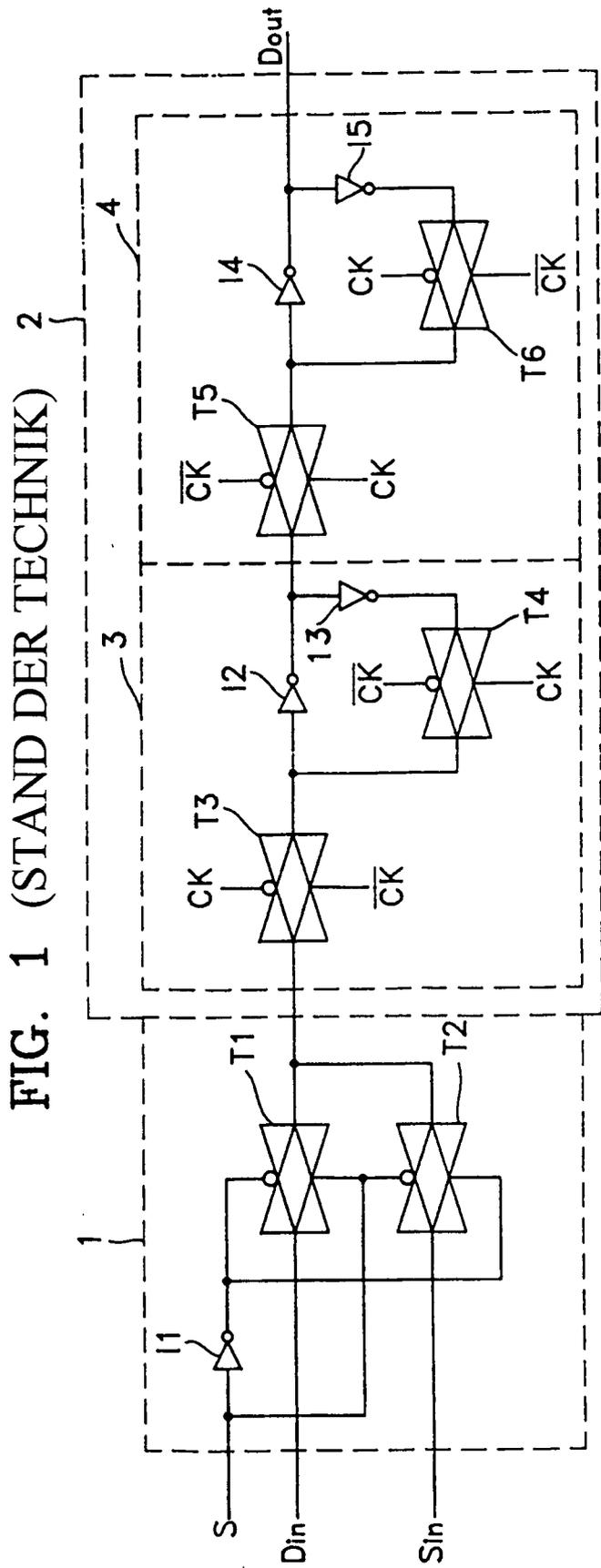


FIG. 2 (STAND DER TECHNIK)

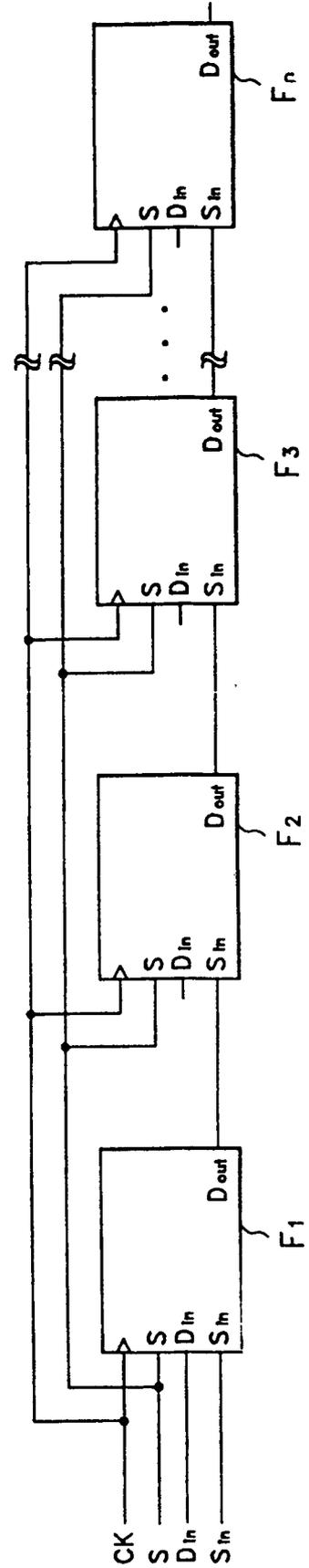


FIG. 3

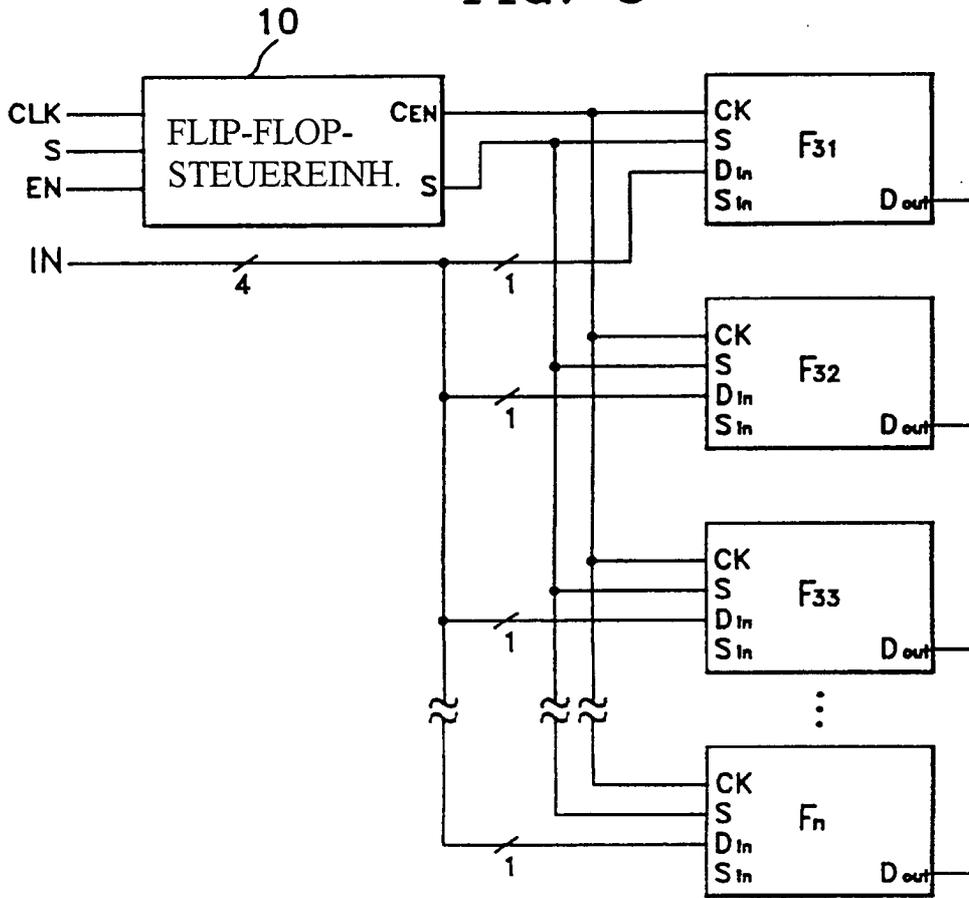


FIG. 4

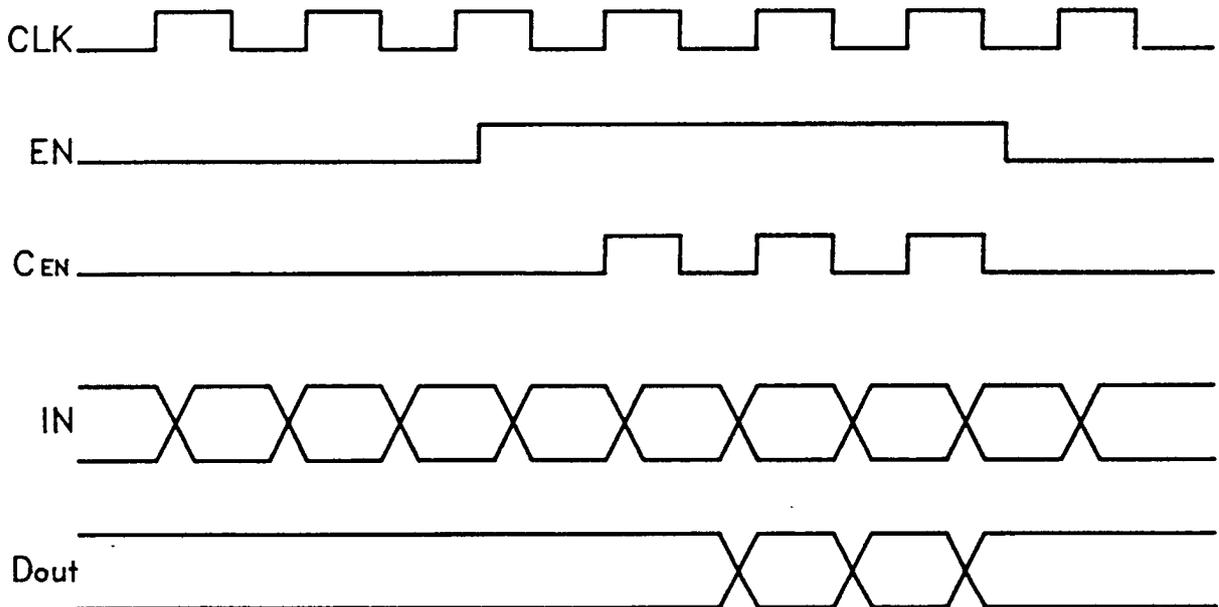


FIG. 5

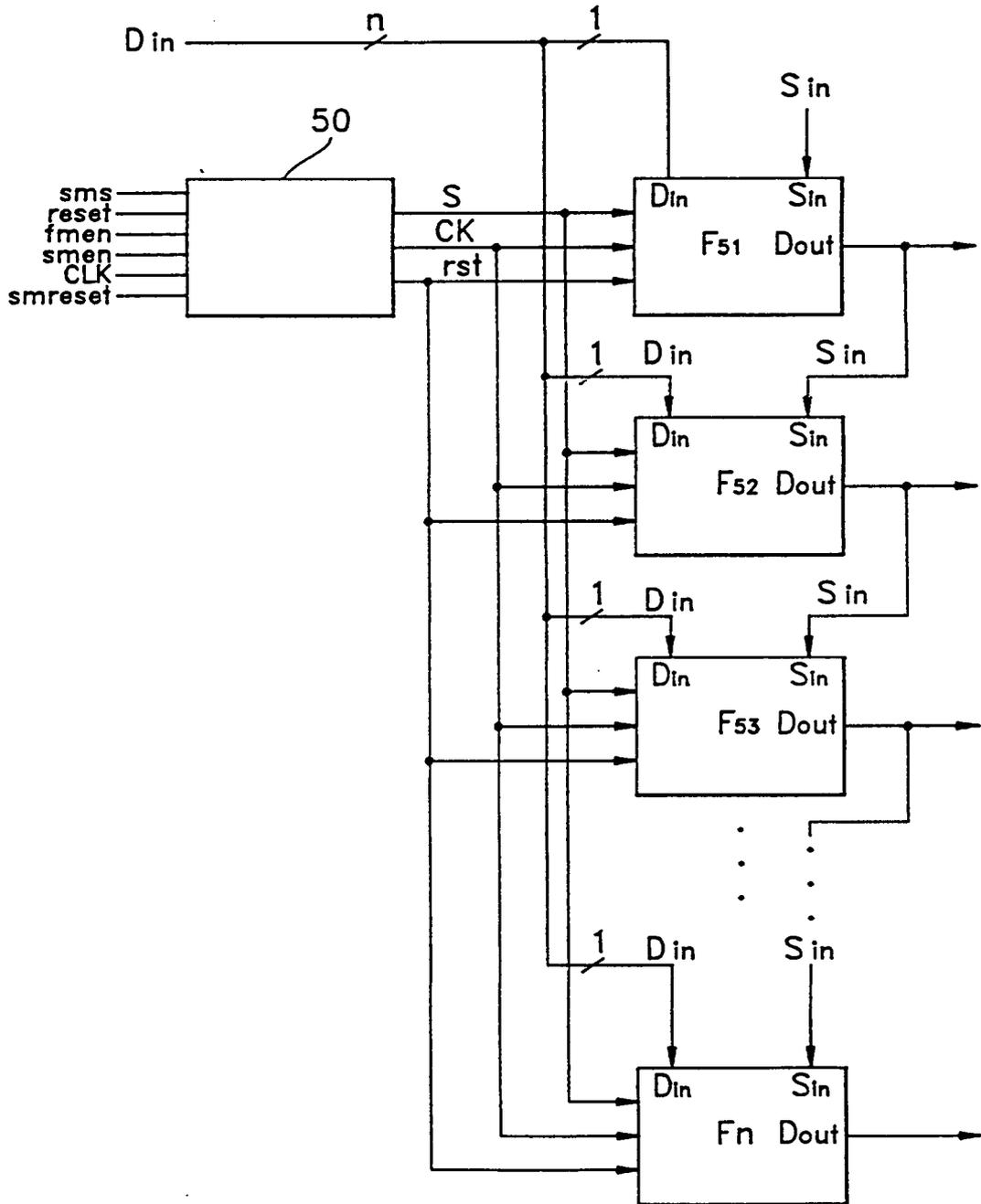


FIG. 6

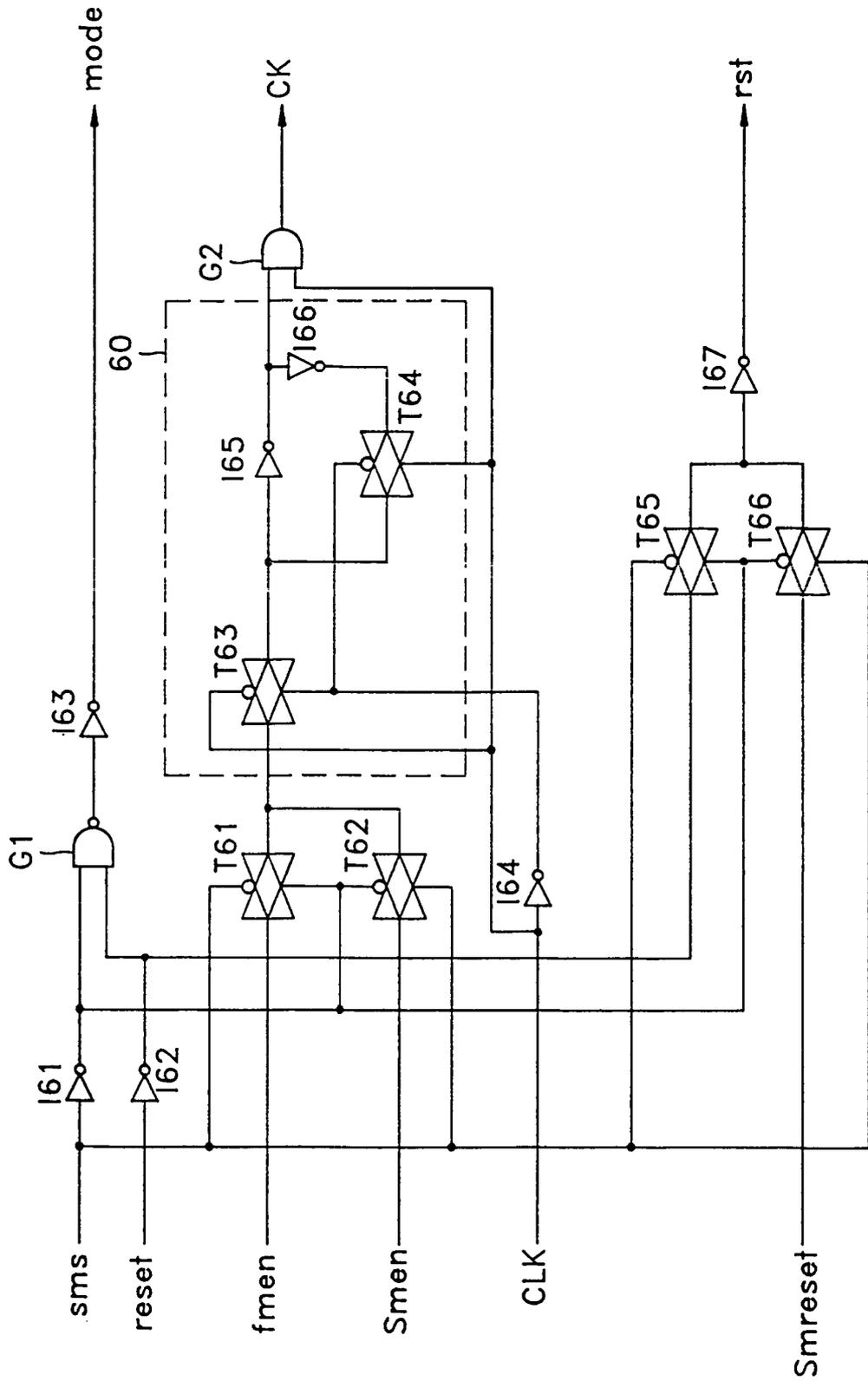


FIG. 7

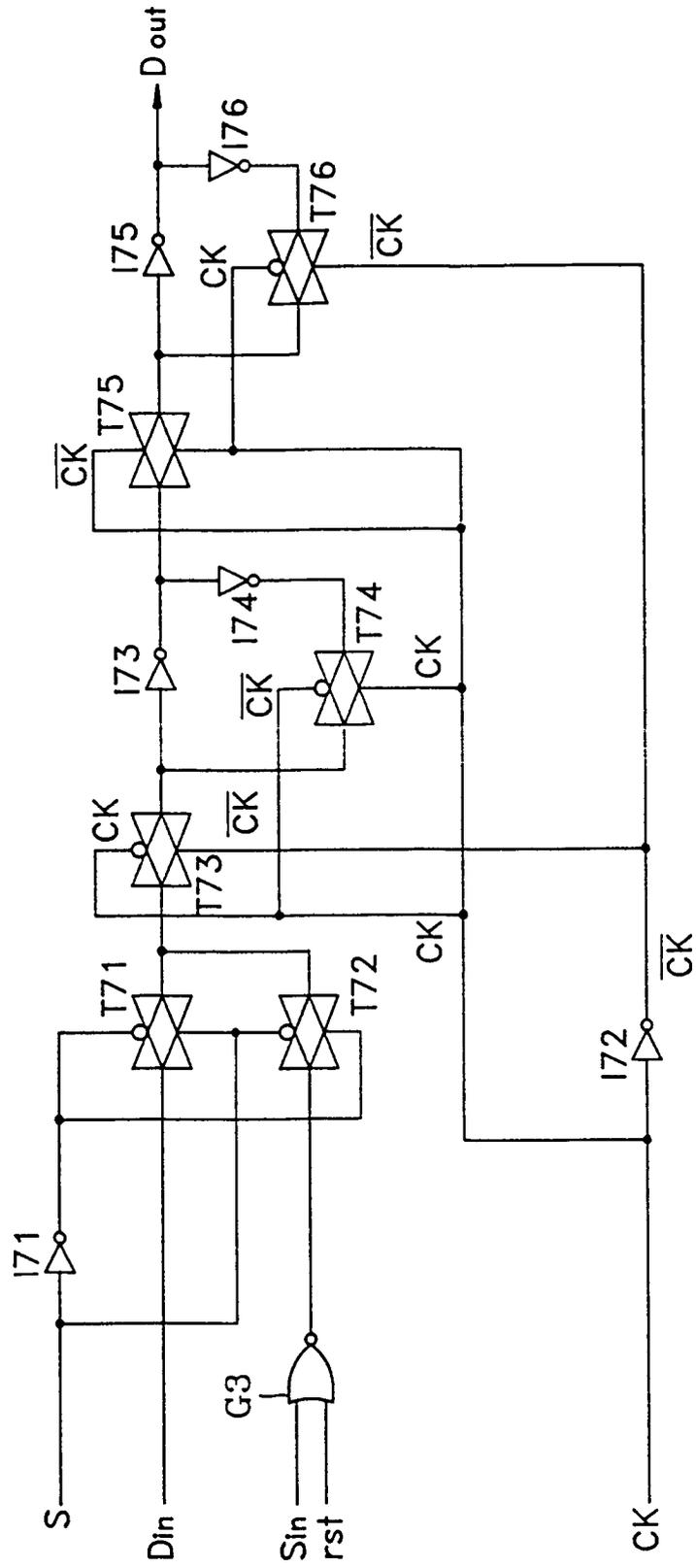


FIG. 8

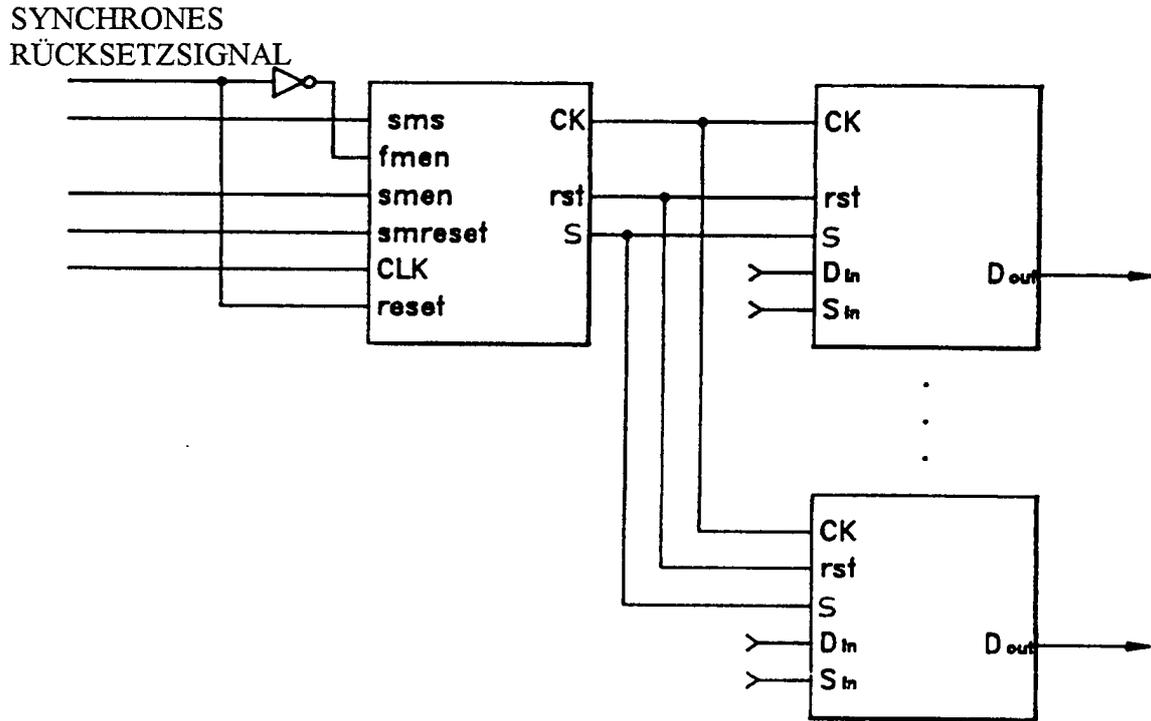


FIG. 9

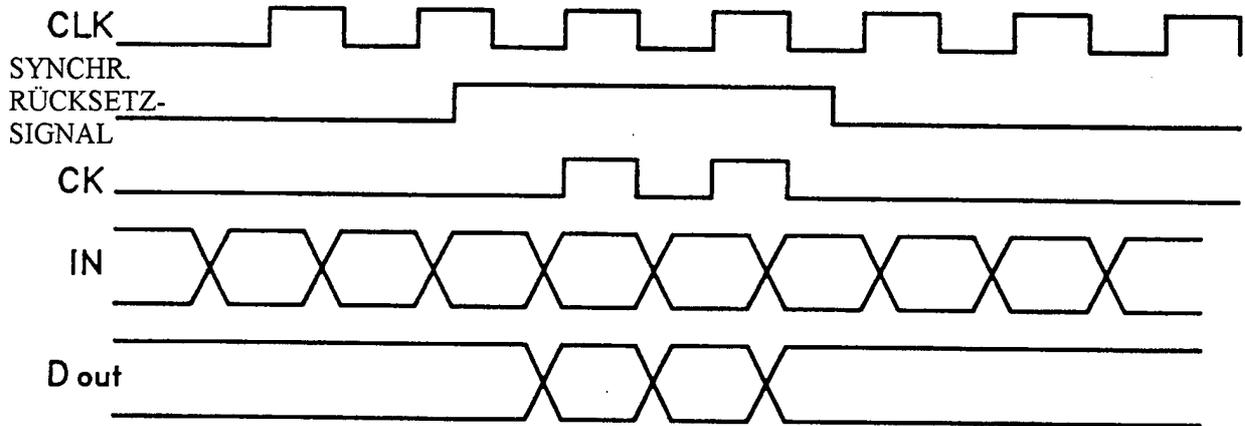


FIG. 10

