

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4751766号  
(P4751766)

(45) 発行日 平成23年8月17日(2011.8.17)

(24) 登録日 平成23年5月27日(2011.5.27)

(51) Int. Cl.		F I	
<b>GO 1 R</b>	<b>31/28</b>	<b>(2006.01)</b>	GO 1 R 31/28 V
<b>HO 1 L</b>	<b>27/04</b>	<b>(2006.01)</b>	HO 1 L 27/04 T
<b>HO 1 L</b>	<b>21/822</b>	<b>(2006.01)</b>	HO 1 L 27/04 F

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2006-139056 (P2006-139056)	(73) 特許権者	308014341
(22) 出願日	平成18年5月18日(2006.5.18)		富士通セミコンダクター株式会社
(65) 公開番号	特開2007-309782 (P2007-309782A)		神奈川県横浜市港北区新横浜二丁目10番 23
(43) 公開日	平成19年11月29日(2007.11.29)	(74) 代理人	100070150
審査請求日	平成21年2月27日(2009.2.27)		弁理士 伊東 忠彦
		(72) 発明者	竹内 淳
			神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		審査官	関根 洋之

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

パッドと、

内部電源線と、

該内部電源線と該パッドとをソース・ドレイン間のチャンネルで電氣的に接続可能に結合するMOSトランジスタを含むパッド・スイッチと、

該MOSトランジスタのゲート端子及びバックゲート端子の電位を制御する制御回路を含み、

該制御回路は該ゲート端子及びバックゲート端子の少なくとも一方を該パッドに電氣的に接続可能に構成され、

該制御回路は更に、前記パッドに内部使用電源電圧を超える電圧を印加する場合には該ゲート端子を該パッドに電氣的に接続し、前記MOSトランジスタを導通状態にする場合には該ゲート端子を該パッドから電氣的に切り離して第1の電位に電氣的に接続し、前記MOSトランジスタを非導通状態にする場合には該ゲート端子を該パッドから電氣的に切り離して該第1の電位とは異なる第2の電位に電氣的に接続するよう構成され、

該制御回路は更に、前記MOSトランジスタを導通状態にする場合には該バックゲート端子を該パッドに電氣的に接続し、前記パッドに内部使用電源電圧を超える電圧を印加する場合及び前記MOSトランジスタを非導通状態にする場合には該バックゲート端子を該パッドから電氣的に切り離して前記第2の電位に電氣的に接続するよう構成されることを特徴とする半導体装置。

10

20

## 【請求項 2】

該MOSトランジスタは、NMOSトランジスタ又はPMOSトランジスタの何れか一方であることを特徴とする請求項1記載の半導体装置。

## 【請求項 3】

該内部電源線と該パッドとの間で該MOSトランジスタに並列に接続された別のMOSトランジスタを更に含み、該MOSトランジスタ及び該別のMOSトランジスタの一方はNMOSトランジスタであり他方はPMOSトランジスタであることを特徴とする請求項1記載の半導体装置。

## 【請求項 4】

外部から入力されるコマンドをデコードし、該コマンドのデコード結果に応じて該制御回路を制御するデコード回路を更に含むことを特徴とする請求項1記載の半導体装置。

10

## 【請求項 5】

該デコード回路は、外部から入力される該コマンドをデコードし、該コマンドのデコード結果に応じて該半導体装置のテスト動作を制御するテスト信号を生成するテスト回路であることを特徴とする請求項4記載の半導体装置。

## 【請求項 6】

別の内部電源線と、

該別の内部電源線と該パッドとをソース・ドレイン間のチャンネルで電氣的に接続可能に結合するMOSトランジスタを含む別のパッド・スイッチを更に含むことを特徴とする請求項1記載の半導体装置。

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、一般に半導体装置に関し、詳しくはパッドの電氣的接続を切り換えるパッド・スイッチを備えた半導体装置に関する。

## 【背景技術】

## 【0002】

工場で製造されたLSIは、出荷時に動作テストが実行される。動作テストにおいては、テストのプローブの複数の針をLSIの複数のパッドに同時に接触させることで、必要なテスト信号の入力及び出力信号の検出を行う。この出力信号の観測結果に基づいて、LSIの動作が不良であるか否かを判定する。

30

## 【0003】

テスト・コストを削減するためには、同時に測定するチップ数を増やして、試験時間を短縮することが望ましい。この場合、テストに接続する1チップあたりのパッドの数は減少する。従って、チップ内部で生成される内部電源電圧が正しい電圧となっているか否かを調べるために内部電源電圧をテストで測定したり、またテスト時に内部電源電圧を適正な電圧に設定するために外部から直接に内部電源電圧を印加したりする場合、一つのパッドを複数の内部電源電圧に選択的に接続できることが望ましい。

## 【0004】

図1は、一つのパッドと複数の電源との間にパッド・スイッチを設けた構成の一例を示す図である（例えば特許文献1及び特許文献2）。

40

## 【0005】

図1に示すように、半導体チップのパッド11がパッド・スイッチ12を介して内部電圧VREFに接続され、パッド・スイッチ13を介して内部電圧VBBに接続される。半導体チップのパッド11は、更に他のパッド・スイッチ（図示せず）を介して他の内部電圧（図示せず）に接続されてもよい。ここで内部電圧VREFは、例えば半導体チップ内部の基準電圧生成器で生成される基準電位であり、内部電圧VBBは、例えば半導体チップ内部の負電位電源により生成される負電位である。

## 【0006】

パッド・スイッチ12は、テスト信号tes1がアサート状態（例えばHIGH）にな

50

ると導通して、パッド11と内部電圧VREFとを電氣的に接続する。同様にパッド・スイッチ13は、テスト信号tes2がアサート状態（例えばHIGH）になると導通して、パッド11と内部電圧VBBとを電氣的に接続する。

【0007】

図2は、パッド・スイッチの回路構成の一例を示す図である。図2に示すパッド・スイッチ12は、NMOSトランジスタ15、PMOSトランジスタ16、及びインバータ17を含む。NMOSトランジスタ15のゲートにはテスト信号tes1が印加され、PMOSトランジスタ16のゲートにはテスト信号tes1の反転信号がインバータ17を介して印加される。

【0008】

NMOSトランジスタ15の基板端子電位（バックゲート端子電位）を、パッド11に出力される電源電圧のうちで最も低い電位に設定する。この例では、図1に示されるようにパッド11には内部電圧VBBが出力されるので、NMOSトランジスタ15の基板端子電位はVBBに設定される。これにより、パッド11がVBBに設定されたときに、拡散層の接合が順方向バイアス状態となるのを防いでいる。

【0009】

またPMOSトランジスタ16の基板端子電位（バックゲート端子電位）を、パッド11に出力される電源電圧のうちで最も高い電位に設定する。この例では、パッド11に電源電圧VDDが出力される場合を想定して、PMOSトランジスタ16の基板端子電位はVDDに設定される。これにより、パッド11がVDDに設定されたときに、拡散層の接合が順方向バイアス状態となるのを防いでいる。

【0010】

図3は、テスト信号によりパッド11と内部電源電圧との電氣的接続を切り換える場合の動作について説明する図である。パッド11を介して半導体チップ内部に電圧を印加する場合、電源間が短絡したり、意図しない電圧が印加されたりするのを防ぐ必要がある。このため、図3に示すように全てのパッド・スイッチがオフになる期間を作るようにテスト信号を切り換え、この期間中に外部からの印加電圧を変化させる。

【0011】

しかし図2のような構成及び図3のような動作を用いても、内部電源電圧（内部で使用する電源電圧）を超える電圧を印加する場合には、パッド・スイッチをオフ状態にすることができないという問題が生じる。以下に例として、内部の負電位電源の電圧VBB（例えば-0.5V）より低い電圧（例えば-2.0V）を外部からパッド11に印加する場合について説明する。例えば図1に示す構成で、外部から-2.0Vの電圧をパッド11に印加し、パッド11から他のパッド・スイッチ（図示せず）を介してチップ内部に-2.0Vの電圧を供給する場合を考える。このとき、例えばパッド・スイッチ12のNMOSトランジスタ15及びPMOSトランジスタ16（図2参照）は非導通状態（オフ状態）となっている必要がある。

【0012】

図4は、内部電圧VBBより低い電圧を外部からパッド11に印加した場合の図2のNMOSトランジスタ15の動作を説明するための図である。

【0013】

NMOSトランジスタ15をオフ状態に設定する場合、NMOSトランジスタ15のゲート端子に印加されるテスト信号はVBBである。また前述のように、バックゲート端子に印加される電圧もVBBである。ソース端子及びドレイン端子にはそれぞれ、パッド11と内部電源VREFとが接続される。

【0014】

パッド11の電圧が内部の負電位電源の電圧VBBより低い場合、NMOSトランジスタ15のN型拡散層の接合が順方向バイアス状態となり、バックゲート端子の電圧VBBは、パッド電圧（ソース端子電圧）に0.6V程度の順方向電圧（Vf）を加えた電圧に設定されてしまう。この結果、ゲート端子に印加されている電圧VBBがソース電圧より

10

20

30

40

50

もV<sub>f</sub>だけ高い電位となり、NMOSトランジスタ15がオフ状態でなくなってしまう。即ち、NMOSトランジスタ15が導通して内部電圧V<sub>REF</sub>がパッド11に接続されてしまう。

【0015】

以上の説明は、内部の負電位電源の電圧より低い電圧をパッド11に印加する場合のNMOSトランジスタの状態について説明したものである。同様に、内部の昇圧電源の電圧より高い電圧をパッド11に印加する場合にも、PMOSトランジスタ16の状態についても同様の状況が発生し、オフ状態でなくなるという問題がある。

【0016】

またV<sub>DD</sub>(1.6V)とV<sub>BB</sub>(-0.5V)との中間付近の電位V<sub>REF</sub>(1.0V)をパッド11に接続する場合、NMOSトランジスタ15のコンダクタンスが小さくなるという問題がある。図5は、パッド11を電圧V<sub>REF</sub>に設定する場合の図2のNMOSトランジスタ15の動作を説明するための図である。

【0017】

NMOSトランジスタ15をオン状態に設定する場合、NMOSトランジスタ15のゲート端子に印加されるテスト信号はV<sub>DD</sub>(1.6V)である。また前述のように、バックゲート端子に印加される電圧はV<sub>BB</sub>(-0.5V)である。ソース端子及びドレイン端子は内部電源V<sub>REF</sub>(1.0V)に設定される。

【0018】

この場合、ソース端子を中間電位に設定することで、バックゲート・ソース間電圧V<sub>bs</sub>が-1.5Vと大きくなり、しきい値電圧(V<sub>th</sub>)がバック・バイアス効果により上昇する。またゲート・ソース間電圧V<sub>gs</sub>が0.6Vと小さくなる。その結果、NMOSトランジスタ15のコンダクタンスが低くなり、十分な電氣的導通が図れないという問題が生じる。

【特許文献1】特開昭63-257242号公報

【特許文献2】特開平8-304515号公報

【特許文献3】特開平4-22000号公報

【発明の開示】

【発明が解決しようとする課題】

【0019】

以上を鑑みて、本発明は、内部使用電源電圧を超える電圧をパッドに印加した場合でもオフ状態を維持でき、また内部電源とパッドとの間を中間電位で接続する場合でも十分なオン状態を実現できるパッド・スイッチを提供することを目的とする。

【課題を解決するための手段】

【0020】

半導体装置は、パッドと、内部電源線と、該内部電源線と該パッドとをソース・ドレイン間のチャンネルで電氣的に接続可能に結合するMOSトランジスタを含むパッド・スイッチと、該MOSトランジスタのゲート端子及びバックゲート端子の電位を制御する制御回路を含み、該制御回路は該ゲート端子及びバックゲート端子の少なくとも一方を該パッドに電氣的に接続可能に構成され、該制御回路は更に、前記パッドに内部使用電源電圧を超える電圧を印加する場合には該ゲート端子を該パッドに電氣的に接続し、前記MOSトランジスタを導通状態にする場合には該ゲート端子を該パッドから電氣的に切り離して第1の電位に電氣的に接続し、前記MOSトランジスタを非導通状態にする場合には該ゲート端子を該パッドから電氣的に切り離して該第1の電位とは異なる第2の電位に電氣的に接続するよう構成され、該制御回路は更に、前記MOSトランジスタを導通状態にする場合には該バックゲート端子を該パッドに電氣的に接続し、前記パッドに内部使用電源電圧を超える電圧を印加する場合及び前記MOSトランジスタを非導通状態にする場合には該バックゲート端子を該パッドから電氣的に切り離して前記第2の電位に電氣的に接続するよう構成されることを特徴とする。

【発明の効果】

## 【0021】

本発明の少なくとも1つの実施例によれば、MOSトランジスタのゲート端子をパッドと電氣的に接続できるので、電源を超える電圧をパッドに印加した場合であっても、MOSトランジスタのオフ状態（非導通状態）を維持することができる。またMOSトランジスタをオン状態（導通状態）にする場合に、バックゲート端子をパッドと電氣的に接続するので基板・ソース間電圧は0Vとなる。従ってバック・バイアス効果によりMOSトランジスタの閾値電圧が上昇することはなく、オン状態においてコンダクタンスが低下するのを避けることができる。

## 【発明を実施するための最良の形態】

## 【0022】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

## 【0023】

図6は、本発明によるパッド・スイッチを適用した半導体装置の一例として半導体記憶装置の構成を示す図である。本発明によるパッド・スイッチは、半導体記憶装置に限られることなく、パッドを介して外部からテストを実施することが必要な種々の半導体装置に適用することができる。

## 【0024】

図6の半導体記憶装置20は、パッド21、パッド・スイッチ22、パッド・スイッチ23、テスト回路24、内部電源回路25、メモリ回路26、及び内部電源配線27を含む。内部電源回路25は、VREF生成器31、VBB生成器32、及びVPP生成器33を含む。

## 【0025】

半導体記憶装置20は図示されない外部テストに接続され、外部テストからテストコマンドを受け取る。テスト回路24は、受け取ったテストコマンドをデコードし、このデコード結果に応じてテスト信号を送出する。このテスト信号に応じて、パッド・スイッチ22及び23等の半導体記憶装置20の各部分が、所望のテスト動作を実行する。

## 【0026】

半導体記憶装置20は、内部電源電圧が所望の電圧に設定されているか否かを外部テストにより調べるためにパッド21を介して外部テストに内部電源電圧を供給するとともに、内部電源電圧を外部から設定した所定の電圧に設定するために外部テストからパッド21を介して所望の電圧を受け取る。この際、テスト回路24がテスト信号を制御してパッド・スイッチ22又はパッド・スイッチ23を導通状態にすることにより、パッド・スイッチ22又はパッド・スイッチ23を介してパッド21と内部電源配線27とを電氣的に接続する。半導体記憶装置20のパッド21は、更に他のパッド・スイッチ（図示せず）を介して他の内部電圧（図示せず）に接続されてもよい。

## 【0027】

VPP生成器33は、外部から供給される電源電圧VDDに基づいて、昇圧電圧VPPを生成する。具体的には、オシレータの発振信号により容量素子の一端の電位をアップ・ダウンさせ、アップ・ダウン動作毎に容量の電荷を蓄積していくポンプ回路が用いられる。VBB生成器32は、外部から供給される電源電圧VSSに基づいて、負の電圧VBBを生成する。VBB生成器32もVPP生成器33と同様に、容量結合を用いたポンプ回路により実現することができる。VREF生成器31は、半導体記憶装置20の各所で電圧比較の対象として使用される基準電圧VREFを生成する回路である。VREF生成器31は例えば抵抗分圧器等により構成することができる。基準電圧VREFは例えば、VPP生成器33やVBB生成器32における参照電位として使用される。

## 【0028】

メモリ回路26は、メモリセル配列、ビット線、ワード線、センスアンプ等のコア回路と、外部からのアドレス信号をデコードするアドレスデコーダ、外部からのコマンド信号をデコードするコマンドデコーダ、入出力回路等の周辺回路を含む。メモリ回路26は、外部から供給される読み出しコマンド・書き込みコマンド等のコマンドをデコードし、そ

10

20

30

40

50

のデコード結果に応じて、アドレス信号により指定されたアドレスに対するデータ読み出し・書き込みアクセス動作を実行する。昇圧電圧  $V_{PP}$  は例えばワード線活性化電圧として用いられる。負電圧  $V_{BB}$  は例えばメモリ配列で使用される。

【0029】

図7は、本発明によるパッド・スイッチのNMOSトランジスタの端子接続を示す回路図である。

【0030】

図7に示すNMOSトランジスタ35は、内部電圧  $V_{REF}$  とパッド21との間をソース・ドレイン間のチャネルにより電氣的に接続するトランジスタであり、パッド・スイッチ22において用いられる。NMOSトランジスタ35のゲート端子は、スイッチ回路36を介して、内部電源電圧  $V_{BB}$ 、外部から供給され内部で使用される電源電圧  $V_{DD}$ 、又はパッド21の何れかに選択的に接続可能に構成されている。またNMOSトランジスタ35のバックゲート端子は、スイッチ回路37を介して、選択的に内部電源電圧  $V_{BB}$  又はパッド21の何れかに選択的に接続可能に構成されている。

【0031】

スイッチ回路36及びスイッチ回路37の接続状態は、テスト回路24（図6参照）からのテスト信号により制御される。

【0032】

パッド21に内部使用電源電圧を超える電圧を外部から印加する場合、即ち図7のNMOSの例では、 $V_{BB}$ 生成器32が生成する負電圧  $V_{BB}$  よりも低い電位を外部からパッド21に印加する場合、NMOSトランジスタ35のゲート端子はパッド21に接続される。パッド21に内部使用電源電圧を超える電圧を印加する場合以外の場合、NMOSトランジスタ35のゲート端子は、内部電源電圧  $V_{BB}$  又は外部から供給され内部で使用される電源電圧  $V_{DD}$  の何れかに接続される。具体的には、NMOSトランジスタ35をオフ状態（非導通状態）にする場合にはゲート端子を内部電源電圧  $V_{BB}$  に接続し、NMOSトランジスタ35をオン状態（導通状態）にする場合にはゲート端子を電源電圧  $V_{DD}$  に接続する。

【0033】

上記構成により、 $V_{BB}$ 生成器32が生成する負電圧  $V_{BB}$  よりも低い電位を外部からパッド21に印加する場合であっても、NMOSトランジスタ35のゲート端子がパッド21の電位に設定される。従って、NMOSトランジスタ35のゲート電位はソース電位と同電位であり、NMOSトランジスタ35が導通してしまわない。

【0034】

またバックゲート端子については、NMOSトランジスタ35を導通状態にする場合にはパッド21に接続し、NMOSトランジスタ35を非導通状態にする場合には内部負電圧  $V_{BB}$  に接続する。この構成により、NMOSトランジスタ35を導通状態にしてパッド21を内部電源電圧  $V_{REF}$  に設定する場合には、バックゲート端子がパッド21と同電位、即ち内部電源電圧  $V_{REF}$  と同電位に設定される。従って、NMOSトランジスタ35のソース・ドレイン端子が、 $V_{DD}$ （1.6V）と  $V_{BB}$ （-0.5V）との中間的な電圧である  $V_{REF}$ （1.0V）に設定された場合であっても、バックゲート・ソース間電圧  $V_{bs}$  は0Vであり、しきい値電圧（ $V_{th}$ ）がバック・バイアス効果により上昇することはない。従って、ゲート・ソース間電圧  $V_{gs}$  が0.6V程度であっても、NMOSトランジスタ35は適切にオン状態（導通状態）になることができる。

【0035】

図8は、パッド・スイッチ22の具体的な回路構成の一例を示す図である。図8の回路は、NMOSトランジスタ35、NAND回路41、インバータ42、インバータ43、PMOSトランジスタ44、及びNMOSトランジスタ45乃至49を含む。

【0036】

図8の回路において、テスト信号  $t_{es}$  及び  $d_{pv}$  は、図6のテスト回路24から供給される。テスト回路24が、外部から供給されるテストコマンドをデコードした結果に従

10

20

30

40

50

ってテスト信号  $t e s$  及び  $d p v$  を設定することで、NMOSトランジスタ35のゲート端子及びバックゲート端子が適切な電位に接続される。

【0037】

図9は、テスト信号  $t e s$  及び  $d p v$  の信号値とスイッチの状態（NMOSトランジスタ35のオン・オフの状態）との対応関係を示す表である。図9に示されるように、テスト信号  $t e s$  のHIGH/LOWによりNMOSトランジスタ35の導通/非導通を区別し、テスト信号  $d p v$  のHIGH/LOWによりチップ内部で使用する電源電圧を超える電圧が印加された状態/印加されていない状態を区別している。

【0038】

NMOSトランジスタ35をオン状態（導通状態）にする場合、テスト信号  $t e s$  及び  $d p v$  はそれぞれHIGH及びLOWに設定される。PMOSトランジスタ44がオン状態になるので、NMOSトランジスタ35のゲート端子はVDDになる。またNMOSトランジスタ49がオン状態になるので、NMOSトランジスタ35のバックゲート端子はパッド21に接続される。

【0039】

NMOSトランジスタ35をオフ状態（非導通状態）にする場合、テスト信号  $t e s$  及び  $d p v$  は双方共にLOWに設定される。NMOSトランジスタ45及び46がオン状態になるので、NMOSトランジスタ35のゲート端子はVBBになる。またNMOSトランジスタ48がオン状態になるので、NMOSトランジスタ35のバックゲート端子はVBBに接続される。

【0040】

パッド21にVBBよりも低い負電圧を印加する場合、テスト信号  $t e s$  及び  $d p v$  はそれぞれLOW及びHIGHに設定される。NMOSトランジスタ47がオン状態になるので、NMOSトランジスタ35のゲート端子はパッド21に接続される。またNMOSトランジスタ48がオン状態になるので、NMOSトランジスタ35のバックゲート端子はVBBに接続される。

【0041】

このようにして、図7で説明したのと同様に、パッド21に内部使用電源電圧を超える電圧を外部から印加する場合、NMOSトランジスタ35のゲート端子はパッド21に接続される。またパッド21に内部使用電源電圧を超える電圧を印加する場合以外の場合、NMOSトランジスタ35をオフ状態（非導通状態）にする際にはゲート端子を内部電源電圧VBBに接続し、NMOSトランジスタ35をオン状態（導通状態）にする際にはゲート端子を電源電圧VDDに接続する。またバックゲート端子については、NMOSトランジスタ35を導通状態にする場合にはパッド21に接続し、NMOSトランジスタ35を非導通状態にする場合には内部負電圧VBBに接続する。

【0042】

図10は、本発明によるパッド・スイッチのPMOSトランジスタの端子接続を示す回路図である。

【0043】

図10に示すPMOSトランジスタ55は、内部電圧VREFとパッド21との間をソース・ドレイン間のチャンネルにより電氣的に接続するトランジスタであり、パッド・スイッチ22において用いられる。PMOSトランジスタ55のゲート端子は、スイッチ回路56を介して、内部電源電圧VBB、内部電源電圧VPP、又はパッド21の何れかに選択的に接続可能に構成されている。またPMOSトランジスタ55のバックゲート端子は、スイッチ回路57を介して、選択的に内部電源電圧VPP又はパッド21の何れかに選択的に接続可能に構成されている。

【0044】

スイッチ回路56及びスイッチ回路57の接続状態は、テスト回路24（図6参照）からのテスト信号により制御される。

【0045】

10

20

30

40

50

パッド 2 1 に内部使用電源電圧を超える電圧を外部から印加する場合、即ち図 1 0 の P M O S の例では、V P P 生成器 3 3 が生成する昇圧電圧 V P P よりも高い電位を外部からパッド 2 1 に印加する場合、P M O S トランジスタ 5 5 のゲート端子はパッド 2 1 に接続される。パッド 2 1 に内部使用電源電圧を超える電圧を印加する場合以外の場合、P M O S トランジスタ 5 5 のゲート端子は、内部電源電圧 V B B 又は内部電源電圧 V P P の何れかに接続される。具体的には、P M O S トランジスタ 5 5 をオフ状態（非導通状態）にする場合にはゲート端子を内部電源電圧 V P P に接続し、P M O S トランジスタ 5 5 をオン状態（導通状態）にする場合にはゲート端子を内部電源電圧 V B B に接続する。

【 0 0 4 6 】

上記構成により、V P P 生成器 3 3 が生成する昇圧電圧 V P P よりも高い電位を外部からパッド 2 1 に印加する場合であっても、P M O S トランジスタ 5 5 のゲート端子がパッド 2 1 の電位に設定される。従って、P M O S トランジスタ 5 5 のゲート電位はソース電位と同電位であり、P M O S トランジスタ 5 5 が導通してしまふことはない。

【 0 0 4 7 】

またバックゲート端子については、P M O S トランジスタ 5 5 を導通状態にする場合にはパッド 2 1 に接続し、P M O S トランジスタ 5 5 を非導通状態にする場合には内部昇圧電圧 V P P に接続する。この構成により、P M O S トランジスタ 5 5 を導通状態にしてパッド 2 1 を内部電源電圧 V R E F に設定する場合には、バックゲート端子がパッド 2 1 と同電位、即ち内部電源電圧 V R E F と同電位に設定される。従って、P M O S トランジスタ 5 5 のソース・ドレイン端子が、中間的な電圧である V R E F に設定された場合であっても、バックゲート・ソース間電圧  $V_{bs}$  は 0 V であり、しきい値電圧 ( $V_{th}$ ) がバック・バイアス効果により上昇することはない。この場合、ゲート・ソース間電圧  $V_{gs}$  は - 1 . 5 V 程度であり、P M O S トランジスタ 5 5 は適切にオン状態（導通状態）になることができる。

【 0 0 4 8 】

図 1 1 は、パッド・スイッチ 2 2 の具体的な回路構成の一例を示す図である。図 1 1 の回路は、P M O S トランジスタ 5 5、N A N D 回路 6 1、インバータ 6 2、インバータ 6 3、N M O S トランジスタ 6 4、及び P M O S トランジスタ 6 5 乃至 6 9 を含む。

【 0 0 4 9 】

図 1 1 の回路において、テスト信号  $t_{es}$  及び  $d_{pv}$  は、図 6 のテスト回路 2 4 から供給される。テスト回路 2 4 が、外部から供給されるテストコマンドをデコードした結果に従ってテスト信号  $t_{es}$  及び  $d_{pv}$  を設定することで、N M O S トランジスタ 3 5 のゲート端子及びバックゲート端子が適切な電位に接続される。これらテスト信号は、図 9 の表に従って設定される。即ち、テスト信号  $t_{es}$  の H I G H / L O W により P M O S トランジスタ 5 5 の導通 / 非導通を区別し、テスト信号  $d_{pv}$  の H I G H / L O W によりチップ内部で使用する電源電圧を超える電圧が印加された状態 / 印加されていない状態を区別している。

【 0 0 5 0 】

P M O S トランジスタ 5 5 をオン状態（導通状態）にする場合、テスト信号  $t_{es}$  及び  $d_{pv}$  はそれぞれ H I G H 及び L O W に設定される。N M O S トランジスタ 6 4 がオン状態になるので、P M O S トランジスタ 5 5 のゲート端子は V B B になる。また P M O S トランジスタ 6 9 がオン状態になるので、P M O S トランジスタ 5 5 のバックゲート端子はパッド 2 1 に接続される。

【 0 0 5 1 】

P M O S トランジスタ 5 5 をオフ状態（非導通状態）にする場合、テスト信号  $t_{es}$  及び  $d_{pv}$  は双方共に L O W に設定される。P M O S トランジスタ 6 5 及び 6 6 がオン状態になるので、P M O S トランジスタ 5 5 のゲート端子は V P P になる。また P M O S トランジスタ 6 8 がオン状態になるので、P M O S トランジスタ 5 5 のバックゲート端子は V P P に接続される。

【 0 0 5 2 】

10

20

30

40

50



パッド 2 1 に V P P よりも高い正電圧を印加する場合、テスト信号 t e s 及び d p v はそれぞれ L O W 及び H I G H に設定される。P M O S トランジスタ 6 7 がオン状態になるので、P M O S トランジスタ 5 5 のゲート端子はパッド 2 1 に接続される。また P M O S トランジスタ 6 8 がオン状態になるので、P M O S トランジスタ 5 5 のバックゲート端子は V P P に接続される。

【 0 0 5 3 】

このようにして、パッド 2 1 に内部使用電源電圧を超える電圧を外部から印加する場合、P M O S トランジスタ 5 5 のゲート端子はパッド 2 1 に接続される。またパッド 2 1 に内部使用電源電圧を超える電圧を印加する場合以外の場合、P M O S トランジスタ 5 5 をオフ状態（非導通状態）にする際にはゲート端子を内部電源電圧 V P P に接続し、P M O S トランジスタ 5 5 をオン状態（導通状態）にする際にはゲート端子を内部電源電圧 V B B に接続する。またバックゲート端子については、P M O S トランジスタ 5 5 を導通状態にする場合にはパッド 2 1 に接続し、P M O S トランジスタ 5 5 を非導通状態にする場合には内部昇圧電圧 V P P に接続する。

10

【 0 0 5 4 】

図 1 2 は、パッド・スイッチ 2 2 の構成の更に別の一例を示す図である。図 1 2 に示すように、パッド・スイッチ 2 2 は、N M O S スイッチ回路 7 1 及び P M O S スイッチ回路 7 2 を含む。

【 0 0 5 5 】

N M O S スイッチ回路 7 1 は図 8 に示す回路であり、P M O S スイッチ回路 7 2 は図 1 1 に示す回路である。パッド・スイッチ 2 2 は、図 8 に示す N M O S スイッチ回路 7 1 のみで構成してもよいし、図 1 1 に示す P M O S スイッチ回路 7 2 のみで構成してもよいし、或いは図 1 2 に示すように N M O S スイッチ回路 7 1 と P M O S スイッチ回路 7 2 との並列接続としてもよい。このようにパッド 2 1 と内部電源線との間に N M O S スイッチ回路 7 1 と P M O S スイッチ回路 7 2 とを並列接続することにより、N M O S スイッチ回路 7 1 の N M O S トランジスタ 3 5 と P M O S スイッチ回路 7 2 の P M O S トランジスタ 5 5 とが並列に接続され、C M O S スイッチを形成することになる。

20

【 0 0 5 6 】

パッド・スイッチ 2 2 をこのような構成とすることにより、内部で使用される電源電圧 V B B を超えた低い電位を外部からパッド 2 1 に印加する場合であっても、d p v 1 が H I G H となり N M O S スイッチ回路 7 1 の N M O S トランジスタ 3 5 のゲート端子がパッド 2 1 の電位に設定される。また内部で使用される電源電圧 V P P を超えた高い電位を外部からパッド 2 1 に印加する場合であっても、d p v 2 が H I G H となり、P M O S スイッチ回路 7 2 の P M O S トランジスタ 5 5 のゲート端子がパッド 2 1 の電位に設定される。従って、何れの場合であっても、ゲート電位がソース電位と同電位となり、N M O S トランジスタ 3 5 又は P M O S トランジスタ 5 5 が導通してしまわない。

30

【 0 0 5 7 】

また t e s が H I G H となり N M O S スイッチ回路 7 1 の N M O S トランジスタ 3 5 及び P M O S スイッチ回路 7 2 の P M O S トランジスタ 5 5 を導通状態にしてパッド 2 1 を内部電源電圧 V R E F に設定する場合には、バックゲート端子がパッド 2 1 と同電位、即ち内部電源電圧 V R E F と同電位に設定されるので、バックゲート・ソース間電圧 V b s は 0 V であり、しきい値電圧 ( V t h ) がバック・バイアス効果により上昇することはない。従って、N M O S トランジスタ 3 5 及び P M O S トランジスタ 5 5 は適切にオン状態（導通状態）になることができる。

40

【 0 0 5 8 】

なお以上の説明では、パッド・スイッチ 2 2 を例として説明したが、パッド 2 1 と内部電源電圧 V B B とを電氣的に接続するパッド・スイッチ 2 3 についても同様の構成としてよい。但し、中間電位（例えば V R E F ）を導通させる必要がないのであれば、本発明のバックゲート端子の電圧制御はしなくてもよい。この場合、バックゲート端子については従来と同様に出力電圧のうちで最低（N M O S の場合）又は最高（P M O S の場合）であ

50

る固定の電位に設定し、ゲート端子についてのみ本発明の電圧制御をすればよい。またパッド21と内部電源電圧VREFとを電氣的に接続するパッド・スイッチ22に、内部で使用する電源電圧を超えた電圧を印加する可能性が全くないのであれば、本発明のゲート端子の電圧制御はしなくてもよい。この場合、ゲート端子については従来と同様に内部電圧のHIGHとLOWとの間で電圧を切り換える構成とし、バックゲート端子についてのみ本発明の電圧制御をすればよい。

【0059】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【図面の簡単な説明】

10

【0060】

【図1】一つのパッドと複数の電源との間にパッド・スイッチを設けた構成の一例を示す図である。

【図2】パッド・スイッチの回路構成の一例を示す図である。

【図3】テスト信号によりパッドと内部電源電圧との電氣的接続を切り換える場合の動作について説明する図である。

【図4】内部電圧より低い電圧を外部からパッドに印加した場合の図2のNMOSトランジスタの動作を説明するための図である。

【図5】パッドを電圧VREFに設定する場合の図2のNMOSトランジスタの動作を説明するための図である。

20

【図6】本発明によるパッド・スイッチを適用した半導体装置の一例として半導体記憶装置の構成を示す図である。

【図7】本発明によるパッド・スイッチのNMOSトランジスタの端子接続を示す回路図である。

【図8】パッド・スイッチの具体的な回路構成の一例を示す図である。

【図9】テスト信号の信号値とスイッチの状態との対応関係を示す表である。

【図10】本発明によるパッド・スイッチのPMOSトランジスタの端子接続を示す回路図である。

【図11】パッド・スイッチの具体的な回路構成の一例を示す図である。

【図12】パッド・スイッチの構成の更に別の一例を示す図である。

30

【符号の説明】

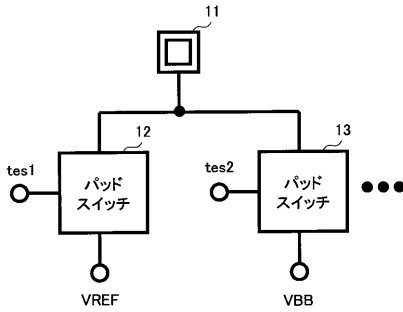
【0061】

- 20 半導体記憶装置
- 21 パッド
- 22 パッド・スイッチ
- 23 パッド・スイッチ
- 24 テスト回路
- 25 内部電源回路
- 26 メモリ回路
- 27 内部電源配線
- 31 VREF生成器
- 32 VBB生成器
- 33 VPP生成器
- 35 NMOSトランジスタ
- 55 PMOSトランジスタ
- 71 NMOSスイッチ回路
- 72 PMOSスイッチ回路

40

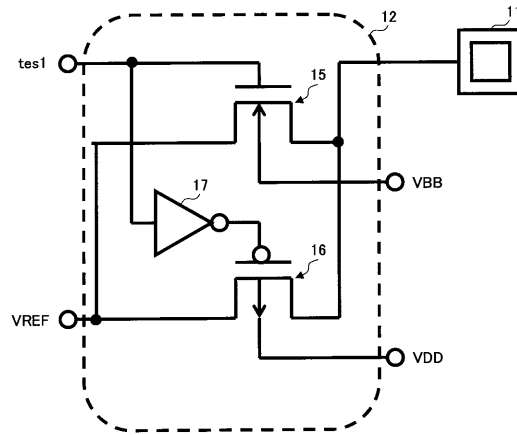
【 図 1 】

一つのパッドと複数の電源との間にパッド・スイッチを設けた構成の一例を示す図



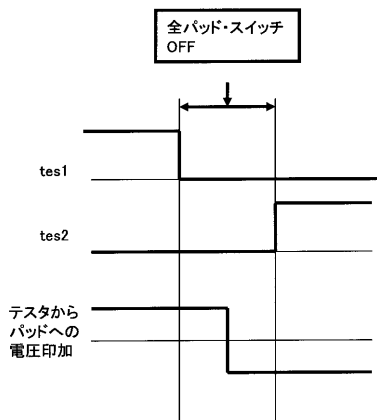
【 図 2 】

パッド・スイッチの回路構成の一例を示す図



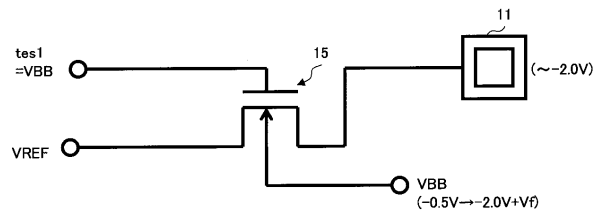
【 図 3 】

テスト信号によりパッドと内部電源電圧との電気的接続を切り換える場合の動作について説明する図



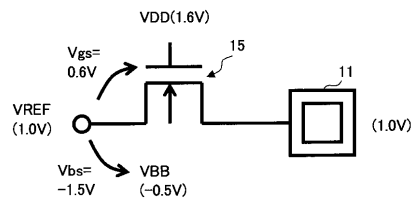
【 図 4 】

内部電圧より低い電圧を外部からパッドに印加した場合の図2のNMOSTランジスタの動作を説明するための図



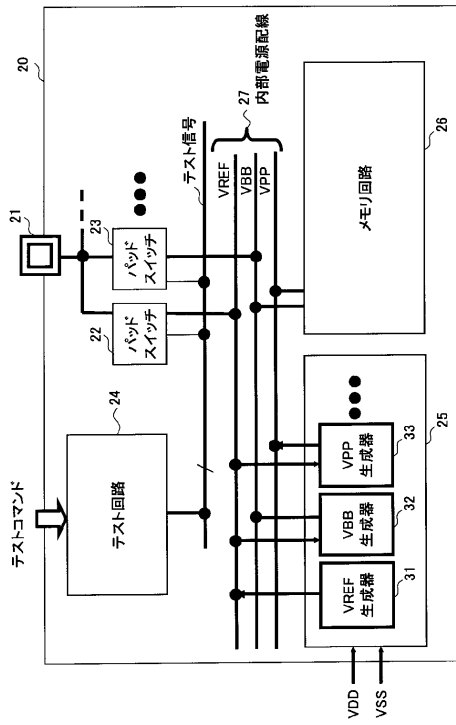
【 図 5 】

パッドを電圧VREFに設定する場合の図2のNMOSTランジスタの動作を説明するための図



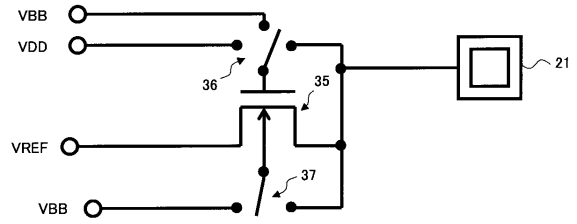
【図6】

本発明によるパッド・スイッチを適用した半導体装置の一例として半導体記憶装置の構成を示す図



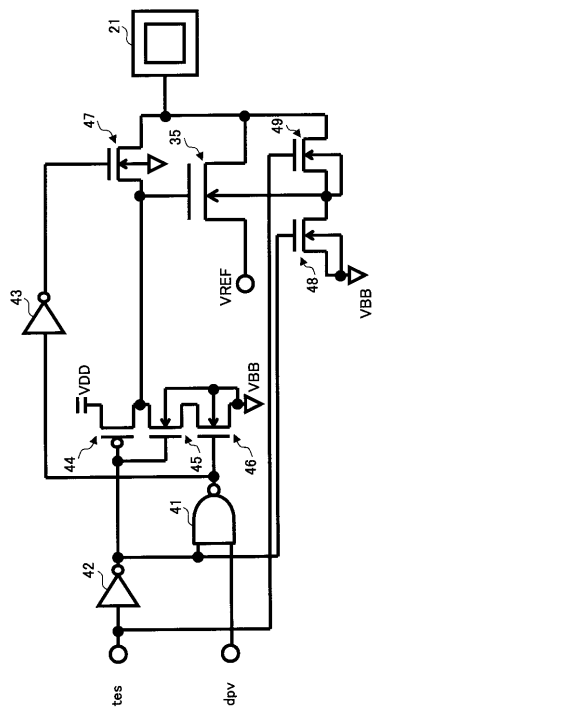
【図7】

本発明によるパッド・スイッチのNMOSTランジスタの端子接続を示す回路図



【図8】

パッド・スイッチの具体的な回路構成の一例を示す図



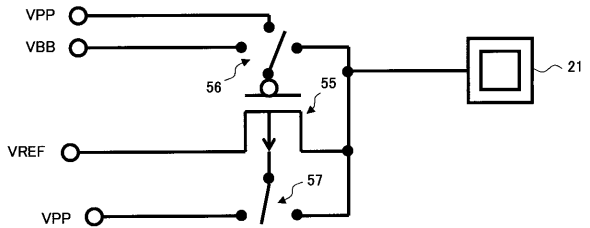
【図9】

テスト信号の信号値とスイッチの状態との対応関係を示す表

	スイッチの状態		
	ON	OFF	電源を超える電圧
tes	H	L	L
dpv	L	L	H

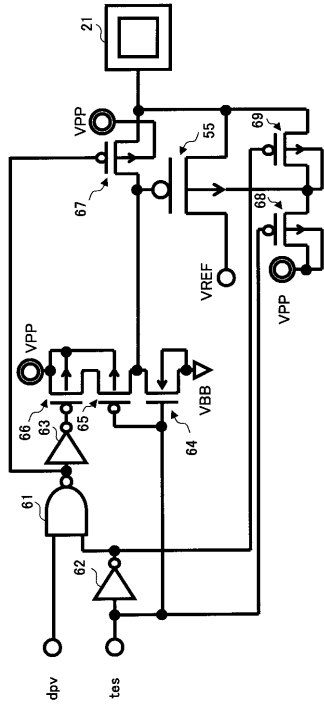
【図10】

本発明によるパッド・スイッチのPMOSTランジスタの端子接続を示す回路図である



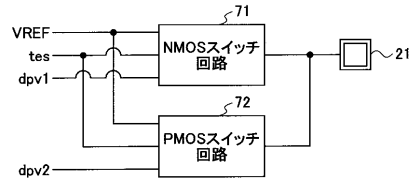
【図 1 1】

パッド・スイッチの具体的な回路構成の一例を示す図



【図 1 2】

パッド・スイッチの構成の更に別の一例を示す図



---

フロントページの続き

- (56)参考文献 特開2001-118399(JP,A)  
特開平11-317657(JP,A)  
米国特許出願公開第2004/0070441(US,A1)  
米国特許出願公開第2006/0028262(US,A1)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28 - 31/3193  
H01L 21/822  
H01L 27/04