

# (19) 대한민국특허청(KR) (12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
G06F 7/00

(45) 공고일자 1992년02월01일  
(11) 공고번호 특 1992-0001100

(21) 출원번호	특 1988-0004997	(65) 공개번호	특 1988-0014461
(22) 출원일자	1988년04월30일	(43) 공개일자	1988년12월23일
(30) 우선권 주장	108393 1987년05월01일 일본(JP)		
(71) 출원인	가부시끼가이샤히다찌세이사쿠쇼	미다 가쓰시게	
	일본국 도오쿄도 지요다구 간다스루가다이 4쥬메 6반찌		
(72) 발명자	후나꾸보 노부오		
	일본국 가나가와켄 하다노시 호리야마시따 1, 가부시끼가이샤 히다찌세이사쿠쇼 가나가와 팩토리 앞		
(74) 대리인	이준구, 조의제		

심사관 : 이재화 (책자공보 제2647호)

## (54) 논리연산장치

### 요약

내용 없음.

### 대표도

### 도1

### 명세서

[발명의 명칭]

논리연산장치

[도면의 간단한 설명]

제1도는 본 발명에 의한 일실시예의 논리연산장치의 요부를 개략적으로 도시하는 블록도.

제2도는 논리연산의 타이밍을 설명하는 타이밍차트도.

제3도는 본 발명에 의한 다른 바람직한 실시예의 논리연산장치를 구현한 대규모 집적회로의 설계도를 개략적으로 도시하는 평면도이다.

\* 도면의 주요부분에 대한 부호의 설명

1 : A-레지스터	2 : B-레지스터
3,33 : ALU D	4,34 : ALU S
7 : 패리티 발생회로	8 : 비교기
10 : 출력레지스터	11 : 국부기억장치
13 : 국부기억장치컨트롤러	17,47 : 타이밍컨트롤러

[발명의 상세한 설명]

본 발명은 대규모집적회로로 형성된 논리연산장치에 관한 것으로, 보다 구체적으로 산술 및 논리장치(이하 ALU로 언급)용 동적회로(dynamic circuit)를 사용함으로써 고속의 연산을 가능케 하고, 정적회로(static circuit)를 사용하는 다른 신뢰성있는 ALU가 전자의 ALU와 결합되어 있는 2중 산술 및 논리장치를 사용함으로써 신뢰성을 향상시키는 논리연산장치에 관한 것이다. 본 발명은 또한 상기 논리연산장치를 사용하는 논리연산 프로세스에 관한 것이다.

논리연산장치가 고속 및 고신뢰성을 갖고 연산을 수행도록 하는 것이 바람직하다. 그 신뢰성을 향상시키는 방법으로서, 2개의 동일한 ALU를 사용하는 방법이 공지되어 있다. 이러한 2중 시스템을 채용하는 논리연산장치에는 공통데이터가 각각에 공급되는 2개의 ALU 장치가 갖추어져 있다. 이들 ALU 장치로부터 얻어진 연산결과는 연속적으로 검사하기 위하여 비교된다. 이러한 2중 시스템이 신뢰성

을 향상시키는 반면에, 이 하드웨어의 양은 2개의 동일한 ALU 장치를 사용하는 필요성 때문에 불가피하게 증가된다.

연산속도를 증가시키기 위하여, 고속으로 연산할 수 있는 회로소자를 이용한 논리회로를 포함한 논리연산장치를 사용할 필요가 있다. 더욱이 이 논리연산장치는 장치의 부분들을 접속시키기 위한 와이어(wire)를 단축시키기 위하여 대규모 집적회로로 구성될 것을 요구한다. 상기 요구를 만족시키는 논리회로로서, 예를들면 CMOS 프로세스를 사용하는 동적회로가 공지되어 있다. 예를들면, 일본국 특허공개공보 제58-111, 436(1981년 12월 17일 출원된 대응 미국특허출원 제308,072호)는 프리차이지(precharge)형의 CMOS 다단계(multistage) 동적논리회로를 개시하고 있다. 이런 프리차이지형의 논리회로는 n-MOS 트랜지스터가 p-MOS 트랜지스터에 의하여 프리차이지된 전하를 방출하고, 그 연산속도가 p-MOS 트랜지스터보다 더 높은 구동전력을 갖는 n-MOS트랜지스터의 연산에 의존하느냐 안하느냐에 따라서 동작한다.

대규모집적회로로 실현된 동적회로에 있어서, 소프트웨어에러는 발생하기 쉽다. 이것은 프리차이지된 상태로 대전된 전하가 패키지내에 포함된 우라늄으로부터 방출된  $\alpha$ 선에 의한 전하유도로 변환되기 때문이다. 이 소프트웨어에러는 이 동적회로의 논리연산의 오동작을 초래한다. 그러므로, 이런 오동작을 측정하는 것이 필요하며, 그렇지 않으면, 데이터베이스의 브레이크다운과 같은 심각한 파손이 발생할 수 있다. 따라서 동적회로가 고속으로 연산할 수 있는 논리회로의 구조에 이용될 때, 이러한 소프트웨어 에러에 대한 측정을 하는 것이 중요하다.

반면에 정적회로를 사용하는 논리회로는 이런 소프트웨어로부터 자유롭다. 이 정적회로(CMOS논리회로)는 n-MOS트랜지스터보다 더 낮은 구동전력을 갖는 p-MOS트랜지스터에 의하여 결정된 속도로 n-MOS트랜지스터 또는 p-MOS트랜지스터의 상보(complementary)(相補) 스위칭연산에 의하여 연산한다. 따라서 정적회로형의 논리연산장치는 동적회로에서 달성된 것처럼 고속으로 연산할 수 없다. 그러나 정적회로형의 연산장치는 전하의 전도에 기인하여 초래되는 상기 언급한 소프트웨어에러로부터 자유롭고, 고신뢰성을 가지고 연산할 수 있다.

그래서, 동적형의 논리회로는 정적형보다 더 높은 속도로 연산할 수 있는 반면에, 동적회로의 신뢰도는 상기 언급한 오동작의 가능성 때문에 정적형의 신뢰도보다 더 낮다. 그러므로 본 발명의 목적은 고속 및 고신뢰성을 갖고 연산할 수 있는 논리연산장치를 제공하는 것이다.

상기 목적을 수행할 때, 본 발명은 다음을 포함하는 논리연산장치를 제공한다 : 프리차이지형의 동적회로를 포함한 제1산술 및 논리장치 : 정적회로를 포함하고, 상기 제1장치와 동일한 연산기능을 갖는 제2산술 및 논리장치.

본 발명의 논리연산장치에서, 이 타이밍컨트롤러는 프리차이지형의 동적회로를 갖고, 고속으로 연산할 수 있는 제1장치와, 정적회로를 갖고, 고신뢰도를 가지고 연산할 수 있는 제2장치의 모두의 데이터입력 및 출력용 타이밍제어를 수행한다. 그래서 타이밍컨트롤러는 제1 및 제2장치에 연산데이터를 제공하여 연산할 수 있다. 즉 제1장치의 프리차이지후에, 이 타이밍컨트롤러는 데이터입력 및 출력용 타이밍제어를 수행하여서, 이 데이터가 제1 및 제2장치에 공통으로 공급된다. 동적회로로 구성된 이 제1장치는 제2장치보다 빨리 연산출력을 발생한다. 이 제1장치로부터 얻어진 연산출력을 사용함으로써, 패리티비트연산과 같은 순차적인 연산이 수행된다. 제2장치가 연산출력을 더 늦게 발생할때, 이 출력은 제1장치의 연산출력과 비교된다. 제1 및 제2장치의 연산출력이 상호간에 동일하다는 비교결과를 도시할때, 순차적인 연산 또는 연산들은 제1장치부터의 연산출력을 기초로 하여 계속된다. 한편, 제1 및 제2장치의 연산출력이 상호간에 상이하다는 비교결과를 도시할 때, 컨트롤러는 제1장치부터의 연산출력을 기초로 하여 얻어진 순차연산결과를 무효로 하고, 연산결과의 기입을 중지하며, 이 연산을 종료한다.

따라서, 본 발명에 의한 논리연산장치에서, 동적회로형 ALU로부터 고속으로 얻어진 연산데이터 출력은 고속 및 고신뢰도를 보장하기 위하여, 정적회로형의 ALU로부터 얻어진 고신뢰성이 있는 연산데이터 출력과 비교된다.

본 발명의 다른 목적, 특성 및 장점은 첨부도면을 참조하여, 바람직한 실시예를 상세히 설명함으로써 명백하게 될 것이다.

본 발명에 의한 바람직한 실시예를 도시하는 제1도를 참조할 때, 참고번호 1은 제1입력레지스터로 사용된 A-레지스터이고, 2는 제2입력레지스터로 사용된 B-레지스터이다. 이 A-레지스터(1)는 논리연산용 입력데이터군(제1오퍼랜드데이터)을 기억하고, B-레지스터(2)는 논리연산용 다른 입력데이터군(제2오퍼랜드데이터)을 기억한다. 프리차이지형의 동적회로로 구성된 제1ALU(이하 ALU D로 언급됨)는 3으로서 지칭되고, 정적회로 및 ALU D(3)의 기능과 동일한 기능을 가지는 제2ALU는 4로서 지칭된다. A-레지스터(1)와 B-레지스터(2)로부터 연산되는 공통의 입력데이터는 ALU D(3)와 ALU S(4)에 공급된다. 참고번호 5는 프리차이지출력을 발생시켜 ALU D(3)에 보내도록 하는데 적합한 프리차이지컨트롤러를 지칭한다. 동적회로형의 ALU D(3)의 프리차이지는 논리연산의 개시에 앞서 수행된다.

ALU D(3)으로부터 온 연산출력데이터에 패리티비트(체크비트)를 추가하기 위하여 배열된 패리티비트 발생기는 7로서 지칭된다. ALU D(3)으로부터 온 연산출력데이터와 ALU S(4)로부터 온 연산출력데이터를 비교하기 위한 비교기는 8로서 지칭된다. 패리티비트발생기(7)에 패리티비트를 추가하는 ALU D(3)으로부터 온 연산출력데이터는 출력레지스터(10)에 기억된다. 참고번호(11)는 국부기억장치를 나타내며, 복수개의 번지지정가능영역을 가지며, 일반적인 목적의 레지스터 또는 레지스터화일의 군으로써 사용되는 기억소자를 포함하고 있다. 기입제어신호(12)는 국부기억장치(11)에 공급된다. 기입제어신호(12)를 발생하는데 적합한 국부기억장치컨트롤러는 13으로 지칭된다.

참고번호(14 및 15)는 각각 AND게이트 및 인버터를 지칭한다. 참고번호(16)는 비교기(8)에서의 비교결과가 불일치를 나타낼때, 불일치플래그를 유지하는데 적합한 불일치플래그레지스터를 지칭한다. 참고번호(17)는 논리연산을 제어하기 위한 여러 가지 타이밍 신호를 발생하도록 배열된 타이밍컨트롤러를 지칭한다. 참고번호(18)는 연산 출력데이터를 이용하는 메모리장치와 같은 사용장치를 지칭

하고, 참고번호(19)는 논리연산을 조정하는 서어비스프로세서와 같은 호스트프로세싱(host processing) 장치를 지칭한다.

상기 구조를 갖는 논리연산장치의 연산은 연산의 타이밍을 설명하는 타이밍차트도를 도시하고 있는 제2도를 참고하여 설명될 것이다.

본 발명에 의한 논리연산장치내의 일 연산사이클은 국부기억장치(11)로부터 연산되는 데이터를 판독하고, A-레지스터(1)와 B-레지스터(2) 내에 판독데이터를 기억시키고, ALU D(3)에 논리연산을 집행하고, 패리티비트를 ALU D(3)로부터 온 연산결과데이터에 첨가하고, 국부기억장치(11) 내에 패리티비트로 첨가된 연산출력데이터를 기입하는 것을 포함하는 일련의 연산이다. 하나의 연산사이클은 시간 T이다. 하나의 사이클의 연산은 타이밍컨트롤러로부터 발생된 타이밍신호( $t_0$ ,  $t_1$ ,  $t_2$ ,  $t_3$  및  $t_4$ )에 따라서 제어된다.

소프트웨어에러 또는 동일한 고장에 기인하는 어떠한 오동작도 갖지 않는 논리연산장치의 연산을 우선 설명할 것이다. 이 경우에 이 연산은 제2도에서 동작사이클(1)(Operation Cycle)에 의하여 도시된 것처럼 진행된다.

입력레지스터내에 논리연산용 데이터를 취하도록 지령하는 타이밍신호( $t_0$ )의 발생시에, A-레지스터(1)와 B-레지스터(2)는 입력데이터의 값이 처리되도록 하는 논리연산용데이터를 기억한다. A-레지스터(1)와 B-레지스터(2)내에 기억된 데이터는 ALU D(3) 및 ALU S(4)에 공통으로 공급된다. 동적회로로 구성된 ALU D(3)가 정적회로로 구성된 ALU S(4)보다 고속으로 동작하기때문에, ALU D(3)에서 연산결과는 ALU S(4)에서의 연산결과보다, 즉 타이밍신호( $t_1$ )를 발생하는 시점만큼 더 빨리 확립된다. 이 연산결과는 패리티비트발생기(7) 및 비교기(8)에 연산출력데이터로서 보내진다. 이 패리티비트발생기(7)의 출력은 타이밍신호( $t_3$ )를 발생하는 시점에 확립된다. 이 출력레지스터(10)는 타이밍신호( $t_3$ )를 수신할 때 확립된 데이터를 수신하고, 유지시킨다.

한편, ALU S(4)의 연산결과는 ALU D(3)의 연산결과보다 더 늦게 즉 타이밍신호( $t_2$ )의 발생시점에서 확립된다. ALU S(4)의 연산결과는 비교기(8)에 연산출력데이터로서 보내지며, 이 비교기에서 ALU D(3)와 ALU S(4)로부터 온 연산출력데이터는 타이밍신호( $t_2$ )가 발생되자마자 비교되기 시작한다. 이 비교결과는 타이밍신호( $t_4$ )가 발생하는 시점에서 확립된다. 사이클(1)에 의한 연산에서, 이 비교결과는 ALU D(3)와 ALU S(4)의 연산출력데이터가 동일하다고 보여준다. 그러므로 불일치플래그는 발생되지 않는다. 오히려 타이밍신호( $t_4$ )가 발생할 때, 비교기(8)로부터 불일치플래그레지스터(16) 내에 신호표시논리 "0"이 취해진다. 따라서 인버터(15)는 AND게이트를 ON으로 하기 위하여 논리신호 "1"을 출력하여서, 기입제어신호(12)는 AND게이트를 통하여 국부기억장치컨트롤러(13)로부터 국부기억장치에 공급된다. 그 결과 출력레지스터(10)의 연산출력데이터는 국부기억장치(11)에 기입된다.

이 연산사이클에 타이밍신호( $t_4$ )를, 다음의 연산사이클에 타이밍신호( $t_0$ )를 수신할 때, 프리차아지콘트롤러(5)는 프리차아지클럭을 발생시킨다. 이 프리차아지클럭의 발생기간중에, 프리차아지형의 동적회로로 구성된 ALU D(3)는 프리차아지이다.

제2도의 동작사이클(2)는 ALU D(3)가 소프트웨어에러에 의하여 야기된 오동작을 일으키는 경우이므로, 이 비교결과는 ALU D(3)와 ALU S(4)의 연산출력데이터가 동일하지 않다는 것을 보여준다. 타이밍신호에 따르는 동작사이클(2)은 다음과 같이 진행된다.

타이밍신호( $t_0$ )의 발생으로부터 타이밍신호( $t_3$ )의 발생시까지 본 발명의 논리연산장치는 동작사이클(1)과 같은 방법으로 연산한다. 또한 비교기(8) 내의 비교결과는 이 타이밍신호( $t_4$ )가 발생할 때, 동작사이클(1)과 같은 방법으로 불일치플래그레지스터(16)에서 취해지고 확립된다. 이 경우에 비교결과는 ALU D(3)와 ALU S(4)의 연산출력데이터가 동일하지 않다는 것을 보여주기에때문에 불일치플래그는 논리 "1" 급이되고 이 불일치플래그레지스터(16)에 의하여 유지된다. 결과적으로 인버터(15)는 AND게이트(14)를 동작시키지 않도록 논리 "0"을 출력하여서, 국부기억장치컨트롤러(13)로부터 온 기입제어신호(12)는 국부기억장치(11)에 보내지는 것으로부터 방해된다. 그러므로 출력레지스터(10)의 연산출력데이터는 국부기억장치(11)에 기입되지 않는다.

불일치플래그레지스터(16)는 논리 "1"로서 불일치플래그를 출력할때, 호스트프로세싱장치(19)는 불일치플래그의 발생 즉 논리연산장치의 오동작의 발생을 검출한다. 그 다음, 호스트프로세싱장치(19)는 다음 사이클로의 진행을 중지하고, 이 논리연산장치가 재시도연산(retrying operation)을 시작하도록 다른 장치에 지령한다. 동시에 이 호스트프로세싱장치(19)는 타이밍컨트롤러(17)와 불일치플래그레지스터(16)에 리셋트신호를 제공하여, 이 논리연산장치는 재시도연산을 시작한다.

그래서, 이 논리연산장치가 오동작할때조차, 에러발생 연산출력데이터는 국부기억장치(11)에 기입되지 않는다. 그러므로 국부기억장치(11)에 기억된 데이터는 파괴되지 않아서, 이 논리연산장치는 그것이 불일치플래그레지스터를 논리 "0"으로 리셋트하면서 논리연산의 재시도로 들어갈 때, 고장이 없는 논리연산을 계속할 수 있다. 이 불일치플래그가 재시도연산에서 검출되지 않을때, 이 논리연산장치는 다음 사이클의 논리연산을 집행하여 다음의 연산으로 진행된다.

본 발명에 의한 논리연산장치는 프리차아지형의 동적회로로 구성된 ALU에서 에러가 일어날때, 그 연산을 멈추므로, 그 신뢰도는 현저하게 향상한다. 더욱이 본 발명에 의한 논리연산장치 내의 동작사이클은 이 논리연산장치가 정적회로로만 구성되는 경우와 비교할때, 타이밍신호( $t_2$ )의 발생시간과 타이밍신호( $t_1$ )의 발생시간 사이의 차이만큼 더 짧아지기 때문에 그 연산은 고속으로 집행될 수 있다.

제3도는 본 발명의 일바람직한 실시예의 논리연산장치를 구현하는 대규모집적회로의 구성을 보여주는 평면도이다. 이 논리연산장치는 대규모집적회로로 구성되어서, 이 장치의 부분을 접속하기 위한 와이어의 길이를 단축시키는 것에 의하여 연산속도를 증가시킬 수 있다. 대규모로 집적회로로 구성

된 이 논리연산장치는 표준셀방법(standard cell method)을 사용함으로써 설계되며, 셀족(cell family)으로서 개발된 내부논리셀, I/O버퍼셀, RAM매크로셀, ALU매크로셀등은 논리연산장치의 각 부분으로 사용되어 CMOS프로세스에 의하여 대규모집적회로를 형성한다. 그 결과로서 그 위에 논리연산장치가 대규모 집적회로로 실현되는 반도체칩에서, ALU매크로셀에 의하여 구성되는 동적회로로 이루어진 제1ALU D(33)는 이 칩의 오른쪽에 배열되고, 내부논리셀에 의하여 구성되는 정적회로로 이루어진 제2ALU S(34)는 제3도에 도시된 것처럼, 제1ALU D(33)에 병렬로 배열된다. 타이밍컨트롤러(47)는 칩의 중앙에 배열되어서, 다단계 클럭이 커다란 칩영역을 갖는 집적회로내의 여러 부분에 사용되기 때문에, 이 와이어길이(wire length)는 클럭의 어긋남(clock skew)을 축소시키도록 균일화된다.

일반적으로, 종래의 논리연산장치는 단일칩의 대규모집적회로로 구성되기 때문에, 복수개의 신호와 이어는 연산을 체크하기 위하여 ALU내의 데이터를 방출하도록 배열된다. 본 발명의 논리연산장치에 의하면, 2개장치의 데이터를 비교하기 위하여 2개의 ALU와 비교기를 배열하기 때문에, 단지 하나의 신호와이어는, 연산을 체크하기 위한 데이터로서 비교기로부터 공급된 불일치플래그데이터를 이용하는 것에 의하여 집적회로로부터 비교데이터를 방출하기 위해 배열됨으로써, 연산을 체크하기위하여 다수의 신호출력핀을 축소시킨다.

본 발명은 바람직한 실시예에서 설명되는 반면에, 본 발명의 정신 및 범위를 일탈하지 않고 본 발명을 여러가지로 변경 및 수정할 수 있다.

상기 설명된 것처럼, 본 발명은 프리차이지형의 동적회로로 구성된 ALU를 사용하는 것에 의하여 고속의 연산을 가능하게 한다. 더욱이 본 발명의 논리연산장치는 이중 ALD시스템을 사용하는 것에 의하여 연산을 체크하며, 정적회로로 구성된 신뢰성 있는 ALU가 부가적으로 사용되고, 이 2장치 사이의 데이터를 연산을 체크하며, 정적회로로 구성된 신뢰성 있는 ALU가 부가적으로 사용되고, 이 2장치 사이의 데이터를 비교하는 것에 의하여 연산을 체크하기 때문에, 데이터베이스의 파손(breakdown)과 같은 사고는 동적회로가 오동작할때조차 방지되어서, 본 발명은 고신뢰도를 갖는 논리연산장치를 제공한다.

## (57) 청구의 범위

### 청구항 1

논리연산장치에 있어서, 프리차이지형(precharge type)의 동적회로(dynamic circuit)로 구성되고 데이터에 대한 연산을 행하여 연산출력을 제공하는 제1의 산술 및 논술장치(3,33); 정적회로로 구성되고 데이터에 대한 상기 제1산술 및 논리장치와 동일한 연산을 행하여 연산출력을 제공하는 제2의 산술 및 논리장치(4,34); 상기 제1산술 및 논리장치의 연산출력과 상기 제2산술 및 논리장치의 연산출력을 비교하여 상관(correlated) 불일치플래그 출력을 생성하는 비교기(8); 상기 비교기의 출력을 수신하고 유지하는 불일치 플래그레지스터(16); 상기 제1 및 제2산술 및 논리장치들에 공통의 데이터를 제공하는 입력레지스터(1,2); 상기 제1산술 및 논리장치의 프리차이지 타이밍을 제어하고, 상기 제1 및 제2산술 및 논리장치들의 데이터입력과 출력타이밍을 제어하는 컨트롤러(17,47)를 포함하는 것을 특징으로 하는 논리연산장치.

### 청구항 2

제1항에 있어서, 패리티비트를 상기 제1산술 및 논리장치의 연산출력에 첨가하여 패리티를 갖는 출력데이터를 생성하는 패리티비트발생기(7); 상기 패리티비트발생기로부터의 패리티가 첨가된 출력데이터를 수신하고 유지하는 출력레지스터(10); 기입제어신호에 응하여 상기 출력레지스터의 패리티가 첨가된 출력데이터를 기억하는 국부기억장치(local storage)(11); 상기 국부기억장치에 기입제어신호를 제공하는 국부기억장치컨트롤러(local storage controller)(13); 상기 불일치 플래그레지스터의 출력에 따라서 상기 국부기억장치 컨트롤러로부터의 기입제어신호를 억제하기 위한 컨트롤러(14,15)를 또한 구비함을 특징으로 하는 논리연산장치.

### 청구항 3

제2항에 있어서, 상기 국부기억장치(11)는 각각이 복수개의 번지지정영역(addressable areas)을 갖는 범용의 레지스터군을 포함하며, 상기 국부기억장치 컨트롤러(13)는 상기 국부기억장치로 번지제어신호(address control signal), 기입제어신호(write control signal) 및 판독제어신호(read control signal)를 생성하는 것을 특징으로 하는 논리연산장치.

### 청구항 4

제2항에 있어서, 상기 타이밍컨트롤러(17,47)는 상기 제1산술 및 논리장치(3,33)에 공급되는 프리차이지 제어타이밍신호, 상기 입력레지스터(1,2)에 공급되는 데이터 취입(data take-in) 타이밍신호, 상기 출력레지스터(10)에 공급되는 데이터 취입타이밍신호 및 상기 국부기억장치컨트롤러에 공급된 제어타이밍신호를 차례로 생성하는 것을 특징으로 하는 논리연산장치.

### 청구항 5

제4항에 있어서, 상기 불일치플래그레지스터(16)의 출력이 호스트프로세싱장치(19)에 보내지고 상기 타이밍컨트롤러(17,47)와 상기 불일치플래그레지스터(16)를 리셋하기 위한 리셋신호가 상기 불일치플래그레지스터(16)의 출력에 응하여 상기 호스트프로세싱장치로부터 수신되는 것을 특징으로 하는 논리연산장치.

### 청구항 6

제5항에 있어서, 상기 호스트프로세싱장치(19)가 연산을 제어하는 서비스프로세서(service processor)인 것을 특징으로 하는 논리연산장치.

## 청구항 7

제4항에 있어서, 상기 출력레지스터(10)는 상기 패리티비트발생기(7)로부터 출력데이터를 수신하여 상기 국부기억장치(11)에 이 출력을 공급하며, 출력데이터가 사용장치(utility unit)(18)에 보내지는 경로에 접속되는 것을 특징으로 하는 논리연산장치.

## 청구항 8

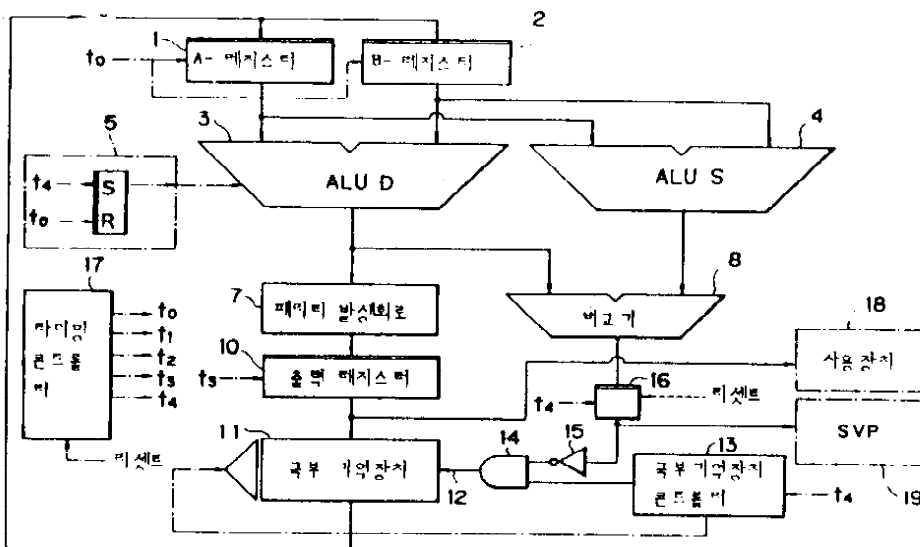
제7항에 있어서, 상기 사용장치(18)가 메모리장치(memory unit)인 것을 특징으로 하는 논리연산장치.

## 청구항 9

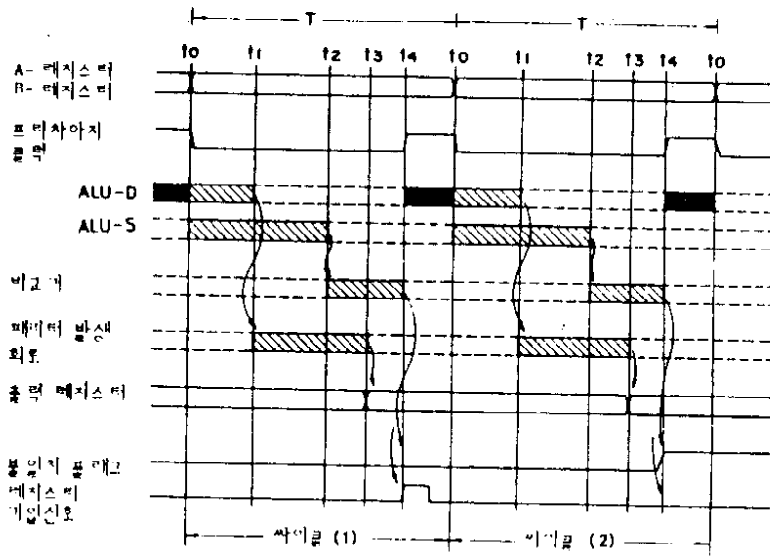
프리차아지형(precharge type)의 동적회로(dynamic circuit)를 포함하는 제1의 산술 및 논리장치(3,33), 및 정적회로로 구성되고 상기 제1장치(3,33)와 동일한 연산기능을 갖는 제2의 산술 및 논리장치(4,34)를 포함하는 논리연산장치를 사용한 논리연산프로세서로서, 상기 프로세스는, 입력레지스터(1,2) 내에 연산데이터를 취하고, 상기 제1 및 제2산술 및 논리장치에 공통으로 그 데이터를 공급하는 제1단계; 패리티비트를 상기 제1산술 및 논리장치의 연산출력에 첨가하고, 상기 제1산술 및 논리장치의 연산출력을 상기 제2산술 및 논리장치의 연산출력과 비교하여, 비교결과를 출력하는 제2단계; 그 비교결과(8의 출력)가 상기 제1 및 제2산술 및 논리장치의 연산데이터가 동일함을 보여줄 때, 패리티비트가 더해진 상기 제1산술 및 논리장치의 연산데이터인 출력데이터(7의 출력)를 국부기억장치(11) 내로 기입하거나 또는 비교결과(8의 출력)가 상기 제1 및 제2산술 및 논리장치의 연산데이터가 동일하지 않음을 보여줄 때, 패리티비트가 더해진 상기 제1산술 및 논리장치의 연산데이터인 출력데이터(7의 출력)의 국부기억장치(11) 내로의 기입을 억제하는 제3단계를 포함하는 것을 특징으로 하는 논리연산프로세스.

## 도면

### 도면1



도면2



도면3

