(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2013 년 8 월 8 일 (08.08.2013)

WIPO | PCT

(10) 국제공개번호
WO 2013/115474 A1

(51) 국제특허분류:
H01S 5/183 (2006.01) *H01S 5/125* (2006.01)

(21) 국제출원번호: PCT/KR2012/010340

(22) 국제출원일: 2012 년 11 월 30 일 (30.11.2012)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2012-0011433 2012 년 2 월 3 일 (03.02.2012) KR

(71) 출원인: **광주과학기술원 (GWANGJU INSTITUTE OF SCIENCE AND TECHNOLOGY)** [KR/KR]; 500-712 광주시 북구 첨단과기로 123 (오룡동), Gwangju (KR).

(72) 발명자: **이용탁 (LEE, Yong-Tak)**; 500-712 광주시 북구 첨단과기로 261 광주과학기술원 정보통신공학과, Gwangju (KR). **장성준 (JANG, Sung Joon)**; 500-712 광주시 북구 첨단과기로 261 광주과학기술원 정보통신공학과, Gwangju (KR). **송영민 (SONG, Young Min)**; 500-712 광주시 북구 첨단과기로 261 광주과학기술원 정보통신공학과, Gwangju (KR).

(74) 대리인: **특허법인 대아 (DAE-A INTELLECTUAL PROPERTY CONSULTING)**; 135-936 서울시 강남구 역삼로 123 한양빌딩 3 층, Seoul (KR).

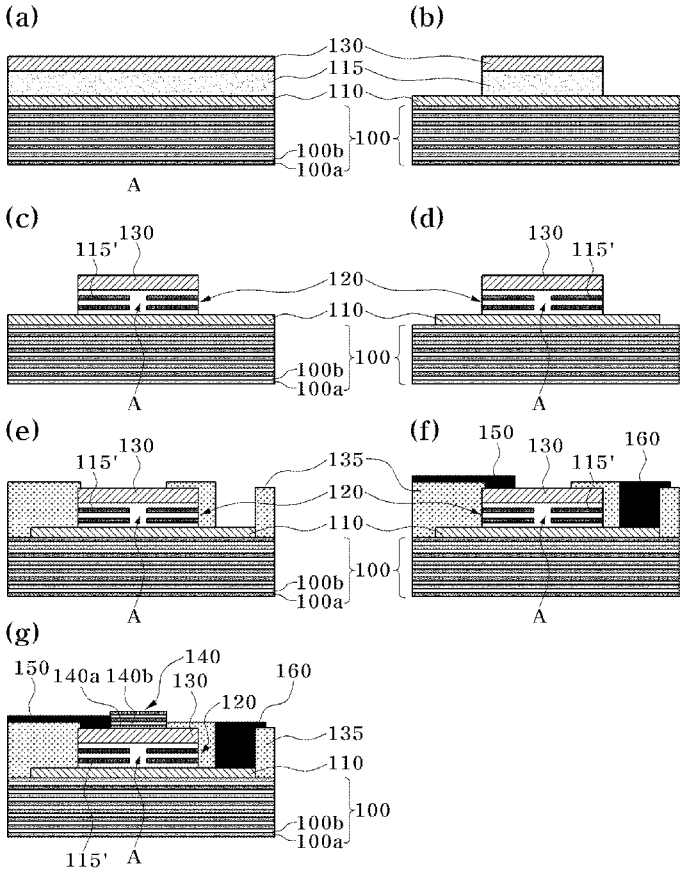
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM,

[다음 쪽 계속]

(54) Title: SILICON DBR STRUCTURE-INTEGRATED LIGHT ELEMENT, AND PREPARATION METHOD THEREOF

(54) 발명의 명칭 : 실리콘 ＤＢＲ 구조가 집적된 광 소자 및 그 제조방법



(57) Abstract: The present invention relates to a silicon DBR structure-integrated light element, and a preparation method thereof, and more specifically, to a silicon DBR structure-integrated light element or vertical cavity light emitting diode, and a preparation method thereof, enabling preparation by a small number of layers and capable of reducing processing time and costs due to a large contrast in refractive index of a silicon DBR structure formed by depositing silicon in a slanted or vertical manner.

(57) 요약서: 본 발명은 실리콘 DBR 구조가 집적된 광소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 실리콘을 비스듬하게 혹은 수직으로 증착하여 형성된 실리콘 DBR 구조의 큰 굴절률차로 인해 적은 층수로 제조가 가능하며, 공정시간 및 비용을 단축할 수 있는 실리콘 DBR 구조가 집적된 광소자 또는 수직공진 발광소자 및 그 제조방법에 관한 것이다.

WO 2013/115474 A1

KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 실리콘 DBR 구조가 집적된 광 소자 및 그 제조방법

기술분야

[1] 본 발명은 실리콘 DBR 구조가 집적된 광 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 실리콘을 비스듬하게 혹은 수직으로 증착하여 형성된 실리콘 DBR(Distributed Bragg Reflector) 구조의 큰 굴절률차로 인해 적은 층수로 제조가 가능하며, 공정시간 및 비용을 단축할 수 있는 실리콘 DBR 구조가 집적된 광소자(예컨대, 수직공진 표면발광레이저(Vertical Cavity Surface Emitting Laser, VCSEL) 또는 수직공진 발광소자(Resonant Cavity Light Emitting Diode, RC-LED)) 및 그 제조방법에 관한 것이다.

배경기술

[2] 일반적으로, 수직공진 표면발광레이저(Vertical Cavity Surface Emitting Laser, VCSEL) 및 수직공진 발광소자(Resonant Cavity Light Emitting Diode, RC-LED)는 두 개의 다층박막 구조인 분산 브래그 반사경(Distributed Bragg Reflector, 이하, 'DBR'이라 함) 사이에 주로 다층 양자 우물층(Multi Quantum Well, MQW)을 포함하는 공진기를 두어 전류 주입에 의해 이득을 얻어 발광하는 발광 장치로서, 일반적으로 원형방사형태로 표면 발광하기 때문에 광시스템 제작 시 정렬이 용이하고 저가로 조립이 가능하다.

[3] 종래의 수직공진 표면발광레이저(VCSEL) 및 수직공진 발광소자(RC-LED)의 DBR 구조는 AlxGa(1-x)As 막 ($0 \le x \le 1$)으로 대표되는 반도체 화합물의 조성비를 조절하는 것으로 제조되었다. 반도체 화합물의 조성비를 조절하여 다양한 박막의 구성이 가능하며 그 가운데 굴절률차와 밴드갭을 고려하여 적절한 저굴절률 및 고굴절률층을 선택할 수 있다.

[4] 그러나 이와 같은 통상적인 DBR 구조는 MBE(Molecular Beam Epitaxy) 혹은 MOCVD(Metal Organic Chemical Vapor Deposition) 등의 고품위 박막성장방법을 이용하여 제조되기 때문에 기판이 제한되며, 물질의 굴절률 조절에 한계가 있으며, 저굴절률층과 고굴절률층의 굴절률 차(Index contrast)가 작기 때문에 고반사를 얻기 위해 여러 층(약 30페어 이상)이 적층되어 두께가 두꺼워지는 문제점이 있다. 또한 원하는 모양의 형성이 까다로운 단점이 있다.

발명의 상세한 설명

기술적 과제

[5] 본 발명은 전술한 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 실리콘을 비스듬하게 혹은 수직으로 증착하여 형성된 실리콘 DBR 구조의 큰 굴절률차로 인해 적은 층수로 제조가 가능하며, 공정시간 및 비용을 단축할 수 있도록 한 실리콘 DBR 구조가 집적된 광소자(예컨대, 수직공진 표면발광레이저(Vertical Cavity Surface Emitting Laser, VCSEL) 또는 수직공진

발광소자(Resonant Cavity Light Emitting Diode, RC-LED)) 및 그 제조방법을 제공하는데 있다.

과제 해결 수단

[6] 전술한 목적을 달성하기 위하여 본 발명의 제1 측면은, 서로 다른 굴절률을 갖는 두 반도체 물질층이 교번되게 적층되어 형성된 하부반사기층; 상기 하부반사기층의 상부에 형성된 n형 오믹접촉층; 상기 n형 오믹접촉층의 상부에 형성되며, 중앙부에 전류주입구가 형성된 적어도 한 층의 산화가능층을 통해 주입된 전자와 정공이 결합하여 빛을 발생하는 활성층; 상기 활성층의 상면에 형성된 p형 오믹접촉층; 상기 p형 오믹접촉층의 상부에 형성되고, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 상부반사기층; 및 상기 n형 및 p형 오믹접촉층의 상부에 각각 형성된 n형 및 p형 전극을 포함하되, 상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 p형 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착되며, 상기 제2 실리콘층은 상기 p형 오믹접촉층의 평면에 수직하게 증착되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자를 제공하는 것이다.

[7] 본 발명의 제2 측면은, 기판 상에 형성되며, 서로 다른 굴절률을 갖는 두 반도체 물질층이 교번되게 적층되어 형성된 상부반사기층; 상기 상부반사기층의 상부에 형성된 n형 오믹접촉층; 상기 n형 오믹접촉층의 상부에 형성되며, 중앙부에 전류주입구가 형성된 적어도 한 층의 산화가능층을 통해 주입된 전자와 정공이 결합하여 빛을 발생하는 활성층; 상기 활성층의 상면에 형성된 p형 오믹접촉층; 상기 p형 오믹접촉층의 상부에 형성되고, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 하부반사기층; 및 상기 n형 및 p형 오믹접촉층의 상부에 각각 형성된 n형 및 p형 전극을 포함하되, 상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 p형 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착되며, 상기 제2 실리콘층은 상기 p형 오믹접촉층의 평면에 수직하게 증착되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자를 제공하는 것이다.

[8] 본 발명의 제3 측면은, 기판 상에 형성되며, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 하부반사기층; 상기 하부반사기층의 상부에 형성된 p형 오믹접촉층; 상기 p형 오믹접촉층의 상부에 형성되며, 주입된 전자와 정공이 결합하여 빛을 발생하는 활성층; 상기 활성층의 상면에 형성된 n형 오믹접촉층; 상기 n형 오믹접촉층의 상부에 형성되고, 서로 다른 굴절률을 가진 적어도 한

층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR 구조로 이루어진 상부반사기층; 및 상기 n형 및 p형 오믹접촉층의 상부에 각각 형성된 n형 및 p형 전극을 포함하되, 상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 기판 및 상기 n형 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 각각 증착되며, 상기 제2 실리콘층은 상기 기판 및 상기 n형 오믹접촉층의 평면에 수직하게 각각 증착되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자를 제공하는 것이다.

[9] 본 발명의 제4 측면은, 기판 상에 형성되며, 서로 다른 굴절률을 갖는 두 반도체 물질층이 교번되게 적층되어 형성된 하부반사기층; 상기 하부반사기층의 상부에 형성되는 활성층; 상기 활성층의 상면에 형성된 전류확산층; 상기 전류확산층의 상면에 형성된 오믹접촉층; 상기 오믹접촉층의 상부에 형성되며, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 상부반사기층; 상기 오믹접촉층의 상부에 형성된 상부전극; 및 상기 기판의 하면에 형성된 하부전극을 포함하되, 상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착되며, 상기 제2 실리콘층은 상기 오믹접촉층의 평면에 수직하게 증착되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자를 제공하는 것이다.

[10] 본 발명의 제5 측면은, 기판 상에 형성된 하부전극; 상기 하부전극의 상부에 형성된 오믹접촉층; 상기 오믹접촉층의 상면에 형성된 전류확산층; 상기 전류확산층의 상면에 형성된 활성층; 상기 활성층의 상부에 형성되며, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 반사기층; 및 상기 활성층의 상부에 형성된 상부전극을 포함하되, 상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 활성층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착되며, 상기 제2 실리콘층은 상기 활성층의 평면에 수직하게 증착되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자를 제공하는 것이다.

[11] 여기서, 상기 제1 및 제2 실리콘층의 굴절률은 1 내지 5 범위에서 선택됨이 바람직하다.

[12] 바람직하게, 상기 제1 및 제2 실리콘층은 결정형, 비정질 혹은 그 중간 단계의 실리콘으로 이루어지는 그룹으로부터 선택된 단일 물질로 형성될 수 있다.

[13] 바람직하게, 상기 제1 실리콘층은 다공성 구조로 이루어질 수 있다.

[14] 바람직하게, 상기 경사각은 1도 내지 90도로 이루어질 수 있다.

[15] 바람직하게, 상기 제1 및 제2 실리콘층의 두께는 0.001㎛ 내지 100㎛ 범위로 이루어질 수 있다.

[16] 바람직하게, 상기 제1 및 제2 실리콘층은 각각 2층 내지 5층으로 이루어질 수

있다.

[17] 본 발명의 제6 측면은, 서로 다른 굴절률을 갖는 두 반도체 물질층이 교번되게 적층되어 형성된 하부반사기층 상에 n형 오믹접촉층, 산화가능층, p형 오믹접촉층을 순차적으로 적층하는 단계; 적층된 상기 p형 오믹접촉층의 상부에 제1 감광제 패턴을 형성하고, 상기 제1 감광제 패턴을 마스크로 상기 p형 오믹접촉층 및 상기 산화가능층의 측면을 비롯하여 상기 n형 오믹접촉층의 표면이 노출되도록 식각하여 제1 메사(mesa) 구조를 형성하는 단계; 상기 제1 감광제 패턴을 제거하고, 습식 산화공정을 통해 노출된 상기 산화가능층의 측면을 선택적으로 습식 산화하여 상기 산화가능층의 중앙부에 전류주입구를 형성함에 따라 활성층을 형성하는 단계; 상기 n형 오믹접촉층의 상부 일부분을 포함한 상기 제1 메사 구조의 전체를 감싸도록 제2 감광제 패턴을 형성한 후, 상기 제2 감광제 패턴을 마스크로 상기 n형 오믹접촉층의 측면 및 상기 하부반사기층의 표면이 노출되도록 식각하여 상기 제1 메사 구조와 중심이 일치하는 제2 메사 구조를 형성하는 단계; 상기 제2 감광제 패턴을 제거하고, 상기 p형 및 n형 오믹접촉층 상부의 소정 영역이 노출되도록 상기 하부반사기층의 전면에 보호층을 형성한 후, 노출된 상기 p형 및 n형 오믹접촉층의 상부에 각각 p형 및 n형 전극을 형성하는 단계; 및 노출된 상기 p형 오믹접촉층의 상부 소정 영역에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 상부반사기층을 형성하는 단계를 포함하되, 상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 p형 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착하며, 상기 제2 실리콘층은 상기 p형 오믹접촉층의 평면에 수직하게 증착하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 제공하는 것이다.

[18] 본 발명의 제7 측면은, 기판 상에 서로 다른 굴절률을 갖는 두 반도체 물질층이 교번되게 적층되어 형성된 상부반사기층, n형 오믹접촉층, 산화가능층, p형 오믹접촉층을 순차적으로 적층하는 단계; 적층된 상기 p형 오믹접촉층의 상부에 제1 감광제 패턴을 형성하고, 상기 제1 감광제 패턴을 마스크로 상기 p형 오믹접촉층 및 상기 산화가능층의 측면을 비롯하여 상기 n형 오믹접촉층의 표면이 노출되도록 식각하여 제1 메사(mesa) 구조를 형성하는 단계; 상기 제1 감광제 패턴을 제거하고, 습식 산화공정을 통해 노출된 상기 산화가능층의 측면을 선택적으로 습식 산화하여 상기 산화가능층의 중앙부에 전류주입구를 형성함에 따라 활성층을 형성하는 단계; 상기 n형 오믹접촉층의 상부 일부분을 포함한 상기 제1 메사 구조의 전체를 감싸도록 제2 감광제 패턴을 형성한 후, 상기 제2 감광제 패턴을 마스크로 상기 n형 오믹접촉층의 측면 및 상기 상부반사기층의 표면이 노출되도록 식각하여 상기 제1 메사 구조와 중심이 일치하는 제2 메사 구조를 형성하는 단계; 상기 제2 감광제 패턴을 제거하고,

상기 p형 및 n형 오믹접촉층 상부의 소정 영역이 노출되도록 상기 상부반사기층의 전면에 보호층을 형성한 후, 노출된 상기 p형 및 n형 오믹접촉층의 상부에 각각 p형 및 n형 전극을 형성하는 단계; 및 노출된 상기 p형 오믹접촉층의 상부 소정 영역에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 하부반사기층을 형성하는 단계를 포함하되, 상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 p형 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착하며, 상기 제2 실리콘층은 상기 p형 오믹접촉층의 평면에 수직하게 증착하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 제공하는 것이다.

[19] 본 발명의 제8 측면은, 제1 기판 상에 기판 제거용 박막층, n형 오믹접촉층, 활성층 및 p형 오믹접촉층을 순차적으로 적층한 후, 상기 p형 오믹접촉층 상에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector)구조로 이루어진 하부반사기층을 형성하는 단계; 상기 하부반사기층의 상면에 제2 기판을 접합하고, 상기 n형 오믹접촉층의 표면이 노출되도록 상기 기판 제거용 박막층 및 상기 제1 기판을 분리하는 단계; 노출된 상기 n형 오믹접촉층의 상부에 제1 감광제 패턴을 형성하고, 상기 제1 감광제 패턴을 마스크로 상기 n형 오믹접촉층 및 상기 활성층의 측면을 비롯하여 상기 p형 오믹접촉층의 표면이 노출되도록 식각하여 제1 메사(mesa) 구조를 형성하는 단계; 상기 제1 감광제 패턴을 제거하고, 상기 p형 오믹접촉층의 상부 일부분을 포함한 상기 제1 메사 구조의 전체를 감싸도록 제2 감광제 패턴을 형성한 후, 상기 제2 감광제 패턴을 마스크로 상기 p형 오믹접촉층의 측면 및 상기 하부반사기층의 표면이 노출되도록 식각하여 상기 제1 메사 구조와 중심이 일치하는 제2 메사 구조를 형성하는 단계; 상기 제2 감광제 패턴을 제거하고, 상기 p형 및 n형 오믹접촉층 상부의 소정 영역이 노출되도록 상기 하부반사기층의 전면에 보호층을 형성한 후, 노출된 상기 p형 및 n형 오믹접촉층의 상부에 각각 p형 및 n형 전극을 형성하는 단계; 및 노출된 상기 n형 오믹접촉층 상부의 소정 영역에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR 구조로 이루어진 상부반사기층을 형성하는 단계를 포함하되, 상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 제2 기판 및 상기 n형 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 각각 증착하며, 상기 제2 실리콘층은 상기 제2 기판 및 상기 n형 오믹접촉층의 평면에 수직하게 증착하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 제공하는 것이다.

[20] 여기서, 상기 하부반사기층과 상기 제2 기판은 금속 혹은 폴리머 접착층을 이용하여 접합함이 바람직하다.

[21] 바람직하게, 상기 기판 제거용 박막층 및 상기 제1 기판은 레이저 리프트 오프(lift-off) 혹은 화학적 리프트 오프 방법을 사용하여 분리할 수 있다.

[22] 본 발명의 제9 측면은, 기판 상에 서로 다른 굴절률을 갖는 두 반도체 물질층이 교번되게 적층되어 형성된 하부반사기층, 활성층, 전류확산층 및 오믹접촉층을 순차적으로 적층하는 단계; 적층된 상기 오믹접촉층의 상부에 감광제 패턴을 형성하고, 상기 감광제 패턴을 마스크로 상기 오믹접촉층, 상기 전류확산층 및 상기 활성층의 측면을 비롯하여 상기 하부반사기층의 표면이 노출되도록 식각하여 메사(mesa) 구조를 형성하는 단계; 및 상기 감광제 패턴을 제거하고, 상기 오믹접촉층 상부의 소정 영역 및 상기 기판의 하면에 각각 상부 및 하부전극을 각각 형성한 후, 상기 오믹접촉층 상부의 소정 영역에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 상부반사기층을 형성하는 단계를 포함하되, 상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착되며, 상기 제2 실리콘층은 상기 오믹접촉층의 평면에 수직하게 증착되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 제공하는 것이다.

[23] 본 발명의 제10 측면은, 제1 기판 상에 기판 제거용 박막층, 활성층, 전류확산층 및 오믹접촉층을 순차적으로 적층한 후, 상기 오믹접촉층 상에 하부전극을 형성하는 단계; 상기 하부전극의 상면에 제2 기판을 접합하고, 상기 활성층의 표면이 노출되도록 상기 기판 제거용 박막층 및 상기 제1 기판을 분리하는 단계; 노출된 상기 활성층의 상부에 감광제 패턴을 형성하고, 상기 감광제 패턴을 마스크로 상기 활성층, 상기 전류확산층 및 상기 오믹접촉층의 측면을 비롯하여 상기 하부전극의 표면이 노출되도록 식각하여 메사(mesa) 구조를 형성하는 단계; 및 상기 감광제 패턴을 제거하고, 상기 활성층 상부의 소정 영역에 상부전극을 형성한 후, 상기 활성층의 상부에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 반사기층을 형성하는 단계를 포함하되, 상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 활성층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착하며, 상기 제2 실리콘층은 상기 활성층의 평면에 수직하게 증착하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 제공하는 것이다.

[24] 여기서, 상기 하부전극과 상기 제2 기판은 금속 혹은 폴리머 접착층을 이용하여 접합함이 바람직하다.

[25] 바람직하게, 상기 기판 제거용 박막층 및 상기 제1 기판은 레이저 리프트 오프(lift-off) 혹은 화학적 리프트 오프 방법을 사용하여 분리할 수 있다.

[26] 바람직하게, 상기 제1 및 제2 실리콘층의 굴절률은 1 내지 5 범위에서 선택할 수

있다.

[27] 바람직하게, 상기 제1 및 제2 실리콘층은 결정형, 비정질 혹은 그 중간 단계의 실리콘으로 이루어지는 그룹으로부터 선택된 단일 물질로 형성할 수 있다.

[28] 바람직하게, 상기 제1 실리콘층은 다공성 구조로 이루어질 수 있다.

[29] 바람직하게, 상기 경사각은 1도 내지 90도로 이루어질 수 있다.

[30] 바람직하게, 상기 경사지게 증착하는 방법은 스퍼터링 또는 증발법을 이용할 수 있다.

[31] 바람직하게, 상기 제1 및 제2 실리콘층의 두께는 0.001㎛ 내지 100㎛ 범위로 이루어질 수 있다.

[32] 바람직하게, 상기 제1 및 제2 실리콘층은 각각 2층 내지 5층으로 이루어질 수 있다.

발명의 효과

[33] 이상에서 설명한 바와 같은 본 발명의 실리콘 DBR 구조가 집적된 광 소자 및 그 제조방법에 따르면, 적은 층수로 충분한 반사특성을 보장하기 때문에 공정 시간 및 비용의 절감효과가 있으며, 또한 고반사를 유지하는 파장범위가 넓어 공정의 허용오차를 크게 유지할 수 있어 소자 수율을 향상시킬 수 있는 이점이 있다.

[34] 또한, 본 발명에 따르면, 실리콘을 기판 상에 비스듬히 증착하는 저굴절률 실리콘층과 수직하게 증착하는 고굴절률 실리콘층이 교대로 순차 재적층됨으로써, 적은 층수로 광대역 고반사가 가능하며, 넓은 파장 범위에서 높은 반사특성을 유지할 수 있는 이점이 있다.

[35] 또한, 본 발명에 따르면, 기판에 실리콘을 증발법 또는 스퍼터링법을 이용하여 기울여 증착하는 방법으로 굴절률을 조절하며 각 저굴절률 및 고굴절률 실리콘층의 굴절률차가 크게 선택되어 DBR 구조물을 구성하기 때문에 넓은 파장 범위에서 높은 반사특성을 유지할 수 있는 이점이 있다.

[36] 또한, 본 발명에 따르면, 단일 물질로 제조되기 때문에 챔버 내부의 오염을 줄이며, 열팽창계수가 서로 다른 이종 물질의 사용으로 인한 크랙이 없도록 할 수 있는 이점이 있다.

[37] 또한, 본 발명에 따르면, 비스듬히 증착하는 방법은 넓은 범위의 굴절률 변화를 제공하며, 간단한 몇 차례 증착만으로 제조할 수 있다는 장점을 가지고, 실리콘 굴절률차가 크기 때문에 적은 층수로도 충분한 고반사 특성을 제공할 수 있으며, 광소자 상의 얇은 두께로 증착할 수 있어 광소자의 응답속도 측면에서도 유리한 이점이 있다.

도면의 간단한 설명

[38] 도 1은 본 발명의 제1 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 설명하기 위한 단면도들이다.

[39] 도 2는 본 발명의 제2 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의

제조방법을 설명하기 위한 단면도들이다.

[40] 도 3은 본 발명의 제3 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 설명하기 위한 단면도들이다.

[41] 도 4는 본 발명의 제4 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 설명하기 위한 단면도들이다.

[42] 도 5는 본 발명의 제5 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 설명하기 위한 단면도들이다.

[43] [부호의 설명]

[44] 100 : 하부반사기층, 110 : n형 오믹접촉층,

[45] 120 : 활성층, 130 : p형 오믹접촉층,

[46] 140 : 상부반사기층, 150 : n형 전극,

[47] 160 : p형 전극

발명의 실시를 위한 형태

[48] 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당업계에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다.

[49] 먼저, 본 발명은 실리콘 DBR(Distributed Bragg Reflector) 구조가 집적된 광 소자 예컨대, 수직공진 표면발광레이저(Vertical Cavity Surface Emitting Laser, VCSEL) 및 수직공진 발광소자(Resonant Cavity Light Emitting Diode, RC-LED) 및 그 제조방법에 관한 것으로, 실리콘을 기판 상에 비스듬히 증착하는 저굴절률층과 수직하게 증착하는 고굴절률층이 순차 재적층되는 구조를 포함하는 실리콘 DBR 구조가 집적된 광소자의 제조방법을 제공한다.

[50] 또한, 본 발명에 따른 실리콘 DBR 구조는 굴절률 차가 크기 때문에 적은 페어수로도 충분히 높은 반사특성을 보일 수 있으며, 광대역 고반사율의 DBR 구현이 가능하므로, 수직공진 구조를 갖는 광소자에 적용하여 공정 시간 및 비용을 절감할 수 있다.

[51] 즉, 상기 기술적 과제를 달성하기 위한 본 발명에 따른 수직공진 표면발광레이저(VCSEL) 및 수직공진 발광소자(RC-LED)는, 기판 상에 경사지게 증착하는 것으로 굴절률을 조절하는 실리콘 저굴절률층 및 고굴절률층이 교대로 순차 적층되어 구성되는 실리콘 DBR이 집적된 것을 특징으로 한다.

[52] 이하에서는 본 발명에 따른 실리콘 DBR 구조가 집적된 수직공진 표면발광레이저(VCSEL) 및 수직공진 발광소자(RC-LED) 제조방법의 바람직한 실시예들을 첨부된 도면을 참조하여 상세히 설명하기로 한다. 단 본 발명의 내용이 하기의 실시예들에 한정되는 것은 아니다.

[53] (제1 실시예)

[54] 도 1은 본 발명의 제1 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 설명하기 위한 단면도들이다.

[55] 먼저, 도 1의 (g)를 참조하여 본 발명의 제1 실시예에 따른 실리콘 DBR(Distributed Bragg Reflector) 구조가 집적된 광 소자의 구조를 구체적으로 설명하면 다음과 같다.

[56] 즉, 본 발명의 제1 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자는 예컨대, 수직공진 표면발광레이저(VCSEL)로서, 기판 상에 순차적으로 적층된 하부반사기층(100), n형 오믹접촉층(110), 활성층(120) 및 p형 오믹접촉층(130)이 화합물 반도체로 이루어지는 것과 상부반사기층(140)만을 실리콘 DBR 구조로 사용하는 것을 특징으로 한다. 여기서, 상기 화합물 반도체라 함은 예컨대, GaAs계, InP계, GaN계 등의 발광 소자를 제작하기 위해 사용될 수 있는 모든 반도체 물질을 말한다.

[57] 한편, 도면에 미도시된 상기 기판(예컨대, 유리 기판 또는 반도체 기판(예컨대, Si, GaAs, InP, GaP, GaN 기판 등)은 생략가능하며, 하부반사기층(100) 상에 n형 오믹접촉층(110), 활성층(120) 및 p형 오믹접촉층(130)이 순차적으로 적층된 구조로 이루어짐이 바람직하다.

[58] 이와 같이 본 발명의 제1 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자는, 서로 다른 굴절률을 갖는 두 반도체 물질층(100a 및 100b)이 교번되게 적층되어 형성된 하부반사기층(100)과, 하부반사기층(100)의 상부에 형성된 n형 오믹접촉층(110)과, n형 오믹접촉층(110)의 상부에 형성되며, 중앙부에 전류주입구(A)가 형성된 적어도 한 층의 산화가능층(115')을 통해 주입된 전자와 정공이 결합하여 빛을 발생하는 활성층(120)과, 활성층(120)의 상면에 형성된 p형 오믹접촉층(130)과, p형 오믹접촉층(130)의 상부에 형성되고, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층(140a 및 140b)이 교대로 순차 적층되는 실리콘 DBR 구조로 이루어진 상부반사기층(140)과, n형 및 p형 오믹접촉층(110 및 130)의 상부에 각각 형성된 n형 및 p형 전극(150 및 160)을 포함하여 이루어진다.

[59] 여기서, 본 발명의 제1 실시예에 적용된 상부반사기층(140)은 실리콘을 이용한 실리콘 DBR 구조(또는 무반사막)로서, 저굴절률 실리콘층인 제1 실리콘층(140a)과 고굴절률 실리콘층인 제2 실리콘층(140b)이 순차 재적층되어 저굴절률과 고굴절률이 교차되는 구조로 이루어진다.

[60] 그리고, 제1 실리콘층(140a)은 제2 실리콘층(140b)보다 낮은 굴절률을 갖으며, 제1 실리콘층(140a) 및 제2 실리콘층(140b)의 굴절률은 약 1 내지 5 범위에서 선택할 수 있다.

[61] 한편, 제1 실리콘층(140a) 및 제2 실리콘층(140b) 상의 m은 양의 정수를 의미하며, 이는 p형 오믹접촉층(130)의 물질 혹은 원하는 반사율 등에 따라 다양한 층의 개수로 선택될 수 있다. 여기에서 각각의 제1 실리콘층(140a) 및 제2 실리콘층(140b)은 경사 증착법으로 형성될 수 있으며, 예컨대,

스퍼터링(sputtering) 또는 증발법(evaporation)에 의해 형성될 수 있다.

[62] 특히, 제1 실리콘층(140a)은 p형 오믹접촉층(130) 상에 실리콘을 비스듬하게 증착하여 굴절률을 조절하는데, 제1 실리콘층(140a)은 p형 오믹접촉층(130) 상에 실리콘을 비스듬하게 증착하는 과정에서 경사각(바람직하게, 약 1도 내지 90도 정도)을 조절하여 굴절률이 변화되도록 증착될 수 있으며, 제2 실리콘층(140b)은 p형 오믹접촉층(130)의 평면에 수직하게 증착됨이 바람직하다. 한편, 제1 실리콘층(140a)은 증착 속도를 조절하여 굴절률을 조절할 수도 있다.

[63] 또한, 제1 실리콘층(140a) 및 제2 실리콘층(140b)은 결정형, 비정질 혹은 그 중간 단계의 실리콘으로 이루어지는 그룹으로부터 선택된 단일 물질로 형성될 수 있다. 또한, 제1 실리콘층(140a)은 다공성 구조로 이루어질 수 있다.

[64] 또한, 제1 실리콘층(140a) 및 제2 실리콘층(140b)은 각각 약 2층 내지 5층으로 이루어짐이 바람직하며, 제1 실리콘층(140a) 및 제2 실리콘층(140b)의 두께는 약 0.001㎛ 내지 100㎛ 범위로 이루어질 수 있다.

[65] 이렇듯 실리콘의 굴절률을 조절하여 저굴절률 실리콘층 및 고굴절률 실리콘층을 구성하고 순차 적층하여 본 발명의 실리콘 DBR 구조를 제조하는 방법은, 적은 층수로도 넓은 파장 범위에서 고반사 특성을 보장할 수 있으며, 한 가지 물질을 사용하여 증착하므로 챔버 내의 오염을 막을 수 있고 또한 열팽창계수의 차이로 인한 크랙을 막을 수 있으며, 굴절률 변화 폭이 충분히 넓고, 얇은 두께로 구현이 가능하며, 각 층 두께의 허용오차가 크기 때문에, 기존 DBR 구조 및 제조방법에 비해 유리하다.

[66] 이하에는 본 발명의 제1 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법에 대하여 구체적으로 설명하기로 한다.

[67] 도 1의 (a)를 참조하면, 서로 다른 굴절률을 갖는 두 반도체 물질층(100a 및 100b)이 교번되게 적층되어 형성된 하부반사기층(Bottom DBR)(100) 상에 n형 오믹접촉층(n-contact layer)(110), 산화가능층(cavity)(115), p형 오믹접촉층(p-contact layer)(130)을 순차적으로 적층하여 VCSEL 에피(epi) 웨이퍼를 형성한다.

[68] 도 1의 (b)를 참조하면, 전술한 도 1의 (a)에서 적층된 p형 오믹접촉층(130)의 상부에 제1 감광제 패턴(미도시)을 형성한 후, 상기 제1 감광제 패턴을 마스크로 p형 오믹접촉층(130) 및 산화가능층(115)의 측면을 비롯하여 n형 오믹접촉층(110)의 표면이 노출되도록 식각(etching)하여 제1 메사(First mesa) 구조를 형성한다.

[69] 도 1의 (c)를 참조하면, 전술한 도 1의 (b)에서 형성된 제1 감광제 패턴을 제거하고, 습식 산화공정을 통해 노출된 산화가능층(115)의 측면을 선택적으로 습식 산화(Selective wet oxidation)하여 산화가능층(115')의 중앙부에 전류주입구(A)를 형성함에 따라 활성층(Active layers)(120)을 형성한다.

[70] 도 1의 (d)를 참조하면, n형 오믹접촉층(110)의 상부 일부분을 포함한 전술한 도 1의 (b)에서 형성된 제1 메사(First mesa) 구조의 전체를 감싸도록 제2 감광제

패턴(미도시)을 형성한 후, 상기 제2 감광제 패턴을 마스크로 n형 오믹접촉층(110)의 측면 및 하부반사기층(100)의 표면이 노출되도록 식각(etching)하여 상기 제1 메사 구조와 중심이 일치하는 제2 메사(Second mesa) 구조를 형성한다.

[71] 도 1의 (e) 및 (f)을 참조하면, 전술한 도 1의 (d)에서 형성된 제2 감광제 패턴을 제거하고, p형 및 n형 오믹접촉층(130 및 110) 상부의 소정 영역이 노출되도록 하부반사기층(100)의 전면에 보호층(Passivation layer)(예컨대, BCB 등)(135)을 형성한 후, 노출된 p형 및 n형 오믹접촉층(130 및 110)의 상부에 각각 p형 및 n형 전극(150 및 160)을 형성한다.

[72] 도 1의 (g)를 참조하면, 전술한 도 1의 (f)에서 노출된 p형 오믹접촉층(130)의 상부 소정 영역에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층(140a 및 140b)이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 상부반사기층(Top DBR)(140)을 형성한다.

[73] 이때, 제1 실리콘층(140a)은 제2 실리콘층(140b)보다 낮은 굴절률을 갖으며, p형 오믹접촉층(130) 상에 경사각(바람직하게, 약 1도 내지 90도 정도)을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착(예컨대, 스퍼터링 또는 증발법 등을 이용)하며, 제2 실리콘층(140b)은 p형 오믹접촉층(130)의 평면에 수직하게 증착함이 바람직하다.

[74] 또한, 제1 및 제2 실리콘층(140a 및 140b)의 굴절률은 약 1 내지 5 범위에서 선택할 수 있고, 제1 및 제2 실리콘층(140a 및 140b)은 결정형, 비정질 혹은 그 중간 단계의 실리콘으로 이루어지는 그룹으로부터 선택된 단일 물질로 형성할 수 있으며, 제1 실리콘층(140a)은 다공성 구조로 이루어질 수 있다.

[75] 또한, 제1 및 제2 실리콘층(140a 및 140b)의 두께는 약 0.001㎛ 내지 100㎛ 범위로 이루어질 수 있으며, 제1 및 제2 실리콘층(140a 및 140b)은 각각 약 2층 내지 5층으로 이루어질 수 있다.

[76] 전술한 바와 같이, 본 발명의 제1 실시예에 따른 실리콘 DBR 구조가 집적된 광소자의 제조방법을 보다 특징적으로 간단하게 설명하면, 상기 언급한 바와 같이 순차적으로 적층된 VCSEL 에피 웨이퍼는 첫 번째 메사 식각 및 산화과정을 통해 공진 구조를 형성하고, n형 오믹접촉층(110)을 식각하는 두 번째 메사 식각을 통해 소자간의 연결을 차단한다. 다음 단계로, 보호층(135) 형성과 p형 및 n형 전극(150 및 160)을 형성한다. 마지막으로, 리프트-오프(Lift-off) 공정을 이용하여 상부반사기층(140)을 실리콘으로 제조한다. 여기에서 각각의 실리콘 층은 경사 증착법으로 형성될 수 있으며, 예컨대, 스퍼터링(sputtering) 또는 증발법(evaporation)에 의해 형성될 수 있다.

[77] (제2 실시예)

[78] 도 2는 본 발명의 제2 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 설명하기 위한 단면도들이다.

[79] 먼저, 도 2의 (g)를 참조하여 본 발명의 제2 실시예에 따른 실리콘

DBR(Distributed Bragg Reflector) 구조가 집적된 광 소자의 구조를 구체적으로 설명하면 다음과 같다.

[80] 즉, 본 발명의 제2 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자는 예컨대, 수직공진 표면발광레이저(VCSEL)로서, 기판 상에 순차적으로 적층된 상부반사기층, n형 오믹접촉층, 활성층, p형 오믹접촉층이 화합물 반도체로 이루어지는 것과, 하부반사기층만을 실리콘 DBR 구조로 사용하는 것과, 기판 방향으로 발광되는 것을 특징으로 한다. 여기서, 상기 화합물 반도체라 함은 예컨대, GaAs계, InP계, GaN계 등의 발광 소자를 제작하기 위해 사용될 수 있는 모든 반도체 물질을 말한다.

[81] 이와 같이 본 발명의 제2 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자는, 기판(200) 상에 형성되며, 서로 다른 굴절률을 갖는 두 반도체 물질층(210a 및 210b)이 교번되게 적층되어 형성된 상부반사기층(210)과, 상부반사기층(210)의 상부에 형성된 n형 오믹접촉층(220)과, n형 오믹접촉층(220)의 상부에 형성되며, 중앙부에 전류주입구(A)가 형성된 적어도 한 층의 산화가능층(225')을 통해 주입된 전자와 정공이 결합하여 빛을 발생하는 활성층(230)과, 활성층(230)의 상면에 형성된 p형 오믹접촉층(240)과, p형 오믹접촉층(240)의 상부에 형성되고, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층(250a 및 250b)이 교대로 순차 적층되는 실리콘 DBR 구조로 이루어진 하부반사기층(250)과, n형 및 p형 오믹접촉층(220 및 240)의 상부에 각각 형성된 n형 및 p형 전극(260 및 270)을 포함하여 이루어진다.

[82] 여기서, 제1 및 제2 실리콘층(250a 및 250b)은 전술한 제1 실시예에 적용된 제1 및 제2 실리콘층(140a 및 140b)과 동일하므로, 이에 대한 상세한 설명은 전술한 제1 실시예를 참조하기로 한다.

[83] 이하에는 본 발명의 제2 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법에 대하여 구체적으로 설명하기로 한다.

[84] 도 2의 (a)를 참조하면, 기판(200) 상에 서로 다른 굴절률을 갖는 두 반도체 물질층(210a 및 210b)이 교번되게 적층되어 형성된 상부반사기층(210), n형 오믹접촉층(220), 산화가능층(225), p형 오믹접촉층(240)을 순차적으로 적층하여 VCSEL 에피(epi) 웨이퍼를 형성한다.

[85] 도 2의 (b)를 참조하면, 전술한 도 2의 (a)에서 적층된 p형 오믹접촉층(240)의 상부에 제1 감광제 패턴(미도시)을 형성한 후, 상기 제1 감광제 패턴을 마스크로 p형 오믹접촉층(240) 및 산화가능층(225)의 측면을 비롯하여 n형 오믹접촉층(220)의 표면이 노출되도록 식각하여 제1 메사(First mesa) 구조를 형성한다.

[86] 도 2의 (c)를 참조하면, 전술한 도 2의 (b)에서 형성된 제1 감광제 패턴을 제거하고, 습식 산화공정을 통해 노출된 산화가능층(225)의 측면을 선택적으로 습식 산화하여 산화가능층(225')의 중앙부에 전류주입구(A)를 형성함에 따라 활성층(230)을 형성한다.

[87] 도 2의 (d)를 참조하면, n형 오믹접촉층(220)의 상부 일부분을 포함한 전술한 도 2의 (b)에서 형성된 제1 메사(First mesa) 구조의 전체를 감싸도록 제2 감광제 패턴(미도시)을 형성한 후, 상기 제2 감광제 패턴을 마스크로 n형 오믹접촉층(220)의 측면 및 상부반사기층(210)의 표면이 노출되도록 식각(etching)하여 상기 제1 메사 구조와 중심이 일치하는 제2 메사(Second mesa) 구조를 형성한다.

[88] 도 2의 (e) 및 (f)을 참조하면, 전술한 도 2의 (d)에서 형성된 제2 감광제 패턴을 제거하고, p형 및 n형 오믹접촉층(240 및 220) 상부의 소정 영역이 노출되도록 상부반사기층(210)의 전면에 보호층(245)을 형성한 후, 노출된 p형 및 n형 오믹접촉층(240 및 220)의 상부에 각각 p형 및 n형 전극(260 및 270)을 형성한다.

[89] 도 2의 (g)를 참조하면, 전술한 도 2의 (f)에서 노출된 p형 오믹접촉층(240)의 상부 소정 영역에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층(250a 및 250b)이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 하부반사기층(250)을 형성한다.

[90] 전술한 바와 같이, 본 발명의 제2 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 보다 특징적으로 간단하게 설명하면, 상기 언급한 바와 같이 순차적으로 적층된 VCSEL 에피 웨이퍼는 첫 번째 메사 식각 및 산화과정을 통해 공진 구조를 형성하고, n형 오믹접촉층(220)을 식각하는 두 번째 메사 식각을 통해 소자간의 연결을 차단한다. 다음 단계로 보호층(245) 형성과 p형 및 n형 전극(260 및 270)을 형성한다. 마지막으로, 리프트-오프(Lift-off) 공정을 이용하여 하부반사기층(250)을 실리콘으로 제조한다.

[91] 여기에서 각각의 실리콘 층은 경사 증착법으로 형성될 수 있으며, 예컨대, 스퍼터링(sputtering) 또는 증발법(evaporation)에 의해 형성될 수 있다. 특히, 본 발명의 제2 실시예를 통해 제조된 광 소자와 전술한 제1 실시예를 통해 제조된 광 소자의 차이점은 상부반사기층 및 하부반사기층의 위치가 다르고 발광 방향이 다른 것으로, VCSEL 에피 웨이퍼 성장 시 고반사 DBR의 성장을 위해서는 최소 30층 이상의 두꺼운 다층 박막의 형성이 필수적이므로, 본 발명의 제2 실시예에 따라 상부반사기층을 먼저 성장하게 되면 상대적으로 반사율이 낮기 때문에 다층 박막의 층수가 적어져 공정시간 및 비용을 절감할 수 있다.

[92] (제3 실시예)

[93] 도 3은 본 발명의 제3 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 설명하기 위한 단면도들이다.

[94] 먼저, 도 3의 (h)를 참조하여 본 발명의 제3 실시예에 따른 실리콘 DBR(Distributed Bragg Reflector) 구조가 집적된 광 소자의 구조를 구체적으로 설명하면 다음과 같다.

[95] 즉, 본 발명의 제3 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자는 예컨대, 수직공진 표면발광레이저(VCSEL)로서, 기판(바람직하게, Si 기판 등) 상에 순차적으로 적층된 기판 제거용 박막층, n형 오믹접촉층, 활성층(또는

산화가능층(cavity)) 및 p형 오믹접촉층이 화합물 반도체로 이루어지는 것과, 상부반사기층 및 하부반사기층 전체를 실리콘 DBR 구조로 사용하는 것과, 웨이퍼 접합 및 리프트오프(Lift-off)공정이 사용되는 것을 특징으로 한다. 여기서, 상기 화합물 반도체라 함은 예컨대, GaAs계, InP계, GaN계 등의 발광 소자를 제작하기 위해 사용될 수 있는 모든 반도체 물질을 말한다.

[96] 한편, 상기 기판은 예컨대, 유리 기판 또는 반도체 기판 등으로 구현됨이 바람직하며, 상기 반도체 기판은 예컨대, Si, GaAs, InP, GaP, GaN 중 어느 하나로 이루어질 수 있다.

[97] 이와 같이 본 발명의 제3 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자는, 기판(300) 상에 형성되며, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층(310a 및 310b)이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 하부반사기층(310)과, 하부반사기층(310)의 상부에 형성된 p형 오믹접촉층(320)과, p형 오믹접촉층(320)의 상부에 형성되며, 주입된 전자와 정공이 결합하여 빛을 발생하는 활성층(330)과, 활성층(330)의 상면에 형성된 n형 오믹접촉층(340)과, n형 오믹접촉층(340)의 상부에 형성되고, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층(350a 및 350b)이 교대로 순차 적층되는 실리콘 DBR 구조로 이루어진 상부반사기층(350)과, n형 및 p형 오믹접촉층(340 및 320)의 상부에 각각 형성된 n형 및 p형 전극(360 및 370)을 포함하여 이루어진다.

[98] 여기서, 제1 실리콘층(310a 및 350a)은 제2 실리콘층(310b 및 350b)보다 낮은 굴절률을 갖으며, 기판(300) 및 n형 오믹접촉층(340) 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 각각 증착되며, 제2 실리콘층(310b 및 350b)은 기판(300) 및 n형 오믹접촉층(340)의 평면에 수직하게 각각 증착됨이 바람직하다.

[99] 또한, 제1 실리콘층(310a 및 350a) 및 제2 실리콘층(310b 및 350b)은 전술한 제1 실시예에 적용된 제1 및 제2 실리콘층(140a 및 140b)과 동일하므로, 이에 대한 상세한 설명은 전술한 제1 실시예를 참조하기로 한다.

[100] 이하에는 본 발명의 제3 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법에 대하여 구체적으로 설명하기로 한다.

[101] 도 3의 (a)를 참조하면, 제1 기판(예컨대, GaAs 기판 등)(300‘) 상에 기판 제거용 박막층(예컨대, AlAs 층 등)(305), n형 오믹접촉층(340), 활성층(330) 및 p형 오믹접촉층(320)을 순차적으로 적층하여 VCSEL 에피(epi) 웨이퍼를 형성한다.

[102] 도 3의 (b)를 참조하면, p형 오믹접촉층(320) 상에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층(310a 및 310b)이 교대로 순차 적층되는 실리콘 DBR 구조로 이루어진 하부반사기층(310)을 형성한다.

[103] 도 3의 (c)를 참조하면, 하부반사기층(310)의 상면에 제2 기판(예컨대, Si 기판 등)(300)을 접합(bonding)하고, n형 오믹접촉층(340)의 표면이 노출되도록 기판 제거용 박막층(305) 및 제1 기판(300')을 분리한다.

[104] 이때, 하부반사기층(310)과 제2 기판(300)은 예컨대, 금속 혹은 폴리머 접착층을 이용하여 접합함이 바람직하며, 기판 제거용 박막층(305) 및 제1 기판(300')은 예컨대, 레이저 리프트 오프(lift-off) 혹은 화학적 리프트 오프 방법을 사용하여 분리함이 바람직하다.

[105] 도 3의 (d)를 참조하면, 전술한 도 3의 (c)에서 제조된 구조물의 상, 하부를 뒤집은 다음, 노출된 n형 오믹접촉층(340)의 상부에 제1 감광제 패턴(미도시)을 형성하고, 상기 제1 감광제 패턴을 마스크로 n형 오믹접촉층(340) 및 활성층(330)의 측면을 비롯하여 p형 오믹접촉층(320)의 표면이 노출되도록 식각하여 제1 메사(First mesa) 구조를 형성한다.

[106] 도 3의 (e)를 참조하면, 전술한 도 3의 (d)에서 형성된 제1 감광제 패턴을 제거하고, p형 오믹접촉층(320)의 상부 일부분을 포함한 상기 제1 메사 구조의 전체를 감싸도록 제2 감광제 패턴(미도시)을 형성한 후, 상기 제2 감광제 패턴을 마스크로 p형 오믹접촉층(320)의 측면 및 하부반사기층(310)의 표면이 노출되도록 식각하여 상기 제1 메사 구조와 중심이 일치하는 제2 메사(Second mesa) 구조를 형성한다.

[107] 도 3의 (f) 및 (g)을 참조하면, 전술한 도 3의 (e)에서 형성된 제2 감광제 패턴을 제거하고, p형 및 n형 오믹접촉층(320 및 340) 상부의 소정 영역이 노출되도록 하부반사기층(310)의 전면에 보호층(345)을 형성한 후, 노출된 p형 및 n형 오믹접촉층(320 및 340)의 상부에 각각 p형 및 n형 전극(360 및 370)을 형성한다.

[108] 도 3의 (h)를 참조하면, 전술한 도 3의 (g)에서 노출된 n형 오믹접촉층(340) 상부의 소정 영역에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층(350a 및 350b)이 교대로 순차 적층되는 실리콘 DBR 구조로 이루어진 상부반사기층(350)을 형성한다.

[109] 이때, 제1 실리콘층(310a 및 350a)은 제2 실리콘층(310b 및 350b)보다 낮은 굴절률을 갖으며, 제2 기판(300) 및 n형 오믹접촉층(340) 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 각각 증착하며, 제2 실리콘층(310b 및 350b)은 제2 기판(300) 및 n형 오믹접촉층(340)의 평면에 수직하게 증착함이 바람직하다.

[110] 전술한 바와 같이, 본 발명의 제3 실시예에 따른 실리콘 DBR 구조가 집적된 광소자의 제조방법을 보다 특징적으로 간단하게 설명하면, 상기 언급한 바와 같이 순차적으로 적층된 VCSEL 에피 웨이퍼는 전면에 실리콘 DBR 구조로 이루어진 하부반사기층을 형성한다. 다음 단계로 하부반사기층의 상부에 예컨대, 고반사 및 접착용 금속층을 형성하여 실리콘 기판과 접합하고, 화합물 반도체 기판을 리프트오프 방법에 의해 제거한다.

[111] 여기에서, 상기 접착용 금속층은 예컨대, Au, Ag, Cr 등이 사용될 수 있으며, 상기 실리콘 기판 이외에 금속 기판, SiC, ZnO 등으로 만들어진 것일 수도 있다. 그리고, 상기 화합물 반도체 기판을 제거하기 위한 리프트오프 방법은 레이저를 사용하는 것과 화학적 식각 방법이 있다.

[112] 다음 단계로 첫 번째 메사 식각 및 산화과정을 통해 공진 구조를 형성하고, p형 오믹접촉층을 식각하는 두 번째 메사 식각을 통해 소자간의 연결을 차단한다. 다음 단계로 보호층 형성과 p형 및 n형 전극을 형성한다. 마지막으로, 리프트-오프(Lift-off) 공정을 이용하여 실리콘 DBR 구조로 이루어진 상부반사기층을 제조한다.

[113] 여기에서, 각각의 실리콘 층은 경사 증착법으로 형성될 수 있으며, 예컨대, 스퍼터링(sputtering) 또는 증발법(evaporation)에 의해 형성될 수 있다. 본 발명의 제3 실시예를 통해 제조된 광 소자는 굴절률차가 큰 실리콘 DBR 구조를 사용하기 때문에 적은 층수로 높은 반사특성을 보장하며, 약 30층 이상의 다층 박막 성장이 불필요하기 때문에 공정시간 및 비용을 현저하게 줄일 수 있다. 또한, 굴절률차가 큰 실리콘 DBR 구조는 넓은 파장 범위에서 고반사특성을 유지하기 때문에 제작 시 공정 허용오차를 비교적 크게 유지할 수 있어 소자 수율에도 유리하다.

[114] 상기 실시예는 수직공진 발광소자(RC-LED)의 제조방법에도 동일하게 적용할 수 있으며, 당 분야에서 통상의 지식을 가진 자에 의해 많은 변형이 가능함은 명백하다.

[115] (제4 실시예)

[116] 도 4는 본 발명의 제4 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 설명하기 위한 단면도들이다.

[117] 먼저, 도 4의 (d)를 참조하여 본 발명의 제4 실시예에 따른 실리콘 DBR(Distributed Bragg Reflector) 구조가 집적된 광 소자의 구조를 구체적으로 설명하면 다음과 같다.

[118] 즉, 본 발명의 제4 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자는 예컨대, 수직공진 발광소자(RC-LED)로서, 기판 상에 순차적으로 적층된 하부반사기층, 활성층, 전류확산층(Current spreading layer), p형 오믹접촉층이 화합물 반도체로 이루어지는 것과, 상부반사기층만을 실리콘 DBR 구조로 사용하는 것을 특징으로 한다. 여기서, 상기 화합물 반도체라 함은 예컨대, GaAs계, InP계, GaN계 등의 발광 소자를 제작하기 위해 사용될 수 있는 모든 반도체 물질을 말한다.

[119] 상기 전류확산층은 전기전도성 물질로 이루어지는 것이 바람직하다. 특히, 광학적 특성까지 고려한다면, 상기 전류확산층은 투명전도성 산화물(Transparent Conductive Oxide, TCO)을 사용하는 것이 바람직하며, 예컨대, ITO(Indium Tin Oxide), ZnO, AlZnO, InZnO 등을 들 수 있다.

[120] 이와 같이 본 발명의 제4 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자는, 기판(400) 상에 형성되며, 서로 다른 굴절률을 갖는 두 반도체 물질층(410a 및 410b)이 교번되게 적층되어 형성된 하부반사기층(410)과, 하부반사기층(410)의 상부에 형성되는 활성층(420)과, 활성층(420)의 상면에 형성된 전류확산층(430)과, 전류확산층(430)의 상면에 형성된 오믹접촉층(예컨대,

p-contact layer)(440)과, 오믹접촉층(440)의 상부에 형성되며, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층(450a 및 450b)이 교대로 순차 적층되는 실리콘 DBR 구조로 이루어진 상부반사기층(450)과, 오믹접촉층(440)의 상부에 형성된 상부전극(에컨대, p형 전극)(460)과, 기판(400)의 하면에 형성된 하부전극(에컨대, n형 전극)(470)을 포함하여 이루어진다.

[121] 여기서, 제1 실리콘층(450a)은 제2 실리콘층(450b)보다 낮은 굴절률을 갖으며, 오믹접촉층(440) 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착되며, 제2 실리콘층(450b)은 오믹접촉층(440)의 평면에 수직하게 증착됨이 바람직하다.

[122] 또한, 제1 및 제2 실리콘층(450a 및 450b)은 전술한 제1 실시예에 적용된 제1 및 제2 실리콘층(140a 및 140b)과 동일하므로, 이에 대한 상세한 설명은 전술한 제1 실시예를 참조하기로 한다.

[123] 이하에는 본 발명의 제4 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법에 대하여 구체적으로 설명하기로 한다.

[124] 도 4의 (a)를 참조하면, 기판(400) 상에 서로 다른 굴절률을 갖는 두 반도체 물질층(410a 및 410b))이 교번되게 적층되어 형성된 하부반사기층(410), 활성층(420), 전류확산층(430) 및 오믹접촉층(440)을 순차적으로 적층하여 RC-LED 에피(epi) 웨이퍼를 형성한다.

[125] 도 4의 (b)를 참조하면, 전술한 도 4의 (a)에서 적층된 오믹접촉층(440)의 상부에 감광제 패턴(미도시)을 형성하고, 상기 감광제 패턴을 마스크로 오믹접촉층(440), 전류확산층(430) 및 활성층(420)의 측면을 비롯하여 하부반사기층(410)의 표면이 노출되도록 식각하여 메사(mesa) 구조를 형성한다.

[126] 도 4의 (c) 및 (d)을 참조하면, 전술한 도 4의 (b)에서 형성된 감광제 패턴을 제거하고, 오믹접촉층(440) 상부의 소정 영역 및 기판(400)의 하면에 각각 상부 및 하부전극(460 및 470)을 각각 형성한 후, 오믹접촉층(440) 상부의 소정 영역에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층(450a 및 450b)이 교대로 순차 적층되는 실리콘 DBR 구조로 이루어진 상부반사기층(450)을 형성한다.

[127] 전술한 바와 같이, 본 발명의 제4 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 보다 특징적으로 간단하게 설명하면, 상기 언급한 바와 같이 순차적으로 적층된 RC-LED 에피 웨이퍼는 첫 번째 메사 식각을 통해 공진 구조를 형성한다. 다음 단계로 상부전극 및 하부전극을 형성한다. 마지막으로, 리프트-오프(Lift-off) 공정을 이용하여 상부반사기층을 실리콘 DBR 구조로 제조한다. 여기서, 각각의 실리콘 층은 경사 증착법으로 형성될 수 있으며, 예컨대, 스퍼터링(sputtering) 또는 증발법(evaporation)에 의해 형성될 수 있다.

[128] (제5 실시예)

[129] 도 5는 본 발명의 제5 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 설명하기 위한 단면도들이다.

[130] 먼저, 도 5의 (f)를 참조하여 본 발명의 제5 실시예에 따른 실리콘 DBR(Distributed Bragg Reflector) 구조가 집적된 광 소자의 구조를 구체적으로 설명하면 다음과 같다.

[131] 즉, 본 발명의 제5 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자는 예컨대, 수직공진 발광소자(RC-LED)로서, 기판 상에 순차적으로 적층된 기판 제거용 박막층, 활성층, 전류확산층, p형 오믹접촉층이 화합물 반도체로 이루어지는 것과, 상부의 반사기층을 실리콘 DBR 구조로 사용하는 것과, 웨이퍼 접합 및 리프트오프(Lift-off)공정이 사용되는 것을 특징으로 한다. 여기서, 상기 화합물 반도체라 함은 예컨대, GaAs계, InP계, GaN계 등의 발광 소자를 제작하기 위해 사용될 수 있는 모든 반도체 물질을 말한다.

[132] 이와 같이 본 발명의 제5 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자는, 기판(500) 상에 형성된 하부전극(510)과, 하부전극(510)의 상부에 형성된 오믹접촉층(520)과, 오믹접촉층(520)의 상면에 형성된 전류확산층(530)과, 전류확산층(530)의 상면에 형성된 활성층(540)과, 활성층(540)의 상부에 형성되며, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층(550a 및 550b)이 교대로 순차 적층되는 실리콘 DBR 구조로 이루어진 반사기층(550)과, 활성층(540)의 상부에 형성된 상부전극(560)을 포함하여 이루어진다.

[133] 여기서, 제1 실리콘층(550a)은 제2 실리콘층(550b)보다 낮은 굴절률을 갖으며, 활성층(540) 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착되며, 제2 실리콘층(550b)은 활성층(540)의 평면에 수직하게 증착됨이 바람직하다.

[134] 또한, 제1 및 제2 실리콘층(550a 및 550b)은 전술한 제1 실시예에 적용된 제1 및 제2 실리콘층(140a 및 140b)과 동일하므로, 이에 대한 상세한 설명은 전술한 제1 실시예를 참조하기로 한다.

[135] 이하에는 본 발명의 제5 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법에 대하여 구체적으로 설명하기로 한다.

[136] 도 5의 (a) 및 (b)을 참조하면, 제1 기판(예컨대, GaAs 기판 등)(500‘) 상에 기판 제거용 박막층(예컨대, AlAs 층 등)(505), 활성층(540), 전류확산층(530) 및 오믹접촉층(예컨대, p-contact layer)(520)을 순차적으로 적층한 후, 오믹접촉층(520) 상에 하부전극(예컨대, n형 전극)(510)을 형성한다.

[137] 도 5의 (c)를 참조하면, 하부전극(510)의 상면에 제2 기판(예컨대, Si 기판 등)(500)을 접합하고, 활성층(540)의 표면이 노출되도록 기판 제거용 박막층(505) 및 제1 기판(500‘)을 분리한다.

[138] 이때, 하부전극(510)과 제2 기판(500)은 예컨대, 금속 혹은 폴리머 접착층을 이용하여 접합함이 바람직하며, 기판 제거용 박막층(505) 및 제1 기판(500‘)은 예컨대, 레이저 리프트 오프(lift-off) 혹은 화학적 리프트 오프 방법을 사용하여 분리함이 바람직하다.

[139] 도 5의 (d)를 참조하면, 전술한 도 5의 (c)에서 제조된 구조물의 상, 하부를

뒤집은 다음, 노출된 활성층(540)의 상부에 감광제 패턴(미도시)을 형성하고, 상기 감광제 패턴을 마스크로 활성층(540), 전류확산층(530) 및 오믹접촉층(520)의 측면을 비롯하여 하부전극(510)의 표면이 노출되도록 식각하여 메사(mesa) 구조를 형성한다.

[140] 도 5의 (e) 및 (f)을 참조하면, 전술한 도 5의 (d)에서 형성된 감광제 패턴을 제거하고, 활성층(540) 상부의 소정 영역에 상부전극(예컨대, p형 전극)(560)을 형성한 후, 활성층(540)의 상부에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층(550a 및 550b)이 교대로 순차 적층되는 실리콘 DBR 구조로 이루어진 반사기층(예컨대, Top DBR)(550)을 형성한다.

[141] 전술한 바와 같이, 본 발명의 제5 실시예에 따른 실리콘 DBR 구조가 집적된 광 소자의 제조방법을 보다 특징적으로 간단하게 설명하면, 상기 언급한 바와 같이 순차적으로 적층된 RC-LED 에피 웨이퍼는 전면에 예컨대, 고반사 및 접착용 금속층을 형성하여 실리콘 기판과 접합하고, 화합물 반도체 기판을 리프트오프 방법에 의해 제거한다.

[142] 여기에서, 상기 접착용 금속층은 예컨대, Au, Ag, Cr 등이 사용될 수 있으며, 상기 실리콘 기판 이외에 금속 기판, SiC, ZnO 등으로 만들어진 것일 수도 있다. 그리고, 상기 화합물 반도체 기판을 제거하기 위한 리프트오프 방법은 예컨대, 레이저를 사용하는 것과 화학적 식각 방법 등이 있다.

[143] 다음 단계로 메사 식각을 통해 공진 구조를 형성한다. 다음 단계로 p형 금속층을 형성한다. 마지막으로, 리프트-오프(Lift-off) 공정을 이용하여 실리콘 DBR 구조로 이루어진 상부반사기층을 제조한다.

[144] 여기에서, 각각의 실리콘 층은 경사 증착법으로 형성될 수 있으며, 예컨대, 스퍼터링(sputtering) 또는 증발법(evaporation)에 의해 형성될 수 있다. 본 발명의 제5 실시예를 통해 제조된 광 소자는 굴절률차가 큰 실리콘 DBR 구조를 사용하기 때문에 적은 층수로 높은 반사특성을 보장하며, 약 30층 이상의 다층 박막 성장이 불필요하기 때문에 공정시간 및 비용을 현저하게 줄일 수 있다. 또한, 굴절률차가 큰 실리콘 DBR 구조는 넓은 파장 범위에서 고반사특성을 유지하기 때문에 제작 시 공정 허용오차를 비교적 크게 유지할 수 있어 소자 수율에도 유리하다.

[145] 상기 실시예는 당 분야에서 통상의 지식을 가진 자에 의해 많은 변형이 가능함은 명백하다.

[146] 전술한 본 발명에 따른 실리콘 DBR 구조가 집적된 광 소자 및 그 제조방법에 대한 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명에 속한다.

청구범위

[청구항 1] 서로 다른 굴절률을 갖는 두 반도체 물질층이 교번되게 적층되어 형성된 하부반사기층;
상기 하부반사기층의 상부에 형성된 n형 오믹접촉층;
상기 n형 오믹접촉층의 상부에 형성되며, 중앙부에 전류주입구가 형성된 적어도 한 층의 산화가능층을 통해 주입된 전자와 정공이 결합하여 빛을 발생하는 활성층;
상기 활성층의 상면에 형성된 p형 오믹접촉층;
상기 p형 오믹접촉층의 상부에 형성되고, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 상부반사기층; 및
상기 n형 및 p형 오믹접촉층의 상부에 각각 형성된 n형 및 p형 전극을 포함하되,
상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 p형 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착되며, 상기 제2 실리콘층은 상기 p형 오믹접촉층의 평면에 수직하게 증착되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자.

[청구항 2] 기판 상에 형성되며, 서로 다른 굴절률을 갖는 두 반도체 물질층이 교번되게 적층되어 형성된 상부반사기층;
상기 상부반사기층의 상부에 형성된 n형 오믹접촉층;
상기 n형 오믹접촉층의 상부에 형성되며, 중앙부에 전류주입구가 형성된 적어도 한 층의 산화가능층을 통해 주입된 전자와 정공이 결합하여 빛을 발생하는 활성층;
상기 활성층의 상면에 형성된 p형 오믹접촉층;
상기 p형 오믹접촉층의 상부에 형성되고, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 하부반사기층; 및
상기 n형 및 p형 오믹접촉층의 상부에 각각 형성된 n형 및 p형 전극을 포함하되,
상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 p형 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착되며, 상기 제2 실리콘층은 상기 p형 오믹접촉층의 평면에 수직하게 증착되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자.

[청구항 3] 기판 상에 형성되며, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 하부반사기층;
상기 하부반사기층의 상부에 형성된 p형 오믹접촉층;
상기 p형 오믹접촉층의 상부에 형성되며, 주입된 전자와 정공이 결합하여 빛을 발생하는 활성층;
상기 활성층의 상면에 형성된 n형 오믹접촉층;
상기 n형 오믹접촉층의 상부에 형성되고, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR 구조로 이루어진 상부반사기층; 및
상기 n형 및 p형 오믹접촉층의 상부에 각각 형성된 n형 및 p형 전극을 포함하되,
상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 기판 및 상기 n형 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 각각 증착되며, 상기 제2 실리콘층은 상기 기판 및 상기 n형 오믹접촉층의 평면에 수직하게 각각 증착되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자.

[청구항 4] 기판 상에 형성되며, 서로 다른 굴절률을 갖는 두 반도체 물질층이 교번되게 적층되어 형성된 하부반사기층;
상기 하부반사기층의 상부에 형성되는 활성층;
상기 활성층의 상면에 형성된 전류확산층;
상기 전류확산층의 상면에 형성된 오믹접촉층;
상기 오믹접촉층의 상부에 형성되며, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 상부반사기층;
상기 오믹접촉층의 상부에 형성된 상부전극; 및
상기 기판의 하면에 형성된 하부전극을 포함하되,
상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착되며, 상기 제2 실리콘층은 상기 오믹접촉층의 평면에 수직하게 증착되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자.

[청구항 5] 기판 상에 형성된 하부전극;
상기 하부전극의 상부에 형성된 오믹접촉층;
상기 오믹접촉층의 상면에 형성된 전류확산층;
상기 전류확산층의 상면에 형성된 활성층;

상기 활성층의 상부에 형성되며, 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 반사기층; 및
상기 활성층의 상부에 형성된 상부전극을 포함하되,
상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 활성층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착되며, 상기 제2 실리콘층은 상기 활성층의 평면에 수직하게 증착되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자.

[청구항 6] 제1 항 내지 제5 항 중 어느 한 항에 있어서,
상기 제1 및 제2 실리콘층의 굴절률은 1 내지 5 범위에서 선택되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자.

[청구항 7] 제1 항 내지 제5 항 중 어느 한 항에 있어서,
상기 제1 및 제2 실리콘층은 결정형, 비정질 혹은 그 중간 단계의 실리콘으로 이루어지는 그룹으로부터 선택된 단일 물질로 형성되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자.

[청구항 8] 제1 항 내지 제5 항 중 어느 한 항에 있어서,
상기 제1 실리콘층은 다공성 구조로 이루어진 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자.

[청구항 9] 제1 항 내지 제5 항 중 어느 한 항에 있어서,
상기 경사각은 1도 내지 90도인 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자.

[청구항 10] 제1 항 내지 제5 항 중 어느 한 항에 있어서,
상기 제1 및 제2 실리콘층의 두께는 0.001㎛ 내지 100㎛ 범위로 이루어진 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자.

[청구항 11] 제1 항 내지 제5 항 중 어느 한 항에 있어서,
상기 제1 및 제2 실리콘층은 각각 2층 내지 5층으로 이루어지는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자.

[청구항 12] 서로 다른 굴절률을 갖는 두 반도체 물질층이 교번되게 적층되어 형성된 하부반사기층 상에 n형 오믹접촉층, 산화가능층, p형 오믹접촉층을 순차적으로 적층하는 단계;
적층된 상기 p형 오믹접촉층의 상부에 제1 감광제 패턴을 형성하고, 상기 제1 감광제 패턴을 마스크로 상기 p형 오믹접촉층 및 상기 산화가능층의 측면을 비롯하여 상기 n형 오믹접촉층의 표면이 노출되도록 식각하여 제1 메사(mesa) 구조를 형성하는 단계;
상기 제1 감광제 패턴을 제거하고, 습식 산화공정을 통해 노출된 상기 산화가능층의 측면을 선택적으로 습식 산화하여 상기

산화가능층의 중앙부에 전류주입구를 형성함에 따라 활성층을 형성하는 단계;

상기 n형 오믹접촉층의 상부 일부분을 포함한 상기 제1 메사 구조의 전체를 감싸도록 제2 감광제 패턴을 형성한 후, 상기 제2 감광제 패턴을 마스크로 상기 n형 오믹접촉층의 측면 및 상기 하부반사기층의 표면이 노출되도록 식각하여 상기 제1 메사 구조와 중심이 일치하는 제2 메사 구조를 형성하는 단계;

상기 제2 감광제 패턴을 제거하고, 상기 p형 및 n형 오믹접촉층 상부의 소정 영역이 노출되도록 상기 하부반사기층의 전면에 보호층을 형성한 후, 노출된 상기 p형 및 n형 오믹접촉층의 상부에 각각 p형 및 n형 전극을 형성하는 단계; 및

노출된 상기 p형 오믹접촉층의 상부 소정 영역에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 상부반사기층을 형성하는 단계를 포함하되,

상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 p형 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착하며, 상기 제2 실리콘층은 상기 p형 오믹접촉층의 평면에 수직하게 증착하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

[청구항 13] 기판 상에 서로 다른 굴절률을 갖는 두 반도체 물질층이 교번되게 적층되어 형성된 상부반사기층, n형 오믹접촉층, 산화가능층, p형 오믹접촉층을 순차적으로 적층하는 단계;

적층된 상기 p형 오믹접촉층의 상부에 제1 감광제 패턴을 형성하고, 상기 제1 감광제 패턴을 마스크로 상기 p형 오믹접촉층 및 상기 산화가능층의 측면을 비롯하여 상기 n형 오믹접촉층의 표면이 노출되도록 식각하여 제1 메사(mesa) 구조를 형성하는 단계;

상기 제1 감광제 패턴을 제거하고, 습식 산화공정을 통해 노출된 상기 산화가능층의 측면을 선택적으로 습식 산화하여 상기 산화가능층의 중앙부에 전류주입구를 형성함에 따라 활성층을 형성하는 단계;

상기 n형 오믹접촉층의 상부 일부분을 포함한 상기 제1 메사 구조의 전체를 감싸도록 제2 감광제 패턴을 형성한 후, 상기 제2 감광제 패턴을 마스크로 상기 n형 오믹접촉층의 측면 및 상기 상부반사기층의 표면이 노출되도록 식각하여 상기 제1 메사 구조와 중심이 일치하는 제2 메사 구조를 형성하는 단계;

상기 제2 감광제 패턴을 제거하고, 상기 p형 및 n형 오믹접촉층 상부의 소정 영역이 노출되도록 상기 상부반사기층의 전면에 보호층을 형성한 후, 노출된 상기 p형 및 n형 오믹접촉층의 상부에 각각 p형 및 n형 전극을 형성하는 단계; 및

노출된 상기 p형 오믹접촉층의 상부 소정 영역에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 하부반사기층을 형성하는 단계를 포함하되,

상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 p형 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착하며, 상기 제2 실리콘층은 상기 p형 오믹접촉층의 평면에 수직하게 증착하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

[청구항 14] 제1 기판 상에 기판 제거용 박막층, n형 오믹접촉층, 활성층 및 p형 오믹접촉층을 순차적으로 적층한 후, 상기 p형 오믹접촉층 상에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector)구조로 이루어진 하부반사기층을 형성하는 단계;

상기 하부반사기층의 상면에 제2 기판을 접합하고, 상기 n형 오믹접촉층의 표면이 노출되도록 상기 기판 제거용 박막층 및 상기 제1 기판을 분리하는 단계;

노출된 상기 n형 오믹접촉층의 상부에 제1 감광제 패턴을 형성하고, 상기 제1 감광제 패턴을 마스크로 상기 n형 오믹접촉층 및 상기 활성층의 측면을 비롯하여 상기 p형 오믹접촉층의 표면이 노출되도록 식각하여 제1 메사(mesa) 구조를 형성하는 단계;

상기 제1 감광제 패턴을 제거하고, 상기 p형 오믹접촉층의 상부 일부분을 포함한 상기 제1 메사 구조의 전체를 감싸도록 제2 감광제 패턴을 형성한 후, 상기 제2 감광제 패턴을 마스크로 상기 p형 오믹접촉층의 측면 및 상기 하부반사기층의 표면이 노출되도록 식각하여 상기 제1 메사 구조와 중심이 일치하는 제2 메사 구조를 형성하는 단계;

상기 제2 감광제 패턴을 제거하고, 상기 p형 및 n형 오믹접촉층 상부의 소정 영역이 노출되도록 상기 하부반사기층의 전면에 보호층을 형성한 후, 노출된 상기 p형 및 n형 오믹접촉층의 상부에 각각 p형 및 n형 전극을 형성하는 단계; 및

노출된 상기 n형 오믹접촉층 상부의 소정 영역에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차

적층되는 실리콘 DBR 구조로 이루어진 상부반사기층을 형성하는 단계를 포함하되,
상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 제2 기판 및 상기 n형 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 각각 증착하며, 상기 제2 실리콘층은 상기 제2 기판 및 상기 n형 오믹접촉층의 평면에 수직하게 증착하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

[청구항 15] 제14 항에 있어서,
상기 하부반사기층과 상기 제2 기판은 금속 혹은 폴리머 접착층을 이용하여 접합하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

[청구항 16] 제14 항에 있어서,
상기 기판 제거용 박막층 및 상기 제1 기판은 레이저 리프트 오프(lift-off) 혹은 화학적 리프트 오프 방법을 사용하여 분리하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

[청구항 17] 기판 상에 서로 다른 굴절률을 갖는 두 반도체 물질층이 교번되게 적층되어 형성된 하부반사기층, 활성층, 전류확산층 및 오믹접촉층을 순차적으로 적층하는 단계;
적층된 상기 오믹접촉층의 상부에 감광제 패턴을 형성하고, 상기 감광제 패턴을 마스크로 상기 오믹접촉층, 상기 전류확산층 및 상기 활성층의 측면을 비롯하여 상기 하부반사기층의 표면이 노출되도록 식각하여 메사(mesa) 구조를 형성하는 단계; 및
상기 감광제 패턴을 제거하고, 상기 오믹접촉층 상부의 소정 영역 및 상기 기판의 하면에 각각 상부 및 하부전극을 각각 형성한 후,
상기 오믹접촉층 상부의 소정 영역에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 상부반사기층을 형성하는 단계를 포함하되,
상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 오믹접촉층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착되며, 상기 제2 실리콘층은 상기 오믹접촉층의 평면에 수직하게 증착되는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

[청구항 18] 제1 기판 상에 기판 제거용 박막층, 활성층, 전류확산층 및 오믹접촉층을 순차적으로 적층한 후, 상기 오믹접촉층 상에 하부전극을 형성하는 단계;

상기 하부전극의 상면에 제2 기판을 접합하고, 상기 활성층의 표면이 노출되도록 상기 기판 제거용 박막층 및 상기 제1 기판을 분리하는 단계;

노출된 상기 활성층의 상부에 감광제 패턴을 형성하고, 상기 감광제 패턴을 마스크로 상기 활성층, 상기 전류확산층 및 상기 오믹접촉층의 측면을 비롯하여 상기 하부전극의 표면이 노출되도록 식각하여 메사(mesa) 구조를 형성하는 단계; 및

상기 감광제 패턴을 제거하고, 상기 활성층 상부의 소정 영역에 상부전극을 형성한 후, 상기 활성층의 상부에 서로 다른 굴절률을 가진 적어도 한 층의 제1 및 제2 실리콘층이 교대로 순차 적층되는 실리콘 DBR(Distributed Bragg Reflector) 구조로 이루어진 반사기층을 형성하는 단계를 포함하되,

상기 제1 실리콘층은 상기 제2 실리콘층보다 낮은 굴절률을 갖으며, 상기 활성층 상에 경사각을 조절하여 굴절률이 변화되도록 실리콘을 이용하여 경사지게 증착하며, 상기 제2 실리콘층은 상기 활성층의 평면에 수직하게 증착하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

[청구항 19] 제18 항에 있어서,

상기 하부전극과 상기 제2 기판은 금속 혹은 폴리머 접착층을 이용하여 접합하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

[청구항 20] 제18 항에 있어서,

상기 기판 제거용 박막층 및 상기 제1 기판은 레이저 리프트 오프(lift-off) 혹은 화학적 리프트 오프 방법을 사용하여 분리하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

[청구항 21] 제12 항 내지 제14 항, 제17 항 또는 제18 항 중 어느 한 항에 있어서,

상기 제1 및 제2 실리콘층의 굴절률은 1 내지 5 범위에서 선택하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

[청구항 22] 제12 항 내지 제14 항, 제17 항 또는 제18 항 중 어느 한 항에 있어서,

상기 제1 및 제2 실리콘층은 결정형, 비정질 혹은 그 중간 단계의 실리콘으로 이루어지는 그룹으로부터 선택된 단일 물질로 형성하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

[청구항 23] 제12 항 내지 제14 항, 제17 항 또는 제18 항 중 어느 한 항에

있어서,
상기 제1 실리콘층은 다공성 구조로 이루어진 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

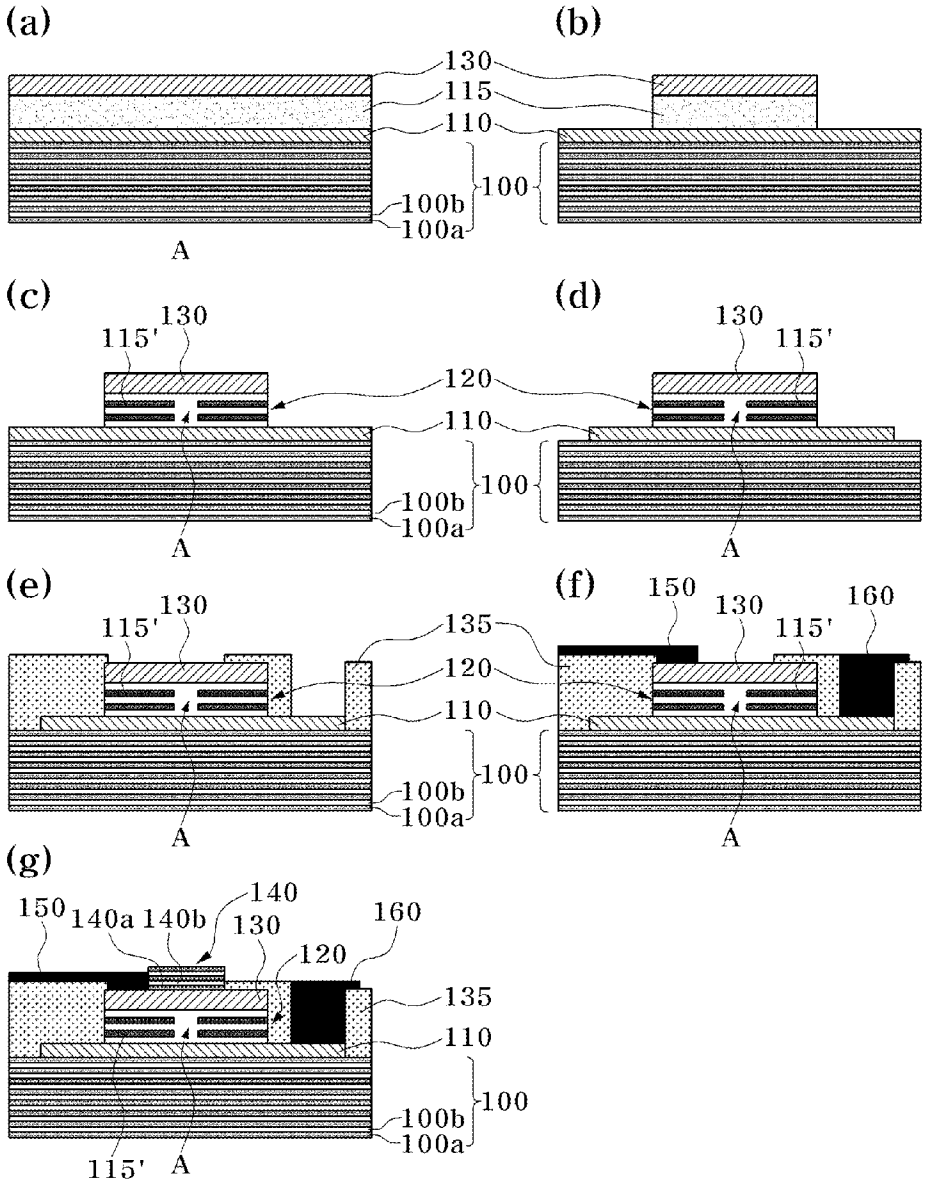
[청구항 24] 제12 항 내지 제14 항, 제17 항 또는 제18 항 중 어느 한 항에 있어서,
상기 경사각은 1도 내지 90도인 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

[청구항 25] 제12 항 내지 제14 항, 제17 항 또는 제18 항 중 어느 한 항에 있어서,
상기 경사지게 증착하는 방법은 스퍼터링 또는 증발법을 이용하는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

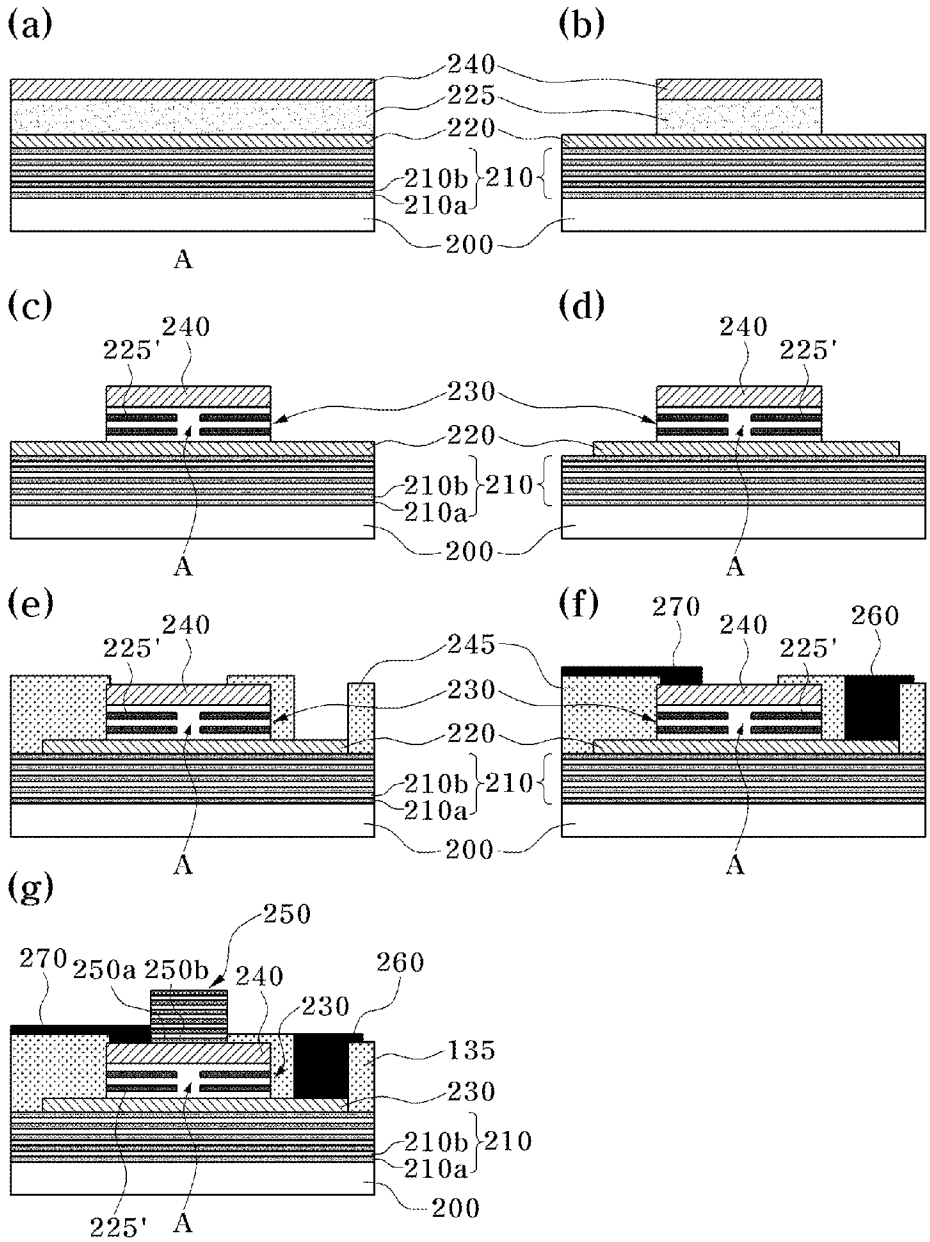
[청구항 26] 제12 항 내지 제14 항, 제17 항 또는 제18 항 중 어느 한 항에 있어서,
상기 제1 및 제2 실리콘층의 두께는 0.001㎛ 내지 100㎛ 범위로 이루어진 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

[청구항 27] 제12 항 내지 제14 항, 제17 항 또는 제18 항 중 어느 한 항에 있어서,
상기 제1 및 제2 실리콘층은 각각 2층 내지 5층으로 이루어지는 것을 특징으로 하는 실리콘 DBR 구조가 집적된 광 소자의 제조방법.

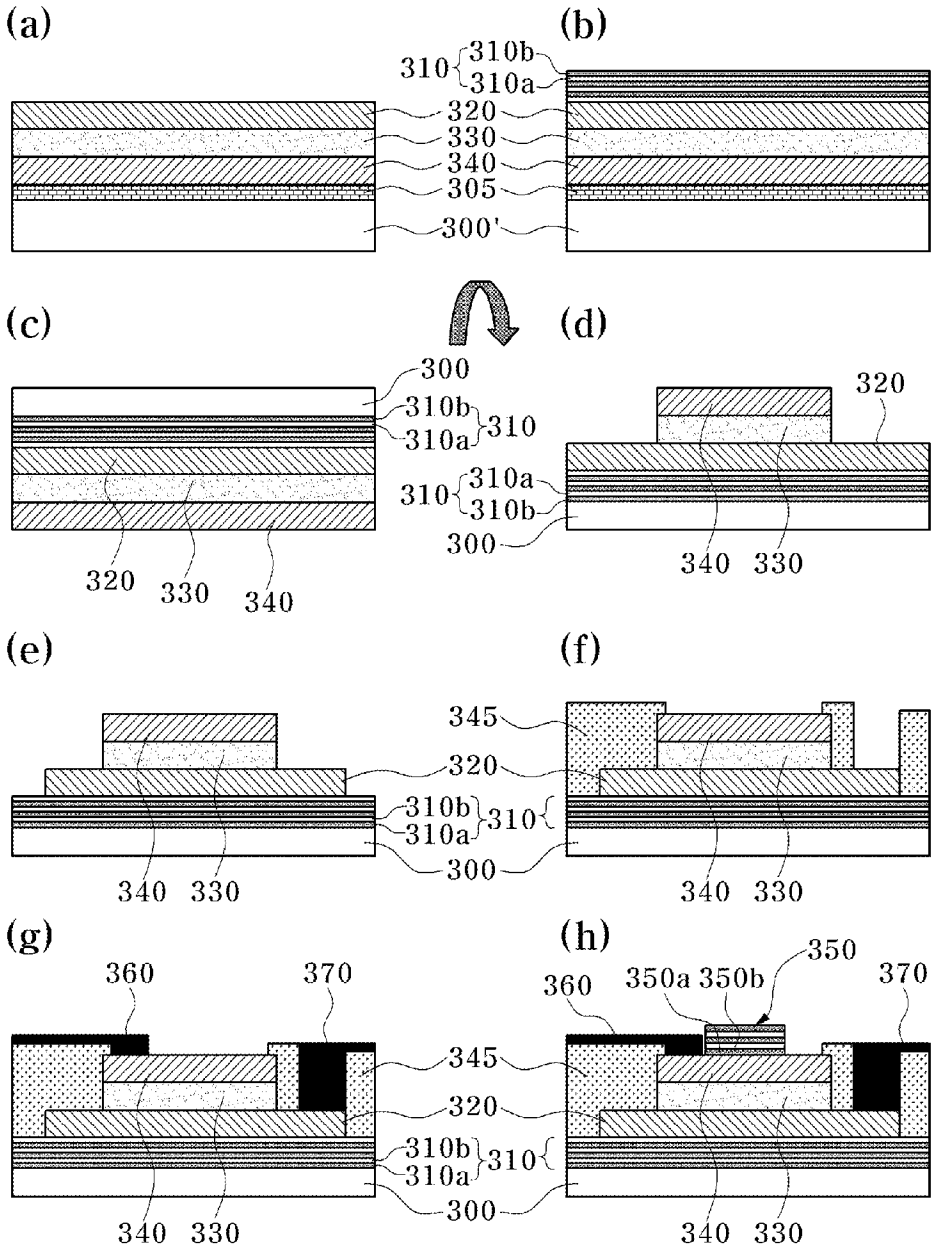
[Fig. 1]


(a)
(b)
130
115
110
100
100b
100a
A
(c)
(d)
115'
130
120
110
100
100b
100a
A
(e)
(f)
150
160
135
120
110
100
100b
100a
A
(g)
140
140a
140b
130
160
120
135
110
100
100b
100a
115'
A

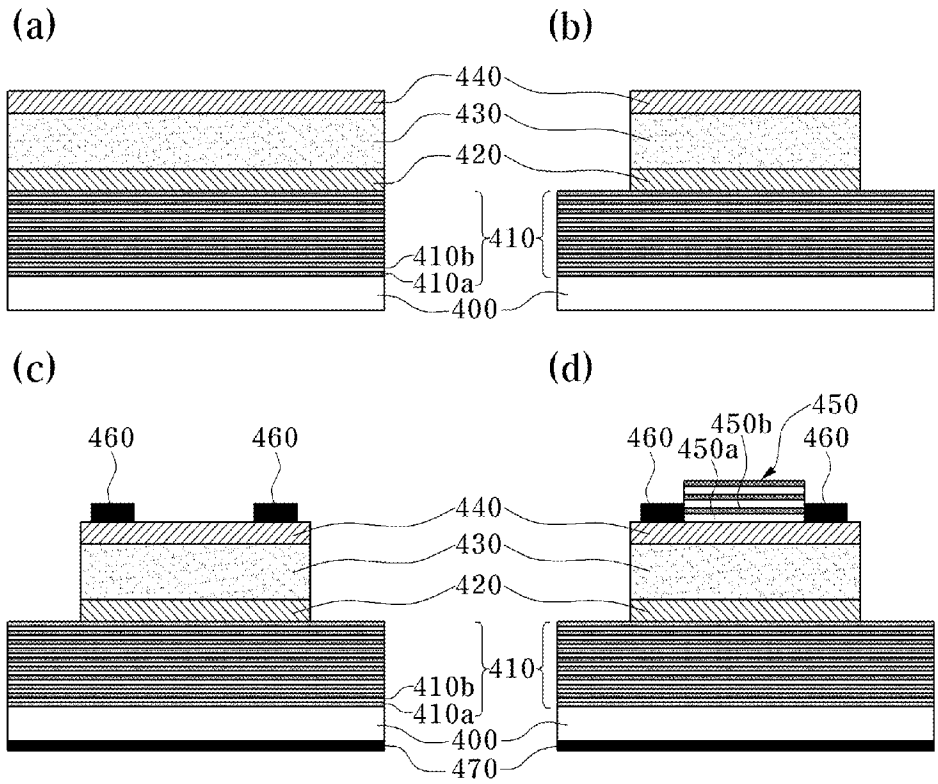
[Fig. 2]


(a)
(b)
240
225
220
210b
210
210a
200
A
(c)
(d)
225'
240
230
220
210b
210
210a
200
A
(e)
(f)
270
260
245
225'
240
230
220
210b
210
210a
200
A
(g)
250
270
250a
250b
240
260
230
135
230
210b
210
210a
200
225'
A

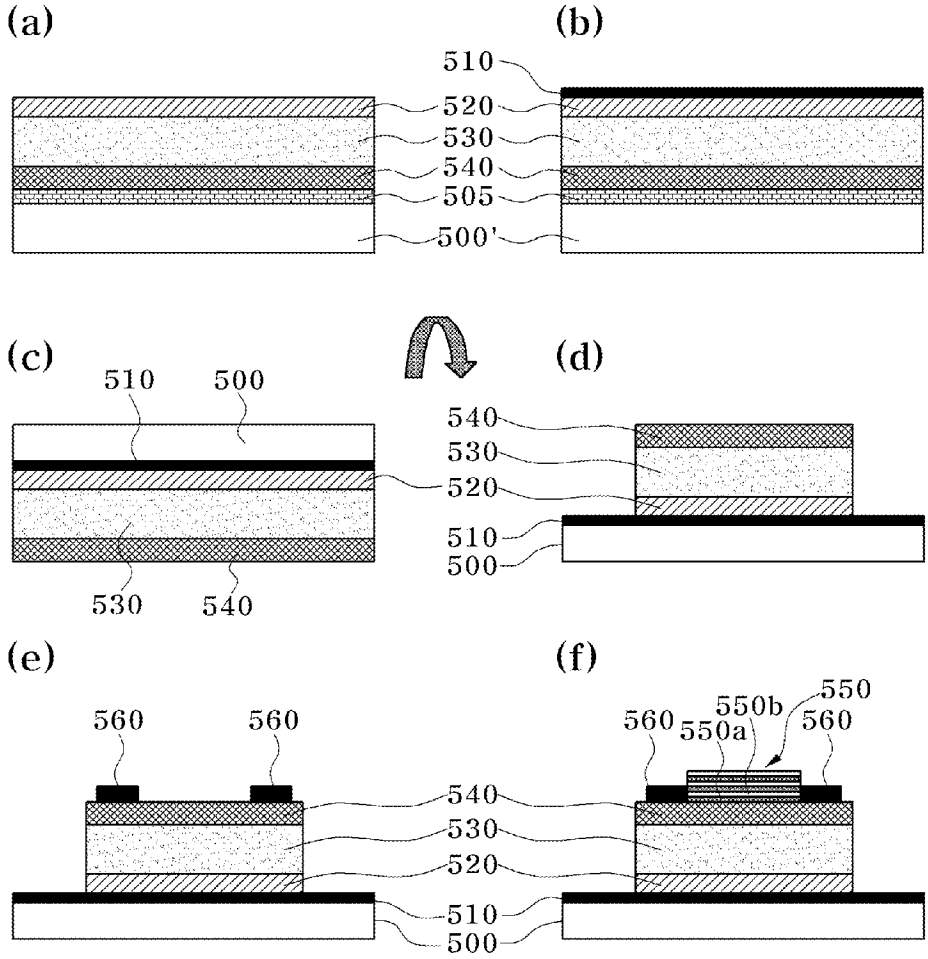
[Fig. 3]


(a)
(b)
310
310b
310a
320
330
340
305
300'
(c)
(d)
300
310b
310a
310
320
330
340
310
310a
310b
300
320
340
330
(e)
(f)
345
320
310b
310a
310
300
340
330
340
330
(g)
(h)
360
370
345
320
310b
310a
310
300
340
330
360
350a
350b
350
370
340
330

[Fig. 4]


(a)
(b)
440
430
420
410
410b
410a
400
(c)
(d)
460
460
460
450b
450a
450
460
440
430
420
410
410b
410a
400
470

[Fig. 5]


(a)
(b)
510
520
530
540
505
500'
(c)
(d)
510
500
530
540
540
530
520
510
500
(e)
(f)
560
560
560
550b
550a
550
560
540
530
520
510
500

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2012/010340

A. CLASSIFICATION OF SUBJECT MATTER

H01S 5/183(2006.01)i, H01S 5/125(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01S 5/183; B41J 27/00; G02B 27/00; B41J 2/44; H01S 5/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: "vertical", "surface emitting", "surface emitting", "silica", "silicon", "laser", "distributed reflection", "current diffusion", "current narrowness" and "contact layer"

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-342970 A (SONY CORP.) 02 December 2004 See abstract; figures 1, 7-10, 12 and 13; claims 1-10.	1-27
A	WO 2005-006509 A1 (AVALON PHOTONICS AG et al.) 20 January 2005 See abstract; figures 1a-1c; claims 1-29.	1-27
A	US 2008-0056321 A1 (HIROSHI, Motomura et al.) 06 March 2008 See abstract; figures 1, 3-9, 11-16; claims 1-7.	1-27
A	JP 2007-266592 A (RICOH CO., LTD.) 11 October 2007 See abstract; figures 1, 2, 7-27; claims 1-20; and pages 3-14.	1-27
A	KR 10-0305412 B1 (AT&T CORP.) 22 November 2001 See abstract; figures 1-6; claims 1-28.	1-27

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 MARCH 2013 (20.03.2013)	**20 MARCH 2013 (20.03.2013)**

Name and mailing address of the ISA/KR
Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea
Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2012/010340

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2004-342970 A	02.12.2004	CN 100486065 C	06.05.2009
		CN 101355233 A	28.01.2009
		CN 1592011 A	09.03.2005
		CN 1592011 C0	27.02.2008
		CN 1964145 A	16.05.2007
		CN 1964145 C0	16.05.2007
		EP 1480303 A2	24.11.2004
		EP 1480303 A3	22.02.2006
		JP 03838218 B2	25.10.2006
		KR 10-1014412 B1	15.02.2011
		KR 10-2004-0100962 A	02.12.2004
		TW I276273B	11.03.2007
		TW 276273 A	11.03.2007
		TW 276273 B	11.03.2007
		US 2005-0013334 A1	20.01.2005
		US 2010-0177799 A1	15.07.2010
		US 7684453 B2	23.03.2010
WO 2005-006509 A1	20.01.2005	EP 1496583 A1	12.01.2005
		US 2007-0091959 A1	26.04.2007
US 2008-0056321 A1	06.03.2008	JP 2008-060322 A	13.03.2008
		US 7746912 B2	29.06.2010
JP 2007-266592 A	11.10.2007	CN 101322291 A	10.12.2008
		CN 101741015 A	16.06.2010
		EP 1980001 A1	15.10.2008
		JP 2007-235090 A	13.09.2007
		JP 4800985 B2	26.10.2011
		KR 10-0922401 B1	19.10.2009
		US 2007-0280322 A1	06.12.2007
		US 2010-0150195 A1	17.06.2010
		US 7693204 B2	06.04.2010
		US 8325777 B2	04.12.2012
		WO 2007-089042 A1	09.08.2007
KR 10-0305412 B1	22.11.2001	EP 0578407 A1	12.01.1994
		JP 03637071 B2	06.04.2005
		JP 06-077579 A	18.03.1994
		US 05249195 A	28.09.1993

국 제 조 사 보 고 서

국제출원번호
PCT/KR2012/010340

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01S 5/183(2006.01)i, H01S 5/125(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01S 5/183; B41J 27/00; G02B 27/00; B41J 2/44; H01S 5/18

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: "수직," "면발광," "표면발광," "실리카," "실리콘," "레이저," "분산반사," "전류확산," "전류협착" 및 "접촉층"

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	JP 2004-342970 A (SONY CORP.) 2004.12.02 요약; 그림 1, 7-10, 12, 13; 청구항 1-10 참조.	1-27
A	WO 2005-006509 A1 (AVALON PHOTONICS AG 외 1명) 2005.01.20 요약; 그림 1a-1c; 청구항 1-29 참조.	1-27
A	US 2008-0056321 A1 (HIROSHI MOTOMURA 외 2명) 2008.03.06 요약; 그림 1, 3-9, 11-16; 청구항 1-7 참조.	1-27
A	JP 2007-266592 A (RICOH CO., LTD.) 2007.10.11 요약; 그림 1, 2, 7-27; 청구항 1-20; 및 3-14쪽 참조.	1-27
A	KR 10-0305412 B1 (아메리칸텔리폰앤드텔레그라프캄파니) 2001.11.22 요약; 그림 1-6; 청구항 1-28 참조.	1-27

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2013년 03월 20일 (20.03.2013)	**2013년 03월 20일 (20.03.2013)**

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 82-42-472-7140

심사관
조성찬
전화번호 82-42-481-8462

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2012/010340

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2004-342970 A	2004.12.02	CN 100486065 C	2009.05.06
		CN 101355233 A	2009.01.28
		CN 1592011 A	2005.03.09
		CN 1592011 C0	2008.02.27
		CN 1964145 A	2007.05.16
		CN 1964145 C0	2007.05.16
		EP 1480303 A2	2004.11.24
		EP 1480303 A3	2006.02.22
		JP 03838218 B2	2006.10.25
		KR 10-1014412 B1	2011.02.15
		KR 10-2004-0100962 A	2004.12.02
		TW I276273B	2007.03.11
		TW 276273 A	2007.03.11
		TW 276273 B	2007.03.11
		US 2005-0013334 A1	2005.01.20
		US 2010-0177799 A1	2010.07.15
		US 7684453 B2	2010.03.23
WO 2005-006509 A1	2005.01.20	EP 1496583 A1	2005.01.12
		US 2007-0091959 A1	2007.04.26
US 2008-0056321 A1	2008.03.06	JP 2008-060322 A	2008.03.13
		US 7746912 B2	2010.06.29
JP 2007-266592 A	2007.10.11	CN 101322291 A	2008.12.10
		CN 101741015 A	2010.06.16
		EP 1980001 A1	2008.10.15
		JP 2007-235090 A	2007.09.13
		JP 4800985 B2	2011.10.26
		KR 10-0922401 B1	2009.10.19
		US 2007-0280322 A1	2007.12.06
		US 2010-0150195 A1	2010.06.17
		US 7693204 B2	2010.04.06
		US 8325777 B2	2012.12.04
		WO 2007-089042 A1	2007.08.09
KR 10-0305412 B1	2001.11.22	EP 0578407 A1	1994.01.12
		JP 03637071 B2	2005.04.06
		JP 06-077579 A	1994.03.18
		US 05249195 A	1993.09.28