

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4331973号
(P4331973)

(45) 発行日 平成21年9月16日 (2009. 9. 16)

(24) 登録日 平成21年6月26日 (2009. 6. 26)

(51) Int. Cl.

F I

H05K 3/22 (2006.01)

H05K 3/22

B

H01L 23/12 (2006.01)

H01L 23/12

Z

H05K 3/46 (2006.01)

H05K 3/46

T

請求項の数 5 (全 9 頁)

(21) 出願番号 特願2003-137514 (P2003-137514)
 (22) 出願日 平成15年5月15日 (2003. 5. 15)
 (65) 公開番号 特開2004-342839 (P2004-342839A)
 (43) 公開日 平成16年12月2日 (2004. 12. 2)
 審査請求日 平成18年4月25日 (2006. 4. 25)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 石月 義克
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 大光 太朗

(56) 参考文献 特開平03-104187 (JP, A)
 特開2002-111229 (JP, A)
)

最終頁に続く

(54) 【発明の名称】 電子回路装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板の表面に導電体が設けられてなる電子回路装置を製造するに際して、
 支持体上に絶縁材料が形成されてなる絶縁基体を用い、前記導電体が前記絶縁材料内に
 覆われるように前記基板の表面に前記絶縁基体を張り合わせる工程と、
 バイトを用いた切削加工により、前記支持体の全て、前記絶縁材料の表層、及び前記導
 電体の表層を同時に切削し、前記導電体の表面及び前記絶縁材料の表面が連続して平坦と
 なるように平坦化处理する工程と

を含むことを特徴とする電子回路装置の製造方法。

【請求項 2】

前記絶縁基体は、前記絶縁材料が前記支持体上又は前記支持体を挟んだ上下に形成され
 てなることを特徴とする請求項 1 に記載の電子回路装置の製造方法。

【請求項 3】

前記絶縁基体は、前記支持体として、ポリテレフタル酸エチレンフィルムを使用し、当
 該ポリテレフタル酸エチレンフィルム上に前記絶縁材料が形成されてなるか、又はガラス
 クロスを使用し、当該ガラスクロスに前記絶縁材料が含浸されてなることを特徴とする請
 求項 1 又は 2 に記載の電子回路装置の製造方法。

【請求項 4】

前記絶縁材料は、ポリフェニルエーテル樹脂、テフロン (R) 系樹脂、及びビスマレイ
 ド系樹脂から選ばれた一種であることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の

10

20

電子回路装置の製造方法。

【請求項 5】

一連の前記各工程を複数回実行し、前記絶縁材料内に前記導電体が設けられ表面平坦化されてなる層を複数積層形成することを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の電子回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、LSIなどの電子デバイスやその電子デバイスを実装するプリント基板の層間絶縁膜を形成するための技術に関する。

【0002】

【従来の技術】

近時では、LSIなどの電子デバイスにおける回路構成の微細化が進行しており、それに伴い層間絶縁膜の材料として低誘電材料が用いられつつある。低誘電材料として好適なものに、ポリフェニルエーテル（PPE）樹脂、テフロン（R）系樹脂、及びビスマレイド系樹脂などがあるが、これらの低誘電材料は強度が脆弱であり、これのみ単独で絶縁膜として成膜することが困難であるため、ポリテレフタル酸エチレン（PET）フィルムやガラスクロスなどの支持体に予め形成され、絶縁基体とされる。そして、これらの低誘電材料を絶縁膜として用いる場合には、支持体を含む絶縁基体の状態で絶縁膜として供される。

【0003】

【特許文献 1】

特開平 7 - 115274 号公報

【0004】

【発明が解決しようとする課題】

上述のように、PPE樹脂などの低誘電材料を支持体に形成した絶縁基体の状態で、低誘電材料を絶縁膜として用いる場合、その支持体自体の特性も絶縁膜の特性に含まれ、支持体の存在により低誘電材料そのものの特性を100%生かすことができない。仮に、支持体等の不要部を除去しようとしても、従来のように薬品等を用いたのでは膨大な時間を要し現実的でない。

【0005】

また、低誘電材料を支持体に形成しないで絶縁基体の状態で絶縁膜として供される場合、PPE樹脂などの低誘電材料は脆弱であるために、その低誘電材料部分の膜厚に限界があり、例えば20μm以上であれば取り扱いが可能であるが、それ以下の膜厚の薄膜である場合には取り扱いが極めて困難となり、製造上使用できない。

【0006】

その他、低誘電材料を液体の状態で（配線又はビアが形成された）基板上に塗付した場合には、液状であるため、2μm~3μm以上の膜厚に形成することが困難である。このように、PPE樹脂などの低誘電材料は、回路微細化への多大な寄与が期待されている反面、所する膜厚（例えば10μm）を形成しようとした場合、実際の製造が困難であるという問題を抱えている。

【0007】

本発明は、上記の課題に鑑みてなされたものであり、絶縁材料、特にPPE樹脂などの低誘電材料に代表される単独の成膜が困難な絶縁材料を用い、所望の膜厚の絶縁膜を形成することを可能とする電子回路装置の製造方法を提供することを目的とする。

【0008】

また、本発明は、絶縁材料としての特性を十分に生かすことができ、低誘電材料を半導体部品、プリント基板、パッケージ基板などに適用して、伝送信号の伝送速度の更なる高速化を実現する電子回路装置の製造方法を提供することを目的とする。

【0009】

10

20

30

40

50

【課題を解決するための手段】

本発明の電子回路装置の製造方法は、基板の表面に導電体が設けられてなる電子回路装置を製造するに際して、支持体上に絶縁材料が形成されてなる絶縁基体を用い、前記導電体が前記絶縁材料内に覆われるように前記基板の表面に前記絶縁基体を張り合わせる工程と、バイトを用いた切削加工により、前記支持体の全て、前記絶縁材料の表層、及び前記導電体の表層を同時に切削し、前記導電体の表面及び前記絶縁材料の表面が連続して平坦となるように平坦化处理する工程とを含む。

【0010】

本発明の電子回路装置は、基板上に設けられた導電体を覆い、単独の成膜が困難である性質を有する絶縁材料からなる絶縁膜を備えた電子回路装置であって、前記導電体の表面及び前記絶縁膜の表面が連続して平坦となるように平坦化されてなるものである。

10

【0011】**【発明の実施の形態】**

- 本発明の基本骨子 -

初めに、本発明の基本骨子について説明する。

本発明者は、基板上に形成された配線やビア部などの導電体を覆う層間絶縁膜として、PPE樹脂などの低誘電材料に代表される単独の成膜が困難な絶縁材料（以下、成膜困難性絶縁材料と称する。）を支持体に形成してなる絶縁基体を用いるも、正確な成膜制御を行い望ましくは低誘電率の絶縁材料のみの層間絶縁膜を形成すべく、好適な手法を模索した。

20

【0012】

その結果、CMP法に替わり、基板上に形成された多数の微細な導電体の表面を安価に高速で一斉に平坦化する手法として注目されつつある、バイトを用いた切削加工を適用することに想到した。この切削加工によれば、基板上で絶縁膜内に導電体が埋め込み形成されているような場合でも、CMP法のように金属と絶縁物の研磨速度等に依存することなく、基板上で一斉に導電物と絶縁物を連続して切削し、ディッシング等を発生せしめることなく全体的に両者を均一に平坦化することができる。銅、アルミニウム、ニッケル等の金属やポリイミド等の絶縁材料は、容易にバイトで切削可能な材料である。導電材料及び絶縁材料としては、前者が例えば延性金属であり、後者が例えば200GPa以上の剛性率を有する樹脂等であれば、より好適である。

30

【0013】

本発明では、成膜困難性絶縁材料を用いる際に、これを支持体に形成した絶縁基体の状態で用いるため、基板上に絶縁基体を貼り付けた時には成膜困難性絶縁材料内に導電体が安定に埋め込まれた状態となる。そして、上述の切削加工技術により、絶縁基体の貼り付け後には言わば不要となる支持体の全て及び成膜困難性絶縁材料の表層を一斉に切削除去する。このとき、例えばビア部である導電体の表面が露出するまで切削することにより、ビア部を覆うとともに、その上面を露出させ、表面が均一に平坦化されてなる成膜困難性絶縁材料のみからなる層間絶縁膜が形成される。この層間絶縁膜を膜厚20μm以下の薄膜に形成することが可能である。このとき、絶縁基体と共に導電体の表層も切削し、導電体の表面及び成膜困難性絶縁材料の表面が連続して平坦となるように平坦化处理しても好適である。

40

【0014】

更に、本発明の手法を多層配線技術に応用し、配線及びビア部などの導電体の形成、絶縁基体の貼り付け、及び切削加工の一連工程を複数回実行し、成膜困難性絶縁材料内に導電体が設けられ表面平坦化されてなる層を、ビア部で配線間が接続されるように複数積層形成することも好適である。

【0015】

- 具体的な諸実施形態 -

以下、上述した基本骨子を踏まえ、本発明の具体的な諸実施形態について図面を用いて詳細に説明する。

50

【 0 0 1 6 】

[第 1 の実施形態]

ここでは、半導体部品（半導体基板又は半導体チップ）、プリント基板、パッケージ基板等の基板に形成される電子回路装置に本発明を適用した場合を開示する。

図 1 は、本実施形態による電子回路装置の製造方法を工程順に示す概略断面図である。

【 0 0 1 7 】

先ず、図 1 (a) に示すように、半導体基板やプリント基板、パッケージ基板等である基板 1 上に、各種電子回路（不図示）及びその配線 2 及び当該配線 2 上にこれと電氣的に接続されてなるビア部 3 をパターン形成する。

【 0 0 1 8 】

続いて、配線 2 及びビア部 3 を覆う層間絶縁膜を形成する。

具体的には、図 1 (b) に示すように、支持体となるガラスクロス 1 1 の両面に P P E 樹脂が含浸されて P P E フィルム 1 2 が形成されてなる絶縁基体 1 3 を用いる。そして、この絶縁基体 1 3 をその一方の P P E フィルム 1 2 で基板 1 上に張り合わせ、加熱処理する。このとき、図 1 (c) に示すように、絶縁基体 1 3 は一方の P P E フィルム 1 2 で配線 2 及びビア部 3 を埋め込んだ状態となる。

【 0 0 1 9 】

続いて、図 1 (d) に示すように、ダイヤモンドなどの硬質材料からなるバイト 1 0 を用い、絶縁基体 1 3 を切削する。ここでは、ガラスクロス 1 1 の全て及び P P E フィルム 1 2 の表層を、ビア部 3 の上面が露出するまで一斉に切削除去する。

【 0 0 2 0 】

この切削加工により、図 1 (e) に示すように、配線 2 とビア部 3 とを（ビア部 3 については上面を露出するように）覆い、表面が均一に平坦化されてなる P P E フィルム 1 2 のみからなる層間絶縁膜 4 が形成される。このとき、基板 1 上では、層間絶縁膜 4 内に配線 2 及びビア部 3 （ビア部 3 については上面が露出される）を覆い、表面平坦化されてなる例えば膜厚 2 0 μ m 以下の薄い配線層 5 が形成されることになる。

【 0 0 2 1 】

なお、上述の切削加工を行うに際して、絶縁基体 1 3 と共にビア部 3 の表層も切削し、ビア部 3 の表面及び P P E フィルム 1 2 の表面が連続して平坦となるように平坦化处理しても好適である。

【 0 0 2 2 】

以上説明したように、本実施形態によれば、強度が脆弱な低誘電絶縁材料であり、単独の成膜が困難な P P E フィルム 1 2 を用い、正確な成膜制御を行って層間絶縁膜 4 を形成することが可能であり、これにより、伝送信号の伝送速度の更なる高速化を実現する電子回路装置が実現する。

【 0 0 2 3 】

（変形例）

ここで、第 1 の実施形態の変形例について説明する。この場合、第 1 の実施形態と同様に、各種基板に形成される電子回路装置の製造方法を開示するが、絶縁基体の構成が異なる点で相違する。

図 2 は、本変形例による電子回路装置の製造方法を工程順に示す概略断面図である。なお、図 1 と対応する部材等については同一の符号を記す。

【 0 0 2 4 】

先ず、図 2 (a) に示すように、半導体基板やプリント基板、パッケージ基板等である基板 1 上に、各種電子回路（不図示）及びその配線 2 及び当該配線 2 上にこれと電氣的に接続されてなるビア部 3 をパターン形成する。

【 0 0 2 5 】

続いて、配線 2 及びビア部 3 を覆う層間絶縁膜を形成する。

具体的には、図 2 (b) に示すように、支持体となる P E T フィルム 2 1 の片面に P P E フィルム 2 2 が形成されてなる絶縁基体 2 3 を用いる。そして、この絶縁基体 2 3 を P P

10

20

30

40

50

Eフィルム22で基板1上に張り合わせ、加熱処理する。このとき、図2(c)に示すように、絶縁基体23はPPEフィルム22で配線2及びビア部3を埋め込んだ状態となる。

【0026】

続いて、図2(d)に示すように、ダイヤモンドなどの硬質材料からなるバイト10を用い、絶縁基体23を切削する。ここでは、PETフィルム21の全て及びPPEフィルム22の表層を、ビア部3の上面が露出するまで一斉に切削除去する。

【0027】

この切削加工により、図2(e)に示すように、配線2とビア部3とを(ビア部3については上面を露出するように)覆い、表面が均一に平坦化されてなるPPEフィルム22のみからなる層間絶縁膜4が形成される。このとき、基板1上では、層間絶縁膜4内に配線2及びビア部3(ビア部3については上面が露出される)を覆い、表面平坦化されてなる例えば膜厚20μm以下の薄い配線層5が形成されることになる。

10

【0028】

なお、上述の切削加工を行うに際して、絶縁基体13と共にビア部3の表層も切削し、ビア部3の表面及びPPEフィルム22の表面が連続して平坦となるように平坦化処理しても好適である。

【0029】

[第2の実施形態]

次に、第2の実施形態について説明する。ここでは、第1の実施形態と同様に、各種基板に形成される電子回路装置の製造方法を開示するが、多層配線構造とされている点で相違する。

20

図3は、本実施形態による電子回路装置の製造方法の主要工程を示す概略断面図である。なお、図1と対応する部材等については同一の符号を記す。

【0030】

本実施形態では、先ず第1の実施形態における図1(a)~図1(d)の一連工程を経て、図3(a)に示すように、配線2とビア部3とを(ビア部3については上面を露出するように)覆い、表面が均一に平坦化されてなるPPEフィルム12のみからなる層間絶縁膜4を形成する。このとき、基板1上では、層間絶縁膜4内に配線2及びビア部3(ビア部3については上面が露出される)を覆い、表面平坦化されてなる例えば膜厚20μm以下の薄い配線層5が形成されることになる。この配線層5が、本実施形態における多層配線層の1層目を構成する。

30

【0031】

続いて、図3(b)に示すように、配線層5上に、第1の実施形態における図1(a)~図1(d)と同様の一連工程を経て、層間絶縁膜4内に配線2及びビア部3(ビア部3については上面が露出される)を覆い、表面平坦化されてなる例えば膜厚20μm以下の薄い配線層31を形成する。ここで、配線層5のビア部3と配線層31の配線2とが電氣的に接続されている。

【0032】

続いて、図3(c)に示すように、配線層31上に、第1の実施形態における図1(a)~図1(d)と同様の一連工程を経て、層間絶縁膜4内に配線2及びビア部3(ビア部3については上面が露出される)を覆い、表面平坦化されてなる例えば膜厚20μm以下の薄い配線層32を形成する。ここで、配線層31のビア部3と配線層32の配線2とが電氣的に接続されている。

40

【0033】

このように、前記一連工程を繰り返し実行することにより、配線層5, 31, 32が積層されてなる多層配線層41を備える電子回路装置が実現する。なお、本実施形態では、3層の配線層からなる多層配線層を例示したが、2層又は4層以上に形成することも可能である。

【0034】

50

以上説明したように、本実施形態によれば、強度が脆弱な低誘電絶縁材料であり、単独の成膜が困難なPPEフィルム12を用い、正確な成膜制御を行って層間絶縁膜4を形成することが可能であり、この層間絶縁膜の形成技術を利用して多層配線層を制御性良く確実に形成することができ、伝送信号の伝送速度の更なる高速化を実現する多層配線の電子回路装置が実現する。

【0035】

以下、本発明の諸態様を付記としてまとめて記載する。

【0036】

(付記1) 基板の表面に導電体が設けられてなる電子回路装置を製造するに際して、支持体上に絶縁材料が形成されてなる絶縁基体を用い、前記導電体が前記絶縁材料内に覆われるように前記基板の表面に前記絶縁基体を張り合わせる工程と、バイトを用いた切削加工により、前記導電体の表面が露出するように平坦化处理する工程とを含むことを特徴とする電子回路装置の製造方法。

10

【0037】

(付記2) 前記絶縁基体は、前記絶縁材料が前記支持体上又は前記支持体を挟んだ上下に形成されてなることを特徴とする付記1に記載の電子回路装置の製造方法。

【0038】

(付記3) 前記切削加工の際に、少なくとも前記支持体と前記絶縁材料の表層とを除去し、前記導電体の表面が露出して少なくとも前記絶縁材料の表面が平坦となるように平坦化处理することを特徴とする付記1又は2に記載の電子回路装置の製造方法。

20

【0039】

(付記4) 前記平坦化处理された後の前記絶縁材料の膜厚が20μm以下であることを特徴とする付記3に記載の電子回路装置の製造方法。

【0040】

(付記5) 前記切削加工の際に、前記絶縁材料の表層と共に前記導電体の表層を除去し、前記導電体の表面及び前記絶縁材料の表面が連続して平坦となるように平坦化处理することを特徴とする付記3又は4に記載の電子回路装置の製造方法。

【0041】

(付記6) 前記絶縁基体は、前記支持体として、ポリテレフタル酸エチレンフィルムを使用し、当該ポリテレフタル酸エチレンフィルム上に前記絶縁材料が形成されてなるか、又はガラスクロスを使用し、当該ガラスクロスに前記絶縁材料が含浸されてなることを特徴とする付記1～5のいずれか1項に記載の電子回路装置の製造方法。

30

【0042】

(付記7) 前記絶縁材料は、ポリフェニルエーテル樹脂、テフロン(R)系樹脂、及びビスマレイド系樹脂から選ばれた一種であることを特徴とする付記1～6のいずれか1項に記載の電子回路装置の製造方法。

【0043】

(付記8) 一連の前記各工程を複数回実行し、前記絶縁材料内に前記導電体が設けられ表面平坦化されてなる層を複数積層形成することを特徴とする付記1～7のいずれか1項に記載の電子回路装置の製造方法。

40

【0044】

(付記9) 基板上に設けられた導電体を覆い、単独の成膜が困難である性質を有する絶縁材料からなる絶縁膜を備えた電子回路装置であって、前記導電体の表面及び前記絶縁膜の表面が連続して平坦となるように平坦化されてなることを特徴とする電子回路装置。

【0045】

(付記10) 前記絶縁膜の膜厚が20μm以下であることを特徴とする付記9に記載の電子回路装置。

【0046】

(付記11) 前記絶縁膜は、ポリフェニルエーテル樹脂、テフロン(R)系樹脂、及びビ

50

スマレイド系樹脂から選ばれた一種からなることを特徴とする付記 9 又は 10 に記載の電子回路装置。

【0047】

(付記 12) 前記絶縁材料内に前記導電体が設けられ表面平坦化されてなる層が複数積層されてなることを特徴とする付記 9 ~ 11 のいずれか 1 項に記載の電子回路装置。

【0048】

【発明の効果】

本発明によれば、絶縁材料、特に P P E 樹脂などの低誘電材料に代表される単独の成膜が困難な絶縁材料を用い、所望の膜厚の絶縁膜を形成することが可能となる。

【0049】

また、本発明によれば、絶縁材料としての特性を十分に生かすことができ、低誘電材料を半導体部品、プリント基板、パッケージ基板などに適用して、伝送信号の伝送速度の更なる高速化を実現することが可能となる。

【図面の簡単な説明】

【図 1】第 1 の実施形態による電子回路装置の製造方法を工程順に示す概略断面図である。

【図 2】第 1 の実施形態の変形例による電子回路装置の製造方法を工程順に示す概略断面図である。

【図 3】第 2 の実施形態による電子回路装置の製造方法を工程順に示す概略断面図である。

【符号の説明】

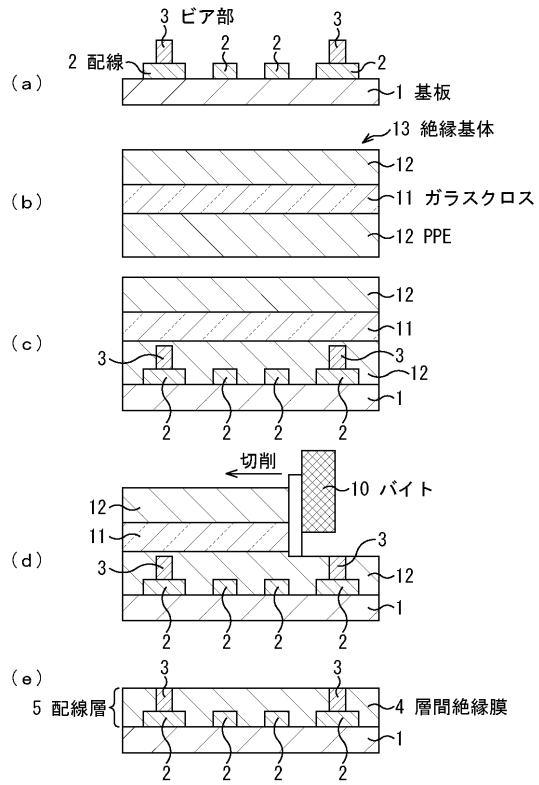
- 1 基板
- 2 配線
- 3 ビア部
- 4 層間絶縁膜
- 5 , 3 1 , 3 2 配線層
- 1 1 ガラスクロス
- 1 2 , 2 2 P P E フィルム
- 1 3 , 2 3 絶縁基体
- 2 1 P E T フィルム
- 4 1 多層配線層

10

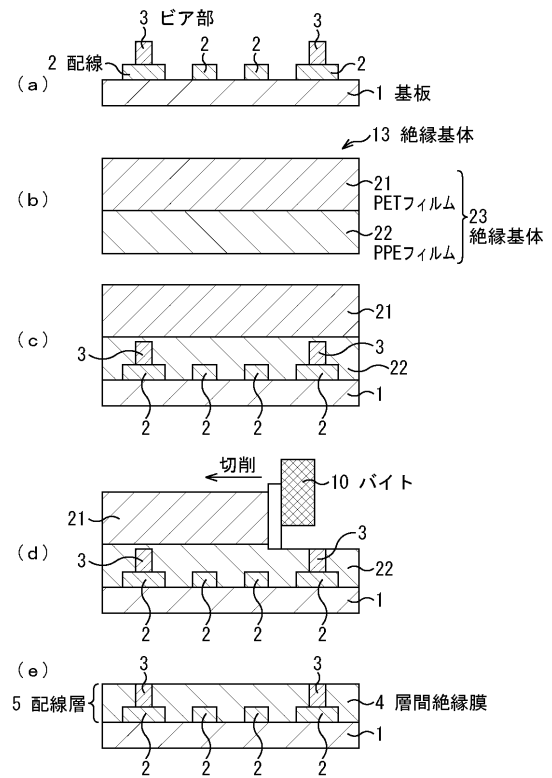
20

30

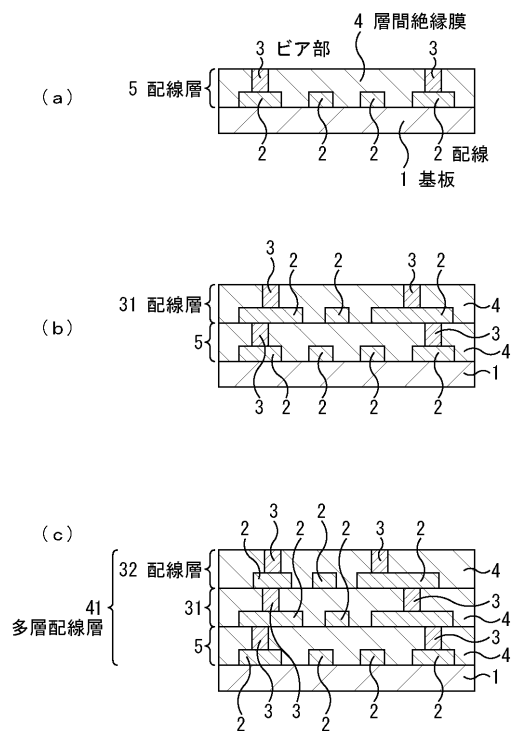
【図 1】



【図 2】



【図 3】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H05K 3/22

H01L 23/12

H05K 3/46