

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年5月25日(25.05.2023)



(10) 国際公開番号

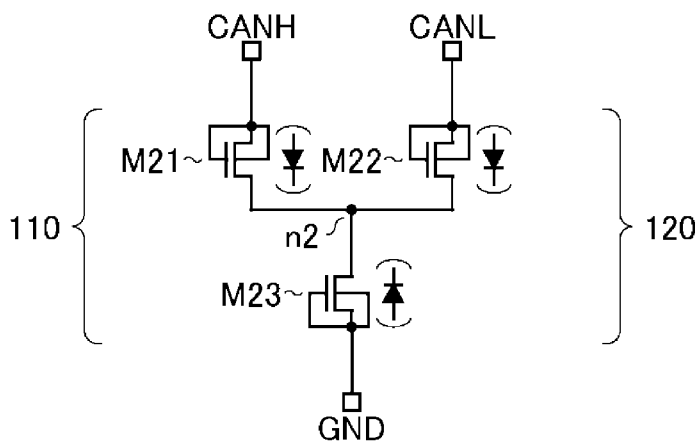
WO 2023/089974 A1

- (51) 国際特許分類:
H01L 27/06 (2006.01) H01L 21/8234 (2006.01)
H01L 21/336 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2022/037107
- (22) 国際出願日: 2022年10月4日(04.10.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-187649 2021年11月18日(18.11.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 幸 忠男 (YUKI Tadao); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 田中 智士 (TANAKA Satoshi); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館5F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図15]



(57) **Abstract:** This semiconductor device comprises a lateral NDMOS transistor obtained by forming a p-type impurity region at the drain of each of a first electrostatic protection diode M21, a second electrostatic protection diode M22, and a third electrostatic protection diode M23, so as to form a thyristor. For example, the anode of the first electrostatic protection diode M21 is connected to a first signal terminal CANH. The anode of the second electrostatic protection diode M22 is connected to a second signal terminal CANL. The anode of the third electrostatic protection diode M23 is connected to a ground terminal GND. The cathodes of the first electrostatic protection diode M21, the second electrostatic protection diode M22, and the third electrostatic protection diode M23 are collectively connected.

LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置は、第1 静電保護ダイオードM 2 1、第2 静電保護ダイオードM 2 2 及び第3 静電保護ダイオードM 2 3 として、それぞれ、ドレインにP 型不純物領域を形成してサイリスタ化されたラテラルNDMOS トランジスタを備える。例えば、第1 静電保護ダイオードM 2 1 のアノードは、第1 信号端子CANH に接続される。第2 静電保護ダイオードM 2 2 のアノードは、第2 信号端子CANL に接続される。第3 静電保護ダイオードM 2 3 のアノードは、接地端子GND に接続される。第1 静電保護ダイオードM 2 1、第2 静電保護ダイオードM 2 2 及び第3 静電保護ダイオードM 2 3 それぞれのカソードは、共通に接続される。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本明細書中に開示されている発明は、電極、絶縁体および半導体の積層構造を有するE I S (Electrode-Insulator-Semiconductor) 型のダイオード構造を備えた半導体装置に関する。

背景技術

[0002] 特許文献1は、E I S型のダイオード構造を備えた半導体装置を開示している。この半導体装置は、n型の半導体基板、p型のベース領域、n型のソース領域、p型のアノード領域、n型のカソード領域、ゲート絶縁膜およびゲート電極を含む。

[0003] ベース領域は、半導体基板の表層部に形成されている。ソース領域は、ベース領域の縁部から内方に間隔を空けてベース領域の表層部に形成され、半導体基板との間でチャンネル領域を画定している。アノード領域は、ベース領域の表層部においてソース領域とは異なる領域に形成されている。カソード領域は、ベース領域から間隔を空けて半導体基板の表層部に形成され、ベース領域との間でドリフト領域を画定している。ゲート絶縁膜は、半導体基板の上においてチャンネル領域を被覆している。ゲート電極は、ゲート絶縁膜の上に形成され、ゲート絶縁膜を挟んでチャンネル領域に対向している。ゲート電極は、ソース領域およびアノード領域に電氣的に接続されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2007-27228号公報

発明の概要

発明が解決しようとする課題

[0005] E I S型のダイオード構造は、静電サージ耐量が低いという構造的特徴を有している。静電サージ耐量は、E S D (electro static discharge) 耐

量とも称される。

[0006] 本明細書中に開示されている発明の一実施形態は、E I S型のダイオード構造を備え、静電サージ耐量を向上できる半導体装置を提供する。

課題を解決するための手段

[0007] 本明細書中に開示されている半導体装置は、静電保護ダイオードとして、ドレインにP型不純物領域を形成してサイリスタ化されたラテラルND MOSトランジスタを備える。

[0008] また、例えば、本明細書中に開示されている半導体装置は、第1信号端子と、第2信号端子と、接地端子と、第1静電保護ダイオード、第2静電保護ダイオード及び第3静電保護ダイオードと、を備え、前記第1静電保護ダイオード、前記第2静電保護ダイオード及び前記第3静電保護ダイオードは、いずれもドレインにP型不純物領域を形成してサイリスタ化されたラテラルND MOSトランジスタであり、前記第1静電保護ダイオードのアノードが前記第1信号端子に接続され、前記第2静電保護ダイオードのアノードが前記第2信号端子に接続され、前記第3静電保護ダイオードのアノードが前記接地端子に接続され、前記第1静電保護ダイオード、前記第2静電保護ダイオード及び前記第3静電保護ダイオードそれぞれのカソードが共通に接続されている。

[0009] また、例えば、本明細書中に開示されている半導体装置は、第1信号端子と、第2信号端子と、接地端子と、前記第1信号端子と内部ノードとの間に第1極性で接続されるように構成された少なくとも一つの第1静電保護ダイオードと、前記第2信号端子と前記内部ノードとの間に前記第1極性で接続されるように構成された少なくとも一つの第2静電保護ダイオードと、前記内部ノードと前記接地端子との間に前記第1極性とは逆向きの第2極性で接続されるように構成された少なくとも一つの第3静電保護ダイオードを備える。

[0010] なお、その他の特徴、要素、ステップ、利点、及び、特性については、以下に続く発明を実施するための形態及びこれに関する添付の図面によって、

さらに明らかとなる。

発明の効果

[0011] 本明細書中に開示されている発明によれば、静電サージ耐量を向上できる半導体装置を提供することが可能となる。

図面の簡単な説明

[0012] [図1]図1は、本発明の第1実施形態に係る半導体装置の主要部の電氣的構造を示す回路図である。

[図2]図2は、図1に示す半導体装置を示す斜視図である。

[図3]図3は、図2に示す領域IIIの拡大図である。

[図4]図4は、図3に示す構造の要部拡大図である。

[図5]図5は、図4に示す構造から半導体層の上の構造を取り除いた図である。

[図6]図6は、図5に示す領域VIの拡大図である。

[図7]図7は、図5に示すVII-VII線に沿う断面図である。

[図8]図8は、図5に示すVIII-VIII線に沿う断面図である。

[図9]図9は、比較例に係る逆流阻止ダイオードの電流電圧特性を示すグラフである。

[図10]図10は、第1実施形態に係る逆流阻止ダイオードの電流電圧特性を示すグラフである。

[図11]図11は、本発明の第2実施形態に係る半導体装置の主要部の電氣的構造を示す回路図である。

[図12]図12は、第2実施形態に係る静電保護回路の一例を示す図である。

[図13]図13は、第2実施形態に係る素子レイアウトの一例を示す図である。

[図14]図14は、第2実施形態に係る静電保護回路の電流電圧特性を示す図である。

[図15]図15は、第3実施形態に係る静電保護回路の一例を示す図である。

[図16]図16は、第3実施形態に係る素子レイアウトの一例を示す図である。

。

[図17]図17は、第3実施形態に係る静電保護回路の電流電圧特性を示す図である。

[図18]図18は、第4実施形態に係る静電保護回路の一例を示す図である。

発明を実施するための形態

[0013] <第1実施形態>

図1は、本発明の第1実施形態に係る半導体装置1の主要部の電氣的構造を示す回路図である。半導体装置1は、車載ネットワークの1種であるCAN (Controller Area Network) に使用されるトランシーバ集積回路デバイスである。半導体装置1は、入力端子IN、出力端子OUT、電源端子VCC、グランド端子GND、ハイサイド端子CANH、ローサイド端子CANL、制御回路2、ハイサイド出力回路3、ローサイド出力回路4およびゲートドライバ回路5を含む。

[0014] 入力端子INの個数は任意である。図1では、入力端子INが、第1入力端子IN1および第2入力端子IN2を含む例が示されている。図1では、マイクロコンピュータ6が入力端子INおよび出力端子OUTに接続され、抵抗分割回路7、コンデンサ8および終端抵抗9がハイサイド端子CANHおよびローサイド端子CANLの間に接続された例が示されている。

[0015] 制御回路2は、複数の入力端子IN、出力端子OUTおよびグランド端子GNDに電氣的に接続されている。制御回路2は、電気信号生成回路10および機能回路11を含む。電気信号生成回路10は、入力端子INからの入力信号に基づいて各種回路を駆動する所定の電気信号を生成し、各種回路に出力する。機能回路11は、入力端子INからの入力信号及び各種回路からの電気信号に基づいて各種回路をモニタする電気信号を生成し、出力端子OUTに出力する。

[0016] 機能回路11は、たとえば、各種回路を保護する1つまたは複数の保護回路を含む。機能回路11は、保護回路の一例として、過電流保護回路、過熱保護回路および低電圧誤動作抑制回路のうちの少なくとも1つを含んでいて

もよい。過電流保護回路は、過電流から各種回路を保護する。過熱保護回路は、加熱から各種回路を保護する。低電圧誤動作抑制回路は、低電圧状態において各種回路が誤動作することを抑制する。

[0017] ハイサイド出力回路3は、電源端子VCC、ハイサイド端子CANHおよびゲートドライバ回路5に電氣的に接続されている。ハイサイド出力回路3は、第1駆動トランジスタ12、第1逆流阻止ダイオード13および第1防護トランジスタ14を含む直列回路を有している。第1駆動トランジスタ12および第1防護トランジスタ14は、p型（第1極性型または第2極性型）のMISFET（Metal Insulator Field Effect Transistor）からそれぞれなる。

[0018] 第1駆動トランジスタ12のゲートは、ゲートドライバ回路5に電氣的に接続されている。第1駆動トランジスタ12のソースは、電源端子VCCに接続されている。第1逆流阻止ダイオード13のアノードは、第1駆動トランジスタ12のドレインに接続されている。第1防護トランジスタ14のゲートは、グランド端子GNDに電氣的に接続されている。第1防護トランジスタ14のソースは、第1逆流阻止ダイオード13のカソードに接続されている。第1防護トランジスタ14のドレインは、ハイサイド端子CANHに接続されている。第1防護トランジスタ14は、ハイサイド端子CANHが負電圧になった場合、ハイサイド端子CANHから外部（終端抵抗9側）への電流の流出を抑制する。

[0019] ローサイド出力回路4は、グランド端子GND、ローサイド端子CANLおよびゲートドライバ回路5に電氣的に接続されている。ローサイド出力回路4は、第2駆動トランジスタ15、第2防護トランジスタ16および第2逆流阻止ダイオード17を含む直列回路を有している。第2駆動トランジスタ15および第2防護トランジスタ16は、p型とは反対の極性型からなるn型のMISFETからそれぞれなる。

[0020] 第2駆動トランジスタ15のゲートは、ゲートドライバ回路5に電氣的に接続されている。第2駆動トランジスタ15のソースは、グランド端子GN

Dに接続されている。第2防護トランジスタ16のゲートは、電源端子VCCに接続されている。第2防護トランジスタ16のソースは、第2駆動トランジスタ15のドレインに接続されている。第2逆流阻止ダイオード17のカソードは、第2防護トランジスタ16のドレインに接続されている。第2逆流阻止ダイオード17のアノードは、ローサイド端子CANLに接続されている。第2防護トランジスタ16は、ローサイド端子CANLが正電圧になった場合、外部（終端抵抗9側）からローサイド端子CANLへの電流の流入を抑制する。

[0021] ゲートドライバ回路5は、制御回路2、ハイサイド出力回路3、ローサイド出力回路4およびグランド端子GNDに電氣的に接続されている。ゲートドライバ回路5は、制御回路2からの電気信号に応じて所定のパルス波形を有する第1制御信号H/L及び所定のパルス波形を有する第2制御信号L/Hを生成する。第2制御信号L/Hは、第1制御信号H/Lの反転信号からなる。第1制御信号H/Lは、第1駆動トランジスタ12のゲートに入力され、第2制御信号L/Hは、第2駆動トランジスタ15のゲートに入力される。

[0022] 抵抗分割回路7は、第1抵抗R1および第2抵抗R2を含む。第1抵抗R1の一端は、ハイサイド端子CANHに接続されている。第2抵抗R2の一端は、第1抵抗R1の他端に接続されている。第2抵抗R2の他端は、ローサイド端子CANLに接続されている。コンデンサ8の一端は、第1抵抗R1および第2抵抗R2の接続部に接続されている。コンデンサ8の他端は、接地されている。終端抵抗9の一端は、第1バス線L1を介してハイサイド端子CANHに接続されている。終端抵抗9の他端は、第2バス線L2を介してローサイド端子CANLに接続されている。

[0023] ローレベルの第1制御信号H/Lが第1駆動トランジスタ12に入力され、ハイレベルの第2制御信号L/Hが第2駆動トランジスタ15に入力された場合、第1駆動トランジスタ12および第2駆動トランジスタ15がオン状態になる。これにより、3.5V（標準値）のバス信号SHがハイサイド

端子CANHに出力され、1.5V（標準値）のバス信号SLがローサイド端子CANLに出力される（ドミナント状態）。

[0024] 一方、ハイレベルの第1制御信号H/Lが第1駆動トランジスタ12に入力され、ローレベルの第2制御信号L/Hが第2駆動トランジスタ15に入力された場合、第1駆動トランジスタ12および第2駆動トランジスタ15がオフ状態になる。これにより、2.5V（標準値）のバス信号SHがハイサイド端子CANHに出力され、2.5V（標準値）のバス信号SLがローサイド端子CANLに出力される（リセッシブ状態）。以下、半導体装置1の構造について説明する。

[0025] 図2は、図1に示す半導体装置1を示す斜視図である。図2では、前述の入力端子IN、電源端子VCC、グランド端子GND、ハイサイド端子CANHおよびローサイド端子CANLの図示が省略されている。

[0026] 図2を参照して、半導体装置1は、この形態（this embodiment）では、シリコン製の半導体チップ20を含む。半導体チップ20は、直方体形状に形成されている。半導体チップ20は、一方側の第1主面21、他方側の第2主面22、ならびに、第1主面21および第2主面22を接続する第1～第4側面23A～23Dを有している。

[0027] 第1主面21および第2主面22は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。第1側面23Aおよび第2側面23Bは、第1方向Xに延び、第1方向Xに直交する第2方向Yに対向している。第3側面23Cおよび第4側面23Dは、第2方向Yに延び、第1方向Xに対向している。

[0028] 半導体チップ20は、この形態では、第2主面22側から第1主面21側に向けてこの順に形成されたp型（第1導電型）の半導体基板24、および、p型とは反対の導電型からなるn型（第2導電型）の半導体層25を含む積層構造を有している。半導体基板24は、第2主面22および第1～第4側面23A～23Dの一部を形成している。半導体層25は、第1主面21および第1～第4側面23A～23Dの一部を形成している。

- [0029] 半導体基板24のp型不純物濃度は、 $1 \times 10^{13} \text{ cm}^{-3}$ 以上 $1 \times 10^{16} \text{ cm}^{-3}$ 以下であってもよい。半導体基板24の厚さは、 $100 \mu\text{m}$ 以上 $1000 \mu\text{m}$ 以下であってもよい。半導体基板24の厚さは、 $200 \mu\text{m}$ 以上 $700 \mu\text{m}$ 以下であることが好ましい。
- [0030] 半導体層25は、この形態では、半導体基板24の上に形成されたエピタキシャル層からなる。半導体層25のn型不純物濃度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{16} \text{ cm}^{-3}$ 以下であってもよい。半導体層25の厚さは、半導体基板24の厚さ未満である。半導体層25の厚さは、 $1 \mu\text{m}$ 以上 $50 \mu\text{m}$ 以下であってもよい。半導体層25の厚さは、 $5 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下であることが好ましい。
- [0031] 半導体チップ20は、第1主面21に区画された複数のデバイス領域26を含む。複数のデバイス領域26は、1つまたは複数（この形態では複数）の機能デバイス領域27、および、1つまたは複数（この形態では2つ）のダイオード領域28を含む。機能デバイス領域27およびダイオード領域28の個数および配置は任意である。
- [0032] 機能デバイス領域27は、前述の制御回路2、ゲートドライバ回路5、第1駆動トランジスタ12、第1防護トランジスタ14、第2駆動トランジスタ15、第2防護トランジスタ16等の一部または全部を構成する種々の機能デバイスが形成された領域である。機能デバイスは、第1主面21および／または第1主面21の表層部を利用して形成される。機能デバイスは、半導体スイッチングデバイス、半導体整流デバイスおよび受動デバイスのうちの少なくとも1つを含んでもよい。機能デバイスは、半導体スイッチングデバイス、半導体整流デバイスおよび受動デバイスが組み合わされた回路網を含んでもよい。
- [0033] 半導体スイッチングデバイスは、MISFET、CMIS (Complementary - MISFET)、BJT (Bipolar Junction Transistor)、IGBT (Insulated Gate Bipolar Junction Transistor) およびJFET (Junction Field Effect Transistor) のうちの少なくとも1つを含んでもよい。

。半導体スイッチングデバイスは、前述の第1駆動トランジスタ12、第1防護トランジスタ14、第2駆動トランジスタ15および第2防護トランジスタ16を含む。

[0034] 半導体整流デバイスは、pn接合ダイオード、pin接合ダイオード、ツェナーダイオード、ショットキーバリアダイオードおよびファーストリカバリダイオードのうちの少なくとも1つを含んでいてもよい。受動デバイスは、抵抗、コンデンサおよびインダクタのうちの少なくとも1つを含んでいてもよい。

[0035] 複数のダイオード領域28は、複数の機能デバイス領域27から間隔を空けて区画されている。複数のダイオード領域28は、前述の第1逆流阻止ダイオード13および第2逆流阻止ダイオード17がそれぞれ形成された領域である。複数のダイオード領域28内の構造は同様である。以下では、第1逆流阻止ダイオード13側のダイオード領域28（図2に示す領域III）を例にとって、ダイオード領域28の具体的な構造について説明する。第2逆流阻止ダイオード17側のダイオード領域28の説明は、第1逆流阻止ダイオード13側のダイオード領域28の説明が適用される。

[0036] 図3は、図2に示す領域IIIの拡大図である。図4は、図3に示す構造の要部拡大図である。図5は、図4に示す構造から半導体層25の上の構造を取り除いた図である。図6は、図5に示す領域VIの拡大図である。図7は、図5に示すVII-VII線に沿う断面図である。図8は、図5に示すVIII-VIII線に沿う断面図である。

[0037] 図3～図8を参照して、半導体装置1は、第1主面21において半導体層25の一部の領域をダイオード領域28として区画する領域分離構造30を含む。領域分離構造30は、複数の機能デバイス領域27からダイオード領域28を電氣的に分離する。領域分離構造30は、平面視においてダイオード領域28を取り囲む環状（この形態では四角環状）に形成されている。ダイオード領域28の平面形状は、領域分離構造30の内縁によって調整される。領域分離構造30は、この形態では、平面視においてダイオード領域2

8を四角形状に区画している。

[0038] 領域分離構造30は、この形態では、半導体基板24に電氣的に接続されるように半導体層25に壁状に形成されたp型のカラム領域31からなる。カラム領域31は、カラム埋込領域32、カラムウェル領域33およびカラムコンタクト領域34を含む。

[0039] カラム埋込領域32は、半導体基板24および半導体層25の間の境界に跨って形成され、半導体基板24に電氣的に接続されている。この形態では、1つのカラム埋込領域32が形成されているが、半導体基板24に電氣的に接続される限り、カラム埋込領域32の個数は任意である。複数のカラム埋込領域32が前記境界から第1主面21側に向かって積層されていてもよい。カラム埋込領域32のp型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0040] カラムウェル領域33は、第1主面21の表層部に形成されている。カラムウェル領域33は、具体的には、半導体層25において第1主面21およびカラム埋込領域32の間の領域に形成され、カラム埋込領域32に電氣的に接続されている。カラムウェル領域33は、カラム埋込領域32のp型不純物濃度未満のp型不純物濃度を有していてもよい。カラムウェル領域33のp型不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。

[0041] カラムコンタクト領域34は、カラムウェル領域33の底部から第1主面21側に間隔を空けてカラムウェル領域33の表層部に形成されている。カラムコンタクト領域34は、カラムウェル領域33のp型不純物濃度を超えるp型不純物濃度を有している。カラムコンタクト領域34のp型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0042] 半導体装置1は、ダイオード領域28において半導体基板24および半導体層25の間の境界に跨って形成されたn型の埋込領域35を含む。図3～図5では、埋込領域35が破線によって示されている。埋込領域35は、半導体層25のn型不純物濃度を超えるn型不純物濃度を有している。埋込領

域 35 の n 型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であつてもよい。

[0043] 埋込領域 35 は、第 1 主面 21 から半導体基板 24 側に間隔を空けて形成され、半導体層 25 の一部を挟んで第 1 主面 21 に対向している。埋込領域 35 は、領域分離構造 30 から内方に間隔を空けて形成されている。この場合、埋込領域 35 の n 型不純物の一部がダイオード領域 28 の周縁に拡散していてもよい。つまり、埋込領域 35 は、ダイオード領域 28 の周縁側の n 型不純物濃度がダイオード領域 28 の内方部側の n 型不純物濃度よりも低い濃度勾配を有していてもよい。

[0044] 半導体装置 1 は、ダイオード領域 28 において第 1 主面 21 の表層部に形成された 1 つまたは複数（この形態では複数）の p 型のベース領域 40 を含む。複数のベース領域 40 は、第 1 逆流阻止ダイオード 13 のアノード領域の一部としてそれぞれ形成されている。各ベース領域 40 の p 型不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であつてもよい。

[0045] 複数のベース領域 40 は、具体的には、平面視において埋込領域 35 の縁部によって取り囲まれた領域内にそれぞれ形成されている。複数のベース領域 40 は、埋込領域 35 から第 1 主面 21 側に間隔を空けて形成され、半導体層 25 の一部を挟んで埋込領域 35 に対向している。複数のベース領域 40 は、この形態では、第 1 方向 X に延びる帯状にそれぞれ形成され、第 2 方向 Y に間隔を空けて形成されている。これにより、複数のベース領域 40 は、平面視において第 1 方向 X に延びるストライプ状に形成されている。

[0046] 半導体装置 1 は、各ベース領域 40 の表層部に形成された 1 つまたは複数（この形態では複数）の n 型のソース領域 41 を含む。各ソース領域 41 は、半導体層 25 の n 型不純物濃度を超える n 型不純物濃度を有している。各ソース領域 41 の n 型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であつてもよい。

[0047] 複数のソース領域 41 は、各ベース領域 40 の表層部において第 1 方向 X に間隔を空けて形成されている。複数のソース領域 41 は、各ベース領域 4

0の縁部から内方に間隔を空けてそれぞれ形成され、半導体層25との間でベース領域40の表層部からなるチャネル領域42をそれぞれ画定している。複数のソース領域41は、第1方向Xに関して、各ベース領域40の両縁部から内方に間隔を空けて形成され、第1主面21から各ベース領域40の両縁部を露出させている。

[0048] 複数のソース領域41の平面形状は任意である。複数のソース領域41は、平面視において正形状に形成されていてもよいし、円形状（楕円形状を含む）に形成されていてもよい。複数のソース領域41は、この形態では、第2方向Yに延びる帯状にそれぞれ形成されている。

[0049] 半導体装置1は、各ベース領域40の表層部においてソース領域41とは異なる領域に形成された1つまたは複数（この形態では複数）のp型のベースコンタクト領域43を含む。複数のベースコンタクト領域43は、第1逆流阻止ダイオード13のアノード領域の一部としてそれぞれ形成されている。各ベースコンタクト領域43は、各ベース領域40のp型不純物濃度を超えるp型不純物濃度を有している。各ベースコンタクト領域43のp型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0050] 複数のベースコンタクト領域43は、この形態では、各ベース領域40の表層部において第1方向Xに間隔を空けて形成されている。複数のベースコンタクト領域43は、具体的には、1つのソース領域41を挟み込む態様で、複数のソース領域41と交互に形成されている。これにより、複数のソース領域41および複数のベースコンタクト領域43を含むループ配列が各ベース領域40の表層部に形成されている。この形態では、ループ配列の始点および終点の双方が、ソース領域41によってそれぞれ形成されている。しかし、ループ配列の始点および終点のいずれか一方または双方が、ベースコンタクト領域43によって形成されていてもよい。

[0051] 複数のベースコンタクト領域43の平面形状は任意である。複数のベースコンタクト領域43は、平面視において正形状に形成されていてもよいし、円形状（楕円形状を含む）に形成されていてもよい。複数のベースコンタ

クト領域43は、この形態では、第2方向Yに延びる帯状にそれぞれ形成されている。

[0052] 半導体装置1は、ダイオード領域28においてベース領域40から間隔を空けて第1主面21の表層部に形成された1つまたは複数（この形態では複数）のn型のウェル領域50を含む。ウェル領域50の個数は、ベース領域40の個数に応じて調整される。複数のウェル領域50は、第1逆流阻止ダイオード13のカソード領域の一部としてそれぞれ形成されている。各ウェル領域50は、各ベース領域40との間でドリフト領域51を画定する。ドリフト領域51は、チャネル領域42に隣接している。各ウェル領域50は、半導体層25のn型不純物濃度を超えるn型不純物濃度を有している。各ウェル領域50のn型不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。

[0053] 複数のウェル領域50は、埋込領域35から第1主面21側に間隔を空けて形成され、半導体層25を挟んで埋込領域35に対向している。複数のウェル領域50は、平面視において対応する1つのベース領域40を取り囲む環状（この形態では四角環状）にそれぞれ形成されている。これにより、各ドリフト領域51は、平面視において環状に画定されている。ウェル領域50の平面形状は任意であり、長円環状に形成されていてもよい。

[0054] 図6を参照して、複数のウェル領域50は、ウェル幅Wをそれぞれ有している。ウェル幅Wは、ウェル領域50が延びる方向に直交する方向の幅である。ウェル幅Wは、 $0.5 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下であってもよい。ウェル幅Wは、 $1 \mu\text{m}$ 以上 $4 \mu\text{m}$ 以下であることが好ましい。

[0055] 複数のウェル領域50は、互いに異なる方向に延びる第1領域52および第2領域53をそれぞれ含む。第1領域52は、ベース領域40の長辺（つまり第1方向X）に沿って延びている。第2領域53は、ベース領域40の短辺（つまり第2方向Y）に沿って延びている。第2領域53のウェル幅Wは、第1領域52のウェル幅Wと異なってもよい。第2領域53のウェル幅Wは、この形態では、第1領域52のウェル幅W未満である。むろん、

第2領域53のウェル幅Wは、第1領域52のウェル幅Wと等しくてもよいし、第1領域52のウェル幅Wを超えていてもよい。

[0056] 複数のウェル領域50の第1領域52は、この形態では、互いに隣り合う複数のベース領域40の間において一体的に形成されている。これにより、複数のウェル領域50は、平面視において複数のベース領域40を梯子状に取り囲む1つのラダーウェル領域を形成している。複数の第1領域52は、1つのドリフト領域51を挟み込む態様で、第2方向Yに複数のベース領域40と交互に形成されている。

[0057] 半導体装置1は、複数のウェル領域50の表層部に形成された1つまたは複数（この形態では複数）のn型のドレイン領域54を含む。複数のドレイン領域54は、第1逆流阻止ダイオード13のカソード領域の一部としてそれぞれ形成されている。各ドレイン領域54は、各ウェル領域50のn型不純物濃度を超えるn型不純物濃度を有している。各ドレイン領域54のn型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0058] 複数のドレイン領域54は、各ウェル領域50の第2領域53から間隔を空けて、各ウェル領域50の第1領域52の表層部に形成されている。複数のドレイン領域54は、具体的には、各ウェル領域50の第1領域52の表層部のみに形成され、第2領域53には形成されていない。複数のドレイン領域54は、この形態では、第1領域52の表層部において第2方向Yにベース領域40に対向する領域のみに形成されている。ウェル領域50の第1領域52は、複数のドレイン領域54によって主たる電流経路が形成される有効領域として形成されている。

[0059] 複数のドレイン領域54は、各ウェル領域50の第1領域52の表層部において第1方向Xに間隔を空けて形成されている。複数のドレイン領域54は、第2方向Yに複数のソース領域41と1対1の対応関係で対向している。この構造によれば、複数のドレイン領域54は、ドリフト領域51において複数のソース領域41を最短距離で結ぶ電流経路を形成する。したがって

、電流経路における抵抗成分を低減できる。複数のドレイン領域54は、必ずしも複数のソース領域41と1対1の対応関係で対向している必要はない。複数のドレイン領域54は、第2方向Yに複数のベースコンタクト領域43と1対1対応の関係で対向していてもよい。

[0060] 複数のドレイン領域54は、第2方向Yに関して、各ウェル領域50の第1領域52の縁部から内方に間隔を空けて形成されている。複数のドレイン領域54の平面形状は任意である。複数のドレイン領域54は、平面視において正形状に形成されていてもよいし、円形状（楕円形状を含む）に形成されていてもよい。複数のドレイン領域54は、この形態では、第2方向Yに延びる帯状にそれぞれ形成されている。

[0061] 図6を参照して、複数のドレイン領域54は、第1方向Xに関して第1ドレイン幅WD1それぞれ有し、第2方向Yに関して第2ドレイン幅WD2それぞれ有している。第1ドレイン幅WD1は、 $0.1\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であってもよい。第1ドレイン幅WD1は、 $0.5\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下であることが好ましい。第1ドレイン幅WDは、ソース領域41の第1方向Xの幅と等しくてもよい。第2ドレイン幅WD2は、ウェル領域50のウェル幅W未満であることが好ましい。第2ドレイン幅WD2は、 $0.1\mu\text{m}$ 以上 $4\mu\text{m}$ 以下であってもよい。第2ドレイン幅WD2は、 $0.5\mu\text{m}$ 以上 $3.5\mu\text{m}$ 以下であることが好ましい。

[0062] 半導体装置1は、複数のウェル領域50の表層部において複数のドレイン領域54外の領域に形成された複数のn型の外側ドレイン領域55を含む。各外側ドレイン領域55は、各ウェル領域50のn型不純物濃度を超えるn型不純物濃度を有している。各外側ドレイン領域55は、ドレイン領域54のn型不純物濃度と等しいn型不純物濃度を有している。

[0063] 複数の外側ドレイン領域55は、複数のウェル領域50の第2領域53の表層部にそれぞれ形成されている。複数の外側ドレイン領域55は、さらに、各ウェル領域50において第2領域53から第1領域52に引き出され、複数のドレイン領域54のうちの両端に位置する2つのドレイン領域54と

一体的に形成されている。複数の外側ドレイン領域 55 は、各ウェル領域 50 の縁部から内方に間隔を空けて形成されている。複数の外側ドレイン領域 55 は、ウェル領域 50 における不所望なチャネル反転を抑制する。

[0064] 半導体装置 1 は、複数のウェル領域 50 の表層部に形成された 1 つまたは複数（この形態では複数）の p 型の不純物領域 56 を含む。各不純物領域 56 は、各ベース領域 40 の p 型不純物濃度を超える p 型不純物濃度を有している。各不純物領域 56 の p 型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0065] 複数の不純物領域 56 は、各ウェル領域 50 の第 2 領域 53 から間隔を空けて、各ウェル領域 50 の第 1 領域 52 の表層部に形成されている。複数の不純物領域 56 は、具体的には、各ウェル領域 50 の第 1 領域 52 の表層部のみに形成され、第 2 領域 53 には形成されていない。複数の不純物領域 56 は、この形態では、各ウェル領域 50 の第 1 領域 52 の表層部において第 2 方向 Y にベース領域 40 に対向する領域のみに形成されている。

[0066] 複数の不純物領域 56 は、各ウェル領域 50 の第 1 領域 52 の表層部において第 1 方向 X に間隔を空けて形成されている。複数の不純物領域 56 は、具体的には、各ウェル領域 50 の第 1 領域 52 の表層部において、1 つのドレイン領域 54 を挟み込む態様で、複数のドレイン領域 54 と交互に形成されている。つまり、複数の不純物領域 56 は、第 1 方向 X に複数のドレイン領域 54 に電氣的に接続され、第 2 方向 Y に複数のドレイン領域 54 とは電氣的に接続されていない。

[0067] 複数の不純物領域 56 は、各ウェル領域 50 の第 1 領域 52 の縁部から内方に間隔を空けて形成されている。つまり、複数の不純物領域 56 は、第 2 方向 Y にウェル領域 50 に電氣的に接続されている。複数の不純物領域 56 のベース領域 40 側の縁部は、複数のドレイン領域 54 のベース領域 40 側の縁部に対してウェル領域 50 の内方に形成されていることが好ましい。この形態では、第 2 方向 Y に関して、複数の不純物領域 56 の両縁部が、ドレイン領域 54 の両縁部に対してウェル領域 50 の内方に形成されている。

- [0068] 複数の不純物領域 5 6 は、第 2 方向 Y に複数のベースコンタクト領域 4 3 と 1 対 1 の対応関係で対向している。複数の不純物領域 5 6 は、必ずしも複数のベースコンタクト領域 4 3 と 1 対 1 の対応関係で対向している必要はない。複数の不純物領域 5 6 は、複数のドレイン領域 5 4 の配列に応じて、第 2 方向 Y に複数のソース領域 4 1 と 1 対 1 の対応関係で対向していてもよい。
- [0069] 複数の不純物領域 5 6 の平面形状は任意である。複数の不純物領域 5 6 は、平面視において正形状に形成されていてもよいし、円形状（楕円形状を含む）に形成されていてもよい。複数の不純物領域 5 6 は、この形態では、第 2 方向 Y に延びる帯状にそれぞれ形成されている。
- [0070] 図 6 を参照して、複数の不純物領域 5 6 は、第 1 方向 X に関して第 1 幅 W 1 それぞれ有し、第 2 方向 Y に関して第 2 幅 W 2 それぞれ有している。第 1 幅 W 1 は、0.1 μm 以上 3 μm 以下であってもよい。第 1 幅 W 1 は、0.5 μm 以上 2.5 μm 以下であることが好ましい。第 1 幅 W 1 は、ドレイン領域 5 4 の第 1 ドレイン幅 W D 1 と等しくてもよい。第 1 幅 W 1 は、ベースコンタクト領域 4 3 の第 1 方向 X の幅と等しくてもよい。第 2 幅 W 2 は、ドレイン領域 5 4 の第 2 ドレイン幅 W D 2 未満である。第 2 幅 W 2 は、0.1 μm 以上 3.5 μm 以下であってもよい。第 2 幅 W 2 は、0.5 μm 以上 3 μm 以下であることが好ましい。
- [0071] 半導体装置 1 は、ダイオード領域 2 8 において複数のウェル領域 5 0 から複数のベース領域 4 0 とは反対側に間隔を空けて第 1 主面 2 1 の表層部に形成された p 型のガード領域 6 0 を含む。ガード領域 6 0 は、具体的には、第 1 主面 2 1 の表層部において領域分離構造 3 0 および複数のウェル領域 5 0 の間の領域に形成されている。
- [0072] ガード領域 6 0 は、埋込領域 3 5 から第 1 主面 2 1 側に間隔を空けて形成され、半導体層 2 5 の一部を挟んで埋込領域 3 5 に対向している。ガード領域 6 0 は、平面視において複数のウェル領域 5 0 を一括して取り囲む環状（この形態では四角環状）に形成されている。ガード領域 6 0 は、領域分離構

造 30 および複数のベース領域 40 の間に形成されるリーク電流経路を遮蔽する。

[0073] ガード領域 60 は、ガードウェル領域 61 およびガードコンタクト領域 62 を含む。ガードウェル領域 61 は、第 1 主面 21 の表層部に形成されている。ガードウェル領域 61 は、具体的には、半導体層 25 において第 1 主面 21 およびカラム埋込領域 32 の間の深さ位置に形成されている。ガードウェル領域 61 の p 型不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。

[0074] ガードウェル領域 61 は、カラムウェル領域 33 と等しい深さで形成されていてもよい。ガードウェル領域 61 は、カラムウェル領域 33 の p 型不純物濃度と等しい p 型不純物濃度を有していてもよい。この構造によれば、ガードウェル領域 61 およびカラムウェル領域 33 を同一の工程で形成できる。

[0075] ガードコンタクト領域 62 は、ガードウェル領域 61 の底部から第 1 主面 21 側に間隔を空けてガードウェル領域 61 の表層部に形成されている。ガードコンタクト領域 62 は、ガードウェル領域 61 の p 型不純物濃度を超える p 型不純物濃度を有している。ガードコンタクト領域 62 の p 型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0076] ガードコンタクト領域 62 は、カラムコンタクト領域 34 と等しい深さで形成されていてもよい。ガードコンタクト領域 62 は、カラムコンタクト領域 34 の p 型不純物濃度と等しい p 型不純物濃度を有していてもよい。この構造によれば、ガードコンタクト領域 62 およびカラムコンタクト領域 34 を同一の工程で形成できる。

[0077] 半導体装置 1 は、ダイオード領域 28 においてガード領域 60 から複数のウェル領域 50 とは反対側に間隔を空けて半導体層 25 に形成された n 型のチャネルストップ領域 65 を含む。以下では、「チャネルストップ」を「CS (channel stop)」と省略して記載する。CS 領域 65 は、第 1 主面 21 の表層部において領域分離構造 30 およびガード領域 60 の間の領域に形成

されている。CS領域65は、ダイオード領域28の周縁に沿って形成されている。CS領域65は、具体的には、平面視においてガード領域60を取り囲む環状（この形態では四角環状）に形成されている。

[0078] CS領域65は、埋込領域35に電氣的に接続されるように半導体層25に壁状に形成されている。CS領域65は、具体的には、CS埋込領域66、CSウェル領域67およびCS表層領域68を含む。

[0079] CS埋込領域66は、埋込領域35および半導体層25の間の境界に跨って形成され、埋込領域35に電氣的に接続されている。この形態では、1つのCS埋込領域66が形成されているが、埋込領域35に電氣的に接続される限り、CS埋込領域66の個数は任意である。複数のCS埋込領域66が埋込領域35から第1主面21側に向かって積層されていてもよい。CS埋込領域66のn型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0080] CSウェル領域67は、第1主面21の表層部に形成されている。CSウェル領域67は、具体的には、半導体層25において第1主面21およびCS埋込領域66の間の領域に形成され、CS埋込領域66に電氣的に接続されている。CS埋込領域66は、CS埋込領域66のn型不純物濃度未満のn型不純物濃度を有していてもよい。CSウェル領域67のn型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0081] CS表層領域68は、CSウェル領域67の底部から第1主面21側に間隔を空けてCSウェル領域67の表層部に形成されている。CS表層領域68は、CSウェル領域67のn型不純物濃度を超えるn型不純物濃度を有している。CS表層領域68のn型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。CS表層領域68は、ソース領域41（ドレイン領域54）と等しいn型不純物濃度を有していてもよい。

[0082] 半導体装置1は、第1主面21を選択的に被覆する絶縁膜70を含む。絶縁膜70は、この形態では、フィールド酸化膜からなる。フィールド酸化膜は、LOCOS（local oxidation of silicon）膜と称されてもよい。絶

縁膜 70 は、領域分離構造 30、複数のベース領域 40、複数のウェル領域 50、ガード領域 60 および CS 領域 65 を露出させ、ドリフト領域 51 を被覆するように第 1 主面 21 の上に形成されている。絶縁膜 70 は、具体的には、複数の第 1 絶縁膜 70A、1 つの第 2 絶縁膜 70B、1 つの第 3 絶縁膜 70C、1 つの第 4 絶縁膜 70D および 1 つの第 5 絶縁膜 70E を含む。

[0083] 複数の第 1 絶縁膜 70A は、対応するドリフト領域 51 をそれぞれ被覆するように対応するベース領域 40 およびウェル領域 50 の間の領域にそれぞれ形成されている。各第 1 絶縁膜 70A は、平面視において対応するベース領域 40 を取り囲む環状に形成されている。各第 1 絶縁膜 70A の内端部は、ベース領域 40 の縁部を被覆し、チャンネル領域 42、ソース領域 41 およびベースコンタクト領域 43 を露出させている。

[0084] 各第 1 絶縁膜 70A の外端部は、ウェル領域 50 の内縁部を被覆し、ウェル領域 50 の内方部、ドレイン領域 54、外側ドレイン領域 55 および不純物領域 56 を露出させている。各第 1 絶縁膜 70A の外端部は、具体的には、複数のドレイン領域 54（外側ドレイン領域 55）の縁部を被覆し、複数の不純物領域 56 の縁部を露出させている。これにより、各第 1 絶縁膜 70A の外端部は、複数の不純物領域 56 の縁部との間の領域からウェル領域 50 を露出させている。

[0085] 第 2 絶縁膜 70B は、ウェル領域 50 およびガード領域 60 の間の領域に形成されている。第 2 絶縁膜 70B は、平面視においてウェル領域 50 を取り囲む環状に形成されている。第 2 絶縁膜 70B の内端部は、ウェル領域 50 の外縁部を被覆し、外側ドレイン領域 55 を露出させている。第 2 絶縁膜 70B の内端部は、具体的には、複数の外側ドレイン領域 55 の縁部を被覆し、複数の外側ドレイン領域 55 の内方部を露出させている。

[0086] 第 2 絶縁膜 70B の内端部は、さらに、最も外側に形成されたウェル領域 50 の外縁部を被覆し、ウェル領域 50 の内方部、ドレイン領域 54、外側ドレイン領域 55 および不純物領域 56 を露出させている。第 2 絶縁膜 70B の内端部は、具体的には、複数のドレイン領域 54（外側ドレイン領域 5

５）の縁部を被覆し、複数の不純物領域５６の縁部を露出させている。これにより、第２絶縁膜７０Ｂの内端部は、複数の不純物領域５６の縁部との間の領域からウェル領域５０を露出させている。第２絶縁膜７０Ｂの外端部は、ガード領域６０の縁部を被覆し、ガード領域６０の内方部を露出させている。

[0087] 第３絶縁膜７０Ｃは、ガード領域６０およびＣＳ領域６５の間の領域に形成されている。第３絶縁膜７０Ｃは、平面視においてガード領域６０を取り囲む環状に形成されている。第３絶縁膜７０Ｃの内端部は、ガード領域６０の外縁部を被覆し、ガード領域６０の内方部を露出させている。第３絶縁膜７０Ｃの外端部は、ＣＳ領域６５の内縁部を被覆し、ＣＳ領域６５の内方部を露出させている。

[0088] 第４絶縁膜７０Ｄは、ＣＳ領域６５および領域分離構造３０（カラム領域３１）の間の領域に形成されている。第４絶縁膜７０Ｄは、平面視においてＣＳ領域６５を取り囲む環状に形成されている。第４絶縁膜７０Ｄの内端部は、ＣＳ領域６５の外縁部を被覆し、ＣＳ領域６５の内方部を露出させている。第４絶縁膜７０Ｄの外端部は、領域分離構造３０（カラム領域３１）の内縁部を被覆し、領域分離構造３０（カラム領域３１）の内方部を露出させている。

[0089] 第５絶縁膜７０Ｅは、領域分離構造３０（カラム領域３１）外の領域に形成されている。第５絶縁膜７０Ｅは、領域分離構造３０（カラム領域３１）の外縁部を被覆し、領域分離構造３０（カラム領域３１）の内方部を露出させている。

[0090] 半導体装置１は、ダイオード領域２８において第１主面２１の上に形成された複数のゲート構造７１を含む。複数のゲート構造７１は、絶縁膜７０から露出する複数のチャネル領域４２の上にそれぞれ形成されている。つまり、複数のゲート構造７１は、複数の第１絶縁膜７０Ａの内端部に取り囲まれた領域内にそれぞれ形成されている。複数のゲート構造７１は、第１主面２１側からこの順に積層されたゲート絶縁膜７２およびゲート電極７３を含む

積層構造をそれぞれ有している。

- [0091] ゲート絶縁膜 7 2 は、絶縁膜 7 0 の厚さ未満の厚さを有している。ゲート絶縁膜 7 2 は、酸化シリコンを含んでいてもよい。ゲート絶縁膜 7 2 は、チャネル領域 4 2、ソース領域 4 1 の縁部およびベースコンタクト領域 4 3 の縁部を被覆している。ゲート絶縁膜 7 2 は、具体的には、平面視において内端部および外端部を含む環状に形成されている。
- [0092] ゲート絶縁膜 7 2 の内端部は、コンタクト開口 7 4 を区画している。コンタクト開口 7 4 は、ベース領域 4 0 の内方部、複数のソース領域 4 1 の内方部および複数のベースコンタクト領域 4 3 の内方部を露出させている。コンタクト開口 7 4 は、この形態では、第 1 方向 X に延びる帯状に形成されている。ゲート絶縁膜 7 2 の外端部は、絶縁膜 7 0 (第 1 絶縁膜 7 0 A の内端部) に接続されている。
- [0093] ゲート電極 7 3 は、この形態では、導電性ポリシリコンを含む。ゲート電極 7 3 は、ゲート絶縁膜 7 2 の上に形成され、ゲート絶縁膜 7 2 を挟んでチャネル領域 4 2 に対向している。ゲート電極 7 3 は、ゲート絶縁膜 7 2 の上から絶縁膜 7 0 (第 1 絶縁膜 7 0 A) の上に引き出された引き出し部 7 5 を有している。ゲート電極 7 3 の引き出し部 7 5 は、絶縁膜 7 0 (第 1 絶縁膜 7 0 A) を挟んでドリフト領域 5 1 に対向している。
- [0094] ゲート電極 7 3 は、具体的には、平面視において内端部および外端部を含み、ベース領域 4 0 を取り囲む環状に形成されている。ゲート電極 7 3 の内端部は、ゲート絶縁膜 7 2 の内端部と共にコンタクト開口 7 4 を区画している。
- [0095] ゲート電極 7 3 の外端部は、引き出し部 7 5 によって形成され、平面視においてウェル領域 5 0 の内端部から内方に間隔を空けて絶縁膜 7 0 の上に形成されている。ゲート電極 7 3 の外端部は、この形態では、平面視においてベース領域 4 0 およびウェル領域 5 0 の間の領域に位置している。ゲート電極 7 3 の外端部は、平面視において四角形状 (具体的には第 1 方向 X に延びる長方形形状) に形成されている。ゲート電極 7 3 の外端部の平面形状は任意

であり、長円形状に形成されていてもよい。

[0096] 複数のソース領域 4 1 および複数のベースコンタクト領域 4 3 は、ゲート電極 7 3 に対して自己整合的にそれぞれ形成されていてもよい。つまり、複数のソース領域 4 1 および複数のベースコンタクト領域 4 3 は、少なくともゲート電極 7 3 の内端部を露出させるイオン注入マスクを介して n 型不純物および p 型不純物を導入することによって、それぞれ形成されてもよい。この場合、複数のソース領域 4 1 および複数のベースコンタクト領域 4 3 のループ配列に対応した n 型領域および p 型領域のループ配列が、少なくともゲート電極 7 3 の内端部に形成される。

[0097] 半導体装置 1 は、第 1 主面 2 1 の上に形成された層間絶縁膜 8 0 を含む。層間絶縁膜 8 0 は、絶縁膜 7 0 の上に形成され、ダイオード領域 2 8 を一括して被覆している。層間絶縁膜 8 0 は、領域分離構造 3 0（カラム領域 3 1）、複数のベース領域 4 0、複数のソース領域 4 1、複数のベースコンタクト領域 4 3、複数のウェル領域 5 0、複数のドレイン領域 5 4、複数の外側ドレイン領域 5 5、複数の不純物領域 5 6、ガード領域 6 0 および C S 領域 6 5 において絶縁膜 7 0 から露出する部分を被覆している。

[0098] 半導体装置 1 は、1 つまたは複数（この形態では 1 つ）の領域分離接続電極 8 1、複数のソース接続電極 8 2、複数のドレイン接続電極 8 3、1 つまたは複数（この形態では 1 つ）のガード接続電極 8 4、および、複数のゲート接続電極 8 6 を含む。

[0099] 領域分離接続電極 8 1 は、層間絶縁膜 8 0 を貫通し、領域分離構造 3 0（カラムコンタクト領域 3 4）に電氣的に接続されている。領域分離接続電極 8 1 は、基板電位（たとえばグランド電位）に固定されている。領域分離接続電極 8 1 は、平面視において領域分離構造 3 0 に沿って延びる帯状（具体的には環状）に形成されていてもよい。複数の領域分離接続電極 8 1 が、平面視において領域分離構造 3 0 に沿って間隔を空けて形成されていてもよい。

[0100] 複数のソース接続電極 8 2 は、層間絶縁膜 8 0 を貫通し、対応するベース

領域 4 0、対応する複数のソース領域 4 1 および対応する複数のベースコンタクト領域 4 3 にそれぞれ電氣的に接続されている。複数のソース接続電極 8 2 は、ゲート電位に固定されている。つまり、複数のソース接続電極 8 2 は、ゲート電極 7 3 と同電位に固定されている。

[0101] 複数のソース接続電極 8 2 は、対応するコンタクト開口 7 4 内において複数のソース領域 4 1 および複数のベースコンタクト領域 4 3 を第 1 方向 X に横切る帯状にそれぞれ形成されている。複数のソース接続電極 8 2 の両端部は、対応するベース領域 4 0 の両縁部にそれぞれ電氣的に接続されている。これにより、ベース領域 4 0、ソース領域 4 1 およびベースコンタクト領域 4 3 は、同電位（ゲート電位）に固定されている。

[0102] 複数のドレイン接続電極 8 3 は、層間絶縁膜 8 0 を貫通し、対応する複数のドレイン領域 5 4 および対応する複数の不純物領域 5 6 にそれぞれ電氣的に接続されている。複数のドレイン接続電極 8 3 は、ドレイン電位に固定されている。複数のドレイン接続電極 8 3 は、複数のドレイン領域 5 4 および複数の不純物領域 5 6 を第 1 方向 X に横切る帯状にそれぞれ形成されている。

[0103] 複数のドレイン接続電極 8 3 の両端部は、両端のドレイン領域 5 4 にそれぞれ接続されている。つまり、複数のドレイン接続電極 8 3 は、両端のドレイン領域 5 4 を介して複数の外側ドレイン領域 5 5 に電氣的に接続されている。これにより、ウェル領域 5 0、ドレイン領域 5 4、外側ドレイン領域 5 5 および不純物領域 5 6 は、同電位（ドレイン電位）に固定されている。

[0104] ガード接続電極 8 4 は、層間絶縁膜 8 0 を貫通し、ガード領域 6 0 に電氣的に接続されている。ガード接続電極 8 4 は、複数のドレイン接続電極 8 3 と同電位（ドレイン電位）に固定されている。つまり、ガード領域 6 0 は、ドレイン領域 5 4 等と同電位に固定されている。ガード接続電極 8 4 は、平面視においてガード領域 6 0 に沿って延びる帯状（具体的には環状）に形成されていてもよい。複数のガード接続電極 8 4 が、平面視においてガード領域 6 0 に沿って間隔を空けて形成されていてもよい。

- [0105] 複数のゲート接続電極 86 は、層間絶縁膜 80 を貫通し、対応するゲート電極 73 にそれぞれ電氣的に接続されている。複数のゲート接続電極 86 は、具体的には、対応するゲート電極 73 の引き出し部 75 の任意の位置にそれぞれ電氣的に接続されている。複数のゲート接続電極 86 は、この形態では、第 1 方向 X に関して複数のゲート電極 73 の両端部にそれぞれ電氣的に接続されている。図 7 および図 8 では、接続形態を示すため、便宜的にゲート接続電極 86 を図示している。複数のゲート接続電極 86 は、ゲート電位に固定されている。つまり、ゲート電極 73 は、ベース領域 40、ソース領域 41 およびベースコンタクト領域 43 等と同電位に固定されている。
- [0106] 図 7 を参照して、第 1 逆流阻止ダイオード 13 は、EIS (Electrode-Insulator-Semiconductor) 型のダイオード構造 90 を含む。ダイオード構造 90 は、具体的には、p 型のベース領域 40、n 型のソース領域 41、p 型のベースコンタクト領域 43、n 型のウェル領域 50、n 型のドレイン領域 54 およびゲート構造 71 を含む。
- [0107] 図 8 を参照して、第 1 逆流阻止ダイオード 13 は、ダイオード構造 90 に電氣的に接続されたサイリスタ構造 91 を含む。サイリスタ構造 91 は、具体的には、半導体層 25 の第 1 主面 21 に沿ってこの順に形成された p 型の不純物領域 56、n 型の半導体層 25、p 型のベース領域 40 および n 型のソース領域 41 を含む。
- [0108] サイリスタ構造 91 は、さらに具体的には、ウェル領域 50 側の pnp 型（第 1 極性型）の第 1 トランジスタ構造 92、および、ベース領域 40 側の npn 型（第 2 極性型）の第 2 トランジスタ構造 93 を含む。第 1 トランジスタ構造 92 は、半導体層 25 の第 1 主面 21 に沿ってこの順に形成された p 型の不純物領域 56、n 型の半導体層 25 および p 型のベース領域 40 を含む。第 2 トランジスタ構造 93 は、半導体層 25 の第 1 主面 21 に沿ってこの順に形成された n 型のソース領域 41、p 型のベース領域 40 および n 型の半導体層 25 を含む。
- [0109] ダイオード構造 90 の順方向電圧 V_F がソース接続電極 82（ゲート電極

73) およびドレイン接続電極83に印加された場合、ダイオード構造90がオン状態になる一方で、サイリスタ構造91がオフ状態になる。サイリスタ構造91がオフ状態になるのは、ドレイン領域54および不純物領域56が同電位に固定されているためである。これにより、ダイオード構造90が導通し、順方向電流 I_F がダイオード構造90に流れる。この順方向電圧 V_F は、さらに、ダイオード構造90に電氣的に接続された第1トランジスタ構造92にも流れる。

[0110] 一方、ダイオード構造90の逆方向電圧 V_R がソース接続電極82（ゲート電極73）およびドレイン接続電極83に印加された場合、ダイオード構造90がオフ状態になる一方で、サイリスタ構造91がオン状態になる。これにより、サイリスタ構造91が導通し、逆方向電流 I_R がサイリスタ構造91に流れる。

[0111] 図9は、比較例に係る逆流阻止ダイオードの電流電圧特性を示すグラフである。図10は、本実施形態に係る第1逆流阻止ダイオード13の電流電圧特性を示すグラフである。図9および図10に示された電流電圧特性は、公知のTLP (Transmission Line Pulse) 測定法によって調べられた。

[0112] 図9および図10において縦軸は電流[A]であり、横軸は電圧[V]である。正の電流は順方向電流 I_F を意味し、負の電流は逆方向電流 I_R を意味している。正の電圧は順方向電圧 V_F を意味し、負の電圧は逆方向電圧 V_R を意味している。比較例に係る逆流阻止ダイオードは、不純物領域56を備えていない。つまり、比較例に係る逆流阻止ダイオードは、ダイオード構造90のみを備え、サイリスタ構造91を備えていない。

[0113] 比較例に係る逆流阻止ダイオードでは、静電破壊に至る順方向電流 I_F が+5A程度である一方、静電破壊に至る逆方向電流 I_R が-0.5A程度であった。これに対して、本実施形態に係る第1逆流阻止ダイオード13では、静電破壊に至る順方向電流 I_F が+25A程度である一方、静電破壊に至る逆方向電流 I_R が-24A程度であった。本実施形態に係る第1逆流阻止ダイオード13では、比較例に係る逆流阻止ダイオードと比較して、順方向

および逆方向の双方において静電サージ耐量が向上した。

- [0114] 本実施形態に係る第1逆流阻止ダイオード13では、比較例に係る逆流阻止ダイオードとは異なり、静電気等に起因する順方向過電圧 (forward over voltage) が印加された場合、ダイオード構造90および第1トランジスタ構造92によって順方向過電流 (forward overcurrent) を処理できる。
- [0115] また、本実施形態に係る第1逆流阻止ダイオード13において静電気等に起因する逆方向過電圧 (reverse overvoltage) が印加された場合、サイリスタ構造91によって逆方向過電流 (reverse overcurrent) を処理できる。その結果、本実施形態に係る第1逆流阻止ダイオード13では、比較例に係る逆流阻止ダイオードと比較して、静電サージ耐量が向上した。
- [0116] よって、半導体装置1によれば、静電サージ耐量を向上できる。特に、サイリスタ構造91が組み込まれた構造において、第1トランジスタ構造92の作用に起因して順方向電圧 V_F (順方向電流 I_F) 側の静電サージ耐量が向上したことは、逆方向電圧 V_R に対する保護デバイスとして利用される一般的なサイリスタデバイスでは実現し得ない異質な効果である。
- [0117] また、半導体装置1によれば、不純物領域56がウェル領域50の縁部から内方に間隔を空けてウェル領域50の表層部に形成されている。この構造によれば、第1主面21に平行な横方向に関して、不純物領域56および半導体層25の間の領域にウェル領域50の一部が介在し、当該ウェル領域50の一部によって第1トランジスタ構造92のベース抵抗が形成される。これにより、サイリスタ構造91を適切に動作させることができる。
- [0118] たとえば、ウェル領域50の表層部において不純物領域56および半導体層25の間の領域にドレイン領域54が形成されている場合、第1トランジスタ構造92のベースが比較的低抵抗なドレイン領域54によって第1トランジスタ構造92のエミッタに短絡される。そのため、サイリスタ構造91の動作が不安定となる。
- [0119] そこで、半導体装置1では、不純物領域56のベース領域40側の縁部をドレイン領域54のベース領域40側の縁部に対してウェル領域50の内方

に形成している。この構造によれば、第1トランジスタ構造92のベースおよびエミッタがドレイン領域54によって短絡されることを適切に抑制できる。よって、サイリスタ構造91をより一層適切に動作させることができる。また、この構造によれば、ドレイン領域54およびソース領域41の間に過電圧が印加された場合に、ドレイン領域54およびソース領域41の間におけるパンチスルーを抑制できる。よって、パンチスルー降伏耐圧の低下を抑制できる。

[0120] また、半導体装置1によれば、不純物領域56は、ベース領域40およびウェル領域50の対向方向に直交する方向にドレイン領域54と対向している。この構造によれば、ベース領域40および不純物領域56を結ぶライン上にサイリスタ構造91を形成できる。これにより、サイリスタ構造91の動作がドレイン領域54によって阻害されることを適切に抑制できる。

[0121] また、半導体装置1は、第1主面21の表層部においてカラム領域31およびウェル領域50の領域に形成されたp型のガード領域60を含む。ガード領域60は、ドレイン領域54等と同電位に固定されている。具体的には、半導体装置1は、第1主面21の上においてドレイン領域54等に接続されたドレイン接続電極83と、第1主面21の上においてガード領域60に電氣的に接続され、ドレイン接続電極83と同電位に固定されたガード接続電極84と、を含む。

[0122] ダイオード領域28においてカラム領域31およびベース領域40の間の領域には、p型のベース領域40、n型の半導体層25およびp型のカラム領域31を含むpnp型（第1極性型）の第1寄生トランジスタが形成される。ダイオード構造90の順方向電圧 V_F がソース接続電極82（ゲート電極73）およびドレイン接続電極83に印加された場合、第1寄生トランジスタを介してカラム領域31にリーク電流が流れる。

[0123] そこで、半導体装置1では、カラム領域31およびウェル領域50の間の領域にガード領域60を形成している。この構造によれば、ダイオード領域28においてカラム領域31およびベース領域40の間の領域に、p型のベ

ース領域40、n型の半導体層25およびp型のガード領域60を含むpn
p型（第1極性型）の第2寄生トランジスタが形成される。

[0124] これにより、ダイオード構造90の順方向電圧VFが印加された場合に、
第2寄生トランジスタを介してガード接続電極84にリーク電流を流し込む
ことができる。その結果、サイリスタ構造91に阻害されることなく、リー
ク電流を低減できる。リーク電流を低減することはダイオード領域28の電
気的特性を向上する上で有効であると同時に、当該リーク電流に起因する他
の機能デバイス領域27の電気的特性の変動を抑制する上でも有効である。

[0125] 本発明の実施形態は、さらに他の形態で実施できる。

[0126] 前述の実施形態では、絶縁膜70が、フィールド酸化膜からなる例につい
て説明した。しかし、絶縁膜70は、トレンチに埋設されていてもよい。こ
の場合、トレンチおよび絶縁膜70によってSTI (shallow trench isol
ation) 構造が形成されていてもよい。

[0127] 前述の実施形態では、「第1導電型」が「p型」、「第2導電型」が「n
型」である例について説明したが、「第1導電型」が「n型」、「第2導電
型」が「p型」であってもよい。この場合の具体的な構成は、前述の説明お
よび添付図面において「n型領域」を「p型領域」に置き換え、「p型領域
」を「n型領域」に置き換えることによって得られる。前述の実施形態では
、説明の順序を明確にするために「p型」が「第1導電型」と表現され、「
n型」が「第2導電型」と表現された例について説明したが、「p型」が「
第2導電型」と表現され、「n型」が「第1導電型」と表現されてもよい。

[0128] 前述の実施形態では、第1逆流阻止ダイオード13（第2逆流阻止ダイオ
ード17）が、CANの回路部に組み込まれた例について説明した。しかし
、第1逆流阻止ダイオード13（第2逆流阻止ダイオード17）は、CAN
以外の種々のアプリケーションの回路部にも組み込むことができる。たとえ
ば、第1逆流阻止ダイオード13（第2逆流阻止ダイオード17）は、LIN
 (Local Interconnect Network)、FlexRay等の車載ネットワー
クの回路部、車載スイッチICの回路部、DC/DCコンバータの回路部等

に組み込むことができる。第1逆流阻止ダイオード13（第2逆流阻止ダイオード17）は、車載以外のアプリケーションの回路部に組み込まれてもよい。

[0129] 以下、この明細書および図面から抽出される特徴の例を示す。EIS型のダイオード構造は、静電サージ耐量が低いという構造的特徴を有している。静電サージ耐量は、ESD (electro static discharge) 耐量とも称される。以下の[A1]～[A17]は、EIS型のダイオード構造を備え、静電サージ耐量を向上できる半導体装置を提供する。

[0130] [A1] 主面を有し、デバイス領域を含む第1導電型の半導体層と、前記デバイス領域において前記主面の表層部に形成された第2導電型のベース領域と、前記ベース領域の縁部から内方に間隔を空けて前記ベース領域の表層部に形成され、前記半導体層との間でチャネル領域を画定する第1導電型のソース領域と、前記ベース領域の表層部において前記ソース領域とは異なる領域に形成され、前記ベース領域の不純物濃度を超える不純物濃度を有する第2導電型のベースコンタクト領域と、前記デバイス領域において前記ベース領域から間隔を空けて前記主面の表層部に形成され、前記ベース領域との間でドリフト領域を画定する第1導電型のウェル領域と、前記ウェル領域の表層部に形成された第1導電型のドレイン領域と、前記ウェル領域の表層部に形成され、前記ドレイン領域に電氣的に接続された第2導電型の不純物領域と、前記主面の上において前記チャネル領域を被覆するゲート絶縁膜、および、前記ゲート絶縁膜の上において前記チャネル領域に対向し、前記ソース領域および前記ベースコンタクト領域に電氣的に接続されたゲート電極を有するゲート構造と、を含む、半導体装置。

[0131] この半導体装置は、デバイス領域においてEIS型のダイオード構造を含む。ダイオード構造は、具体的には、ベース領域、ソース領域、ベースコンタクト領域、ウェル領域、ドレイン領域およびゲート構造を含む。また、この半導体装置は、デバイス領域においてダイオード構造に電氣的に接続されたサイリスタ構造を含む。サイリスタ構造は、具体的には、半導体層の主面

に沿ってこの順に形成された不純物領域（第2導電型）、半導体層（第1導電型）、ベース領域（第2導電型）およびソース領域（第1導電型）を含む。

[0132] サイリスタ構造は、さらに具体的には、ウェル領域側の第1極性型の第1トランジスタ構造、および、ベース領域側の第2極性型の第2トランジスタ構造を含む。第1トランジスタ構造は、半導体層の主面に沿ってこの順に形成された不純物領域（第2導電型）、半導体層（第1導電型）およびベース領域（第2導電型）を含む。第2トランジスタ構造は、半導体層の主面に沿ってこの順に形成されたソース領域（第1導電型）、ベース領域（第2導電型）および半導体層（第1導電型）を含む。

[0133] 順方向電圧がダイオード構造に印加された場合、ダイオード構造がオン状態になる一方で、サイリスタ構造がオフ状態になる。サイリスタ構造がオフ状態になるのは、ドレイン領域および不純物領域が同電位に固定されているためである。これにより、ダイオード構造が導通し、順方向電流がダイオード構造に流れる。この順方向電圧は、さらに、ダイオード構造に電氣的に接続された第1トランジスタ構造にも流れる。したがって、静電気等に起因する順方向過電圧（forward overvoltage）がダイオード構造に印加された場合、ダイオード構造および第1トランジスタ構造によって順方向過電流（forward overcurrent）を処理できる。

[0134] 一方、逆方向電圧がダイオード構造に印加された場合、ダイオード構造がオフ状態になる一方で、サイリスタ構造がオン状態になる。これにより、サイリスタ構造が導通し、逆方向電流がサイリスタ構造に流れる。したがって、静電気等に起因する逆方向過電圧（reverse overvoltage）がダイオード構造に印加された場合、サイリスタ構造によって逆方向過電流（reverse overcurrent）を処理できる。よって、この半導体装置によれば、静電サージ耐量を向上できる。

[0135] [A2] 前記不純物領域は、前記ウェル領域の縁部から内方に間隔を空けて形成されている、A1に記載の半導体装置。

- [0136] [A 3] 前記不純物領域は、前記ベース領域および前記ウェル領域の対向方向に直交する方向に前記ドレイン領域に接続されている、A 1 または A 2 に記載の半導体装置。
- [0137] [A 4] 複数の前記不純物領域が、1つの前記ドレイン領域を挟み込むように形成されている、A 1 ～ A 3 のいずれか一つに記載の半導体装置。
- [0138] [A 5] 複数の前記ドレイン領域が、間隔を空けて形成されている、A 1 ～ A 4 のいずれか一つに記載の半導体装置。
- [0139] [A 6] 前記ベース領域は、平面視において一方方向に沿って延びる帯状に形成され、前記不純物領域は、前記ウェル領域において前記ベース領域の長辺に対向する領域に形成されている、A 1 ～ A 5 のいずれか一つに記載の半導体装置。
- [0140] [A 7] 前記ウェル領域は、平面視において前記ベース領域を取り囲む環状に形成され、前記ゲート電極は、平面視において前記ベース領域および前記ウェル領域の間の領域において前記ベース領域を取り囲む環状に形成されている、A 1 ～ A 6 のいずれか一つに記載の半導体装置。
- [0141] [A 8] 前記主面に形成され、前記デバイス領域を他の領域から電氣的に分離する領域分離構造をさらに含む、A 1 ～ A 7 のいずれか一つに記載の半導体装置。
- [0142] [A 9] 前記領域分離構造は、前記半導体層に形成された第2導電型のコラム領域からなる、A 8 に記載の半導体装置。
- [0143] [A 10] 前記主面の表層部において前記ウェル領域および前記コラム領域の間の領域に形成され、前記ドレイン領域に電氣的に接続された第2導電型のガード領域をさらに含む、A 9 に記載の半導体装置。
- [0144] [A 11] 前記ベースコンタクト領域は、前記ベース領域の縁部から内方に間隔を空けて前記ベース領域の表層部に形成され、前記ソース領域に電氣的に接続されている、A 1 ～ A 10 のいずれか一つに記載の半導体装置。
- [0145] [A 12] 前記主面の上において前記ドリフト領域を被覆する絶縁膜をさらに含み、前記ゲート絶縁膜は、前記絶縁膜の厚さ未満の厚さを有し、前記

絶縁膜に連なっている、A 1 ～ A 1 1 のいずれか一つに記載の半導体装置。

[0146] [A 1 3] 前記ゲート電極は、前記ゲート絶縁膜の上から前記絶縁膜の上に引き出され、前記絶縁膜を挟んで前記ドリフト領域に対向する引き出し部を含む、A 1 2 に記載の半導体装置。

[0147] [A 1 4] 第 2 導電型の半導体基板をさらに含み、前記半導体層は、前記半導体基板の上に積層されている、A 1 ～ A 1 3 のいずれか一つに記載の半導体装置。

[0148] [A 1 5] 前記デバイス領域において前記半導体基板および前記半導体層の間の境界に跨って形成された第 1 導電型の埋込領域をさらに含み、前記ベース領域および前記ウェル領域は、前記半導体層の一部を挟んで前記埋込領域に対向している、A 1 4 に記載の半導体装置。

[0149] [A 1 6] 前記デバイス領域において前記デバイス領域の周縁に沿うように前記半導体層に形成された第 1 導電型のチャネルストップ領域をさらに含む、A 1 5 に記載の半導体装置。

[0150] [A 1 7] 前記チャネルストップ領域は、前記埋込領域に向けて壁状に延び、前記埋込領域に電氣的に接続されている、A 1 6 に記載の半導体装置。

[0151] この出願は、2019 年 1 月 29 日に日本国特許庁に提出された特願 2019-217069 号に対応しており、この出願の全開示はここに引用により組み込まれる。本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によって限定される。

[0152] <第 2 実施形態>

図 1 1 は、本発明の第 2 実施形態に係る半導体装置 1 の主要部の電氣的構造を示す回路図である。本実施形態の半導体装置 1 は、先出の第 1 実施形態（図 1）を基本としつつ、第 1 静電保護回路 1 1 0 及び第 2 静電保護回路 1 2 0 をさらに備える。

[0153] 第 1 静電保護回路 1 1 0 は、ハイサイド端子 C A N H（＝ハイサイドのバ

ス入出力端子として機能する第1信号端子に相当)とグランド端子GND(=接地端子に相当)との間に接続されており、ハイサイド端子CANHに印加され得る正負の静電サージから半導体装置1を保護する。

[0154] 第2静電保護回路120は、ローサイド端子CANL(=ローサイドのバス入出力端子として機能する第2信号端子に相当)とグランド端子GND(=接地端子に相当)との間に接続されており、ローサイド端子CANLに印加され得る正負の静電サージから半導体装置1を保護する。

[0155] 先出の第1実施形態(図1)では特に言及されていないが、実際のCANトランシーバICには、本図で示したように、ハイサイド端子CANH及びローサイド端子CANLとグランド端子GNDとの間に、それぞれ、第1静電保護回路110及び第2静電保護回路120が設けられている。

[0156] 図12は、第2実施形態に係る第1静電保護回路110及び第2静電保護回路120の一例を示す図である。

[0157] 本実施形態の半導体装置1において、第1静電保護回路110及び第2静電保護回路120は、3つの第1静電保護ダイオードM11と、3つの第2静電保護ダイオードM12と、5つの第3静電保護ダイオードM13と、を含む。

[0158] 3つの第1静電保護ダイオードM11は、ハイサイド端子CANHと内部ノードn1との間において、ハイサイド端子CANHをアノード側として内部ノードn1をカソード側とする極性(=第1極性に相当)で直列に接続されている。

[0159] また、3つの第2静電保護ダイオードM12は、ローサイド端子CANLと内部ノードn1との間において、ローサイド端子CANLをアノード側として内部ノードn1をカソード側とする極性(=第1極性に相当)で直列に接続されている。

[0160] 一方、5つの第3静電保護ダイオードM13は、内部ノードn1とグランド端子GNDとの間において、内部ノードn1をカソード側としてグランド端子GNDをアノード側とする極性(=第1極性とは逆向きの第2極性に相

当)で直列に接続されている。

[0161] なお、第1 静電保護回路1 1 0は、3つの第1 静電保護ダイオードM 1 1と5つの第3 静電保護ダイオードM 1 3により構成されている。一方、第2 静電保護回路1 2 0は、3つの第2 静電保護ダイオードM 1 2と5つの第3 静電保護ダイオードM 1 3により構成されている。すなわち、5つの第3 静電保護ダイオードM 1 3は、第1 静電保護回路1 1 0と第2 静電保護回路1 2 0の双方により共有されている。

[0162] 図1 3は、第2 実施形態に係る素子レイアウトの一例(=第1 静電保護ダイオードM 1 1、第2 静電保護ダイオードM 1 2及び第3 静電保護ダイオードM 1 3の配置例)を示す図である。

[0163] 本図で示すように、第1 静電保護ダイオードM 1 1及び第2 静電保護ダイオードM 1 2は、それぞれ、半導体装置1の平面視において、紙面の上下方向を長辺とし、紙面の左右方向を短辺とする長方形状に形成されている。なお、第1 静電保護ダイオードM 1 1及び第2 静電保護ダイオードM 1 2は、紙面の左右方向に沿って一列に並べられている。本図に則して述べると、紙面の左側から右側に向けて、3つの第1 静電保護ダイオードM 1 1及び3つの第2 静電保護ダイオードM 1 2が互いに隣接するように配列されている。

[0164] 一方、第3 静電保護ダイオードM 1 3は、半導体装置1の平面視において、紙面の上下方向を短辺とし、紙面の左右方向を長辺とする長方形状に形成されている。なお、第3 静電保護ダイオードM 1 3は、紙面の上下方向に沿って一列に並べられている。また、本図に則して述べると、最も紙面の上側に位置する第3 静電保護ダイオードM 1 3の上辺は、第1 静電保護ダイオードM 1 1及び第2 静電保護ダイオードM 1 2のうち、少なくとも一部の下辺と隣接するように配置されている。

[0165] 図1 4は、第2 実施形態に係る第1 静電保護回路1 1 0及び第2 静電保護回路1 2 0の電流電圧特性を示す図である。なお、本図の縦軸は電流[A]を示しており、横軸は電圧[V]を示している。また、本図の電流電圧特性は、公知のT L P測定法により得られた測定結果である。

[0166] 本図で示すように、第2実施形態の半導体装置1であれば、ハイサイド端子CANH及びローサイド端子CANLそれぞれの定格電圧（例えば $-27\text{ V} \sim +40\text{ V}$ ）を超える静電サージが印加された場合には、第1静電保護回路110及び第2静電保護回路120を介して電流を流すことにより静電サージを逃がすことができる。従って、半導体装置1の安全性を確保することが可能となる。

[0167] また、第2実施形態の半導体装置1では、先にも述べたように、第3静電保護ダイオードM13が第1静電保護回路110及び第2静電保護回路120により共有されている。従って、第1静電保護回路110及び第2静電保護回路120それぞれに第3静電保護ダイオードM13を個別に設ける構成と比べて、第3静電保護ダイオードM13の個数を半減することができる。従って、半導体装置1の面積を小型化することが可能となる。

[0168] ところで、第2実施形態の半導体装置1では、第1静電保護ダイオードM11、第2静電保護ダイオードM12及び第3静電保護ダイオードM13として低耐圧NMOSトランジスタが用いられている。その理由は、低耐圧NMOSトランジスタ（数VのDC耐圧）が高耐圧NMOSトランジスタ（数十VのDC耐圧）と比べて瞬時的な静電気の印加に強いからである。

[0169] ただし、低耐圧NMOSトランジスタ単体では、ハイサイド端子CANH及びローサイド端子CANLそれぞれに規定される定格DC電圧（例えば $-27\text{ V} \sim +40\text{ V}$ ）の印加に耐えることができない。そのため、第2実施形態の半導体装置1では、DC耐圧を稼ぐために複数の低耐圧NMOSトランジスタを縦積みしなければならず、更なる省面積の阻害要因となり得る（先出の図12及び図13を参照）。

[0170] 以下では、上記の考察に鑑み、高DC耐圧及び高ESD耐圧と省面積を両立することのできる新規な第3実施形態を提案する。

[0171] <第3実施形態>

図15は、第3実施形態に係る第1静電保護回路110及び第2静電保護回路120の一例を示す図である。

- [0172] 本実施形態の半導体装置 1 において、第 1 静電保護回路 110 及び第 2 静電保護回路 120 は、第 1 静電保護ダイオード M21 と、第 2 静電保護ダイオード M22 と、第 3 静電保護ダイオード M23 と、を含む。
- [0173] 第 1 静電保護ダイオード M21 は、ハイスайд端子 CANH と内部ノード n2 との間において、ハイスайд端子 CANH をアノード側として内部ノード n2 をカソード側とする極性（＝第 1 極性に相当）で接続されている。
- [0174] また、第 2 静電保護ダイオード M22 は、ローサイド端子 CANL と内部ノード n2 との間において、ローサイド端子 CANL をアノード側として内部ノード n2 をカソード側とする極性（＝第 1 極性に相当）で接続されている。
- [0175] 一方、第 3 静電保護ダイオード M23 は、内部ノード n2 とグランド端子 GND との間において、内部ノード n2 をカソード側としてグランド端子 GND をアノード側とする極性（＝第 1 極性とは逆向きの第 2 極性に相当）で接続されている。
- [0176] 本図に則して述べると、第 1 静電保護ダイオード M21 のアノードは、ハイスайд端子 CANH に接続されている。第 2 静電保護ダイオード M22 のアノードは、ローサイド端子 CANL に接続されている。第 3 静電保護ダイオード M23 のアノードは、グランド端子 GND に接続されている。第 1 静電保護ダイオード M21、第 2 静電保護ダイオード M22 及び第 3 静電保護ダイオード M23 それぞれのカソードは、いずれも内部ノード n2 において共通に接続されている。
- [0177] なお、第 1 静電保護回路 110 は、第 1 静電保護ダイオード M21 と第 3 静電保護ダイオード M23 により構成されている。一方、第 2 静電保護回路 120 は、第 2 静電保護ダイオード M22 と第 3 静電保護ダイオード M23 により構成されている。すなわち、第 3 静電保護ダイオード M23 は、第 1 静電保護回路 110 と第 2 静電保護回路 120 の双方により共有されている。
- [0178] この点については、先の第 2 実施形態（図 12）と変わらない。従って、

第1 静電保護回路110及び第2 静電保護回路120それぞれに第3 静電保護ダイオードM23を個別に設ける構成と比べて、第3 静電保護ダイオードM23の個数を半減することができる。従って、半導体装置1の面積を小型化することが可能となる。

[0179] 特に、第3 実施形態の半導体装置1では、第1 静電保護ダイオードM21、第2 静電保護ダイオードM22及び第3 静電保護ダイオードM23として、低耐圧NMOSトランジスタではなく、ドレインにP型不純物領域を形成してサイリスタ化されたラテラルNDMOSトランジスタを備える。

[0180] なお、サイリスタ化されたラテラルNDMOSトランジスタについては、先出の第1 逆流阻止ダイオード13及び第2 逆流阻止ダイオード17と同様の素子構造（図7及び図8を参照）を持つ。重複した説明は省略するが、図7及び図8を参照して簡単に説明し直すと、サイリスタ化されたラテラルNDMOSトランジスタは、ダイオード構造90に電氣的に接続されたサイリスタ構造91を含む。

[0181] つまり、半導体装置1（特に、サイリスタ化されたラテラルNDMOSトランジスタ）は、第1 主面21を有し、デバイス領域26を含むn型の半導体層25と、デバイス領域26において第1 主面21の表層部に形成されたp型のベース領域40と、ベース領域40の縁部から内方に間隔を空けてベース領域40の表層部に形成され、半導体層25との間でチャネル領域42を画定するn型のソース領域41と、ベース領域40の表層部においてソース領域41とは異なる領域に形成され、ベース領域40の不純物濃度を超える不純物濃度を有するp型のベースコンタクト領域43と、デバイス領域26においてベース領域40から間隔を空けて第1 主面21の表層部に形成され、ベース領域40との間でドリフト領域を画定するn型のウェル領域50と、ウェル領域50の表層部に形成されたn型のドレイン領域54と、ウェル領域50の表層部に形成され、ドレイン領域54に電氣的に接続されたp型の不純物領域56と、第1 主面21の上においてチャネル領域42を被覆するゲート絶縁膜72、および、ゲート絶縁膜72の上においてチャネル領

域 4 2 に対向し、ソース領域 4 1 およびベースコンタクト領域 4 3 に電氣的に接続されたゲート電極 7 3 を有するゲート構造 7 1 と、を含む。

[0182] サイリスタ化されたラテラル NDMOS トランジスタは、高い静電サージ耐量を示すだけでなく、DC 耐圧も非常に高い（例えば $-40\text{ V} \sim +40\text{ V}$ ）。従って、素子単体でもハイサイド端子 CANH 及びローサイド端子 CANL それぞれに規定される定格 DC 電圧（例えば $-27\text{ V} \sim +40\text{ V}$ ）の印加に耐えることができる。そのため、第 3 実施形態の半導体装置 1 では、先出の第 2 実施形態と異なり、複数の低耐圧 NMOS トランジスタを縦積みして DC 耐圧を稼ぐ必要がないので、更なる省面積を実現することが可能となる。

[0183] 図 1 6 は、第 3 実施形態に係る素子レイアウトの一例（＝第 1 静電保護ダイオード M2 1、第 2 静電保護ダイオード M2 2 及び第 3 静電保護ダイオード M2 3 の配置例）を示す図である。

[0184] 本図で示すように、第 1 静電保護ダイオード M2 1、第 2 静電保護ダイオード M2 2 及び第 3 静電保護ダイオード M2 3 は、それぞれ、半導体装置 1 の平面視において、矩形状（ほぼ正形状）に形成されている。

[0185] なお、第 1 静電保護ダイオード M2 1 及び第 2 静電保護ダイオード M2 2 は、共通の一辺（本図では、第 1 静電保護ダイオードの右辺及び第 2 静電保護ダイオードの左辺がこれに相当）を持つように、紙面の左右方向に隣接して配置されている。

[0186] 一方、第 3 静電保護ダイオード M2 3 は、第 1 静電保護ダイオード M2 1 及び第 2 静電保護ダイオード M2 2 に対して、紙面の上下方向に隣接して配置されている。本図に則して述べると、第 3 静電保護ダイオード M2 3 は、その上辺が第 1 静電保護ダイオード M2 1 及び第 2 静電保護ダイオード M2 2 それぞれの下辺と均等に接するように配置されている。すなわち、第 1 静電保護ダイオード M2 1 及び第 2 静電保護ダイオード M2 2 の共通辺は、第 3 静電保護ダイオード M2 3 の上辺を二等分する垂線に相当する。

[0187] 図 1 7 は、第 3 実施形態に係る第 1 静電保護回路 1 1 0 及び第 2 静電保護

回路 120 の電流電圧特性を示す図である。なお、先出の図 14 と同じく、本図の縦軸は電流 [A] を示しており、横軸は電圧 [V] を示している。また、本図の電流電圧特性は、公知の TLP 測定法により得られた測定結果である。

[0188] 本図で示すように、第 3 実施形態の半導体装置 1 であれば、複数のトランジスタ素子を縦積みせずとも、高い DC 電圧（例えば $-40\text{ V} \sim +40\text{ V}$ ）の印加に耐えることができる。従って、高 DC 耐圧及び高 ESD 耐圧と省面積を両立することが可能となる。

[0189] <第 4 実施形態>

図 18 は、第 4 実施形態に係る第 2 静電保護回路 120（及びその周辺回路）の一例を示す図である。

[0190] 本図で示すように、ローサイド出力回路 4 は、グランド端子 GND からローサイド端子 CANL への逆流を阻止する第 2 逆流阻止ダイオード 17 として、先出の第 2 静電保護ダイオード M22 を兼用してもよい。この場合、第 2 静電保護回路 120 を形成する第 3 静電保護ダイオード M23 は、ローサイド出力回路 4 に含まれる第 2 駆動トランジスタ 15 及び第 2 防護トランジスタ 16 に対して並列に接続される形となる。

[0191] 本構成を採用すれば、トランジスタ素子を削減することができるので、半導体装置 1 の更なる省面積に貢献することが可能となる。

[0192] <総括>

以下では、上記で説明した種々の実施形態について総括的に述べる。

[0193] 例えば、本明細書中に開示されている半導体装置は、静電保護ダイオードとして、ドレインに P 型不純物領域を形成してサイリスタ化されたラテラル NDMOS トランジスタを備える構成（第 1 の構成）とされている。

[0194] また、例えば、本明細書中に開示されている半導体装置は、第 1 信号端子と、第 2 信号端子と、接地端子と、第 1 静電保護ダイオード、第 2 静電保護ダイオード及び第 3 静電保護ダイオードと、を備え、前記第 1 静電保護ダイオード、前記第 2 静電保護ダイオード及び前記第 3 静電保護ダイオードは、

いずれもドレインにP型不純物領域を形成してサイリスタ化されたラテラルNDMOSトランジスタであり、前記第1静電保護ダイオードのアノードが前記第1信号端子に接続され、前記第2静電保護ダイオードのアノードが前記第2信号端子に接続され、前記第3静電保護ダイオードのアノードが前記接地端子に接続され、前記第1静電保護ダイオード、前記第2静電保護ダイオード及び前記第3静電保護ダイオードそれぞれのカソードが共通に接続されている構成（第2の構成）とされている。

[0195] なお、上記第2の構成による半導体装置において、前記第1静電保護ダイオード、前記第2静電保護ダイオード及び前記第3静電保護ダイオードは、平面視で矩形状に形成されており、前記第1静電保護ダイオード及び前記第2静電保護ダイオードは、共通の一辺を持つように配置されており、前記第3静電保護ダイオードは、前記第1静電保護ダイオード及び前記第2静電保護ダイオードの双方と均等に接するように配置されている構成（第3の構成）にしてもよい。

[0196] また、上記第2又は第3の構成による半導体装置において、前記半導体装置は、CANトランシーバであり、前記第1信号端子は、ハイサイドのバス入出力端子であり、前記第2信号端子は、ローサイドのバス入出力端子である構成（第4の構成）にしてもよい。

[0197] また、上記第4の構成による半導体装置は、前記第1信号端子と電源端子との間を導通／遮断するように構成されたハイサイド出力回路と、前記第2信号端子と前記接地端子との間を導通／遮断するように構成されたローサイド出力回路と、をさらに備える構成（第5の構成）にしてもよい。

[0198] また、上記第5の構成による半導体装置において、前記ハイサイド出力回路は、前記第1信号端子から前記電源端子への逆流を阻止するように構成された第1逆流阻止ダイオードを含む構成（第6の構成）にしてもよい。

[0199] また、上記第5の構成による半導体装置において、前記ローサイド出力回路は、前記接地端子から前記第2信号端子への逆流を阻止するように構成された第2逆流阻止ダイオードを含む構成（第7の構成）にしてもよい。

[0200] また、上記第5の構成による半導体装置において、前記ローサイド出力回路は、前記接地端子から前記第2信号端子への逆流を阻止する第2逆流阻止ダイオードとして前記第2静電保護ダイオードを兼用する構成（第8の構成）にしてもよい。

[0201] また、上記第1～第8いずれかの構成による半導体装置において、前記ラテラルNDMOSトランジスタは、主面を有し、デバイス領域を含む第1導電型の半導体層と、前記デバイス領域において前記主面の表層部に形成された第2導電型のベース領域と、前記ベース領域の縁部から内方に間隔を空けて前記ベース領域の表層部に形成され、前記半導体層との間でチャネル領域を画定する第1導電型のソース領域と、前記ベース領域の表層部において前記ソース領域とは異なる領域に形成され、前記ベース領域の不純物濃度を超える不純物濃度を有する第2導電型のベースコンタクト領域と、前記デバイス領域において前記ベース領域から間隔を空けて前記主面の表層部に形成され、前記ベース領域との間でドリフト領域を画定する第1導電型のウェル領域と、前記ウェル領域の表層部に形成された第1導電型のドレイン領域と、前記ウェル領域の表層部に形成され、前記ドレイン領域に電氣的に接続された第2導電型の不純物領域と、前記主面の上において前記チャネル領域を被覆するゲート絶縁膜、および、前記ゲート絶縁膜の上において前記チャネル領域に対向し、前記ソース領域および前記ベースコンタクト領域に電氣的に接続されたゲート電極を有するゲート構造と、を含む構成（第9の構成）にしてもよい。

[0202] また、例えば、本明細書中に開示されている半導体装置は、第1信号端子と、第2信号端子と、接地端子と、前記第1信号端子と内部ノードとの間に第1極性で接続されるように構成された少なくとも一つの第1静電保護ダイオードと、前記第2信号端子と前記内部ノードとの間に前記第1極性で接続されるように構成された少なくとも一つの第2静電保護ダイオードと、前記内部ノードと前記接地端子との間に前記第1極性とは逆向きの第2極性で接続されるように構成された少なくとも一つの第3静電保護ダイオードと、を

備える構成（第10の構成）とされている。

[0203] <その他の変形例>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、特許請求の範囲により規定されるものであって、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

符号の説明

- [0204]
- 1 半導体装置
 - 2 制御回路
 - 3 ハイサイド出力回路
 - 4 ローサイド出力回路
 - 5 ゲートドライバ回路
 - 6 マイクロコンピュータ6
 - 7 抵抗分割回路
 - 8 コンデンサ
 - 9 終端抵抗
 - 10 電気信号生成回路
 - 11 機能回路11
 - 12 第1駆動トランジスタ
 - 13 第1逆流阻止ダイオード
 - 14 第1防護トランジスタ
 - 15 第2駆動トランジスタ
 - 16 第2防護トランジスタ
 - 17 第2逆流阻止ダイオード
 - 20 半導体チップ
 - 21 第1主面

- 2 2 第2主面
- 2 3 A～2 3 D 第1～第4側面
- 2 4 半導体基板
- 2 5 半導体層
- 2 6 デバイス領域
- 2 7 機能デバイス領域
- 2 8 ダイオード領域（デバイス領域）
- 3 0 領域分離構造
- 3 1 カラム領域
- 3 2 カラム埋込領域
- 3 3 カラムウェル領域
- 3 4 カラムコンタクト領域
- 3 5 埋込領域
- 4 0 ベース領域
- 4 1 ソース領域
- 4 2 チャネル領域
- 4 3 ベースコンタクト領域
- 5 0 ウェル領域
- 5 1 ドリフト領域
- 5 2 第1領域
- 5 3 第2領域
- 5 4 ドレイン領域
- 5 5 外側ドレイン領域
- 5 6 不純物領域
- 6 0 ガード領域
- 6 1 ガードウェル領域
- 6 2 ガードコンタクト領域
- 6 5 チャネルストップ領域（CS領域）

6 6	C S 埋込領域
6 7	C S ウェル領域
6 8	C S 表層領域
7 0	絶縁膜
7 0 A ~ 7 0 E	第 1 ~ 第 5 絶縁膜
7 1	ゲート構造
7 2	ゲート絶縁膜
7 3	ゲート電極
7 4	コンタクト開口
7 5	引き出し部
8 0	層間絶縁膜
8 1	領域分離接続電極
8 2	ソース接続電極
8 3	ドレイン接続電極
8 4	ガード接続電極
8 6	ゲート接続電極
9 0	ダイオード構造
9 1	サイリスタ構造
9 2	第 1 トランジスタ構造
9 3	第 2 トランジスタ構造
1 1 0	第 1 静電保護回路
1 2 0	第 2 静電保護回路
C A N H	ハイサイド端子
C A N L	ローサイド端子
G N D	グラウンド端子
I N	入力端子
I N 1	第 1 入力端子
I N 2	第 2 入力端子

L 1 第 1 バス線

L 2 第 2 バス線

M 1 1、M 1 2、M 1 3 静電保護ダイオード（NMOS トランジスタ）

M 2 1、M 2 2、M 2 3 静電保護ダイオード（サイリスタ化されたラテラルNDMOS トランジスタ）

n 1、n 2 内部ノード

OUT 出力端子

VCC 電源端子

W ウェル幅

W 1 第 1 幅

W 2 第 2 幅

WD 1 第 1 ドレイン幅

WD 2 第 2 ドレイン幅

X 第 1 方向

Y 第 2 方向

Z 法線方向

請求の範囲

- [請求項1] 静電保護ダイオードとして、ドレインにP型不純物領域を形成してサイリスタ化されたラテラルNDMOSトランジスタを備える、半導体装置。
- [請求項2] 第1信号端子と、
第2信号端子と、
接地端子と、
第1静電保護ダイオード、第2静電保護ダイオード及び第3静電保護ダイオードと、
を備え、
前記第1静電保護ダイオード、前記第2静電保護ダイオード及び前記第3静電保護ダイオードは、いずれもドレインにP型不純物領域を形成してサイリスタ化されたラテラルNDMOSトランジスタであり、
前記第1静電保護ダイオードのアノードが前記第1信号端子に接続され、
前記第2静電保護ダイオードのアノードが前記第2信号端子に接続され、
前記第3静電保護ダイオードのアノードが前記接地端子に接続され、
前記第1静電保護ダイオード、前記第2静電保護ダイオード及び前記第3静電保護ダイオードそれぞれのカソードが共通に接続されている、半導体装置。
- [請求項3] 前記第1静電保護ダイオード、前記第2静電保護ダイオード及び前記第3静電保護ダイオードは、平面視で矩形状に形成されており、
前記第1静電保護ダイオード及び前記第2静電保護ダイオードは、共通の一辺を持つように配置されており、
前記第3静電保護ダイオードは、前記第1静電保護ダイオード及び

前記第 2 静電保護ダイオードの双方と均等に接するように配置されている、請求項 2 に記載の半導体装置。

[請求項4] 前記半導体装置は、CAN トランシーバであり、
前記第 1 信号端子は、ハイサイドのバス入出力端子であり、
前記第 2 信号端子は、ローサイドのバス入出力端子である、
請求項 2 又は 3 に記載の半導体装置。

[請求項5] 前記第 1 信号端子と電源端子との間を導通／遮断するように構成されたハイサイド出力回路と、
前記第 2 信号端子と前記接地端子との間を導通／遮断するように構成されたローサイド出力回路と、
をさらに備える、請求項 4 に記載の半導体装置。

[請求項6] 前記ハイサイド出力回路は、前記第 1 信号端子から前記電源端子への逆流を阻止するように構成された第 1 逆流阻止ダイオードを含む、
請求項 5 に記載の半導体装置。

[請求項7] 前記ローサイド出力回路は、前記接地端子から前記第 2 信号端子への逆流を阻止するように構成された第 2 逆流阻止ダイオードを含む、
請求項 5 に記載の半導体装置。

[請求項8] 前記ローサイド出力回路は、前記接地端子から前記第 2 信号端子への逆流を阻止する第 2 逆流阻止ダイオードとして前記第 2 静電保護ダイオードを兼用する、請求項 5 に記載の半導体装置。

[請求項9] 前記ラテラル NDMOS トランジスタは、
主面を有し、デバイス領域を含む第 1 導電型の半導体層と、
前記デバイス領域において前記主面の表層部に形成された第 2 導電型のベース領域と、
前記ベース領域の縁部から内方に間隔を空けて前記ベース領域の表層部に形成され、前記半導体層との間でチャネル領域を画定する第 1 導電型のソース領域と、

前記ベース領域の表層部において前記ソース領域とは異なる領域に

形成され、前記ベース領域の不純物濃度を超える不純物濃度を有する第2導電型のベースコンタクト領域と、

前記デバイス領域において前記ベース領域から間隔を空けて前記主面の表層部に形成され、前記ベース領域との間でドリフト領域を画定する第1導電型のウェル領域と、

前記ウェル領域の表層部に形成された第1導電型のドレイン領域と、

前記ウェル領域の表層部に形成され、前記ドレイン領域に電氣的に接続された第2導電型の不純物領域と、

前記主面の上において前記チャネル領域を被覆するゲート絶縁膜、および、前記ゲート絶縁膜の上において前記チャネル領域に対向し、前記ソース領域および前記ベースコンタクト領域に電氣的に接続されたゲート電極を有するゲート構造と、を含む、請求項1～8のいずれか一項に記載の半導体装置。

[請求項10]

第1信号端子と、

第2信号端子と、

接地端子と、

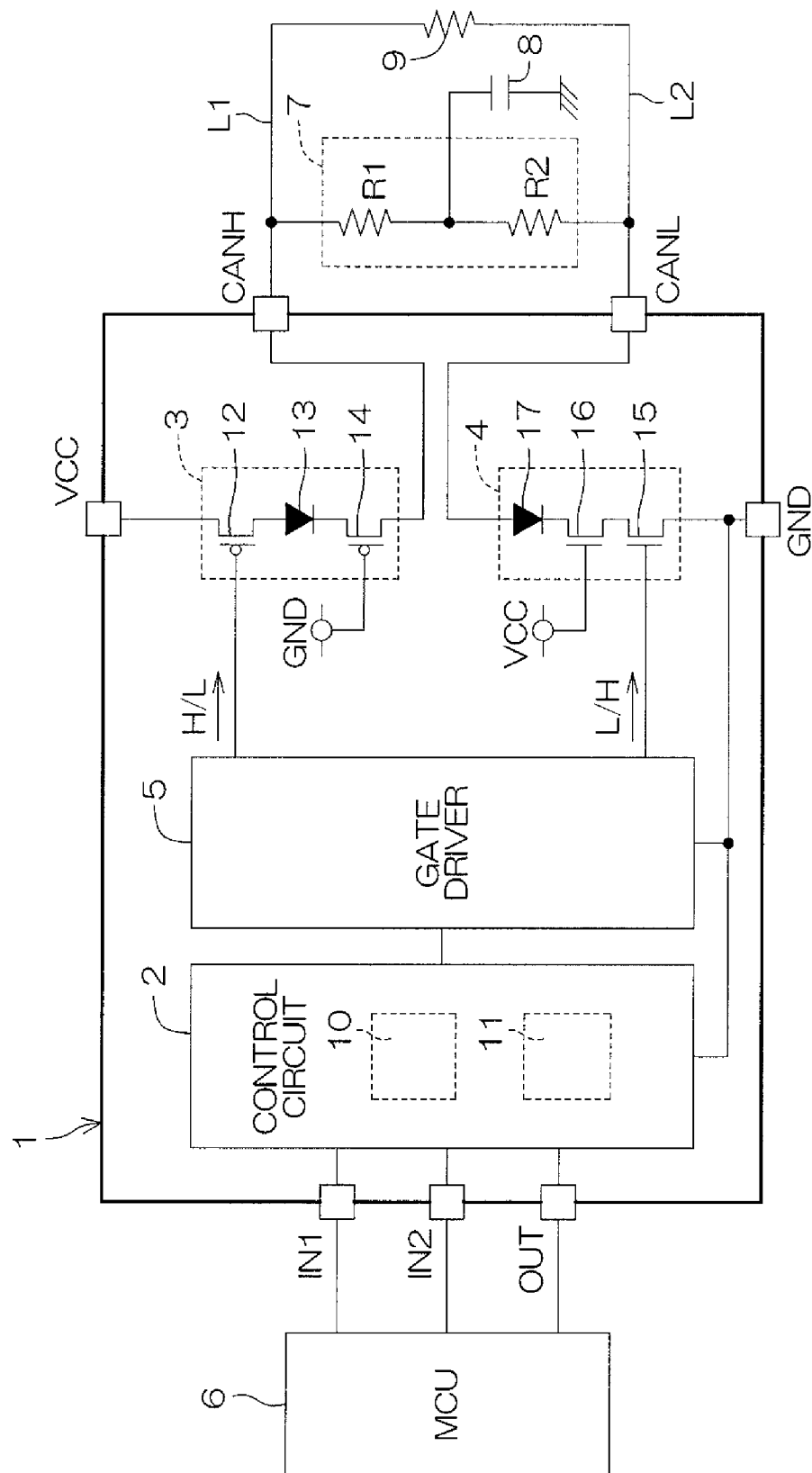
前記第1信号端子と内部ノードとの間に第1極性で接続されるように構成された少なくとも一つの第1静電保護ダイオードと、

前記第2信号端子と前記内部ノードとの間に前記第1極性で接続されるように構成された少なくとも一つの第2静電保護ダイオードと、

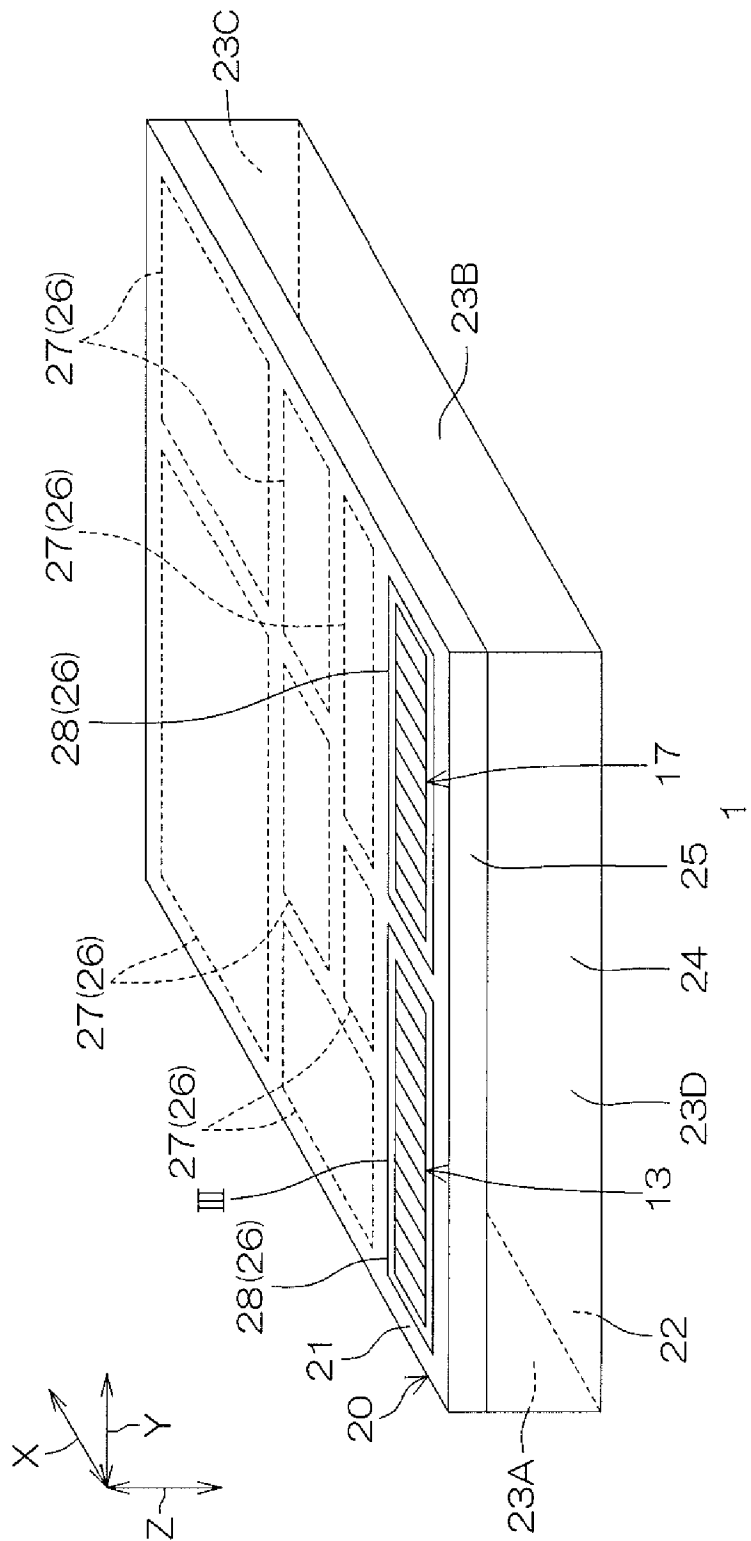
前記内部ノードと前記接地端子との間に前記第1極性とは逆向きの第2極性で接続されるように構成された少なくとも一つの第3静電保護ダイオードと、

を備える、半導体装置。

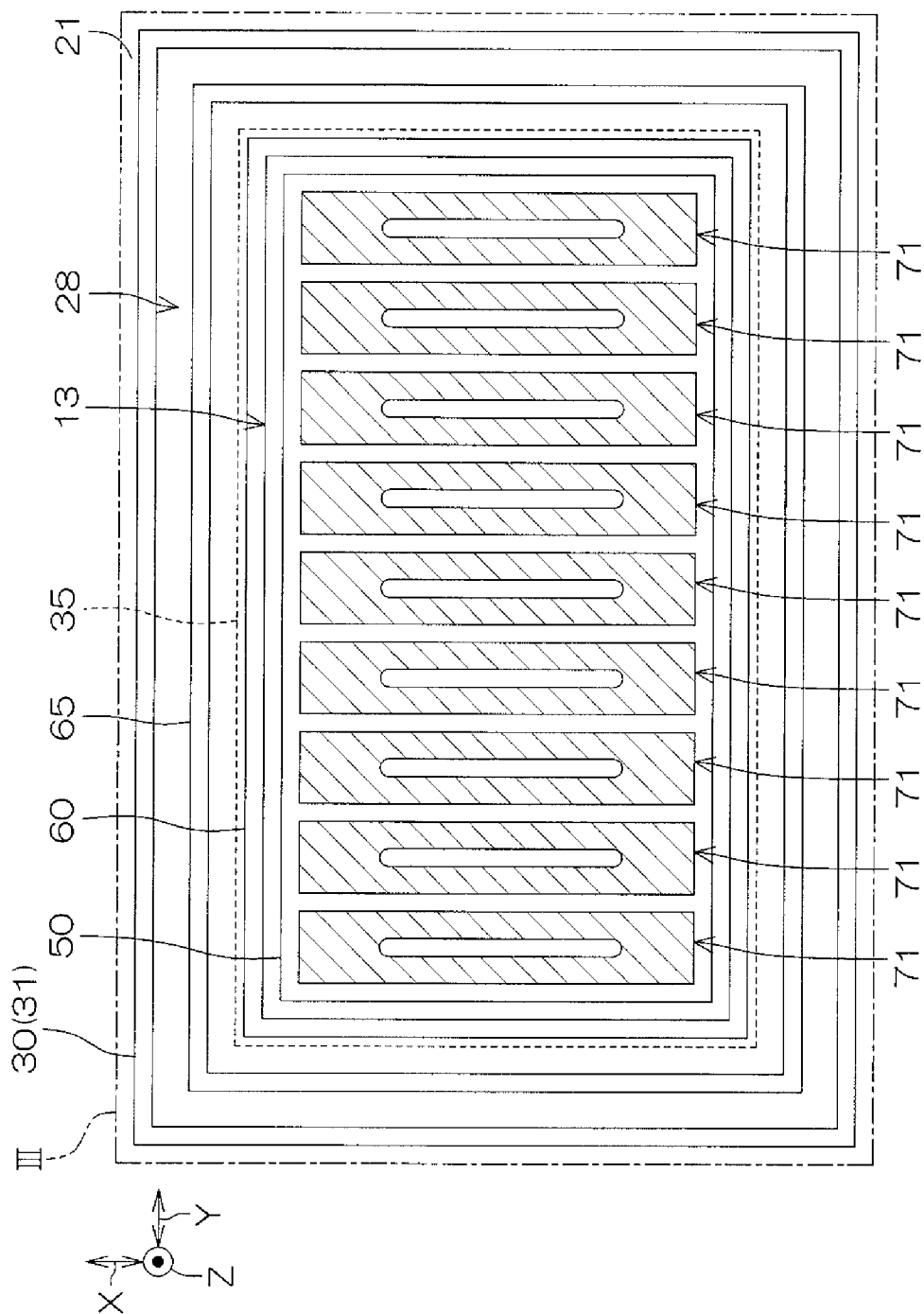
[図1]



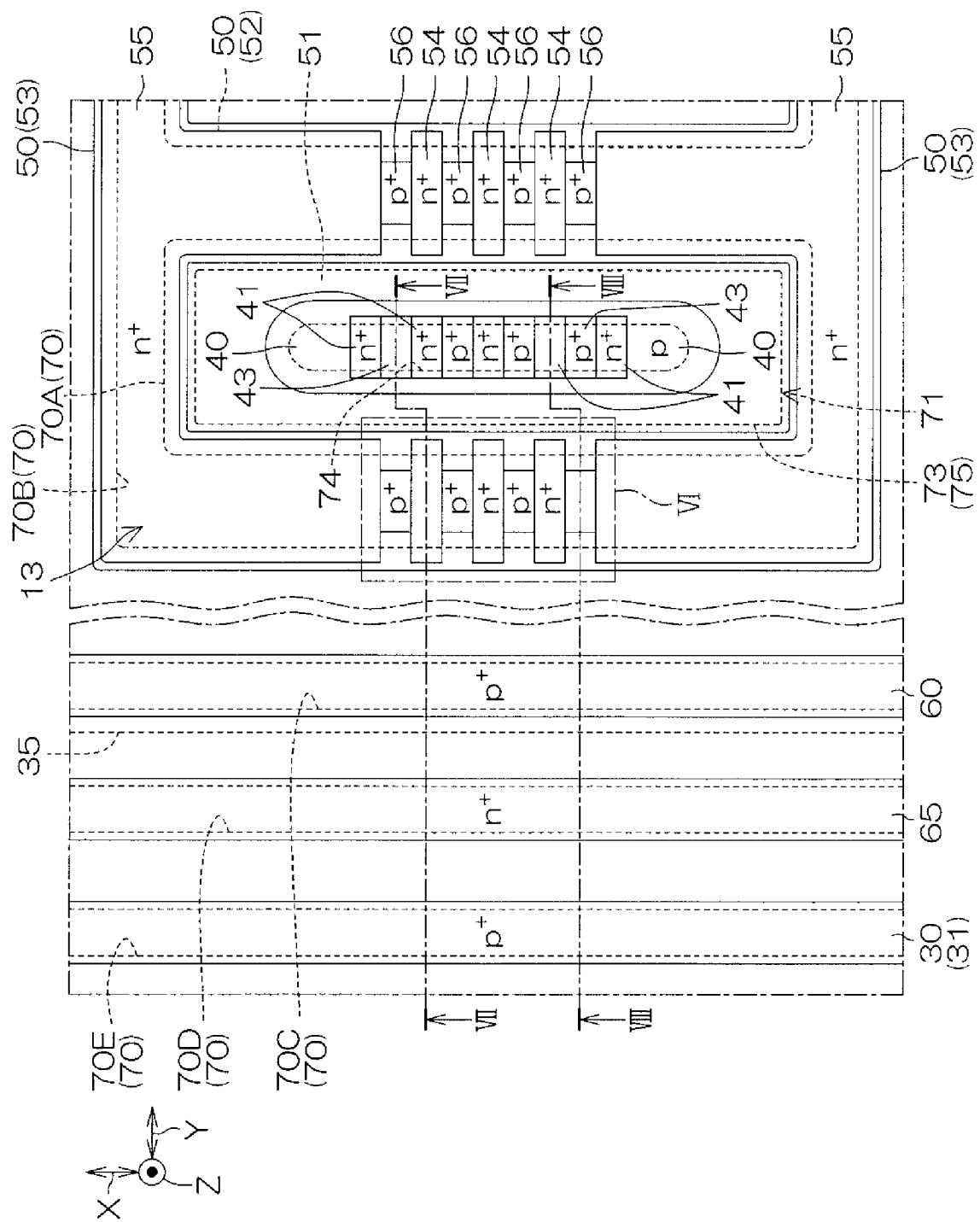
[図2]



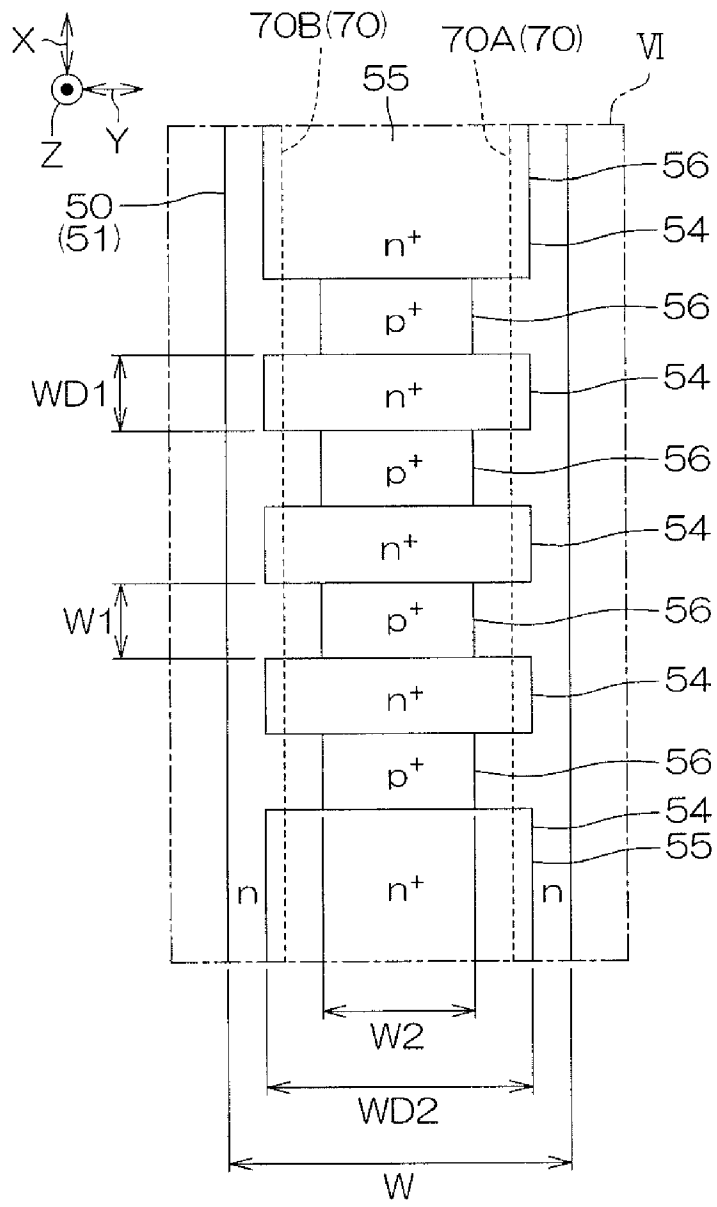
[図3]



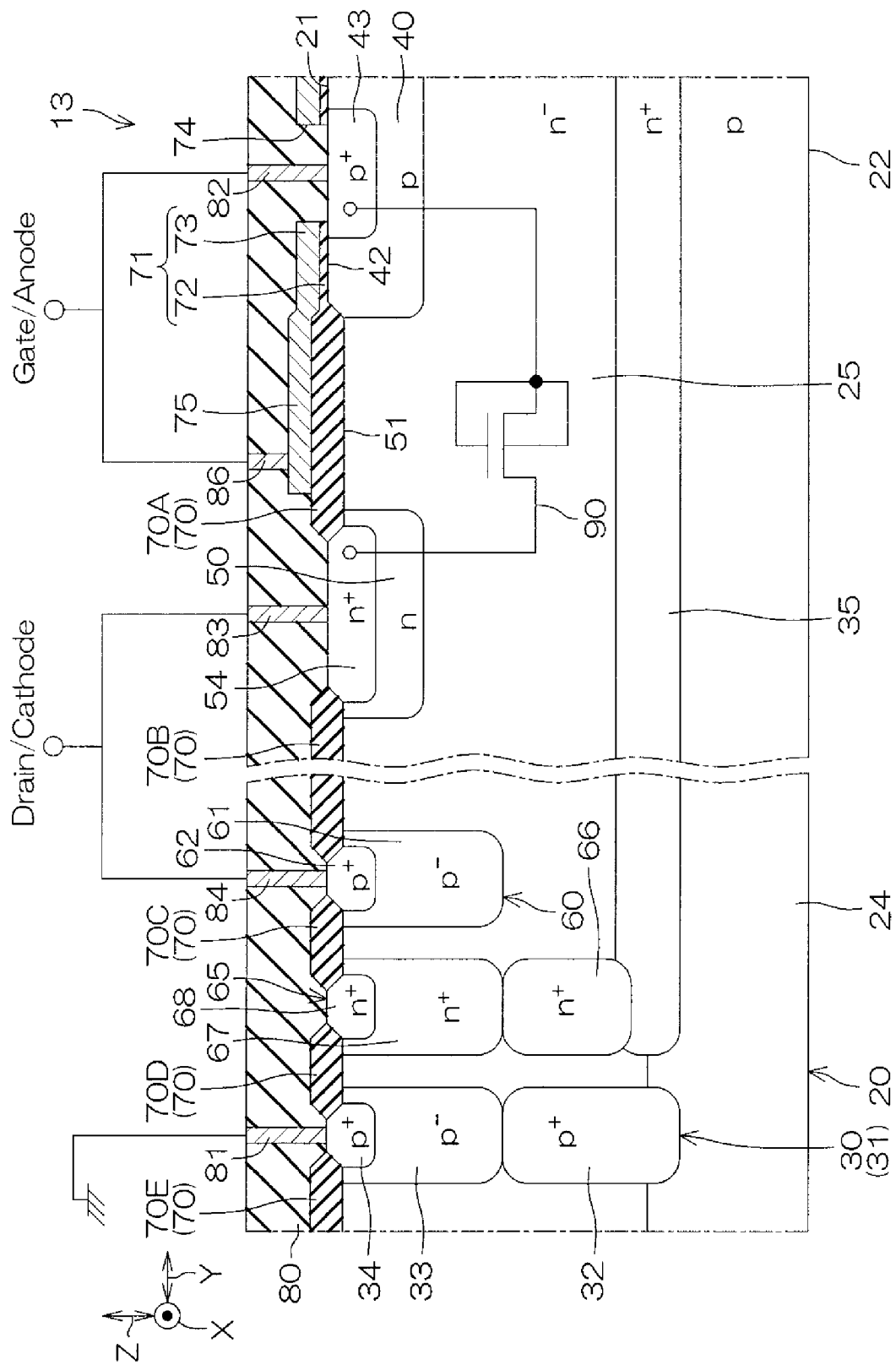
[図5]



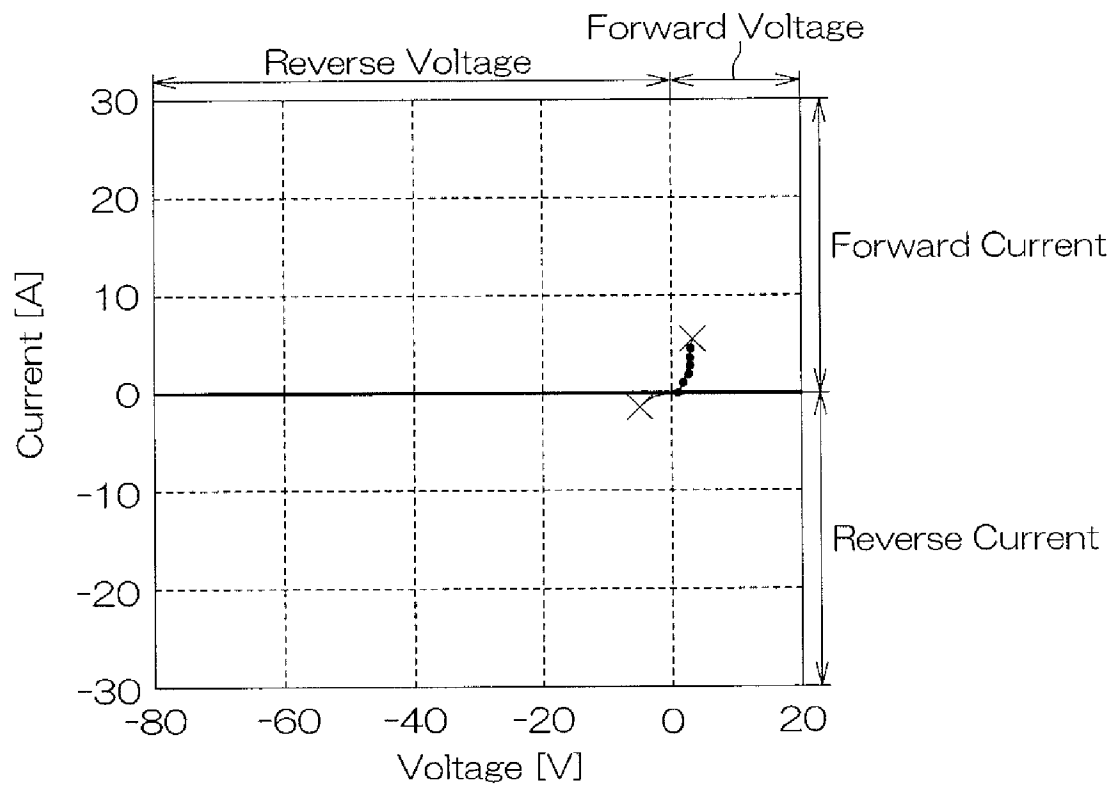
[図6]



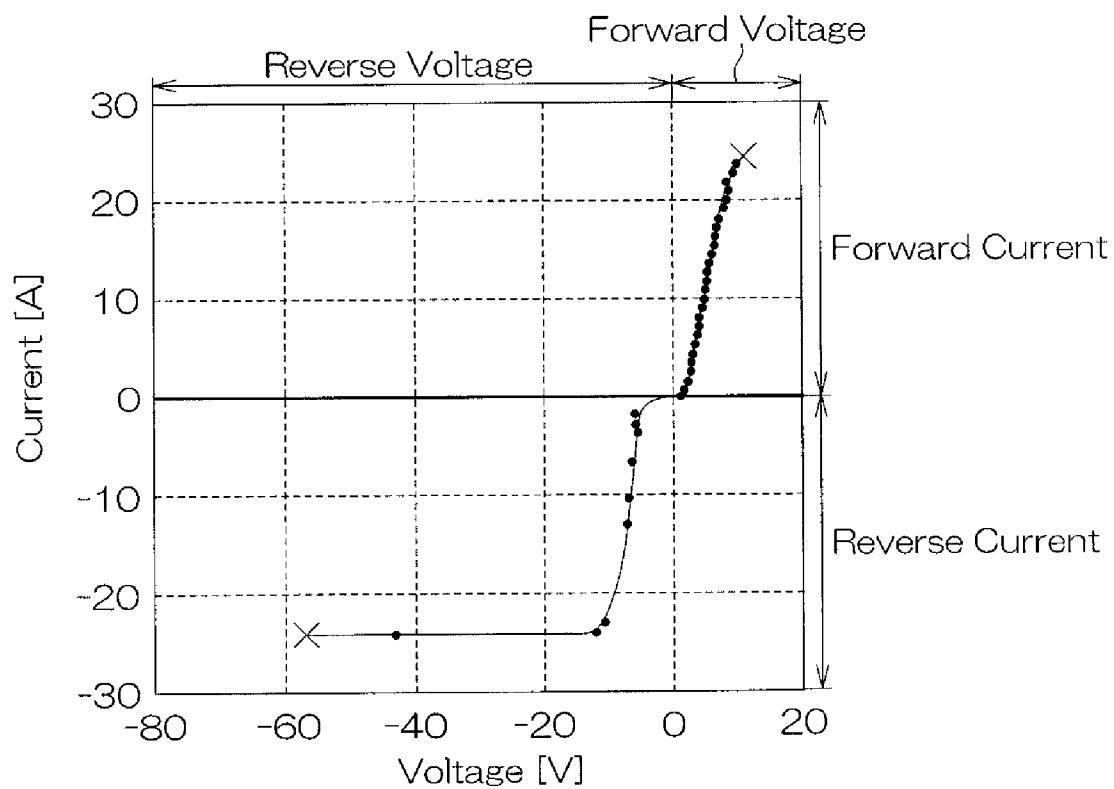
[図7]



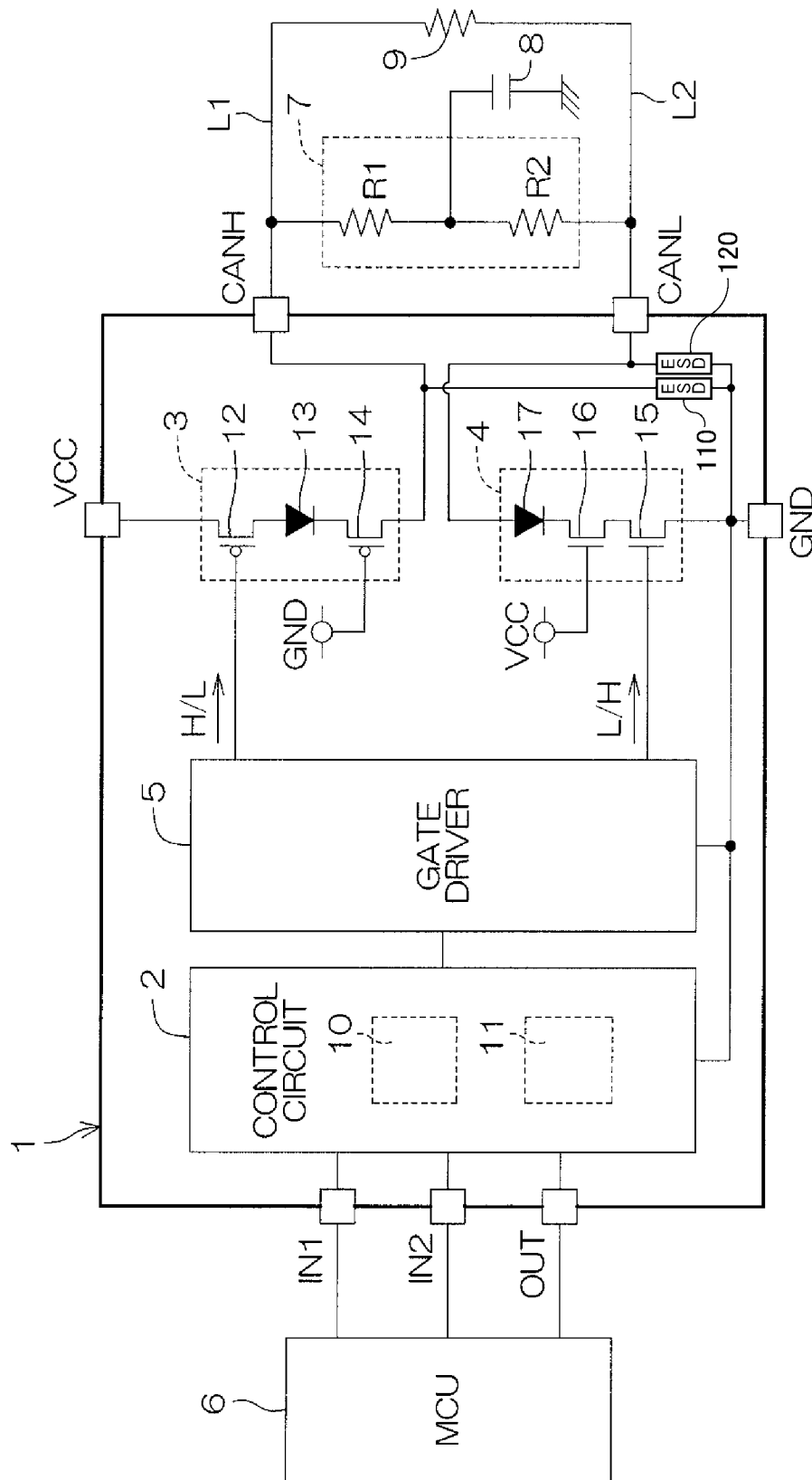
[図9]



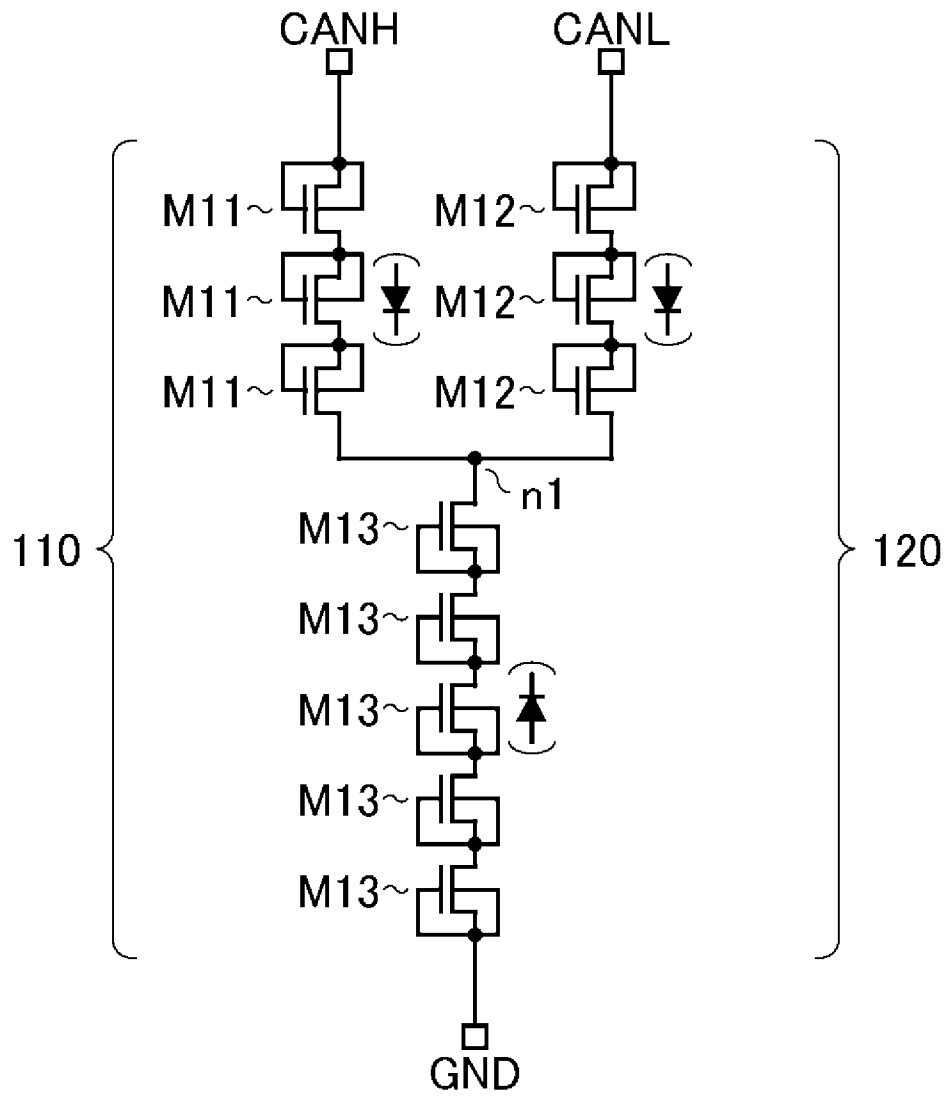
[図10]



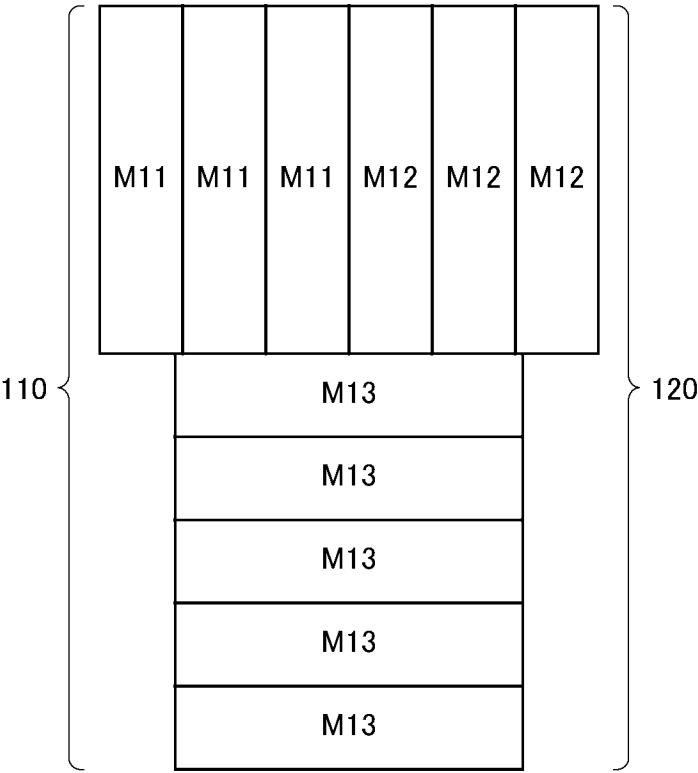
[図11]



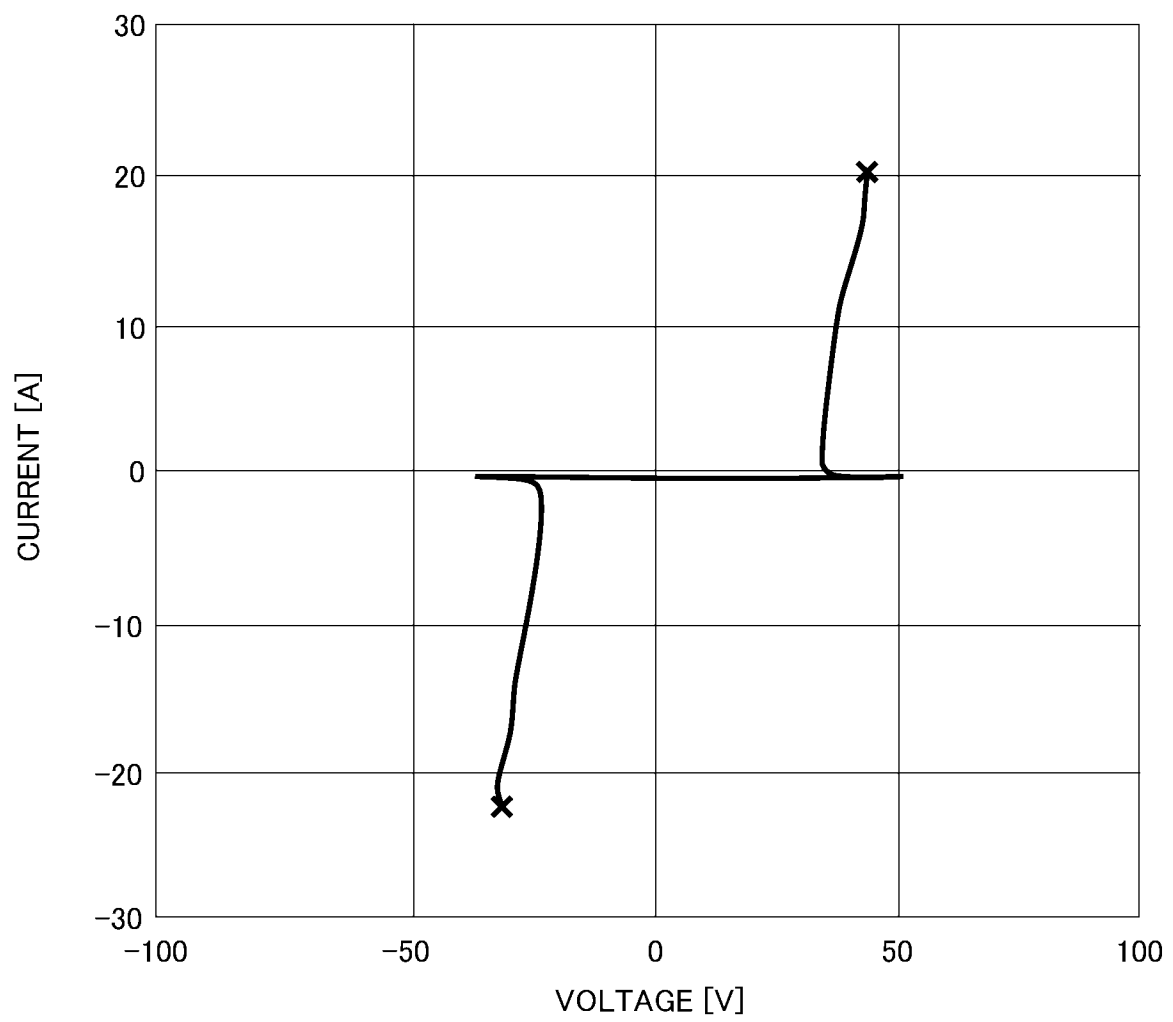
[図12]



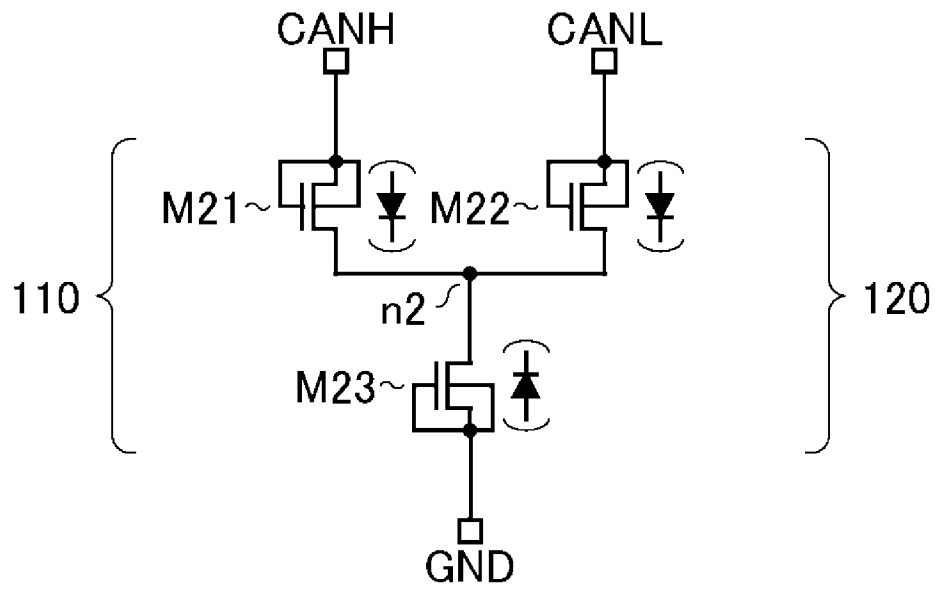
[図13]



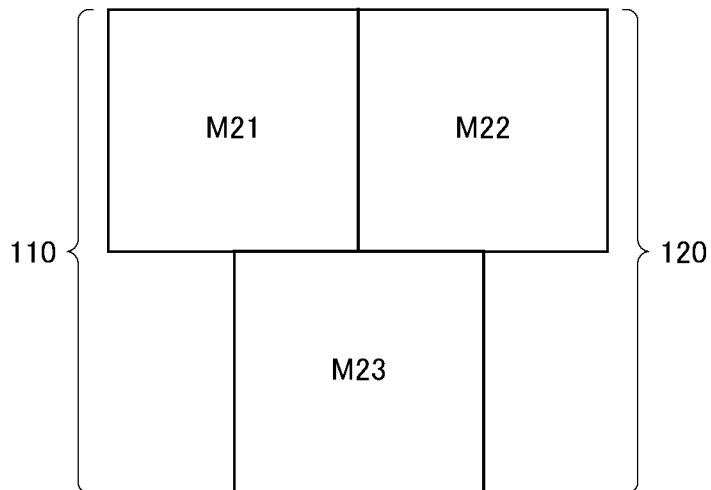
[図14]



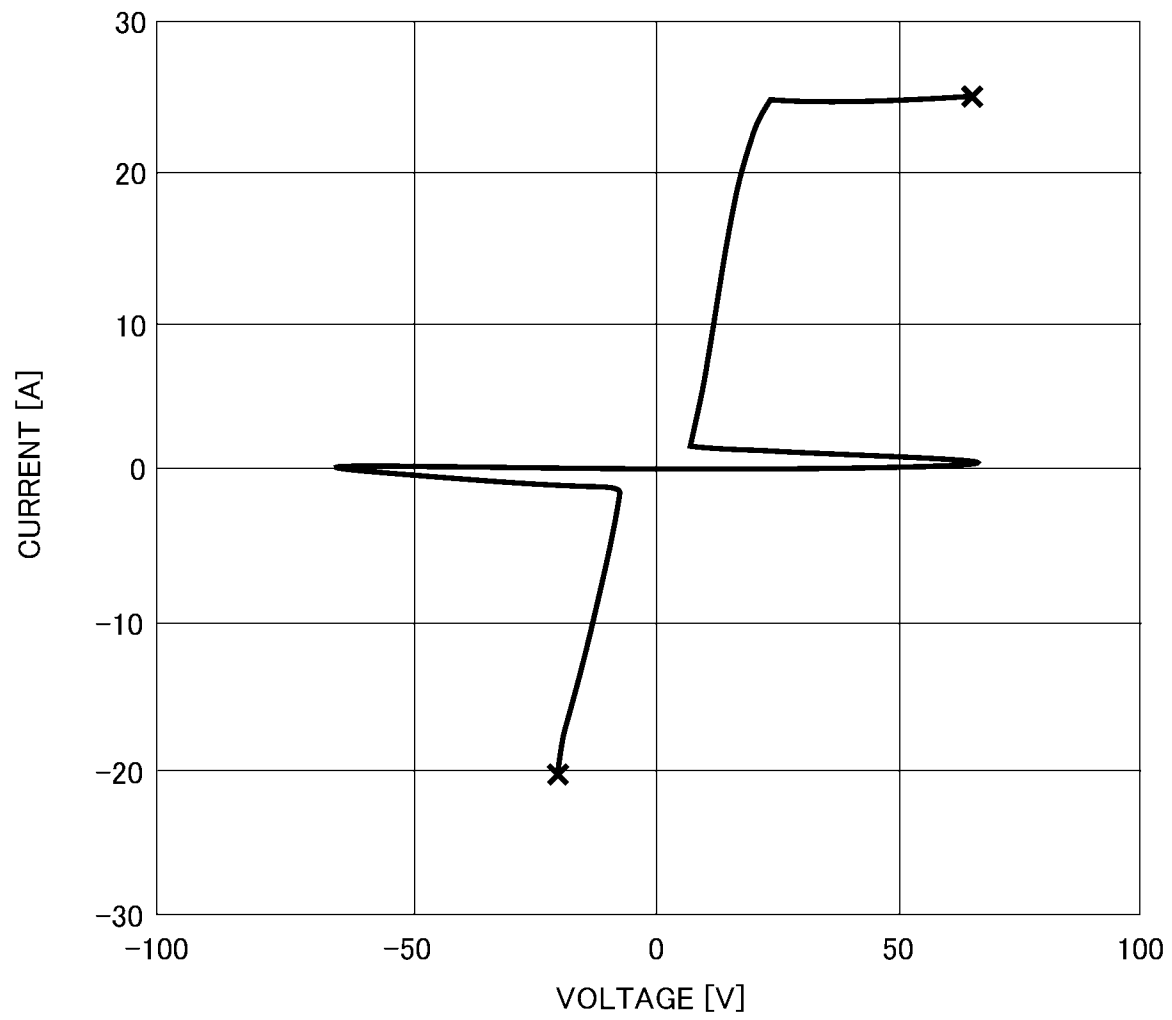
[図15]



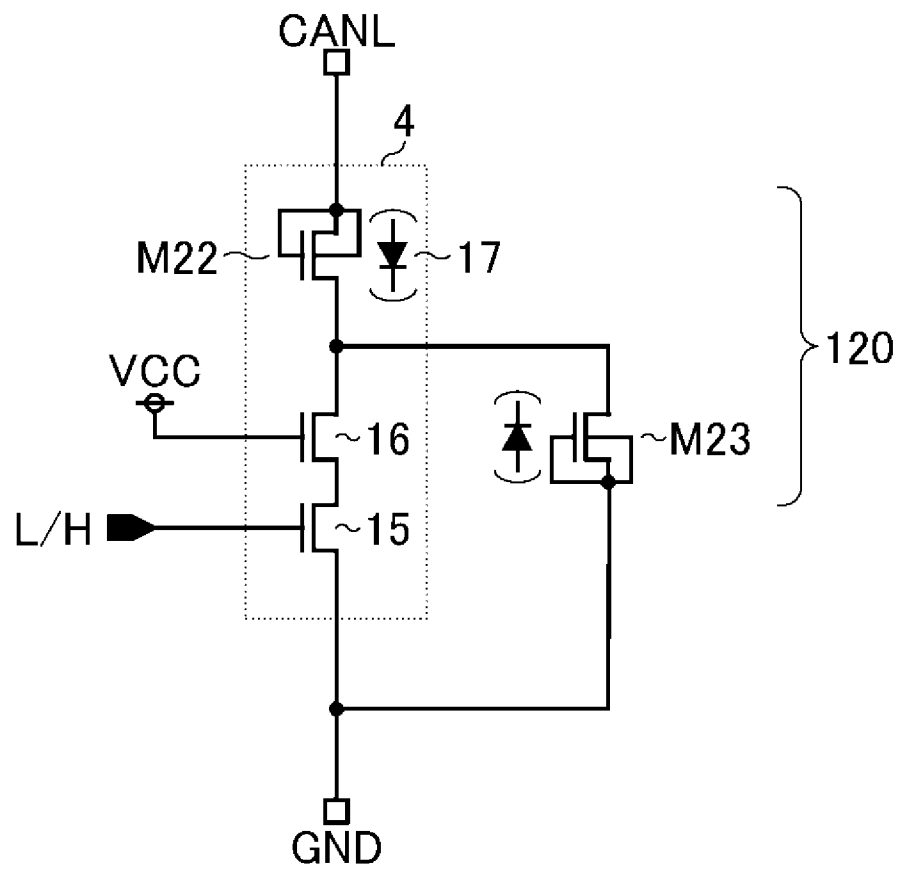
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/037107

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/06(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 21/822**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/04**(2006.01)i;
H01L 29/78(2006.01)i

FI: H01L27/06 311C; H01L27/06 311B; H01L27/04 H; H01L27/06 102A; H01L29/78 301D; H01L29/78 301K

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/06; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2021/106939 A1 (ROHM CO., LTD.) 03 June 2021 (2021-06-03) paragraphs [0014]-[0111], fig. 1-8	1, 9
A		2-8, 10
X	JP 2017-54864 A (ALPS ELECTRIC CO., LTD.) 16 March 2017 (2017-03-16) paragraphs [0063]-[0066], fig. 4A	10
A		1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

12 December 2022

Date of mailing of the international search report

20 December 2022

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/037107

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2021/106939	A1	03 June 2021	CN	114556560 A
JP	2017-54864	A	16 March 2017	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/06(2006.01)i; H01L 21/336(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 29/78(2006.01)i FI: H01L27/06 311C; H01L27/06 311B; H01L27/04 H; H01L27/06 102A; H01L29/78 301D; H01L29/78 301K		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/06; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L29/78 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2021/106939 A1（ローム株式会社）03.06.2021（2021-06-03） 段落0014-0111、図1-8	1, 9
A		2-8, 10
X	JP 2017-54864 A（アルプス電気株式会社）16.03.2017（2017-03-16） 段落0063-0066、図4A	10
A		1-9
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 12.12.2022		国際調査報告の発送日 20.12.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/037107

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/106939	A1	03.06.2021	CN	114556560	A	
JP	2017-54864	A	16.03.2017	(ファミリーなし)			