

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04L 7/02 (2006.01)

H04L 25/40 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410101360.7

[45] 授权公告日 2010 年 2 月 3 日

[11] 授权公告号 CN 100588148C

[22] 申请日 2004.12.17

[21] 申请号 200410101360.7

[30] 优先权

[32] 2004.7.26 [33] JP [31] 2004-217509

[73] 专利权人 尔必达存储器股份有限公司

地址 日本东京都

[72] 发明人 大坂英树 西尾洋二 船场诚司

庄司和良

审查员 刘 哲

[74] 专利代理机构 北京银龙知识产权代理有限公司

代理人 郝庆芬

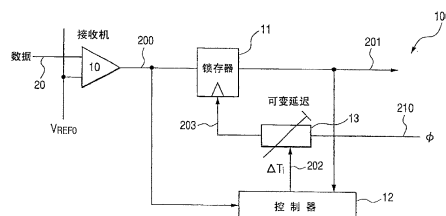
权利要求书 2 页 说明书 19 页 附图 18 页

[54] 发明名称

具有数字接口的半导体器件

[57] 摘要

本发明课题是在接口的接收机中减少依存于数据类型式的信号抖动。因此，提供可自动调整的大规模集成电路来在各装置中可调整为减少(信号抖动)所需延迟量的设置。依存于数据类型式的信号抖动可预测以前的任何状态，所以在接收机中保持获得的数据的状态，调整从这种保持的状态和所输入的数据而获得输入数据的定时。而且，作为用于决定取决于安装状态的延迟量的接收机内的调整机构，将来自激励级的 1 个周期间隔的脉冲数据和 2 个周期间隔的脉冲数据作为测试型式收发。具有自动调整机构从脉冲宽度不同的脉冲上升与下降时间差来得到最适合系统的延迟量。



1. 一种半导体器件，具有接收数字数据信号的接收机电路，其特点是，上述接收机电路由将所输入的上述数字数据与基准电压比较而输出二进制的数字的第一和第二差动比较器，进行上述第二差动比较器的基准电压设置的可变电压源，将上述数字数据保持规定时间进行输出的锁存器，选择来自上述第一和第二差动比较器的任何一个输出信号而向上述锁存器传输的转换开关，依据来自上述第一差动比较器的输出信号和上述锁存器的输出信号决定参照电压的控制电路组成，上述可变电压源对于由上述控制电路所控制的上述第二差动比较器决定参照电压，根据所决定的上述参照电压将上述比较器的输出信号延迟，对于上述锁存器通过上述转换开关将所延迟的上述比较器的输出信号作为数据信号获取。

2. 一种半导体器件，具有接收数字信号的接收机电路，其特点是，上述接收机电路由将所输入的上述数字数据与基准电压比较而输出二进制数字的第一与第二差动比较器，设置上述第二差动比较器的基准电压的可变电压源，将上述数字数据保持规定时间而输出的锁存器，选择来自上述第一和第二差动比较器的任何一个输出信号而向上述锁存器传输的转换开关，依据来自上述第一差动比较器的输出信号和上述锁存器的输出信号决定参照电压以及延迟量的控制电路，接收来自上述控制电路的信号向上述锁存器传输上述延迟量的延迟可变电路组成，上述可变电压源基于来自上述控制电路的参照电压信息决定对于上述第二差动比较器的参照电压，根据所决定的上述参照电压将上述比较器的输出信号延迟，上述锁存器则通过上述转换开关将所延迟的上述比较器的输出信号作为数据信号获取，而且，上述锁存器基于来自上述控制电路的延迟量信息，利用上述延迟可变电路将输出的延迟时钟信号作为触发脉冲而获得上述差动比较器的输出。

3. 一种半导体器件，具有接收数字数据的接收机电路，其特点是，上述接收机电路由将所输入上述数字数据与作为基准的参照电压比较而输出二进制数据的差动比较器，设置上述差动比较器的参照电压的可变电压源，将上述数字数据保持规定时间而输出的锁存器，依据来自上述差动比较器的输出

信号决定参照电压的参照电压控制电路组成，上述可变电压源对于由上述参照电压控制电路所控制的差动比较器输出参照电压，根据所输出的上述参照电压将上述比较器的输出信号定时进行调整。

4. 权利要求项 3 所述的半导体器件，其特点是，上述参照电压控制电路具有与数据型式的履历对应的内部状态，根据各状态进行参照电压控制，设置各状态中的参照电压，使之接近上述比较器的输入信号在数据周期的中心时刻所取的电压值。

具有数字接口的半导体器件

技术领域

涉及个人计算机等信息处理设备所用的、连接处理机或存储器等功能电路之间所用的总线连接技术及其构成要素，尤其涉及实现数字信号接口中低信号抖动的半导体器件。

背景技术

在装置内的处理机或存储器等功能电路之间传输数字数据的情况下，数据传输所需物理部位分为二个。即，连接实现功能电路的半导体元件（以下称大规模集成电路）和大规模集成电路之间的传输线路，这些部分统称接口。为了实现装置高性能化，接口必须高速化，但是因为受到传输线路物理上的制约，难以实现高速化。

例如，如图3所示，在2个大规模集成电路14和16之间进行数据传输的情况下，由于数据总线配线15的高频感应损失或集肤效应而发生波形钝化。图4是钝化波形示例。图4设从激励级14输出来自发送方大规模集成电路的数据信号320那样的二进制数据。波形321是到达接收机16的输入端子的波形，它成为接收机16的输入波形。然后，接收机16接收波形321恢复矩形脉冲。以322表示这种波形。这里，波形322对发送脉冲322来说，波形幅度变大。其原因如下：

现在，矩形波受到由低到高、由高到低的激励，由于上述效应，数据到达接收机16的波形321显示钝化。例如，在发送由低到高上升脉冲的情况下，在布线中传输来的波形321产生钝化。信号在1个周期中没有完全上升为高电压，或以别的表现形式并没有完全充电。所以，即使到下一周期开始时刻，电压仍然没有完全充电。

在高速化数据传输中，在这种充电结束之前，就发送后续数据，因此，接收机16的输入波形321，因上一周期的数据，数据的电压波形不同。将这种现象称作数据型式依存性或符号间干扰（ISI: Inter Symbol Interference），

是高速化的一项课题。

这表明,对接收方的大规模集成电路来说,作为确定数据所需时间幅度的设置时间和保持时间缩短。取接收临界值电压为 V_{REF0} ,其横切时刻,在 T_1 、 T_2 、 T_3 、 T_4 ...,因数据类型而分散。这种分散称作信号抖动,在信号抖动严重时,无法确保确定数据所需时间幅度(数据窗口),数据传输失败率变大。即,由于波形钝化,无法进行更高速度的数据传输。

为了避免这种情况,现有技术有美国专利第 6577687 号专利说明书(达纳·霍尔等人,“以最小数字符号间干扰在数据总线上的数据传输方法”,美国专利第 6577687 号 B2,2003 年 1 月)和美国专利第 5953521 号专利说明书(桑杰伊·达布拉尔等人,“数据类型感应的失真减少装置”,美国专利第 5953521 号 1999 年 9 月)。

在图 3 所示总线连接的数据布线中,在发送二进制信号时,通过不从第一周期输出实际数据,稍等片刻(等电压充分下降)发送数据,避免信号抖动造成的误差。而且,在继续一个比特序列的情况下,为了发送反向符号而减少信号抖动。

如美国专利第 5953521 号专利说明书所示,通过调整激励级定时降低数据类型所造成的信号抖动。即,将现有周期数据与一个以前周期的数据相比,在不同情况下将高频延迟电路(HF)加到现有周期的数据上,而在相同情况下将低频延迟电路(LF)加到现有周期的数据上,拓宽数据窗口。于是,可减少激励级一方的信号抖动,但不能减少接收机一方的信号抖动。而且,并没有揭示决定高频延迟电路的延迟量和低频延迟电路的延迟量。

在采用美国专利第 5953521 号说明书所揭示技术的情况下,可调整由连续 2 比特之间的数据类型产生的依存性,但不能调整 3 比特以上数据类型依存性的延迟量。

而且,若预先了解大规模集成电路之间传输线路的状态,则可在大规模集成电路的设计阶段决定该高频延迟电路的延迟量和低频延迟电路的延迟量,但是,在将该大规模集成电路用于多个装置的情况下,不能唯一决定延迟量。这是因为,用来调整信号抖动所需延迟量取决于传输线路的安装状况,其因各装置而异。

本发明拟解决的课题是在接口的接收机中，减少取决于数据型式的信号抖动。所以，提供可自动调整的大规模集成电路使能够调整每个装置中旨在实现减少(信号抖动)的延迟量的设定。

发明内容

依存数据型式的信号抖动，因为可以预测以前的状态如何，所以在接收机中保持所接收的数据状态，从这种保持的状态和所输入的数据调整该输入的数据的获取定时。

而且，作为决定取决于安装形式的延迟量所用的接收机内的调整机构，从激励级将 1 个周期间隔的脉冲数据、2 个周期间隔的脉冲数据作为测试模式收发。具有从脉冲幅度不同的上升和下降时间差得到最适合系统的延迟量的自动调整机构。

因为与以前的装置一样构成接收机，所以可减少依存于到达接收机的数据型式的信号抖动。于是，可进一步实现数据高速化。

而且，因为可以通过自动延迟调整电路机构设置用来减少信号抖动的延迟量，所以因为即使每个电缆长度等装置是状态不同的传输线路，也可自动调整延迟量，所以可提供具有不取决于装置的通用接口的大规模集成电路。

附图说明

图 1 是具有说明第一实施例的信号抖动调整电路功能的输入电路（自动校正接收机）的图。

图 2 是图 1 接收机的 LHL 输入时的输入波形示意图。

图 3 是现有技术的接口电路图。

图 4 是说明数据型式依存性的波形示意图。

图 5 是第一实施例的延迟控制电路 12 的说明图。

图 6 是与延迟控制电路内的内部状态对应的离散化的输入电压示意图。

图 7 是延迟可变电路 13 内的状态过渡图。

图 8 是具有说明第二实施例的信号抖动调整电路功能的输入电路（自动校正接收机）的图。

图 9 是作为第三实施例的自动延迟调整电路的布线图。

图 10a 是自动延迟调整电路的流程示意图。

图 10b 是自动延迟调整电路用的脉冲说明图。

图 11 是第一和第二实施例用于存储器模块的第四实施例的示意图。

图 12 是具有说明第五实施例的信号抖动调整电路功能的输入电路（自动校直接收机）。

图 13 是图 12 的接收机的 LHL 输入时的输入波形示意图。

图 14 是具有说明第六实施例的信号抖动调整电路功能的输入电路（自动校直接收机）。

图 15 是图 14 的接收机的 LHL 输入时的输入波形示意图。

图 16 是控制本发明的参照电压的输入电路图。

图 17 是对 4 周期型数据信号的状态过渡图。

图 18 是 4 周期型数据信号波形与比较器输出信号的示意图。

图 19 是现有技术的 4 周期型数据信号波形与比较器输出信号的示意图。

图 20 是对 3 周期型数据信号的状态过渡图。

图 21 是 3 周期型数据信号波形与比较器输出信号的示意图。

图 22 是对 2 周期型数据信号的状态过渡图。

图 23 是 2 周期型数据信号波形与比较器输出信号的示意图。

具体实施方式

下面，使用附图详细说明实施形式

实施例 1

用图 1 来说明第一实施例。

100 是具有本发明信号抖动调整电路功能的输入电路（自动校直接收机），将连接传输线路的数据信号 20 和时钟信号（ Φ ）210 作为输入，将数据信号 20 通过时钟信号 210 获得同步作为输出信号 201 输出。

自动校直接收机 100 由差动比较器 10、锁存器 11、延迟控制电路 12 和延迟可变电路 13 组成。

将数据信号 20 与输入差动比较器 10 的参照电压（VREF0）比较，根据其大小，向接收机输出信号 200 输出“0”和“1”。接收机输出信号 200 被输入锁存器 11 和延迟控制电路 12，锁存器 11 利用延迟控制电路 12 的信号计算延迟量，利用延迟可变电路 13 输入延迟的时钟信号 203。

延迟时钟信号 203 则利用延迟可变电路 13 对时钟信号 (Φ) 210 加减延迟量。该延迟可变电路 13 利用延迟控制电路 12 的输出信号 202 调整延迟时间。延迟控制电路 12 将接收机输出信号 200 和同步输出信号 201 作为输入, 输出延迟控制信号 202。

通过延迟控制电路 12 和延迟可变电路 13 组合, 进行与图 2 所示延迟 ΔT_i 对应的控制。

图 2 是各种数据信号 20 的输入波形、时钟 210、锁存器信号 203 等的示意图, 横轴为时间, 纵轴为电压。数据信号 20 的输入信号。将数据信号 20 的输入信号用 301~305 五项迭加画出。

波形 301 在时刻 T_0 以前的输入数据型式是连续的 L, 随后, H 到 T_6 时刻是持续波形。这里, 用虚线所示时刻 $T_0 \sim T_5$ 表示向具有信号抖动调整电路功能的输入电路 100 输入的数据的周期。而且, 若将在作为对象的范围连续的数据型式以 L^* 表示, 则可将波形 301 的数据型式 (...LLLLHHH...) 记为 (L^*H^*)。

波形 302 在时刻 T_0 之前为 L, 只有 1 个周期是 H, 此后时刻 T_2 之后成为 L。这种数据型式用 (L^*HL^*) 表示。

同样, 波形 303 是与用 2 个周期 H 连续 (L^*HHL^*) 表示的数据型式对应的波形, 波形 304 是与用 3 个周期 H 连续 (L^*HHHL^*) 表示的数据型式对应的波形, 波形 305 是与用 4 个周期 H 连续 (L^*HHHHL^*) 表示的数据型式对应的波形。在图 2 所示的波形 301~305 中以数据型式相同的部分画出同样的轨迹重复表现。

波形 301 在时刻 T_0 以后为 H 状态, 传输线路钝化, 所以大致描绘成充电曲线。当然, 由传输线路上阻抗失配所造成的反射和串话也是重迭的, 但是在传输线路设计得很好的情况下, 这些反射和串话的噪声小, 但即使这样, 高频的感应损失和集肤效应造成波形严重钝化, 接收端波形如 301 那样钝化。

若在完全上升之前或充电之前数据变化, 则下一周期的波形轨迹变化很大。图 2 的波形 302 从波形 301 的充电中间位置开始 L, 所以横切参照电压 V_{REF0} 的时间与波形 301 相比提前。若以波形 301 横切 V_{REF0} 的时间为基准, 可知在各波形 302~305 中, 横切 V_{REF0} 的时间存在时间差。对波形

301~305, 将该时间差分别用 $\Delta 1 \sim \Delta 4$ (或 ΔT_i) 表示。

图 2 的 210 是图 1 的时钟信号, 200-1~200-3 是接收机 10 的输出波形, 输入数据分别与 (1) ($L*HL*$), (2) ($L*HH*L$), (3) ($L*HHHL*$) 对应。

这里, 将接收机 10 的延迟时间作为忽略不计标出。203-1~203-3 是具有按照在延迟可变电路 13 和延迟控制电路 12 中输入时钟信号 210 的数据型式的延迟量的延迟时钟信号, 锁存器 11 将依据该信号 203-1~203-3 锁存数据。

图 1 的延迟控制电路 12 和延迟可变电路 13 对图 2 中的波形 302~305 调整 $\Delta T_1 \sim \Delta T_4$ 的时间差, 按产生延迟时钟信号 203-1~203-3 等那样进行工作。这里, $\Delta T_1 \sim \Delta T_4$ 是数据型式差异所造成的定时所得到时间的的时间差, 是延迟控制电路预先具有的时间常数。

下面对获得数据所用延迟时钟 203 具体的产生方法进行说明。

最初的时钟 210 在 $T_0 \sim T_6$ 同步。

输入数据 20

(1) 对于 $L*H*L$ 输入 (波形 302),

200-1 是对于该输入数据接收机 10 的输出波形。对于在 T_0 周期($T_0 \sim T_1$) 的接收机输出 200-1, 延迟控制电路 12 对于延迟可变电路 13 提前 $k \times \Delta T_1$ 作用, 锁存器 11 得到该可变延迟的时钟信号 203-1。这里, k 为 0.5 等适当常数。而且, 在该 203-1 中有实线与虚线, 实线是在对象数据周期中确定的信号, 虚线是指未确定的信号。通过这样的动作, 可在 T_0 周期再次得到 H 数据确保稳定设置, 保持时间。

(2) 对于 ($L*HHL*$) 输入 (波形 303),

200-2 是对该输入数据的接收机输出 10 的输出波形。对于在 T_1 周期 ($T_1 \sim T_2$) 中的波形接收机输出 200-2, 延迟控制电路 12 对延迟可变电路 13 提前 $k \times \Delta T_2$ 作用, 锁存器 11 得到该可变延迟的时钟信号 203-2。通过这样的动作, 在 T_1 周期稳定获得 H 数据时, 可确保稳定的保持时间。

(3) 对于 ($L*HHHL*$) 输入 (波形 304)

同样, 对于对 $L*HHHL*$ 的标记 304 的输入数据, 采用延迟可变电路 13 可进行将在 T_2 周期 ($T_2 \sim T_3$) 锁存器 11 获得的定时提前 $k \times \Delta T_3$ 的动作。通过这样的动作, 在 T_2 周期得到 H 数据时, 可确保稳定的保持时间。

通过这样的动作，即使是来自 L^* 的任何数据型式，可扩展定时窗口，可以充分地锁存数据，结果可实现高速化。

同样，在进行诸如 (H^*LH^*) 的下降时，也可表示同样的效果。这里， H^* 是指连续 H 的状态。在图中没有标出的发送大规模集成电路设计得很好的情况下，可以看作该大规模集成电路激励级的输出阻抗 L 与 H 大致相同，因为信号振幅上升与下降相同，所以延迟控制电路 12 和延迟可变电路 13 除了极性外，可进行同样的动作。

于是，若延迟控制电路 12 和延迟可变电路 13 动作，则具有信号抖动调整电路功能的输入电路 100 通过不管诸如 (L^*H) 和 (H^*L) 等上一个周期的数据而获得数据，对于这些数据可减少信号抖动。

图 5 是起这种作用的延迟控制电路 12 的结构示意图。

在延迟控制电路 12 中，输入接收机输出信号 200、同步输出信号 201。然后，在进行内部处理之后，输出延迟控制信号 202。

现在，来看看在开始传输之后对第 n 周期的输入信号减少信号抖动的情况。用 Q_n 来表示第 n 周期的 0 或 1 的状态。在同步输出信号 201 中，保持前面第 $(n-1)$ 周期的数据 Q_{n-1} ，在第 n 周期的数据与第 $(n-1)$ 周期的数据不同 $Q_n \neq Q_{n-1}$ 时，即在发生上升或下降的数据转换时，接收机输出信号 200 与同步输出信号 201 的逻辑“异或”(XOR)电路 123 检测这种转换。该“异或”电路 123 的输出信号 125 用锁存器 124 保持，输入延迟选择电路 122。

而且，121 是第 $(n-1)$ 周期的电压保持电路，电压保持电路 121 保持 8 种电压状态。

为了说明这种动作，采用图 6 的输入波形。

图 6 是在时刻 T_0 、 T_1 、 T_2 ...向各个数据传输周期的接收机输入的输入波形示意图，实线 310 表示在时刻 T_0 的上升波形，虚线 311 表示在时刻 T_0 的下降波形。这些波形即使在 1 周期之后的时刻 T_1 也没有完全成为 H 状态，对在时刻 T_1 、 T_2 、 T_3 、 T_4 电压上升的波形 310，取 w_1 、 w_2 、 w_3 、 w_4 。同样，对电压下降的波形 311，取 u_1 、 u_2 、 u_3 、 u_4 。在该图中，表示在转换 4 个周期之后大体上充电到信号振幅，但根据系统，有比它长的，也有比它短的。在这些情况下， u_i 、 w_i 的状态数不同，本发明的实质性动作是相同的。

在第 n 周期出现过渡的情况下，若设第 n 周期的时刻为 T_{n-1} ，则连接传输线路的差动比较器 10 的输入波形电压 $v(t)$ 如下所示：

a) 初始值（数据传输前的状态）

$$v(t)=V_{ol} \text{ 或 } V_{oh} \quad (t < 0) \quad \dots \quad (1)$$

式中， V_{ol} 为与传输线路连接的激励级 L 状态输出电压， V_{oh} 为 H 状态输出电压。输入波形 $v(t)$ 在 $v(T_{n-1})$ 时，因为来自 V_{ol} 的 w_1 或来自 V_{oh} 的 u_1 的信号振幅重迭，所以

b) 第 n 周期的输入电压 $v(t)$

$$v(t)=v(T_{n-1})+Q'_{n-1} u(t-T_{n-1}) - v_0(t-T_{n-1}) \quad (T_{n-1} < t \leq T_n) \quad \dots \quad (2)$$

式中， $v(T_{n-1})$ 为在第 n 周期的开始时刻 (T_{n-1}) 的输入电压， Q'_{n-1} 为在第 $(n-1)$ 周期和第 n 周期的数据 Q 的微分。在出现过渡的情况下，取 $\{+1, -1\}$ ，前者指上升，后者指下降。而且，在没有过渡的情况下，为“0”。于是， $v_0(t)$ 是对单脉冲输入 L^*H^* 的上升脉冲的电压函数。而且， $u(t)$ 是单位函数，其定义为

c)

$$u(t)=1 \quad (t \geq 0) \\ =0 \quad (t < 0) \quad \dots \quad (3)$$

前面的 w_i 、 u_i ($i=1, 2, 3, 4$) 是上升 (L^*H^*) 或下降 (H^*L^*) 的离散化电压，而因为不管前面的状态，数据转换后的振幅相同，前面的数据即使是 w_i 、 u_i 中的任何一个，转换后 (T_n) 的电压可以近似为 w_i 、 u_i 中的任何一个。即，输入电压可以具有 w_i 、 u_i 的 8 种状态。

可将这 8 种状态及其过渡整理成图 7 那样。该图是对延迟控制电路 12 内的 2 个连续数据 Q_{n-1} 、 Q_n 的过渡关系示意图。它们等于图 6 的 8 种状态 $\{w_i, u_i; i=\{1, 2, 3, 4\}\}$ 间的过渡。

用圆围起来的 w_i 、 u_i 是延迟控制电路 12 的内部状态，箭头则表示对应 Q'_n 的值的状态过渡。这里，取 Q'_n 表示 Q_n 的逻辑微分，在有过渡的情况下取“1”，在没有过渡的情况下，取“0”。采用与模拟量的公式 (2) 相同的记号，而为了避免讨论混乱，采用相同记号。

u_i 是对图 6 所示的上升, 没有数据转换的情况下 ($Q'n=0$), u_2 向 u_3 过渡, u_3 向 u_4 过渡。将这些用 $u_i \rightarrow u_{i+1}$ 表示。在 u_4 , 下一周期是相同数据的情况下 ($Q'n=0$), 因为电压没有变化所以状态过渡到相同的 u_4 。同样, $w_i \rightarrow w_{i+1}$ 是对上升波形没有数据变换 ($Q'n=0$) 的状态过渡。 W_4 的状态过渡因为电压未替换, 所以没有变化。

下面, 对从这些状态 w_i 、 u_i 存在数据转换 ($Q'n=1$) 的情况进行说明。

因为转换的电压振幅相同, 所以存在 $u_1 \rightarrow w_4$ 、 $u_2 \rightarrow w_3$ 、 $u_3 \rightarrow w_2$ 、 $u_4 \rightarrow w_1$ 的状态过渡。反之, 相同的组合, 存在 $w_4 \rightarrow u_1$ 、 $w_3 \rightarrow u_2$ 、 $w_2 \rightarrow u_3$ 、 $w_1 \rightarrow u_4$ 的状态过渡。

在图 7 中, 括号内所写符号与数字表示延迟可变电路 13 应设置的延迟量。即, $u_1 \rightarrow w_4$ 的过渡为减少信号抖动需要 ΔT_1 , 而这与图 2 中 $L*HL^*$ 的输入波形 302 对应。同样, $w_1 \rightarrow u_4$ 因为仅仅输入波形的极性不同也需要相同的 ΔT_1 。同样, $u_2 \rightarrow w_3$ 、 $w_2 \rightarrow u_3$ 与图 2 的波形 303 对应, 为了减少信号抖动, 需要 ΔT_2 。而且, $u_2 \rightarrow w_3$ 、 $w_3 \rightarrow u_2$ 与图 2 的波形 304 对应, 为了减少信号抖动, 需要 ΔT_3 。

上面将图 6、图 7 看作连接传输线路的接收机的输入波形的动作离散化的状态过渡, 过渡是有限个, 在各自过渡中为减少信号抖动作为必要的延迟量进行说明, 此后, 将该图 6、图 7 作为图 1 的延迟控制电路 12、延迟可变电路 13 的功能规格。即, 延迟控制电路 12 在其内部具有图 7 所示的 8 种状态, 可以根据数据转换进行各过渡的状态过渡, 对于这种过渡可以通过决定延迟可变电路 13 延迟量的运作来减少信号抖动。

在图 5 中, 电压保持电路 121 如图 7 那样进行状态过渡保持 ($n-1$) 周期的电压那样动作。例如, 这可以通过模拟地利用电阻 R 与可变电容 C 作为时间常数 ($\tau=RC$) 的积分电路实现。这是因为电压保持电路 121 的输入是同步输出信号 201, 由于锁存器 11 输出二进制数据, 将其作为电压源进行充电与放电, 所以可表示与差动比较器 10 的输入波形相同工作的数据型式的依存性。这里, 电压保持电路 121 的时间常数 ($\tau=RC$) 不必与图 6 的输入波形的时间常数相同。电压保持电路 121 具有在图 6 的 4 周期中保持大致饱和的时间常数, 因为这些状态之间可以很好区分。然后, 在状态监视用的缓冲

器 127 中，稳定地检测状态。这可以用多段比较器构成。于是，电压保持电路 121 可输出 8 种状态。

在图 7 中，若对每个时刻归纳为减少信号抖动所需的延迟时间量，则成为：

d)

$$\begin{aligned}\Delta T1 &= Q'n(u1+w1) \\ \Delta T2 &= Q'n(u2+w2) \\ \Delta T3 &= Q'n(u3+w3) \\ \Delta T4 &= Q'n(u4+w4)=0 \quad \dots \quad (4)\end{aligned}$$

进行这种演算的电路是延迟选择电路 122。式中， $Q'n$ 是利用由锁存器 124 所保持的“异或”电路 123 的输出信号 125 来实现的，而且，括号（）内的数据是利用电压保持电路 121 的输出信号 126 实现的。取这些输出信号 125 和输出信号 126 的积可产生延迟控制信号 202。

上面，因为延迟控制电路 12 如图 5、图 7 所示动作，所以延迟控制电路 12 可产生表示对应输入波的信号抖动减少量 ΔTi 的延迟控制信号 202。在延迟控制电路 12 所产生的延迟控制信号 202 产生对应输入图 1 所示延迟可变电路 13 的延迟控制信号 202 的值的延迟量。即，延迟控制信号 202 是与 $\Delta T1$ 对应的信号的情况下，延迟可变电路 13 提前 $\Delta T1$ 时间。同样，延迟控制信号 202 是与 $\Delta T2$ 对应的信号的情况下，延迟可变电路 13 提前 $\Delta T2$ 时间。以下类推。

这里，时间提前，因为一般不可能，所以在一定时间，例如，预先给予数据周期的一半时间，对此，通过只提前 ΔTi 可构成具有提前时间效果的延迟可变电路。在这种情况下，是因为不管延迟可变电路 12 所持有的延迟量是任何情况都是正值的缘故。

也可通过串并联连接延迟组件控制其段数来改变延迟量而实现延迟可变电路 13，或者即使通过对对应延迟控制信号 202 的电压可变的延迟时间的控制也可进行同样的工作。

实施例 2

利用图 8 来进行对具有作为第二实施例的信号抖动调整电路功能的输入

电路 100' 的说明。

在与图 1 同样的结构与功能的方块中, 采用相同符号省略其说明。

结构差异是: 在第一实施例中, 延迟量是锁存器 11 的时钟, 而在本实施例中, 是延迟数据信号。结构是: 差动比较器 10 的输出信号 200 通过延迟可变电路 13' 向锁存器 11 输入, 进行同步。延迟可变电路 13' 通过延迟控制电路 12 进行控制, 延迟控制电路 12 是第一实施例, 其动作如图 5 所示。因此, 延迟控制信号 202 根据数据信号 20 的输入数据的型式向延迟可变电路 13' 传输延迟调整量。

延迟可变电路 13' 产生与接收的延迟控制信号 202 对应的延迟量。与第一实施例的差异是: 在本实施例中, 使延迟可变电路 13' 具有可按延迟控制信号 202 进行信号延迟的延迟。例如, 在延迟控制电路 12 形成的延迟控制信号 202 可产生与输入图 1 的延迟可变电路 13 的延迟控制信号 202 的值对应的延迟量。即, 在延迟控制信号 202 是对应 ΔT_1 的信号的情况下, 延迟可变电路 13 延迟 ΔT_1 时间。同样, 在延迟控制信号 202 为对应 ΔT_2 的信号的情况下, 延迟可变电路 13 延迟 ΔT_2 时间。以下依次类推。延迟电路可用与第一实施例相同的各种方法实现, 转换延迟组件个数也好, 通过改变电压而调整延迟也好均可构成。

通过这种具有信号抖动调整电路功能的输入电路 100' 的结构, 可取得与第一实施例相同的效果, 即减少对数据信号 20 的数据有着某种依存性的信号抖动。而且, 即使这种对数据依存性的周期超过 3 个周期, 也可以减少由于这些效果的信号抖动。因此, 可广泛采用数据的定时窗口, 可提供高速化接口。

而且, 因为在锁存器 11 所用时钟 210 中可采用内部时钟 (ϕ), 所以在锁存器 11 和下一段数据传输中, 可以具有同一定时窗口, 与第一实施例相比, 工作更稳定。

实施例 3

用图 9 对第 3 实施例进行说明。本实施例涉及在 2 个大规模集成电路之间进行数据传输所需可变延迟时间的自动控制。从发送大规模集成电路 LSI500 向接收大规模集成电路 LSI501 发送数据信号 (DQ) 和选通脉冲信号

(DQS)。数据信号(DQ)通过布线15从发送大规模集成电路LSI500内的激励级14传输到接收大规模集成电路LSI501内的接收机100。数据选通脉冲信号(DQS)通过布线15从发送大规模集成电路LSI500内的激励级14a传输到接收大规模集成电路LSI501内的接收机100a。数据信号(DQ)是每一比特采用一条布线的单端方式,而选通脉冲信号(DQS)则是每一比特采用2条布线15a的差动信号。因此,在选通脉冲信号的接收机100a输入波形的获得不是VREF0,而是在输入波形的交点获得。

下面,图10a、10b表示信号抖动延迟自动调整的流程图等。

在大规模集成电路LSI500、501投入电源序列601之后,初始化序列602动作。在该序列中,进行利用复位信号进行的电路复位和动态连接库调整用的时钟输入、大规模集成电路内各寄存器的设置等。这些设置取决于各大规模集成电路的规格。

在步骤603进行信号抖动的相位调整。

图10b是对应信号抖动相位调整步骤603的波形示意图。

在序列604中,进行作为自动调整用初始化的延迟量复位、参数i的“1”设置。随后,在序列605中,为了开始自动调整序列而进行握手联络。利用图9没有标出的信号线向发送大规模集成电路LSI500发送开始自动化序列的请求。在发送大规模集成电路LSI500处接收能够准备的认可信号后,转向延迟调整序列606。

在序列606中,如图10b-1左图所示,发送大规模集成电路LSI500的激励级14向DQ信号线输出具有1个周期幅度的脉冲(即 $L*HL*$)350。这时,从激励级14a向DQS信号输出重复波形。2个DQ信号、DQS信号同步,DQ信号的转换定时差在任何周期都相同。

接收大规模集成电路LSI501分别在输入电路100和输入电路100a接收DQ信号和DQS信号,而其输入波形351如图10b-1右图所示钝化。

在序列505中,测量对应输入的DQ信号351的DQS信号的上升和下降时的相位差 $\Delta T1r$ 、 $\Delta T1f$ 。为了简单起见,用钝化了的输入波形351来代表接收机100的输出信号。这种测量,通过将在图9未标出的可变延迟组件段数执行增值或执行减值将2个波形的相位比较,重复输入1个周期的脉冲输入,

直到其比较结果相同。

例如，调整从 DQ 信号的接收机 100 的上升的可变延迟电路的延迟量，通过与 DQS 信号所用接收机 100a 的上升信号作相位比较，求出延迟时间差 $\Delta T1r$ 。

而且，调整从 DQ 信号的接收机 100 的下降的可变延迟电路的延迟量，通过与 DQS 信号所用接收机 100a 的其它周期的上升信号作相位比较，求出延迟时间差 $\Delta T1f$ 。

若求出相位差 $\Delta T1r$ 、 $\Delta T1f$ ，则用下式可求出对其应校正的延迟量 $\Delta T1$ 。

e)

$$\Delta T1 = \Delta T1f - \Delta T1r \quad \dots\dots (5)$$

这是因为 $\Delta T1r$ 是 DQ 信号的输入电路 100 和 DQS 信号的输入电路 100a 对 (L*H) 的延迟时间差，其包含 L*HL 的下降的 $\Delta T1f$ 具有传输线路 15 的数据依存性的延迟量的缘故。

这里，延迟时间测量有几种方法，例如按下述方法测量。

准备最小延迟时间相同的 2 个延迟电路，将 DQS 信号所用接收机 100a 的上升信号和 DQ 信号的接收机 100 的输出时间差 $\Delta T1r$ 与 DQS 信号所用接收机 100a 的上升信号和 DQ 信号的接收机 100 的输出时间差 $\Delta T1f$ 调整为延迟时间相同（序列 607）。

计数 $\Delta T1r$ 和 $\Delta T1f$ 的延迟电路级数，若取其为 s 和 t，则 s-t 为应求出的 $\Delta T1$ 的延迟信息。把该信息对图 1 的延迟可变电路 13 设定。若延迟可变电路 13 是由相同的最小延迟时间所组成的可变延迟电路，则该值本身意味着延迟量。

同样，将 i 增量，回到序列 603。

在 i=2 的情况下，如图 10-b 所示，从发送大规模集成电路 LSI500 的激励级 14 输出具有 2 个数据周期宽度的脉冲（即，L*HHL*）360。从激励级 14a 重复输出波形的 DQS 信号。2 个 DQ 信号 360、DQS 信号同步，DQ 信号的转换定时差相同。

在序列 606，接收 2 个周期的脉冲，而在序列 607，接收大规模集成电路 LSI501 测量对应 DQ 信号的 DQS 信号的上升与下降时间的相位差 $\Delta T2r$ 和

$\Delta T2f$ 。然后，若求出该相位差，则其是应校正延迟量 $\Delta T2$ ，在序列 607，在延迟可变电路设置。将该回路重复 4 次。于是， $\Delta T1$ 、 $\Delta T2$ 、 $\Delta T3$ 、 $\Delta T4$ 都求出，在延迟可变电路 13 进行设置。

这里，在步骤 603，对上升进行信号抖动的相位调整，而通过采用与上升的极性相反的脉冲，可自动求出延迟量，而且，即使在不进行下降自动调整的情况下，仍可能采用步骤 603 的值。这在激励级 14 上升和下降，输出阻抗对称的情况下有效。

通过这样的测量，可自动决定在第一实施例中具有的图 1 的延迟可变电路 13 内的延迟量 ΔTi 。同样，可自动决定在作为第二实施例的图 8 的延迟可变电路 13'内的延迟量 ΔTi 。

实施例 4

用图 11 对本实施例进行说明。本实施例用于减少信号抖动技术的存储器。

在存储器模块 30 中，装载多个动态随机存取存储器 32 和控制与地址信号所用的 (C/A) 寄存缓冲器 31。将控制与地址信号 (C/A) 35 输入寄存器 31，传输给各动态随机存取存储器 32。寄存器 31 输出时钟信号 37 与 C/A 信号 38。

在各动态随机存取存储器 36 内装载数据输入电路 100。这里，输入电路 100 可以是具有在实施例 1 的时钟中减少信号抖动用的延迟电路的结构，也可以是具有在实施例 2 的数据信号中减少信号抖动用的延迟电路的结构。

再者，动态随机存取存储器 32 采用数据 (DQ) 信号 36 进行这里没有标出的存储器控制器与数据的读写。

因为采用这种结构，所以可知即使是具有多个比特的 C/A 信号 38 也可减少信号抖动，可适合高速化。

而且，对于数据信号 36 可将接收机与 C/A 信号 38 一样做成数字输入电路型，也可适合数据信号的高速化。

实施例 5

用图 12 对第 5 实施例进行说明。

101 是具有本发明的信号抖动调整电路功能的输入电路 (自动校正接收

机), 将与传输线路连接的数据信号 20 和时钟信号 (ϕ) 210 作为输入, 将数据信号 20 在时钟信 210 中得到同步作为输出信号 201 输出。

自动校直接收机 101 由差动比较器 10 和 11、可变电压源 17、锁存器 11 和控制电路 12 组成。

向差动比较器 10 与 11 输入数据信号 20, 将该输入信号分别与参照电压 (V_{REF0}) 和参照电压 (V_{REF1}) 比较, 根据其大小, 将 “0” 或 “1” 分别向接收机输出信号 200 和 209 输出。这里, 由可变电压源提供参照电压 (V_{REF1}), 而由来自控制电路 12 的信号来决定该电压。数据信号 20 在从 4 个脉冲以下的连续的 H 向 L 变化的数据周期领域, 转换开关 18 工作, 选择输出信号 209, 而在从 5 个脉冲以上的连续的 L*或 H*变化的数据周期领域, 选择输出信号 200。输出信号 209 通过转换开关 18 成为信号 211, 向锁存器 11 输入, 将差动比较器 10 的输出信号 200 锁存。控制电路 12 决定对应数据信号 20 的输入数据的型式的参照电压调整量。

图 13 是数据信号 20 的输入波形示意图, 横轴是时间, 纵轴是电压。数据信号 20 的输入信号 301~305 五项重叠标出。

波形 301 在时刻 T_0 以前的输入数据类型是连续的 L, 此后, H 在 T_6 时刻之前是连续波形。这里, 用虚线表示的时刻 $T_0 \sim T_5$ 表示向具有信号抖动调整电路功能的输入电路 101 输入的数据周期。而且, 将波形 301 的数据型式记作 (L*H*), 依据实施例 1 所示方式。下面同样将波形 302 的数据型式用 (L*HL*) 等表示。

在图 13 中, 从数据信号 20 的 5 个脉冲以上连续的 L*开始的上升波形在横切参照电压 V_{REF0} 的时间由于锁存上升信号而成为 H (1301)。然后, 从波形 301 的充电过程中的位置处开始下降时, 在横切参照电压 V_{REF1} 的时间的时间差锁存输入信号 211 成为 L (1302)。可知: 在这里, 在各波形 302~305 中, 横切 V_{REF0} 的时间和横切 V_{REF1} 的时间存在时间差。对于波形 302~305, 将该时间差分别表示为 $\Delta T_1 \sim \Delta T_4$ (或 ΔT_i)。

这里, 在波形 302~305 的下降中, 从转换时刻开始直到 1 个周期后的信号振幅与从波形 301 的 T_0 开始 T_1 的振幅大致相同。

在本实施例中, 在差动比较器 10 中, 通过在数据类型下降时使用比在上

升时使用输入的数据信号的电压比较的参照电压（VREF0）低的参照电压（VREF1），在波形 302~305 的下降信号中，分别仅仅拓展 $\Delta T1$ 、 $\Delta T2$... $\Delta T4$ 锁存输入信号 211 的数据定时窗口，可实现高速化。而且，与上述情况相反，通过在 301 下降而 302~305 上升时也采用高于参照电压 VREF0 的参照电压 VREF1 可同样拓展锁存器 11 的输入信号的数据窗口。

实施例 6

用图 14 进行第 6 实施例的说明。

102 是具有本发明的信号抖动调整电路功能的输入电路（自动校直接收机），输入与传输线路连接的数据信号 20 和时钟信号（ ϕ ）210，将数据信号 20 以时钟信号 210 得到同步作为输出信号 201 输出。

自动校直接收机 102 由差动比较器 10 和 11、可变电电压源 17、锁存器 11、控制电路 12 和延迟可变电路 13 组成。

将数据信号 20 向差动比较器 10 和 11 输入，将该输入信号分别与参照电压（VREF0）和参照电压（VREF1）比较，根据其大小分别向接收机输出信号 200 和 209 输出“0”或“1”。这里，参照电压（VREF1）是由可变电电压源提供的，该电压由来自延迟控制电路 12 的信号所决定。数据信号 20 在相同脉冲 4 个以上以下从连续的 H 向 L 变化的数据周期领域，转换开关 18 动作以选择输出信号 209，在从 5 个脉冲以上连续的 L 向 H 变化的数据周期领域，选择输出信号 200。接着，在锁存器 11，将来自转换开关 18 的输出信号 209 和来自上述延迟可变电路 13 的输出信号 202 输入锁存器 11，将差动比较器 10 或 11 的输出信号 200 或 209 锁存。对应数据信号 20 的输入数据的型式的参照电压调整量通过控制可变电电压源的参照电压（VREF1）来提供。

另一方面，利用控制电路 12 来控制延迟可变电路 13。延迟控制信号 202，则根据数据信号 20 的输入数据类型，将延迟调整量传输到延迟可变电路 13'。

延迟可变电路 13 产生对应接收的延迟控制信号 202 的延迟量。与第五实施例的差异是仍然如在第一实施例所用的方法那样，根据延迟控制信号 202 向锁存器 11 输入规定时间延迟的时钟信号，附加在时间轴上的延迟量调整这一点。

图 15 是数据信号 20 的输入波形示意图，横轴是时间，纵轴是电压。数

据信号 20 的输入信号是用 301~305 五项重叠标出的。

关于波形 301~305 的说明，与上述第五实施例的情况相同。

在图 15 中，读出上升波形横切参照电压 V_{REF0} 的时间，在从波形 301 充电过程中的位置处下降时，读出横切参照电压 V_{REF1} 的时间，将该时间差用 ΔT_i 表示。以下同样地，可知在各波形 302~305 中存在横切 V_{REF0} 的时间和横切 V_{REF1} 的时间的时间差。对于波形 302~305, 分别用 $\Delta T_1 \sim \Delta T_4$ (或 ΔT_i) 表示各时间差。

而且，在本实施例中，与第一实施例一样，输入数据对于 (L*HL*) 的波形 302，附加使采用延迟可变电路 13 将在 T1 周期锁存器 11 得到的定时提前 ΔT_1 的动作。对于余下波形 302~305 也同样处理。

实施例 7

用图 16、图 17、图 18、图 19 来说明第七实施例。

在图 16 中，101 是具有本发明的信号抖动调整电路功能的输入电路，将与传输线路连接的数据信号 20 和时钟信号 (ϕ) 210 作为输入，将数据信号 20 在时钟信号 210 得到同步作为输出信号 201 输出。

自动校正接收机 101 由差动比较器 10、可变电压源 17、锁存器 11 和参照电压电路 12 组成。

将数据信号 20 输入差动比较器 10，将该输入信号与参照电压 (V_{REF}) 比较，根据其大小，将 H 或 L 分别输入接收机的输出信号 200。这里，参照电压 (V_{REF}) 由可变电压源 17 提供，依据来自参照电压控制电路 12 的信号，从 3 个电压值 V_{REF+} 、 V_{REF0} 、 V_{REF-} 决定该电压。这里， $V_{REF+} = V_{DDQ} \times 5/8$ 、 $V_{REF0} = V_{DDQ}/2$ 、 $V_{REF-} = V_{DDQ} \times 3/8$ 。 V_{DDQ} 是电源电压值，是在信号中 H 电平的电压的稳定值。

首先，图 19 是在 H 或 L 中相同值的 4 个脉冲以上连续的情况下，对于在信号中电压稳定的‘4 周期型’数据周期时间与数据信号波形的时间常数 τ 相等情况下的数据波形，对输入电路不进行参照电压控制而动作情况下数据信号 20 与差动比较器 10 的输出信号 200 的波形。横轴是时间，纵轴是电压。数据信号 20 用 301~308 共 7 个重叠标出。而且与这些信号对应的控制器 10 的输出信号分别为 1301~1308。在这种情况下，将参照电压固定在

$V_{REF}=V_{REF0}$ ，在 $T_0\sim T_2$ 的数据型式（LHL）中，数据宽度 1300 变得很窄。而且，在数据信号 20 的时刻 T_1 ，H 电平对于参照电压几乎没有余裕度，耐参照电压噪声能力脆弱。

那么，图 17 是在上述‘4 周期型’的数据信号波形的情况下，参照电压控制电路根据输出信号 201 的型式决定参照电压所用状态过渡图。状态 S0 是 4 脉冲以上连续，数据信号 20 是稳定的状态。而且，S4 是 4 脉冲以上 H 连续，数据信号 20 是稳定状态。首先，将状态 S0 作为初始状态。这里，在向参照电压控制电路输入 L 的情况下，状态没有过渡。而且，在输入 H 的情况下，过渡为 S1H。在状态 S1H 时输入 L 的情况下，过渡为 S2L，在输入 H 的情况下，过渡为状态 S2H。在状态 S2H 时输入 L 的情况下，过渡为状态 S1L，而在输入 H 的情况下，过渡为 S3H。在状态 S3H 时输入 L 的情况下，过渡为状态 S1L，而在输入 H 的情况下，过渡为 S4。在状态 S4 输入 H 的情况下，不过渡，而在输入 L 的情况下，过渡为状态 S1L。在状态 S1L 时，输入 H 的情况下，过渡为状态 S2H，而在输入 L 的情况下，过渡为状态 S2L。在状态 S2L 时输入 H 情况下，过渡为状态 S1H，而在输入 L 的情况下，过渡为 S3L。在状态 S3L 时输入 H 的情况下，过渡为 S1H，而在输入 L 的情况下，过渡为状态 S0。于是，参照电压控制电路，根据各状态对参照电压作如下控制。即在状态 S0 时， $V_{REF}=V_{REF-}$ ，在状态 S1H 时， $V_{REF}=V_{REF-}$ ，在状态 S2H 时， $V_{REF}=V_{REF0}$ ，在状态 S3H 时， $V_{REF}=V_{REF0}$ ，在状态 S4 时， $V_{REF}=V_{REF+}$ ，在状态 S1L 时， $V_{REF}=V_{REF+}$ ，而在状态 S2L 时， $V_{REF}=V_{REF0}$ ，在状态 S3L 时， $V_{REF}=V_{REF0}$ 。而且，在设定各状态中的参照电压时，可决定在数据周期的中心时刻数据信号 20 接近通过的电压。

图 18 是上述‘4 周期型’的数据信号 20 及对它的差动控制器 10 输出信号 200 的波形示意图。横轴是时间，纵轴是电压。与图 19 相同，数据信号 20 用 301~308 共 7 个重叠标出，对应这些信号的比较器 10 的输出信号分别是 1301~1308。波形 301 在时刻 T_0 之前的输入数据型式是连续的 L，此后，H 在时刻 T_4 之前是连续波形。这里，从时刻 T_0 到 T_8 表示向具有信号抖动调整电路功能的输入电路 101 输入的数据的周期。而且，将波形 301 的数据型式标为（L*H*）是依据在实施例 1 中所用方法。以下同样将波形 302 等数

据型式标为 (L*HL*) 等。在 T0~T2 的数据型式 (LHL) 中, 差动比较器参照 VREF-。这里, VREF-是在 T0~T1 之间的中心时刻接近数据信号 20 所通过的电平, 而且, 因为在 T1~T2 之间的中心时刻, 接近数据信号 20 所通过的电平, 所以, 作为数据宽度 1301, 得到接近数据周期的时间。而且, 若在 T0~T8 使时钟信号同步的话, 则可知得到设置时间、保持时间平衡的稳定数据窗口。而且, 在数据信号 20 的时间 T1 中的 H 电平, 对参照电压 VREF-来说有富余, 也具有耐参照电压的噪声的能力。

实施例 8

用图 20、图 21、图 22 和图 23 对第八实施例进行说明。

图 20 是在 H 或 L 中相同值在 3 个脉冲以上连续情况下, 信号电压稳定的 '3 周期型' 的数据信号波形情况下, 参照电压控制电路根据输出信号 201 的型式决定参照电压所用状态过渡图。图 21 是在 '3 周期型' 时, 数据信号波形的时间常数 τ 等于数据周期时间 Tcycle 的 75% 情况下数据信号 20 与差动比较器 10 的输出波形示意图。图 22 是在 H 或 L 中相同值为 2 个脉冲以上连续的情况下, 信号电压稳定的 '2 周期型' 数据信号波形的情况下, 参照电压控制电路, 根据输出信号 201 的型式用来决定参照电压的状态过渡图。图 23 是在 '2 周期型' 中数据信号波形的时间常数 τ 等于数据周期时间 Tcycle 的 50% 情况下, 数据信号 20 与差动比较器 10 的输出波形示意图。可知任何一个都与上述 '4 周期型' 一样, 得到设置时间、保持时间平衡的稳定的数据窗口。

这样可以通过采用数据型式的履历控制参照电压得到稳定的数据窗口, 即可减少信号抖动。

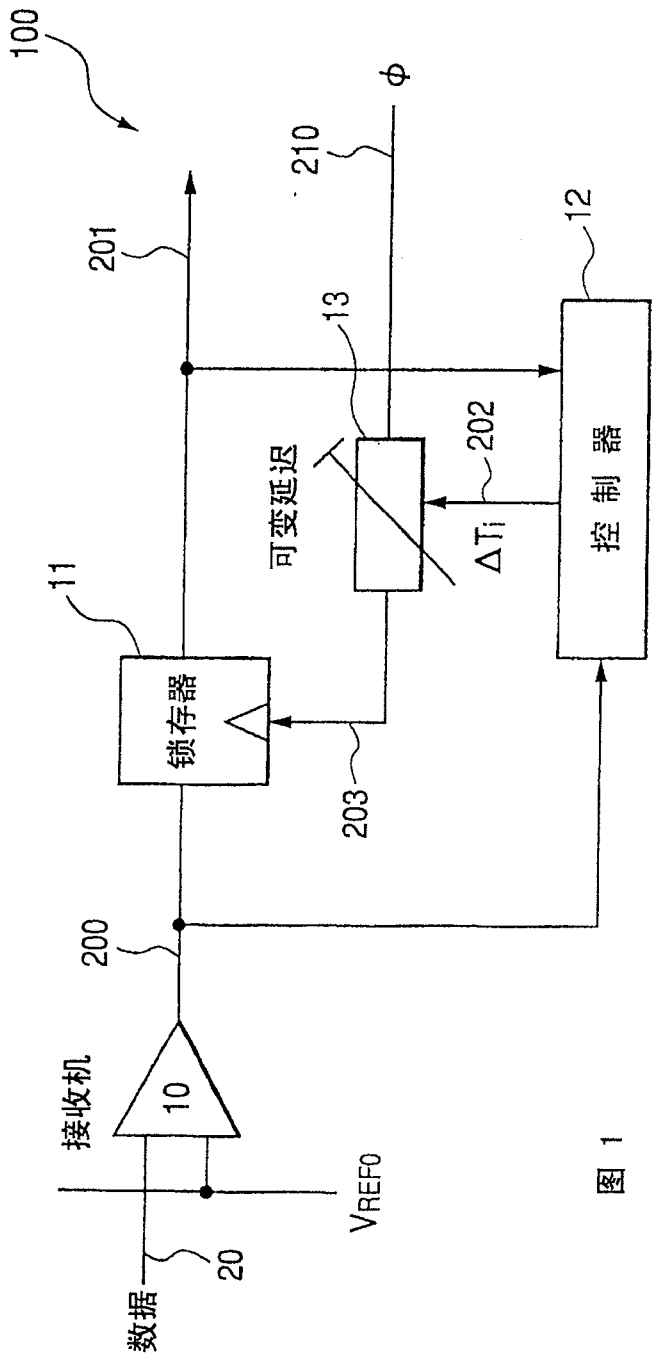


图 1

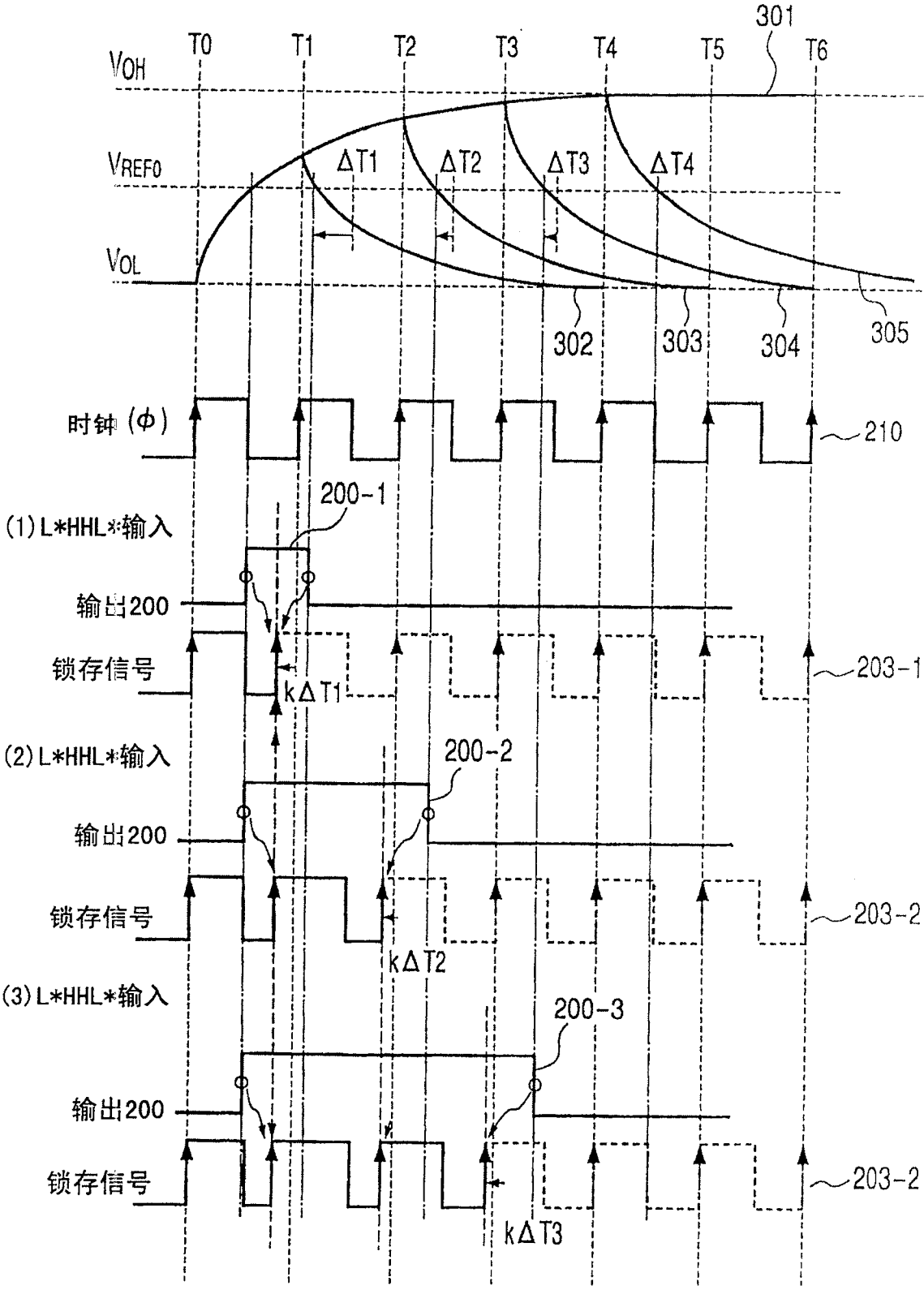


图 2

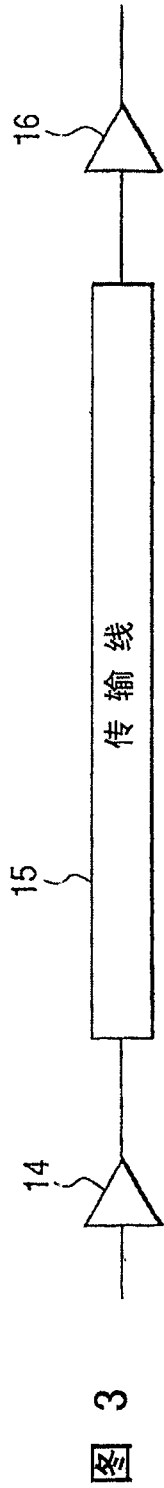
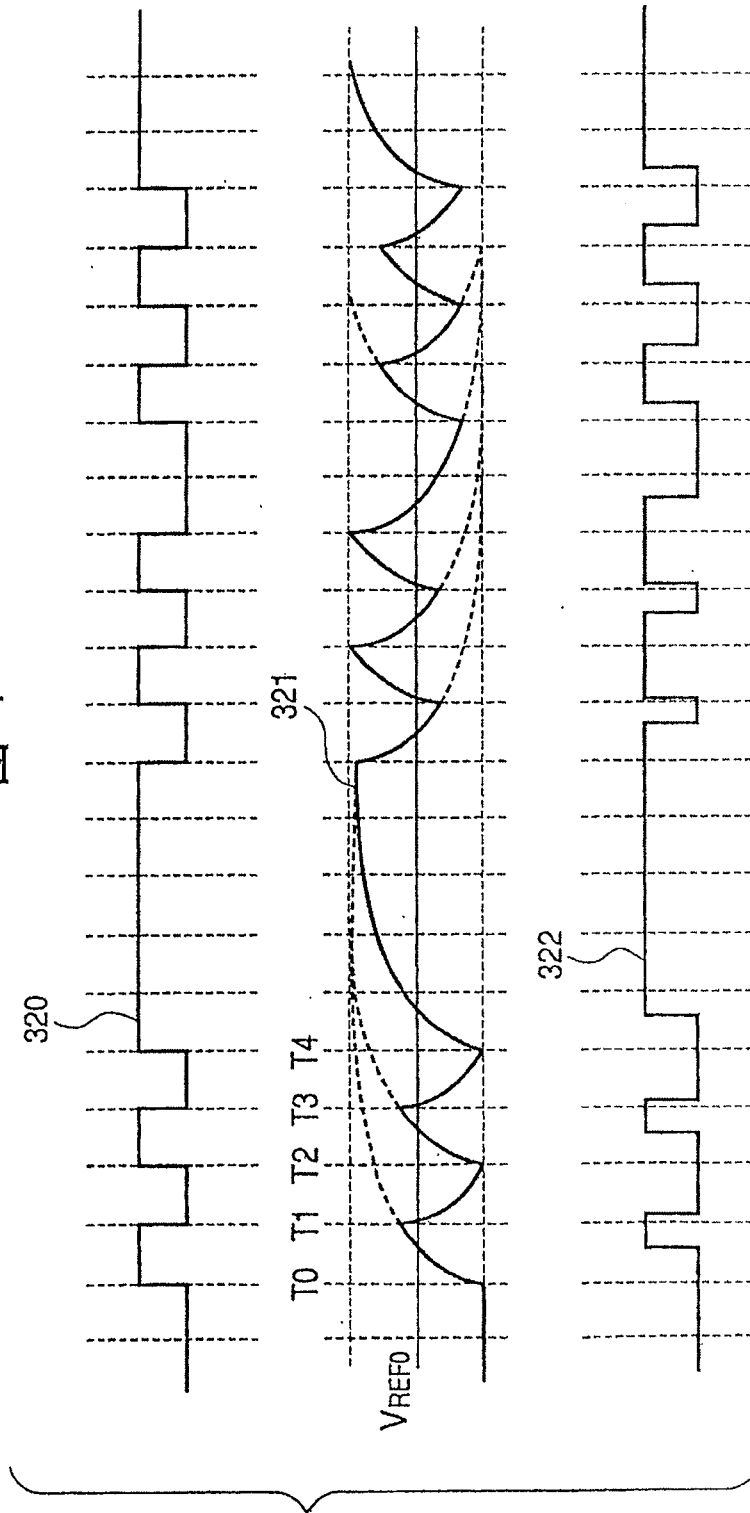


图 4



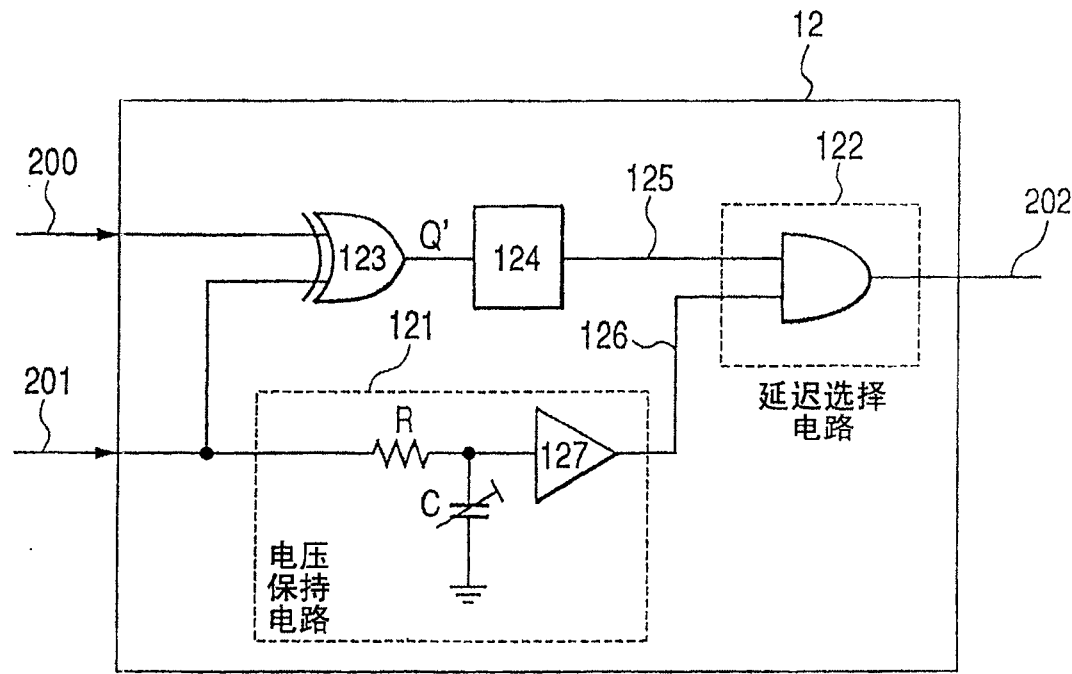


图 5

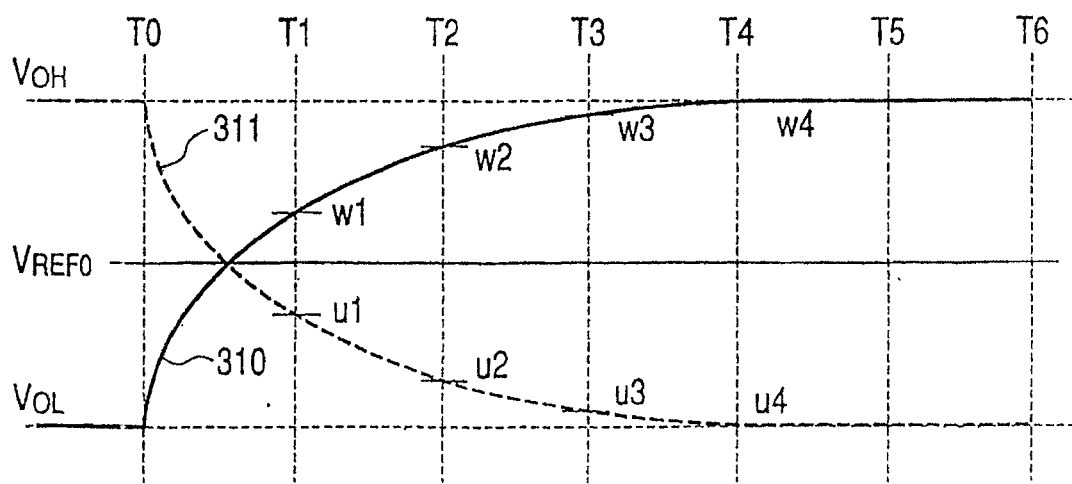


图 6

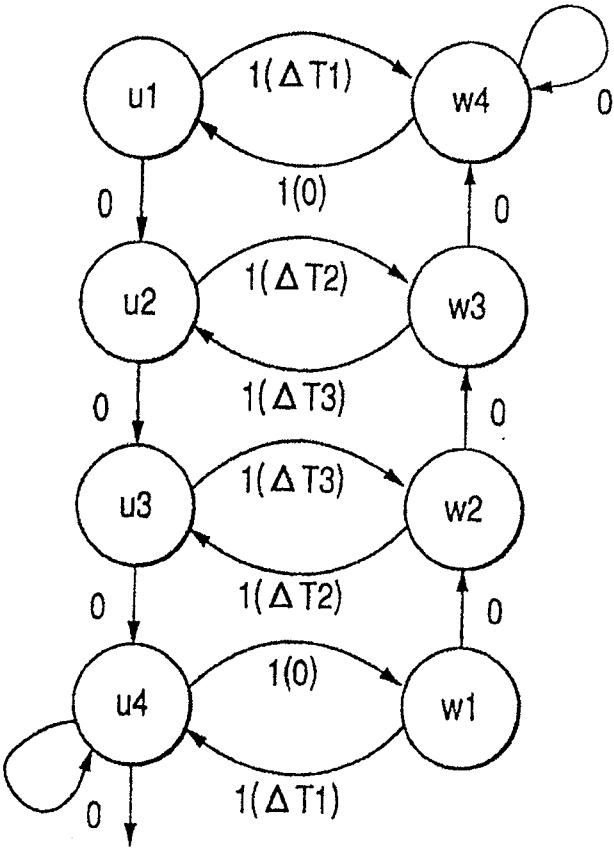


图 7

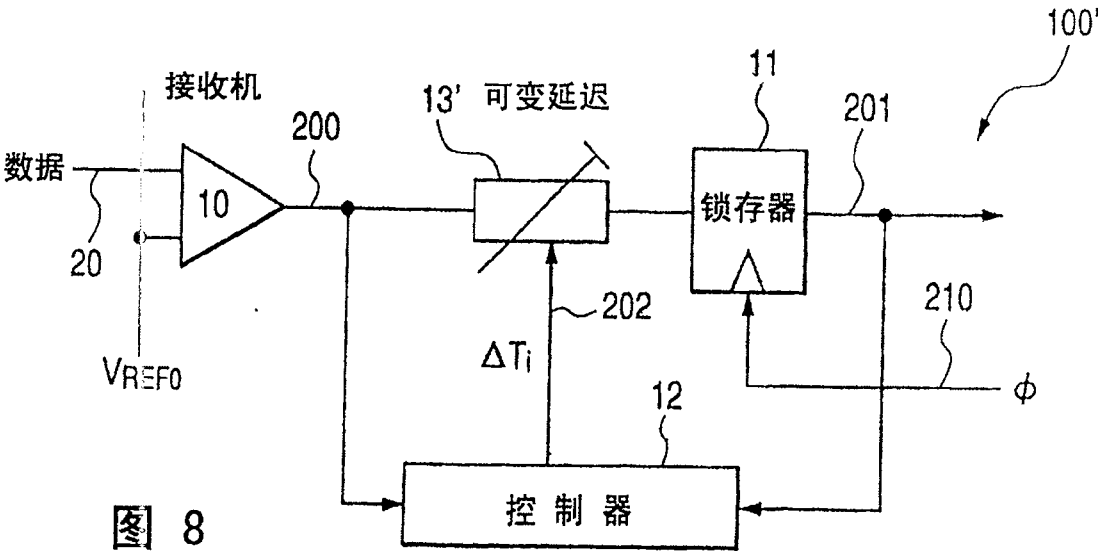


图 8

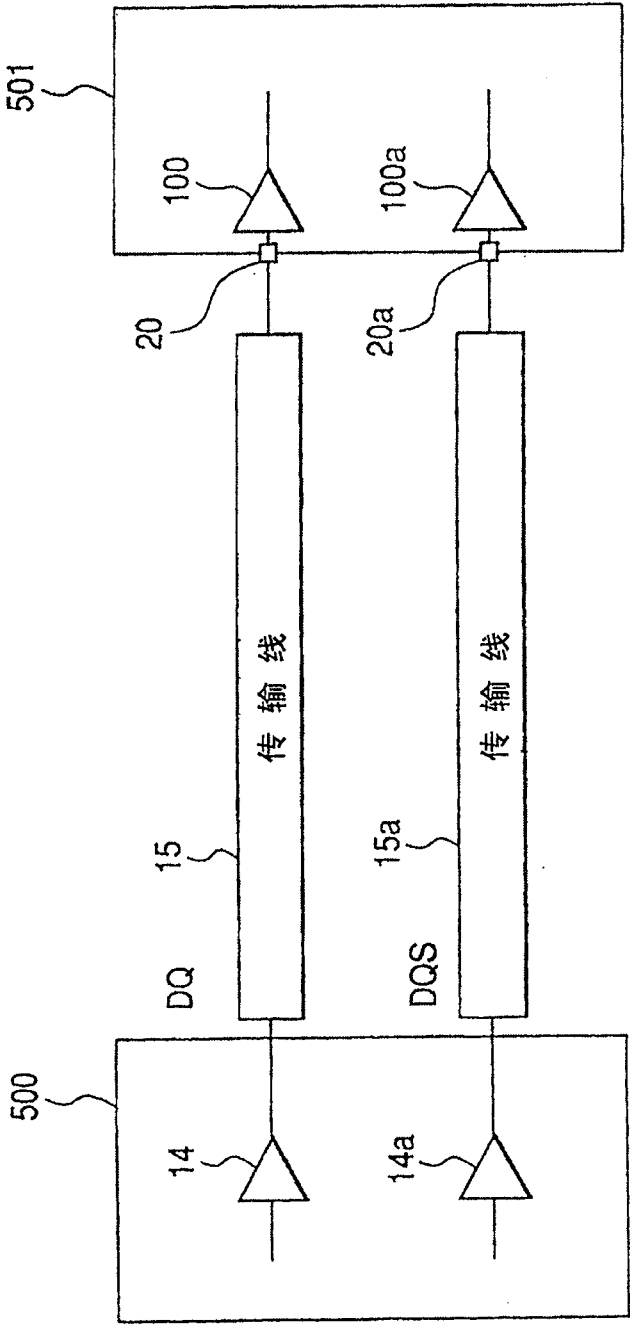


图 9

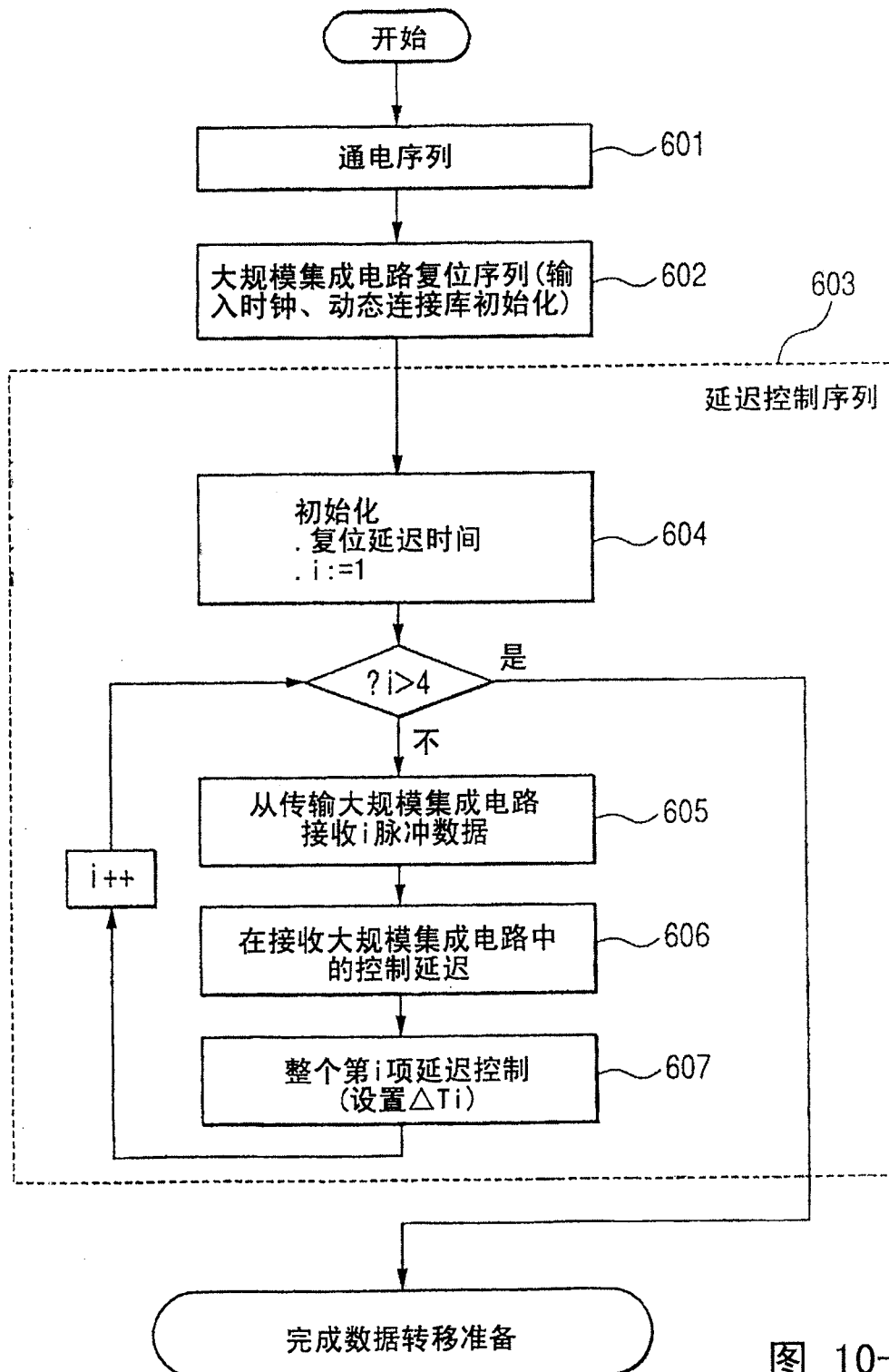


图 10-a

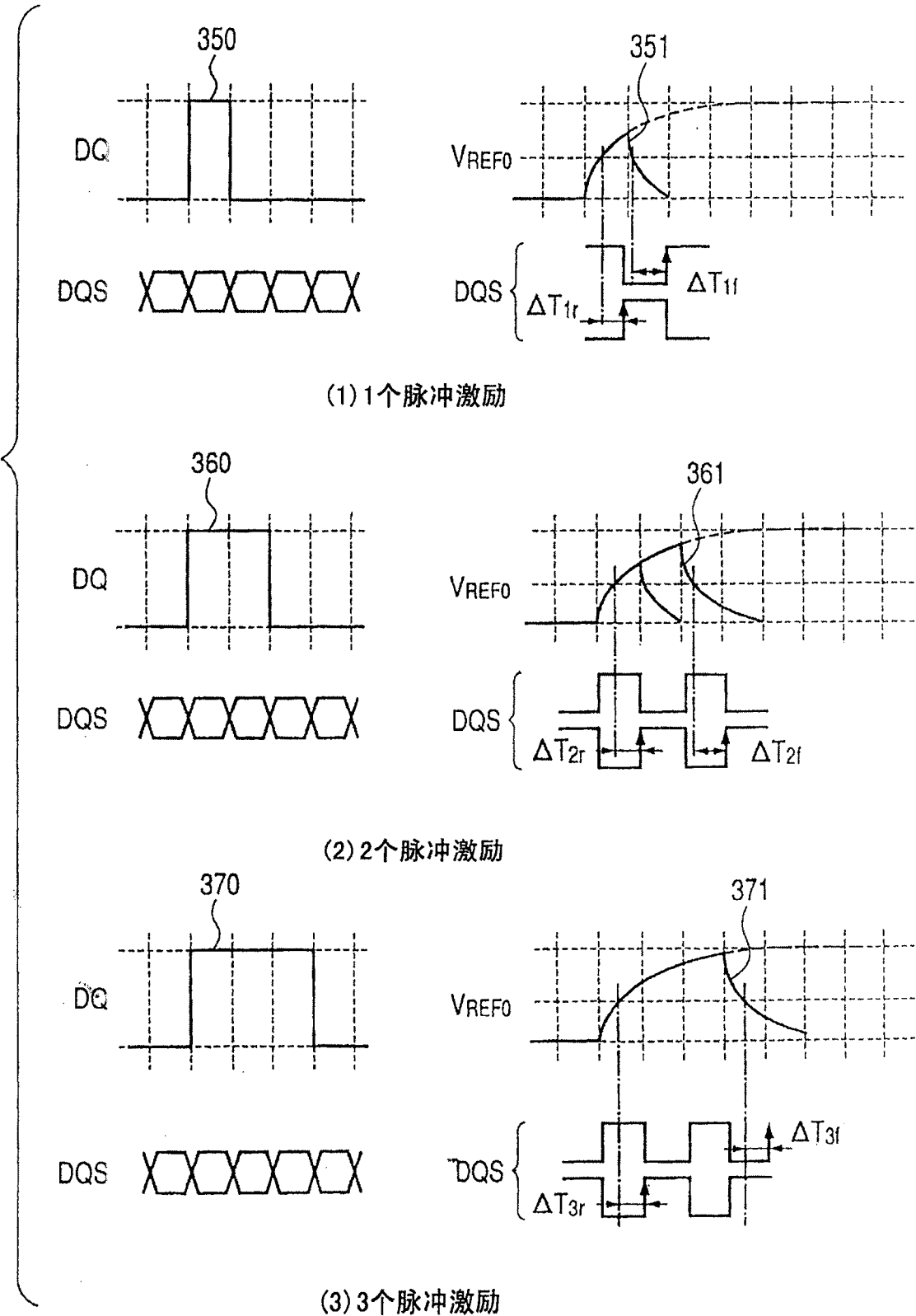


图 10-b

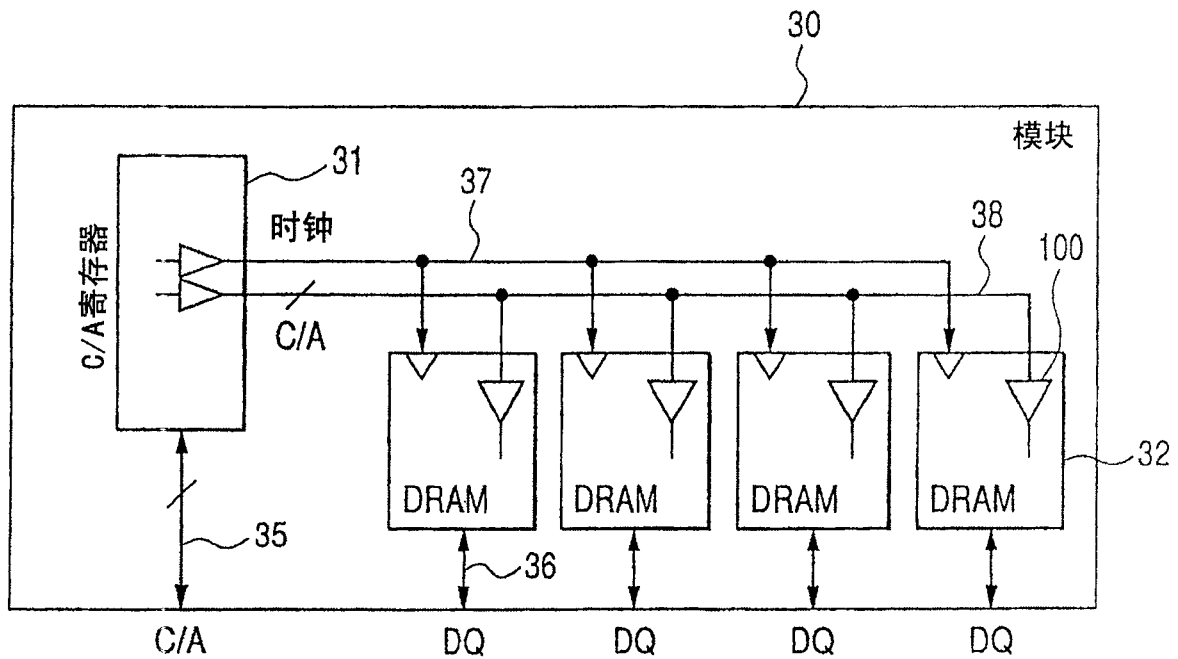


图 11

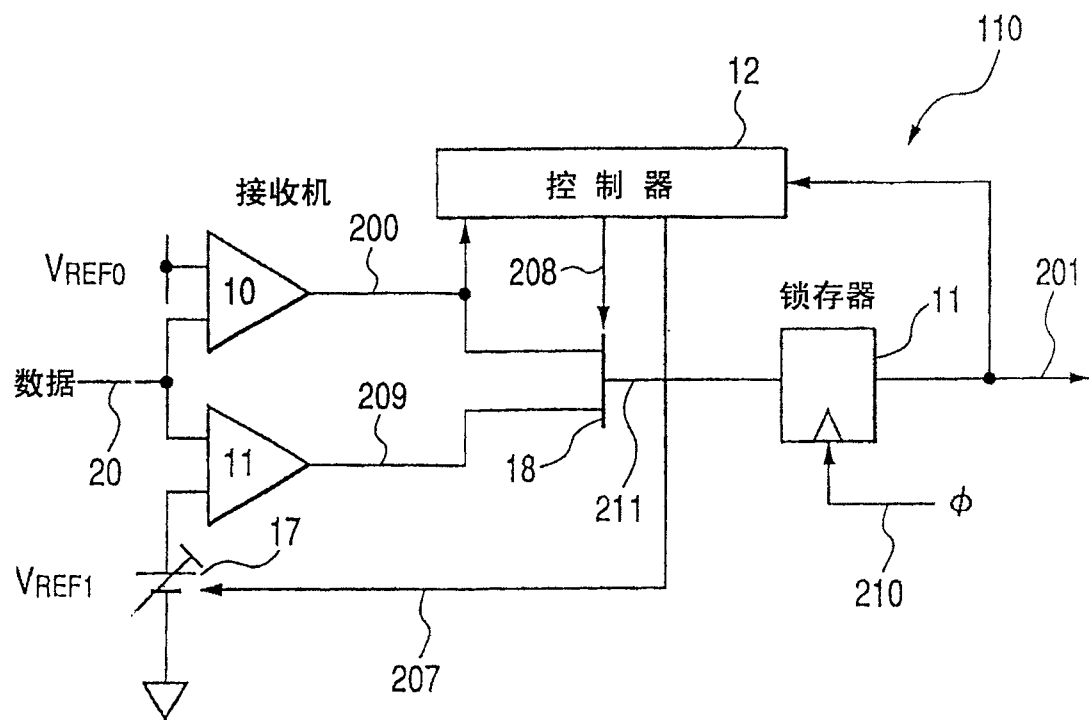


图 12

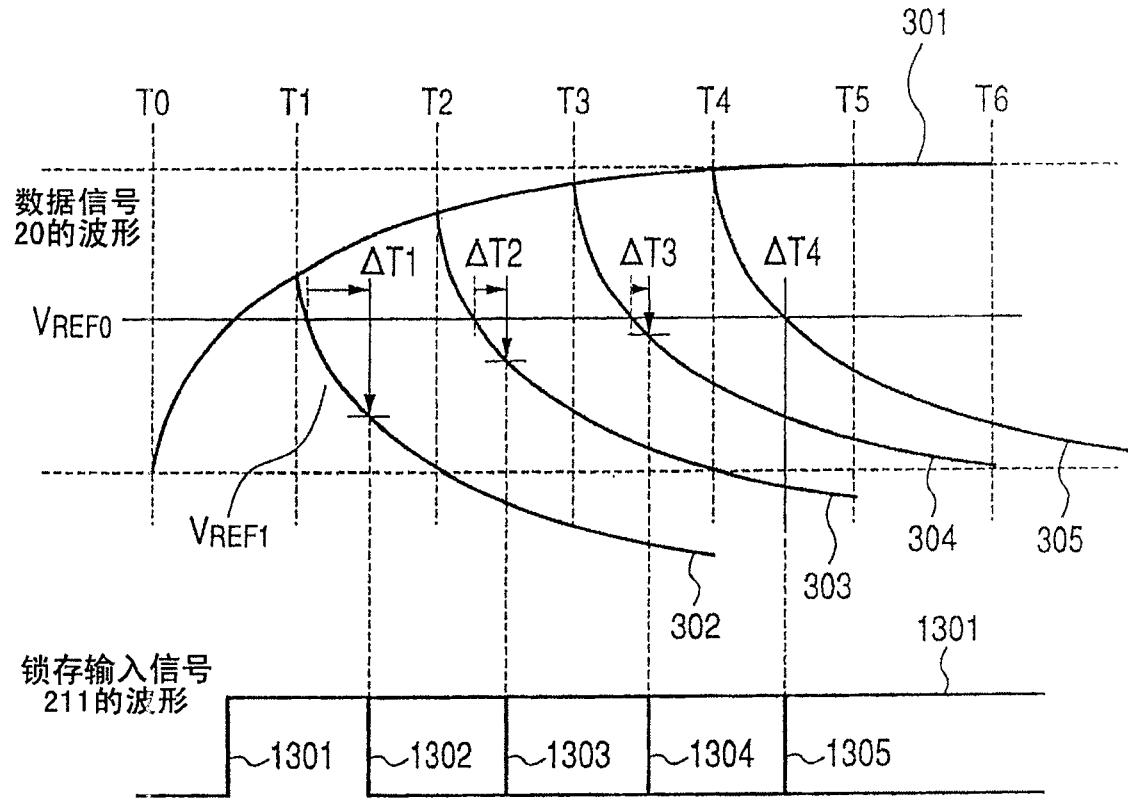


图 13

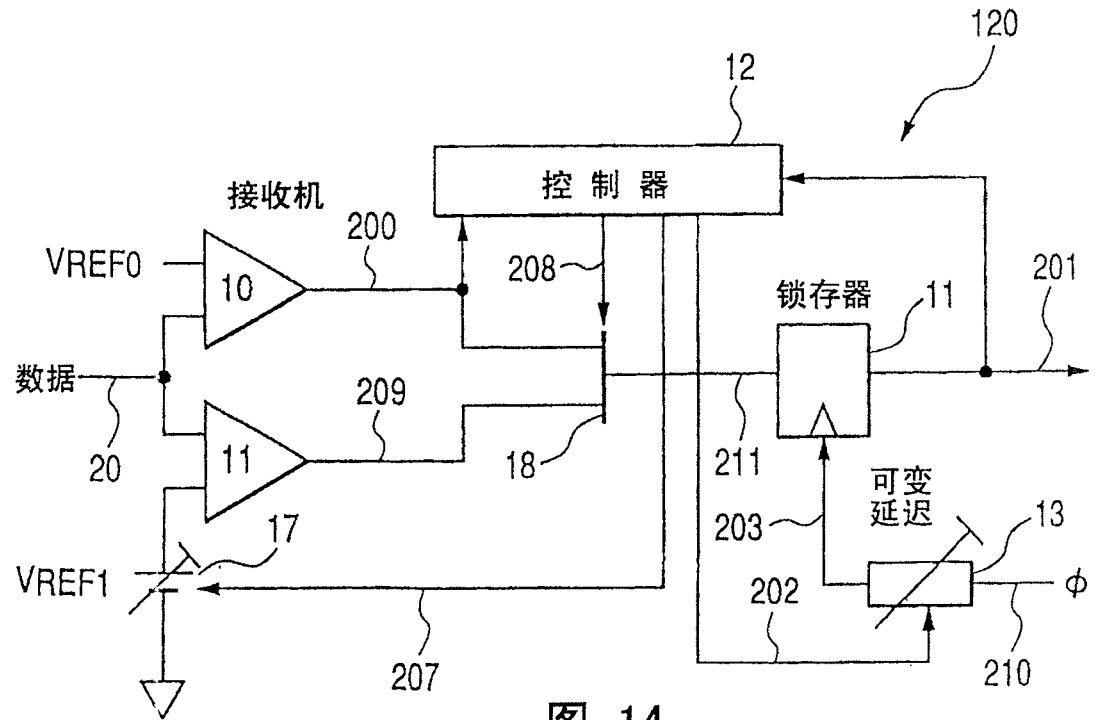


图 14

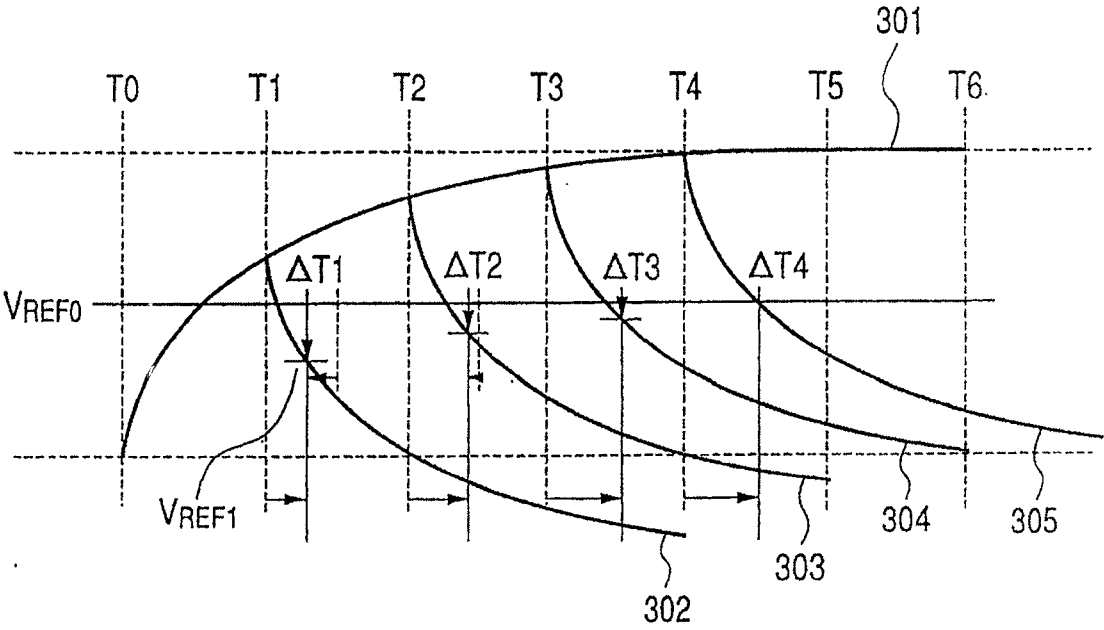


图 15

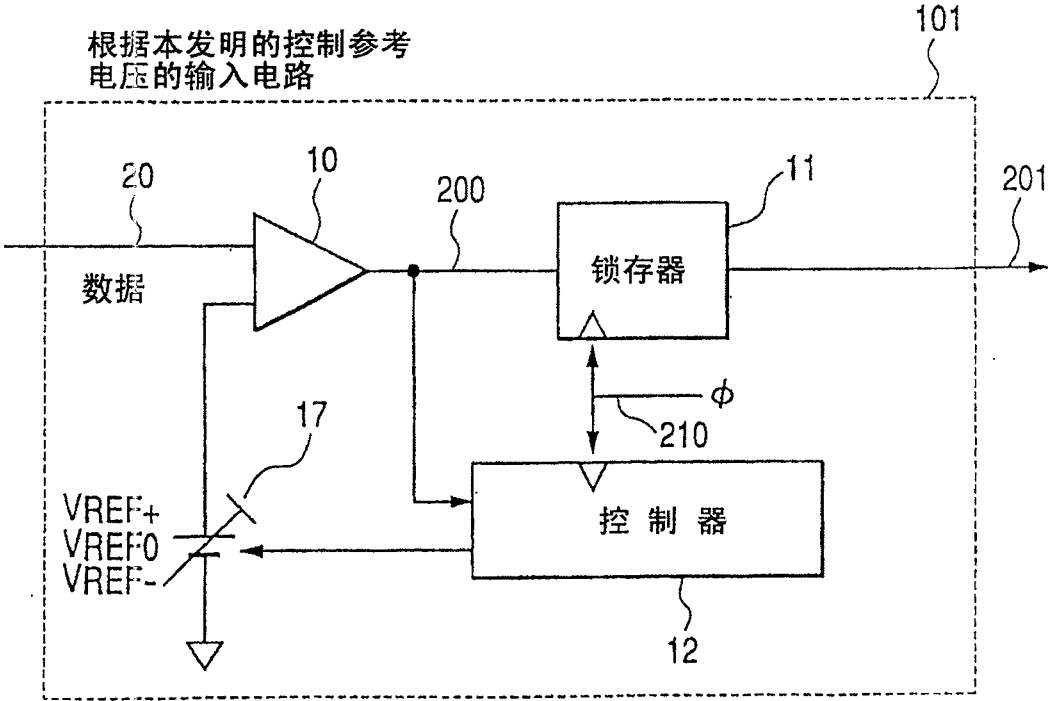


图 16

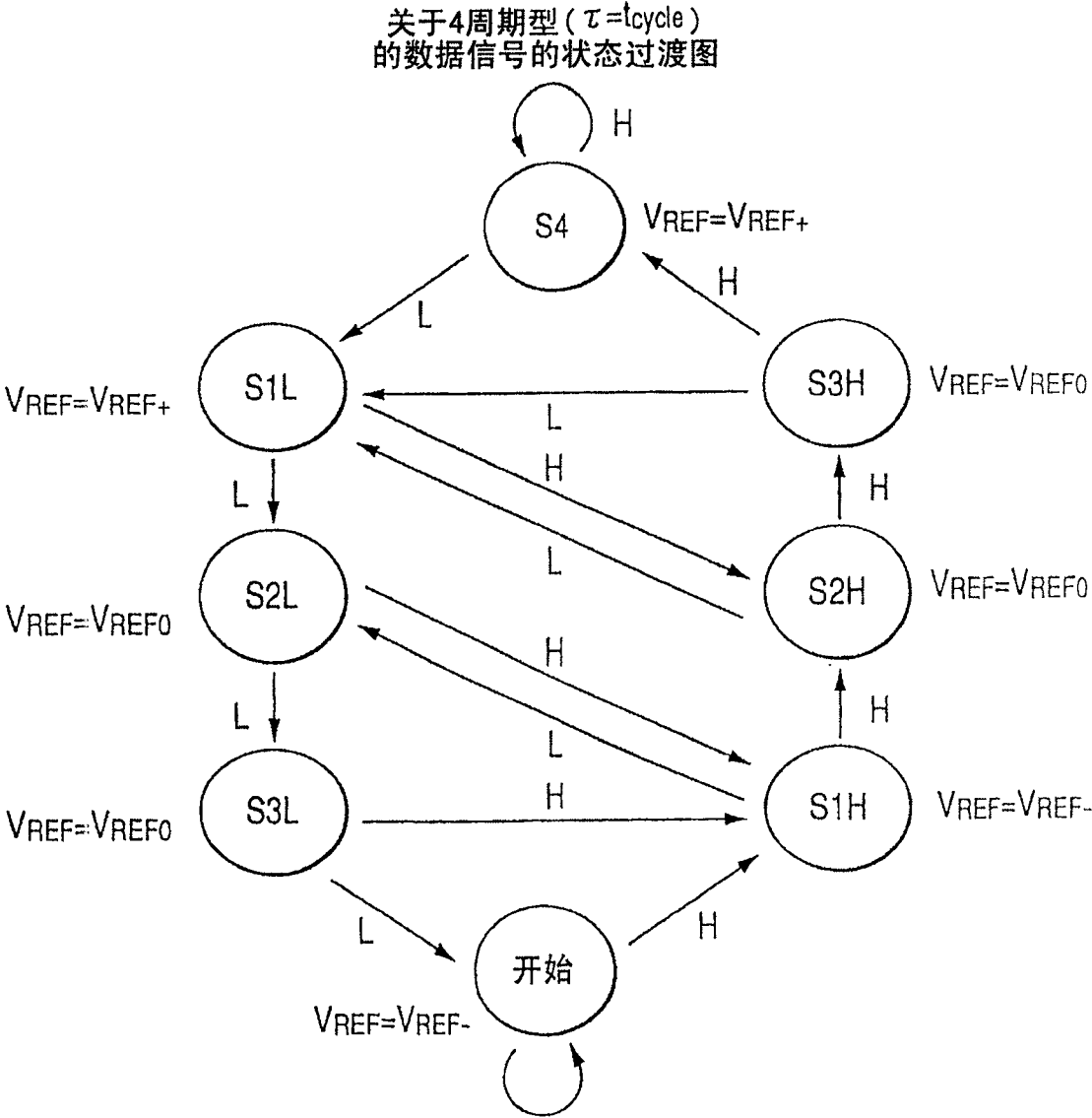


图 17

图 18

4周期型数据 ($\tau = t_{\text{cycle}}$) 的信号波形与比较器输出信号

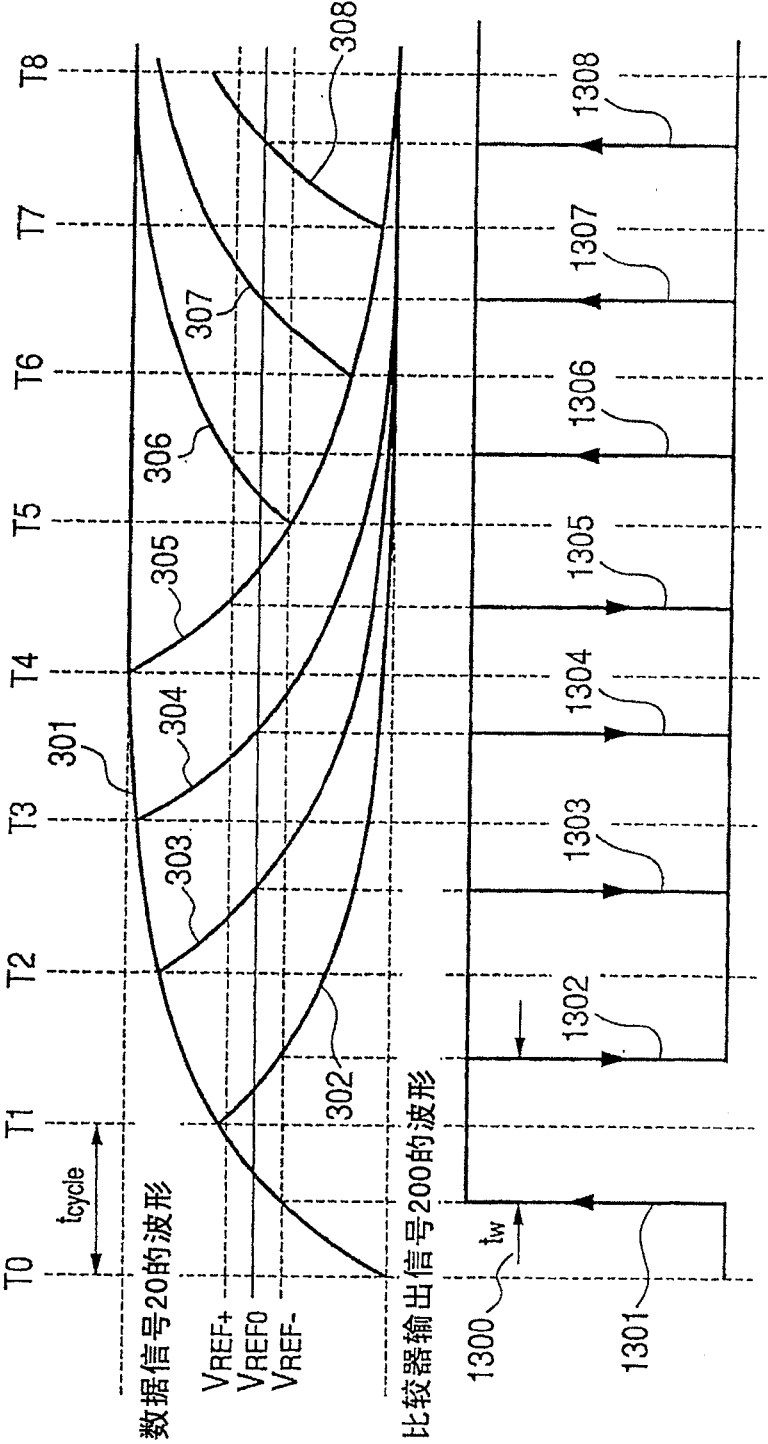
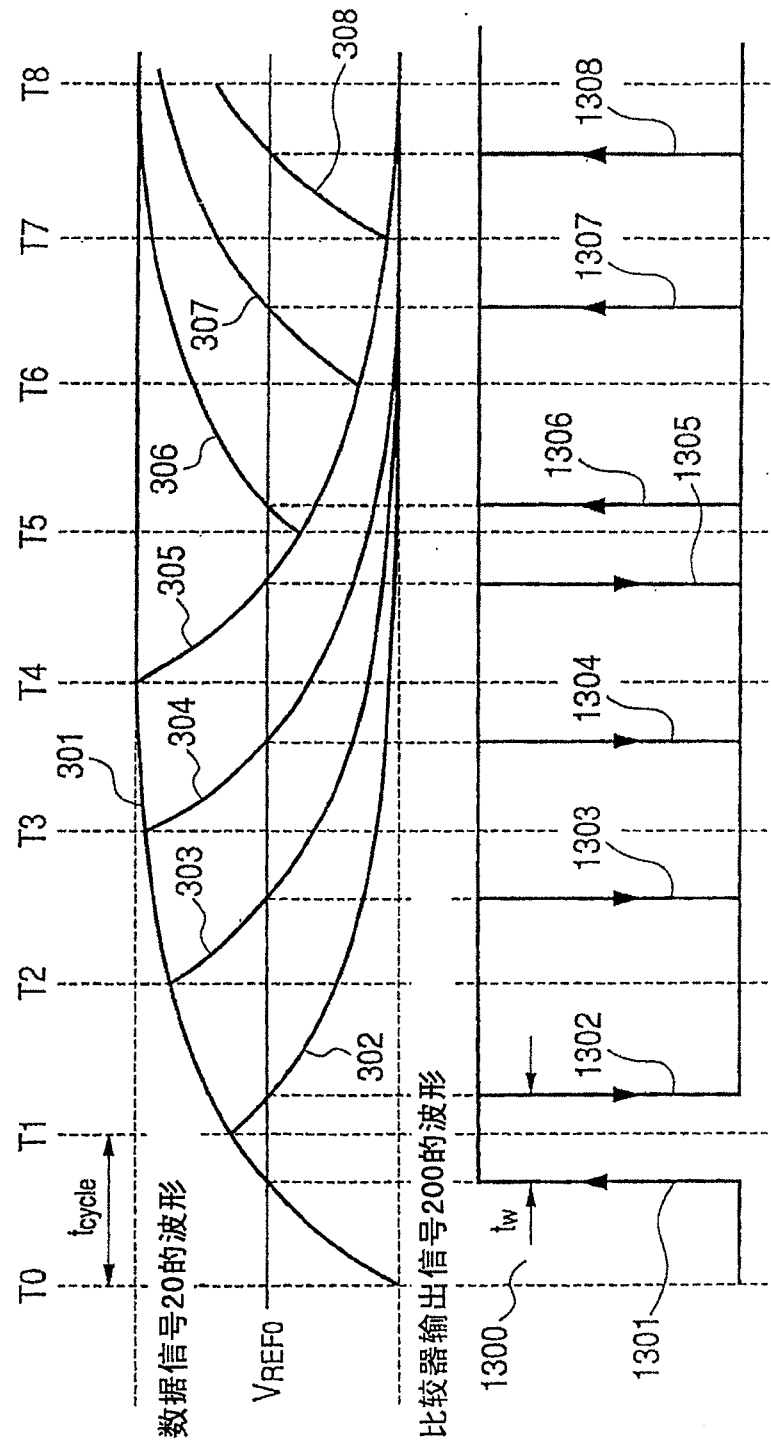


图 19 普通4周期型式 ($\tau = t_{\text{cycle}}$) 的数据信号与比较器输出信号



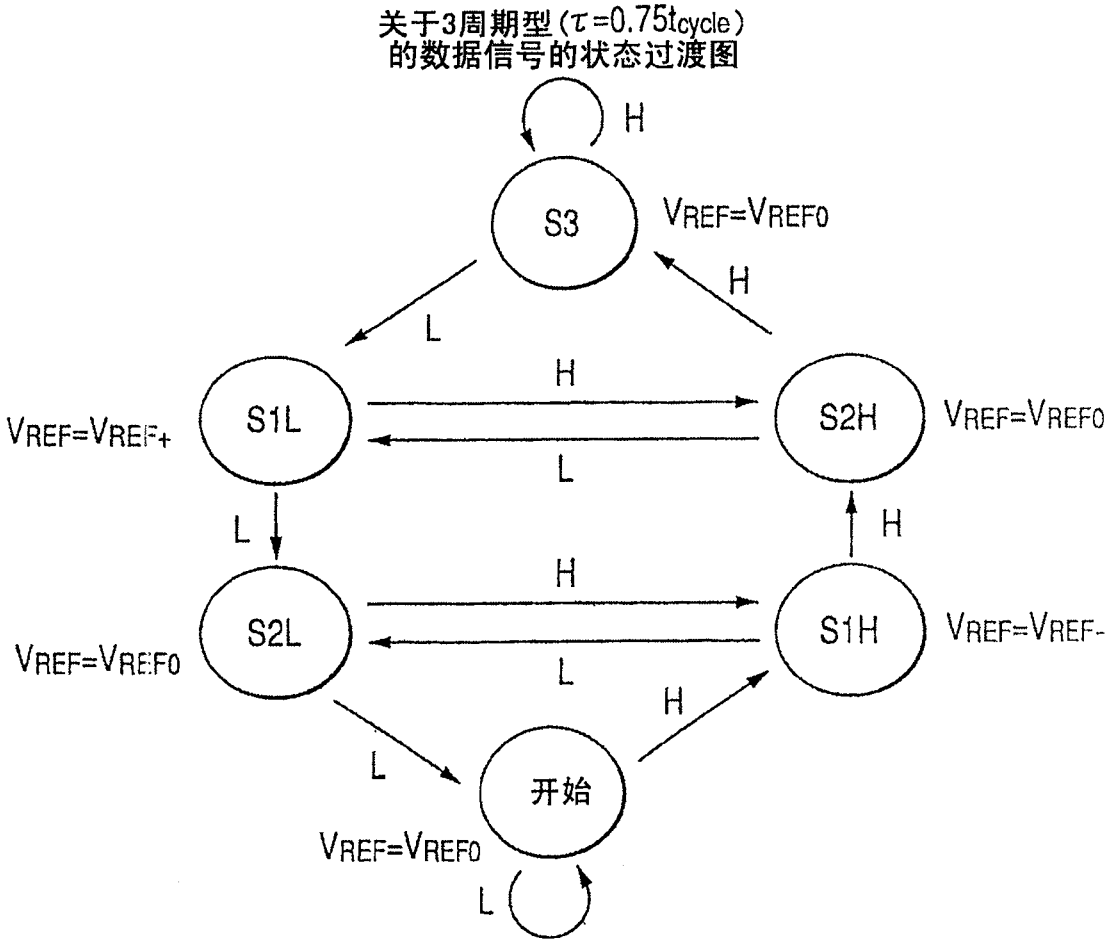
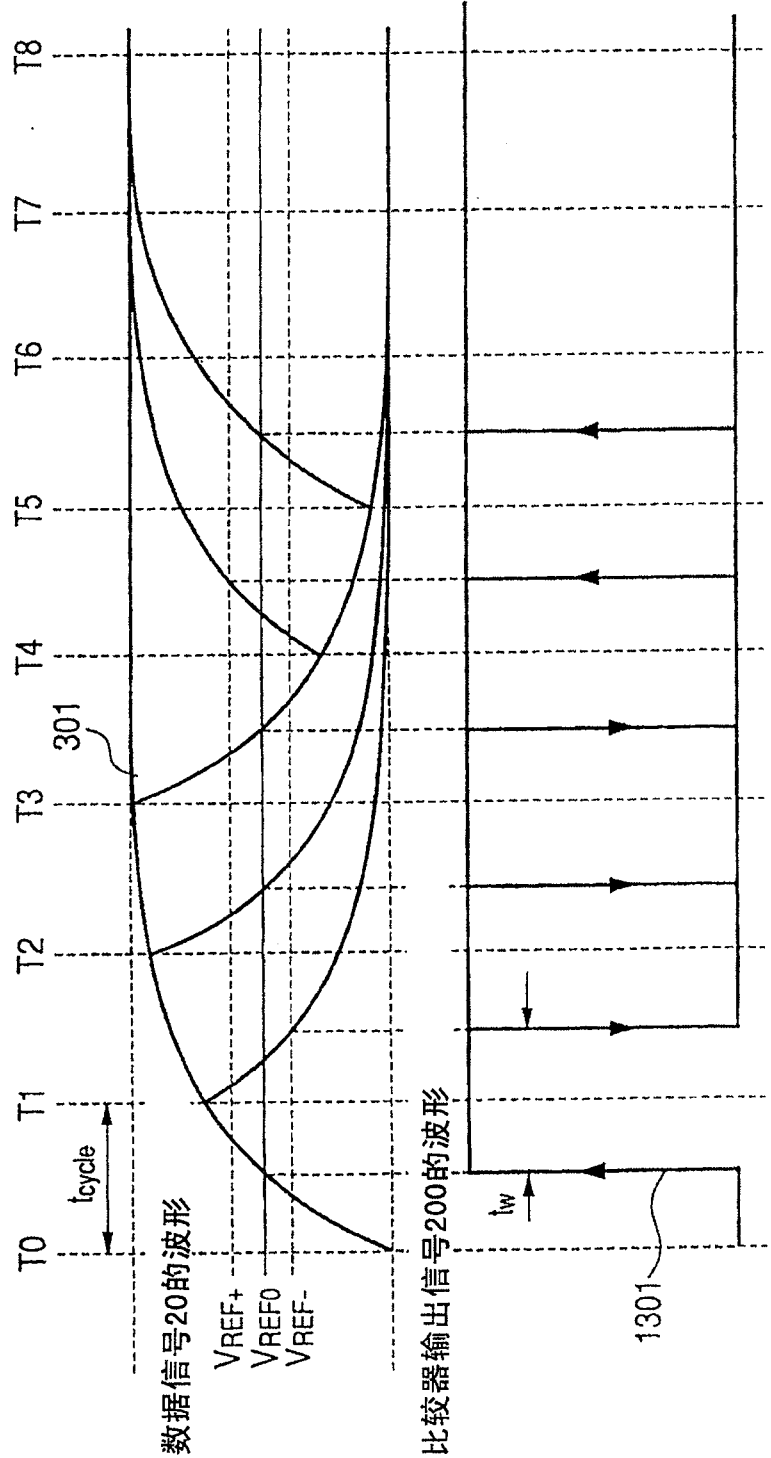


图 20

图 21

3周期型 ($\tau=0.75t_{\text{cycle}}$) 的数据信号波形与比较器输出信号



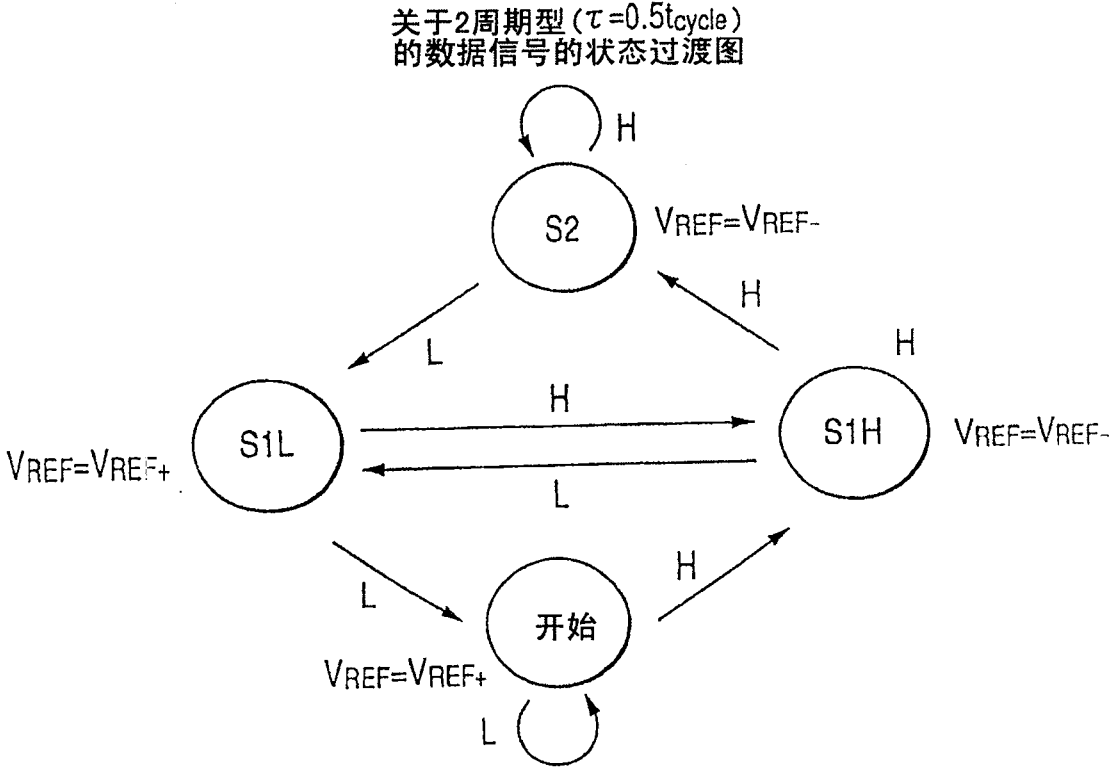


图 22

图 23

