

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑭ Date de dépôt : 30.05.90.

⑮ Priorité : 23.08.89 KR 8912019.

⑯ Date de la mise à disposition du public de la demande : 01.03.91 Bulletin 91/09.

⑰ Liste des documents cités dans le rapport de recherche : *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

⑱ Références à d'autres documents nationaux apparentés :

⑴ Demandeur(s) : GOLD STAR ELECTRON Co., Ltd.
— KR.

⑵ Inventeur(s) : Lee Young Jong.

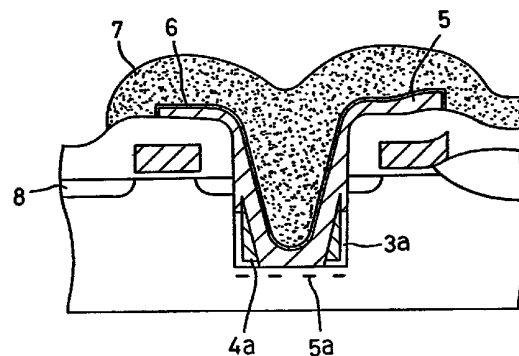
⑶ Titulaire(s) :

⑷ Mandataire : Bugnion Associés.

⑸ Procédé de fabrication de condensateurs à tranchée en pile pour mémoire vive dynamique.

⑹ L'invention concerne un procédé de fabrication d'un condensateur à tranchée en pile (STC) d'une mémoire vive dynamique (DRAM).

Il consiste essentiellement à former des tranchées entre les portes d'un transistor et déposer un film d'oxyde thermique pour éviter les fuites de courant à travers les parois latérales de la tranchée; implanter par voie ionique des dopants (5a) du type opposé à ceux de la zone de diffusion du transistor pour éviter la fuite de courant par le fond de la tranchée; former une couche de silicium de protection (4a) sur la paroi latérale de la tranchée par dépôt d'une couche de silicium et effectuer la gravure ionique réactive anisotropique; effectuer la gravure par voie humide sur le film d'oxyde thermique qui n'est pas protégé par la couche de silicium de protection et ensuite, déposer une couche de silicium (5) pour un noeud de stockage du condensateur; et former une couche diélectrique mince (6) et la plaque du condensateur par un procédé conventionnel.



5

Procédé de fabrication de condensateurs à tranchée en pile pour
mémoire vive dynamique.

10

La présente invention a pour objet un procédé de fabrication de condensateur à tranchée en pile (STC) d'une mémoire vive dynamique (DRAM), en particulier un procédé de fabrication de structures STC dont les tranchées sont électriquement isolées les unes des autres.

15

Selon la présente invention, la paroi latérale de la tranchée, qui est enrobée d'une couche d'oxyde thermique, est recouverte d'une couche de silicium de protection par déposition et gravure à sec anisotropique subséquente de silicium CVD (déposé en phase gazeuse par un procédé chimique). Etant donné que le film d'oxyde, qui n'est pas protégé par la couche de silicium de protection, est enlevé par gravure à l'état humide, seule la paroi latérale de la tranchée est couverte par la bicouche oxyde/silicium. Le film d'oxyde sert de couche isolante pour éliminer les courants de fuite de tranchée à tranchée. L'isolation électrique est également améliorée par implantation ionique de dopants en-dessous des tranchées. De plus, étant donné que la structure de condensateurs selon l'invention est constituée d'une forme inclinée de parois latérales de tranchée et ne présente pas d'arête vive, les points électriquement faibles des condensateurs peuvent être éliminés.

20

25

30

Afin de réaliser les condensateurs en pile pour une mémoire vive dynamique de haute densité, une tranchée peu profonde est pratiquée dans un substrat en silicium pour élever la superficie du condensateur, et donc élever sa capacité. Les opérations de traitement conventionnel sont les suivantes :

35

Premièrement, comme représenté à la figure 1 A, l'oxyde CVD 10 et les films de polysilicium 11 sont déposés séquentiellement sur la porte 1. Comme représentée à la figure 1 B, une tranchée 2 est pratiquée par ouverture de la fenêtre de contact et gravure en profondeur dans le

substrat de silicium 9, au moyen d'une gravure ionique réactive (RIE). Une couche de polysilicium 4, qui sert de noeud de stockage, est déposée par CVD et dopée au moyen d'implantations ioniques ou diffusion à partir d'une source de vapeur de dopant, comme représentée à la figure 1 C.

5 Ensuite, la zone du condensateur est définie par photogravure. Comme représentée à la figure 1 D, la couche mince de diélectrique 6 est formée sur le noeud de stockage en polysilicium. Enfin, toute la superficie du condensateur est recouverte par du polysilicium 7 pour l'électrode opposée. Selon la technique antérieure, les traitements à température

10 élevée subséquents, après le dopage de la couche de polysilicium 4, conduisent à une diffusion du dopant hors de la couche de polysilicium, dans les substrats en silicium 9, formant une région diffusée 12 autour de la tranchée. La formation d'une région diffusée au contact de la jonction de drain augmente la surface de contact entre le condensateur et la jonction.

15 Toutefois, dans la technique antérieure décrite ci-dessus, la présence des régions 12 dans lesquelles le dopant a diffusé, autour des tranchées, provoque un courant de fuite important entre les tranchées, comme représenté à la figure 1 E, qui est une vue en coupe transversale suivant la ligne A-A de la figure 1 F. Le problème des courants de fuite entre les

20 tranchées devient plus important lorsque l'espacement des tranchées décroît et/ou la profondeur des tranchées augmente. Un autre inconvénient de cette structure est que, par suite de la forme verticale de la tranchée, après dépôt de la couche de polysilicium 4, la couche diélectrique mince 6 formée plus tard présente des points électriquement faibles au niveau des

25 arêtes vives, dans la partie inférieure de la tranchée. En conséquence, cette structure de condensateur provoque des courants de fuite entre les électrodes du condensateur et dégrade la fiabilité de celui-ci.

L'objet de la présente invention est la fourniture d'un procédé qui élimine les inconvénients de la technique antérieure décrite ci-dessus. La

30 présente invention fournit un procédé amélioré pour réduire les courants de fuite entre les tranchées dans la structure conventionnelle STC. La présente invention fournit également un procédé amélioré pour élever la fiabilité de la couche diélectrique mince de la structure STC.

Dans la présente invention, on décrit les opérations d'un traitement

35 d'une structure STC d'une DRAM qui réduit le courant de fuite de tranchée à tranchée. La surface nue des tranchées entre les portes de transistor est couverte par une couche d'oxyde thermique. On implante des ions au fond

de la tranchée des dopants du type opposé à celui des dopants source/drain du transistor (par exemple des dopants du type p pour N-MOS). La partie de paroi latérale de la tranchée, qui est en-dessous de la jonction, est couverte sélectivement par une couche de silicium d'écartement latéral, au moyen d'un procédé de RIE anisotropique de silicium CVD. La couche d'oxyde thermique, qui n'est pas protégée par la couche de silicium de protection, est éliminée par gravure humide. Sur cette structure de tranchée, le condensateur est fabriqué par dépôt d'une couche de silicium (noeud de stockage), d'une couche diélectrique mince et d'une autre couche de silicium (plaque opposée), séquentiellement.

Le procédé selon l'invention sera décrit maintenant en regard des dessins annexés, dans lesquels les figures représentent :

Figure 1 A à 1 D : des vues en coupe transversale le long de la ligne B-B de la figure 1 F, destinées à expliquer la séquence des opérations selon la technique antérieure.

Figure 1 E : une vue en coupe transversale suivant la ligne A-A de la figure 1 F.

Figure 1 F : une vue plan d'une cellule DRAM conventionnelle.

Figure 2 A à 2 D : des vues en coupe transversale suivant la ligne B-B de la figure 1 F, destinées à expliquer la séquence des opérations selon la présente invention.

Le procédé de la présente invention sera décrit en détail, en prenant comme exemple la fabrication d'une structure STC avec un transistor N-MOS.

En se référant aux figures 2 A à 2 D, la séquence des opérations selon la présente invention sera décrite ci-après.

Premièrement, comme représentée à la figure 2 A, la tranchée est formée entre les portes 1 d'un transistor, à l'aide d'une technique de photolithographie et de RIE. Ensuite, un film d'oxyde 3 est déposé par voie thermique, jusqu'à une épaisseur de plusieurs centaines d'angströms.

Ensuite, les dopants 5a du type p sont implantés par voie ionique pour fournir une isolation électrique au fond de la tranchée 2. La dose et l'énergie de l'implantation ionique sont choisies en fonction de l'épaisseur de la couche d'oxyde, du niveau de dopage de la couche de silicium du noeud de stockage 5 déposée comme représentée à la figure 2 B, plus tard, et des défauts de l'implantation ionique.

Après l'implantation ionique, une couche 4 de polysilicium ou de silicium amorphe est déposée à une épaisseur de 1500 à 3000 angströms, comme représentée à la figure 2 C, la couche de silicium 4 est soumise à une gravure anisotropique par une technique RIE, laissant seulement la couche de silicium 4a de protection recouvrir la paroi latérale de la tranchée 2 qui est en-dessous de la région de jonction N+ 8 du transistor.

Ensuite, le film d'oxyde thermique 3 est gravé par voie humide de sorte que la partie exacte de la paroi latérale de la région de jonction N+ soit ouverte. Dans cette opération, le film d'oxyde 3a recouvrant la paroi latérale plus profondément que la jonction 8 peut être conservé car il est protégé par la couche de silicium 4a de protection. La couche de silicium 5, de 1000 à 3000 angströms d'épaisseur, qui sert de noeud de stockage du condensateur, est déposée comme représentée à la figure 2 D. La région du condensateur est définie par une technique classique de photogravure.

Ensuite, la couche diélectrique mince 6 est déposée puis recouverte par une couche de polysilicium 7 pour la plaque opposée.

La structure STC fabriquée par le procédé selon l'invention présente des avantages par rapport à la technique classique :

(1). La présence de la couche d'oxyde sur la paroi latérale des tranchées évite l'apparition de courants de fuite à travers les parois latérales des tranchées.

(2). Les substrats de silicium 5a en-dessous du fond de la tranchée 2 sont dopés avec un dopant du type p, ce qui réduit les courants de fuites par le fond des tranchées.

(3) Etant donné que la couche de silicium 5 de noeud de stockage présente des coins légèrement concaves autour du fonds de la tranchée, la couche diélectrique mince peut être déposée avec une épaisseur uniforme et sans point faible électrique aux endroits où les charges pourraient fuir.

De cette façon, on peut fabriquer des condensateurs avec un courant de fuite réduit entre les électrodes.

Par suite des caractéristiques avantageuses décrites, la présente structure STC peut être appliquée à une DRAM de haute densité au-dessus
5 de 4M lorsque la tranchée est plus profonde et les espaces entre les tranchées plus étroits.

Bien que le mode de réalisation décrit représente le mode de réalisation préféré de la présente invention, il est clair que des modifications du présent procédé peuvent être effectuées sans sortir du
10 domaine de l'invention.

REVENDICATIONS.

1. Procédé de fabrication d'un condensateur à tranchée en pile (STC) d'une mémoire vive dynamique (DRAM), comprenant les étapes consistant
5 à :

former des tranchées entre les portes d'un transistor et déposer un film d'oxyde thermique pour éviter les fuites de courant à travers les parois latérales de la tranchée; implanter par voie ionique des dopants du type opposé à ceux de la zone de diffusion du transistor pour éviter la fuite
10 de courant par le fond de la tranchée; former une couche de silicium de protection sur la paroi latérale de la tranchée par dépôt d'une couche de silicium et effectuer la gravure ionique réactive anisotropique; effectuer la gravure par voie humide sur le film d'oxyde thermique qui n'est pas protégé par la couche de silicium de protection et ensuite, déposer une
15 couche de silicium pour un noeud de stockage du condensateur; et former une couche diélectrique mince et la plaque du condensateur par un procédé conventionnel.

2. Procédé selon la revendication 1, dans lequel la couche d'oxyde thermique est déposée à une épaisseur de quelques centaines d'angströms dans un four de diffusion classique.
20

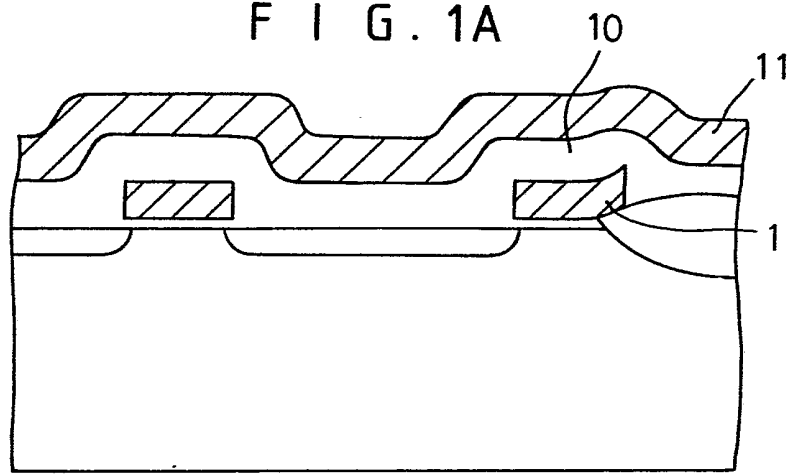
3. Procédé selon la revendication 1, dans lequel l'implantation ionique de la couche de silicium amorphe ou de polysilicium non dopé pour un écarteur latéral est déposé à une épaisseur de 1500 à 3000 angströms.
25

4. Procédé selon la revendication 1, dans lequel la couche de silicium qui sert de noeud de stockage est déposée à une épaisseur de 1000 à 3000 angströms, cette couche entrant en contact avec la surface latérale de la
30 région de jonction du transistor par ouverture de la couche d'oxyde thermique, à l'aide d'une gravure humide.

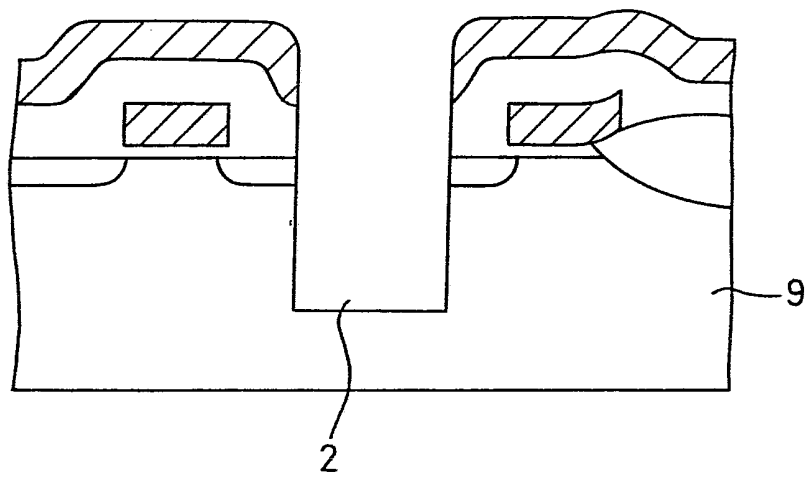
5. Procédé selon la revendication 1, dans lequel la couche de silicium est gravée par voie anisotropique au moyen d'une gravure ionique réactive, de telle façon que la couche de silicium de protection produite ne recouvre que la paroi latérale de la tranchée qui est située plus
35 profondément que la profondeur de jonction du transistor.

2/5

F I G . 1 A



F I G . 1 B



215

FIG. 1C

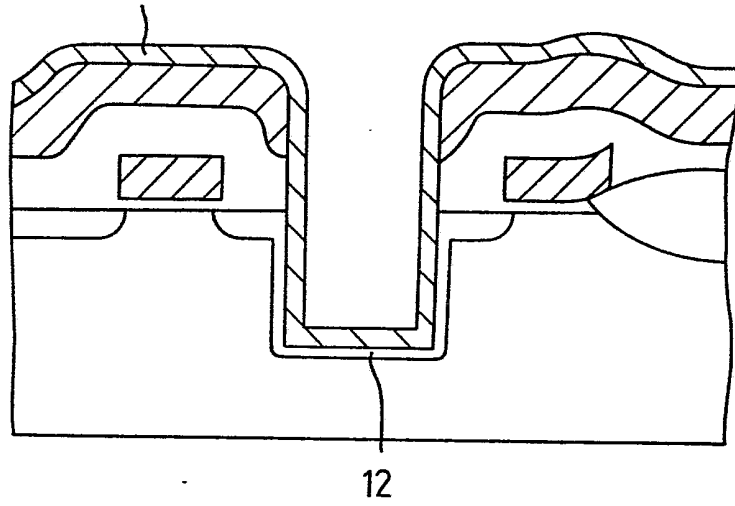
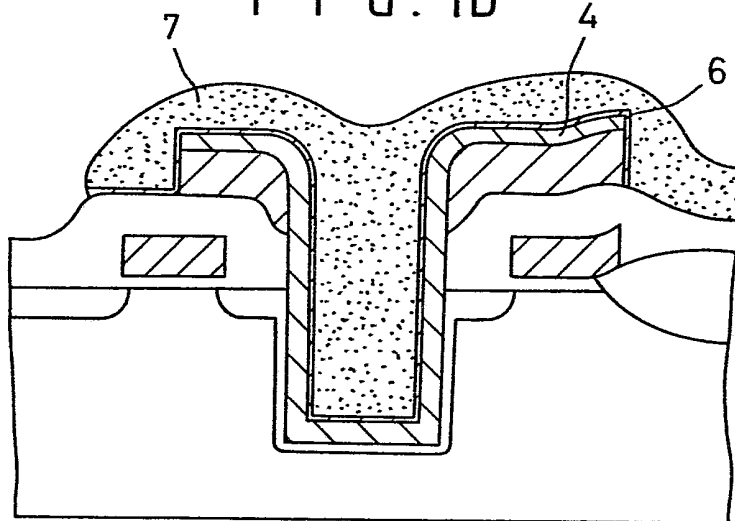
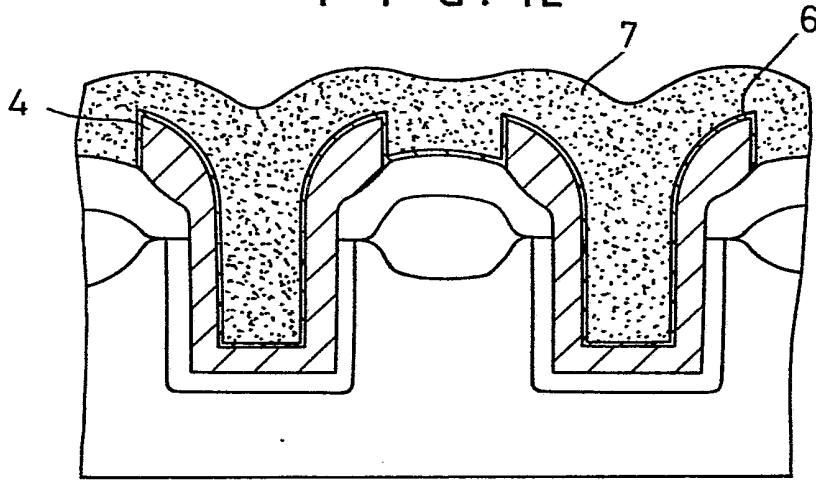


FIG. 1D

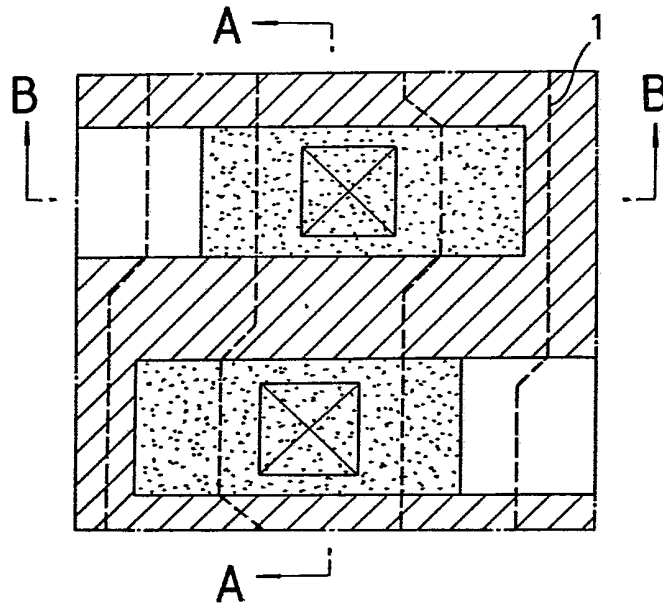


315

F I G . 1 E

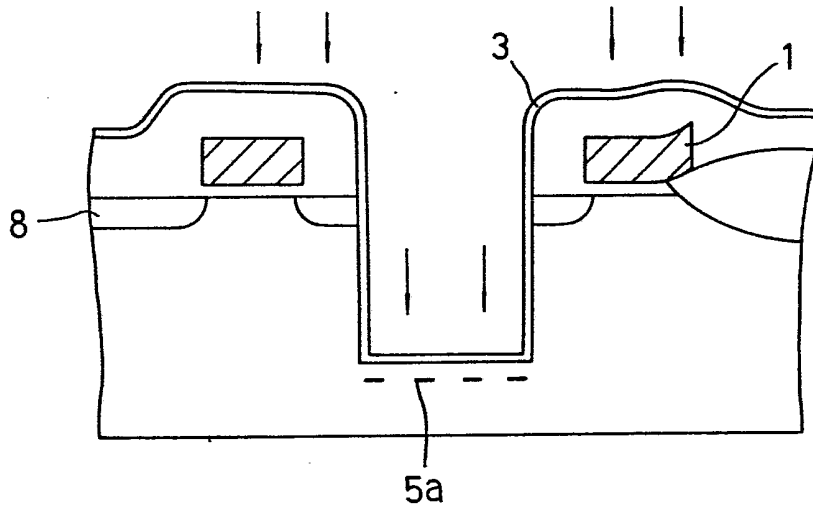


F I G . 1 F

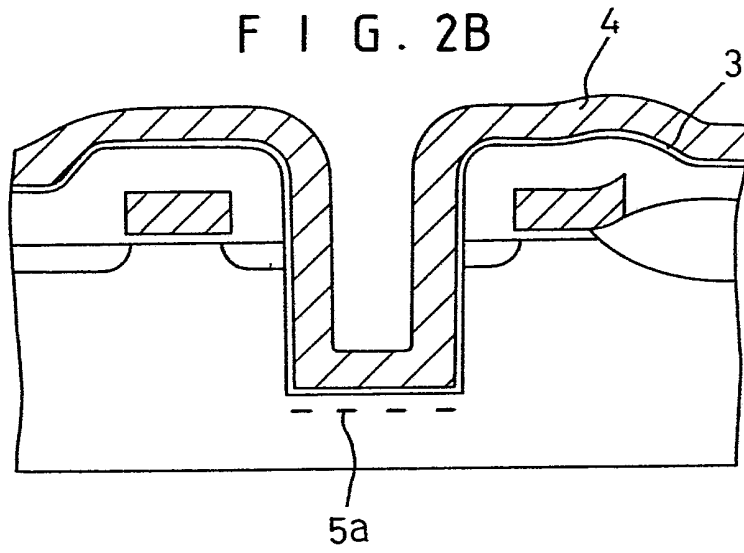


415

F I G . 2 A



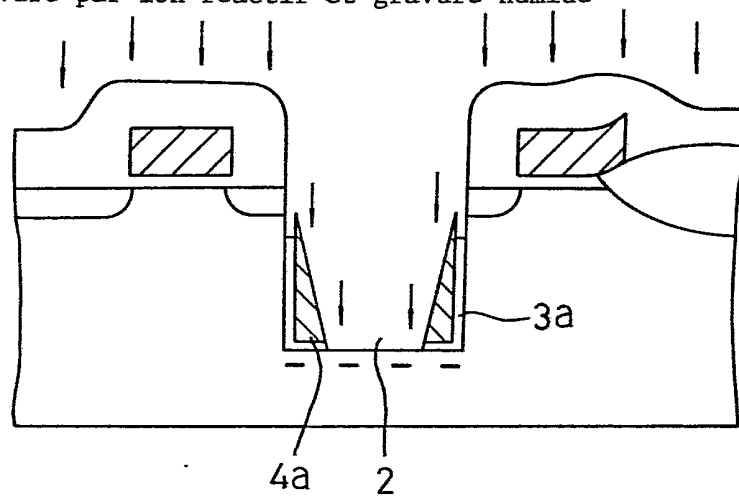
F I G . 2 B



5/5

F I G . 2 C

Gravure par ion réactif et gravure humide



F I G . 2 D

