



OPIS PATENTOWY PATENTU TYMCZASOWEGO

78543

Patent tymczasowy dodatkowy
do patentu nr _____

Kl. 21a¹,36/02

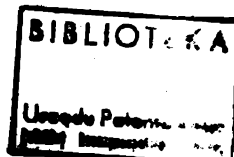
Zgłoszono: 08.09.1972 (P. 157671)

Pierwszeństwo: _____

MKP H03k 5/153

Zgłoszenie ogłoszono: 15.11.1973

Opis patentowy opublikowano: 31.07.1975



Twórcy wynalazku: Leszek Dec, Reinold Trzensioch, Zygmunt Hepek

Uprawniony z patentu tymczasowego: Centralne Zakłady Automatyzacji
Hutnictwa, Katowice (Polska)

Układ połączeń tranzystorowego przerzutnika niesymetrycznego do odbioru sygnałów cyfrowych zero-jedynkowych, zwłaszcza w obecności zakłóceń

1

Przedmiotem wynalazku jest układ połączeń tranzystorowego przerzutnika niesymetrycznego ze sprzężeniem emiterowym przeznaczony do odbioru transmitowanych linią długą sygnałów cyfrowych zero-jedynkowych przy obecności zakłóceń.

W praktyce stosowane są do odbioru i formowania zboczy sygnałów cyfrowych zero-jedynkowych tranzystorowe przerzutniki niesymetryczne ze sprzężeniem emiterowym. Występowanie w ich pracy strefy histerezy w korzystny sposób powiększa dopuszczalny stosunek sygnału zakłócającego do wejściowego sygnału użytecznego, jednak rozpiętość strefy histerezy wyznaczona stosunkiem oporów w kolektorach do oporu w sprzężeniu emiterowym jest ograniczona z powodu skończonego wzmocnienia prądowego tranzystorów, szczególnie małego przy pracy w nasyceniu, co narzuca niekorzystne relacje między wartościami oporów.

Celem wynalazku jest opracowanie układu połączeń tranzystorowego przerzutnika niesymetrycznego ze sprzężeniem emiterowym przeznaczonego do odbioru sygnałów cyfrowych zero-jedynkowych pozbawionego wymienionych niedogodności.

Zadanie to zostało rozwiązane według wynalazku w ten sposób, że obwód sprzężenia emiterowego w całości lub części zbocznikowany jest tranzystorem sterowanym w bazie poprzez opór prądem kolektora tranzystora komplementarnego, którego emiter połączony jest bezpośrednio z kolektorem,

2

a baza poprzez opór z emiterem wyjściowego tranzystora przerzutnika.

Układ połączeń zapewnia właściwe formowanie sygnału wyjściowego przy powiększeniu strefy histerezy, co bezpośrednio podnosi odporność na zakłócenia. Powiększenie strefy histerezy, uzyskiwane jest przez obniżenie progu przerzutu przy nasyceniu wejściowego tranzystora i podwyższenie tego progu przy zatkanium tranzystora wejściowego. Obniżenie progu jest spowodowane zwarcie przez tranzystor bocznikujący całości lub części obwodu sprzężenia emiterowego, na którym odkłada się napięcie progowe.

Przedmiot wynalazku uwidoczniiony jest w przykładzie wykonania na rysunku, na którym przedstawiony jest ideowy schemat układu połączeń tranzystorowego przerzutnika niesymetrycznego ze sprzężeniem emiterowym uzupełniony układem filtra wejściowego i wzmacniaczem wyjściowym dopasowującym poziom sygnału wyjściowego zgodnie z wymaganiami narzuconymi przez obciążające go obwody cyfrowe. Wejściowy tranzystor 1 przerzutnika obciążony jest w kolektorze oporem 2 i połączony bezpośrednio z bazą wyjściowego tranzystora 3 przerzutnika który w kolektorze obciążony jest oporem 4. Obwód sprzężenia emiterowego tranzystorów 1 i 2 zawiera szeregowo połączone opór 5 i opór 6 zbocznikowany tranzystorem 7, którego baza poprzez opór 8 połączona jest z kolektorem komplementarnego tran-

3

zystora 9. Kolektor tranzystora 9 obciążony jest również oporem 10 i poprzez opór 11. bazą tranzystora 12, którego kolektor poprzez opór 13 zasilany jest napięciem ustalającym poziom wyjściowego sygnału cyfrowego. Emiter tranzystora 9 połączony jest bezpośrednio z kolektorem, a baza poprzez opór 14 z emitern tranzystora 3. Baza tranzystora 1 połączona jest z emiternem upływowym oporem 15, a poprzez diodę 16 z punktem wspólnym oporu 17 i kondensatora 18 tworzących szeregowy układ, zbocznikowany diodą 19 i włączony równolegle do wejścia, do którego jest również przyłączony od źródła zasilania przerzutnika opór 20.

Wejściowy sygnał cyfrowy zero-jedynkowy odfiltrowany z zakłóceń o polaryzacji ujemnej diodą 19 i z zakłóceń o wysokiej częstotliwości w filtrze dolnoprzepustowym oporowo 17 i 20 — pojemnościowym 18 steruje bazę wejściowego tranzystora 1 przerzutnika. Jeżeli poziom sygnału wejściowego jest wyższy od poziomu progu przerzutu to tranzystor 1 zostaje nasycony, a napięcie emiter-kolektor wyjściowego tranzystora 3 przerzutnika odtyka komplementarny tranzystor 9, który wysterowuje aż do nasycenia tranzystor 7 zawierający opór 6, co obniża próg przerzutu o spadek napięcia na tym oporze. Równocześnie jest odetkany tranzystor 12 kluczujący wyjście układu. Zmniejszenie poziomu sygnału wejściowego poniżej progu powoduje zatkanie tranzystora 1, przy

4

czym w wyniku odetkania tranzystora 3 zatyka się komplementarny tranzystor 9 i sterowane prądem jego kolektora tranzystory 7 i 12. Powoduje to podniesienie progu o spadek napięcia na oporze 6 i pojawienie się na kolektorze wyjściowego tranzystora 12 sygnału o poziomie określonym przez dobór wartości napięcia zasilania i dopasowanym w ten sposób do poziomu wymaganego przez obciążające go układy cyfrowe.

Oczywiście wynalazek nie jest ograniczony tylko do opisanego szczegółowo i przedstawionego na rysunku przykładu jego wykonania. Obejmuje również stosowanie pojedynczych cech i odmian opisanej propozycji, o ile nie wykraczają poza zakres podstawowej myśli wynalazku.

Zastrzeżenie patentowe

Układ połączeń tranzystorowego niesymetrycznego przerzutnika ze sprzężeniem emiterowym do odbioru sygnałów cyfrowych zero-jedynkowych, zwłaszcza w obecności zakłóceń, **znamienny tym**, że obwód sprzężenia emiterowego przerzutnika w całości (5 i 6) lub części (6) zbocznikowany jest tranzystorem (7) sterowanym w bazie poprzez opór (8) prądem kolektora komplementarnego tranzystora (9), który emiternem połączony jest bezpośrednio z kolektorem, a bazą poprzez opór (14) z emiternem wyjściowego tranzystora (3) przerzutnika.

