

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-22009

(P2008-22009A)

(43) 公開日 平成20年1月31日(2008.1.31)

(51) Int.Cl.

**H01L 21/8247 (2006.01)**  
**H01L 27/115 (2006.01)**  
**H01L 29/788 (2006.01)**  
**H01L 29/792 (2006.01)**

F 1

H01L 27/10 4 3 4  
H01L 29/78 3 7 1

テーマコード(参考)

5 F 0 8 3  
5 F 1 O 1

審査請求 未請求 請求項の数 41 O L (全 36 頁)

(21) 出願番号 特願2007-182659 (P2007-182659)  
(22) 出願日 平成19年7月11日 (2007.7.11)  
(31) 優先権主張番号 10-2006-0065040  
(32) 優先日 平成18年7月11日 (2006.7.11)  
(33) 優先権主張国 韓国 (KR)  
(31) 優先権主張番号 11/729, 169  
(32) 優先日 平成19年3月28日 (2007.3.28)  
(33) 優先権主張国 米国 (US)

(71) 出願人 390019839  
三星電子株式会社  
Samsung Electronics  
Co., Ltd.  
大韓民国京畿道水原市靈通区梅灘洞 416  
(74) 代理人 100064908  
弁理士 志賀 正武  
(74) 代理人 100089037  
弁理士 渡邊 隆  
(74) 代理人 100108453  
弁理士 村山 靖彦  
(74) 代理人 100110364  
弁理士 実広 信哉

最終頁に続く

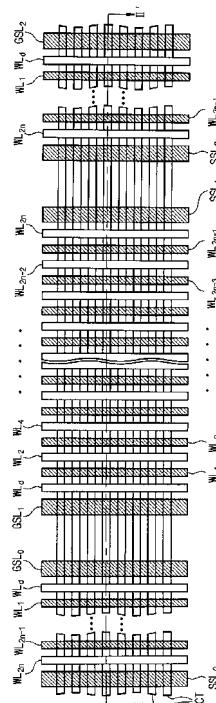
(54) 【発明の名称】不揮発性メモリー素子及びその製造方法

## (57) 【要約】

【課題】特性が改善された不揮発性メモリー素子を提供する。

【解決手段】不揮発性メモリー素子は、活性領域を含む半導体基板及び前記活性領域上の第1及び第2メモリーセルストリングを含む。第1メモリーセルストリングは、第1接地選択ライン及び第1ストリング選択ラインの間の活性領域を横切る複数の第1ワードラインを含み、複数の第1ワードラインの中の隣り合うラインの間に第1配置間隔が提供される。第2メモリーセルストリングは、第2接地選択ライン及び第2ストリング選択ラインの間の活性領域を横切る複数の第2ワードラインを含み、同じ第1配置間隔が複数の第2ワードラインの中の隣り合うラインの間に提供される。第1接地選択ラインは、第2接地選択ライン及び複数の第1ワードラインの間にあり、第2接地選択ラインは、第1接地選択ライン及び複数の第2ワードラインの間にある。

【選択図】図2A



**【特許請求の範囲】****【請求項 1】**

活性領域を含む半導体基板と、

第1接地選択ライン及び第1ストリング選択ラインの間の前記活性領域を横切って第1配置間隔を置いて互いに隣り合う複数の第1ワードラインを含む前記活性領域上の第1メモリーセルストリングと、

第2接地選択ライン及び第2ストリング選択ラインの間の前記活性領域を横切って前記第1配置間隔を置いて互いに隣り合う複数の第2ワードラインを含む前記活性領域上の第2メモリーセルストリングとを含み、

前記第1接地選択ラインは、前記第2接地選択ライン及び前記第1ワードラインの間にあり、前記第2接地選択ラインは、前記第1接地選択ライン及び前記第2ワードラインの間にあり、前記活性領域の中の前記第1及び第2接地選択ラインの間の領域には、前記ワードラインが無く、前記第1及び第2接地選択ラインの間の第2配置間隔は、前記第1配置間隔より少なくとも3倍大きいことを特徴とする不揮発性メモリー素子。10

**【請求項 2】**

前記第2配置間隔は、前記第1配置間隔の3乃至4倍の範囲の内で前記第1配置間隔より大きいことを特徴とする請求項1に記載の不揮発性メモリー素子。

**【請求項 3】**

前記第2配置間隔は、前記第1配置間隔より3倍以上大きいことを特徴とする請求項1に記載の不揮発性メモリー素子。20

**【請求項 4】**

前記第2配置間隔は、前記第1配置間隔より少なくとも4倍大きいことを特徴とする請求項1に記載の不揮発性メモリー素子。

**【請求項 5】**

前記第1ワードラインは、偶数番目の不揮発性メモリーセルワードライン及びダミーワードラインを含み、前記ダミーワードラインは、前記偶数番目のメモリーセルワードラインの中の一一番目及び前記第1接地選択ラインの間にあり、前記接地選択ライン及び前記ダミーワードラインの間に前記第1配置間隔が提供され、前記ダミーワードライン及び前記偶数番目のメモリーセルワードラインの中の前記一番目の間に前記第1配置間隔が提供され、前記偶数番目のメモリーセルワードラインの中の終わり及び前記ストリング選択ラインの間に前記第1配置間隔が提供されることを特徴とする請求項1に記載の不揮発性メモリー素子。30

**【請求項 6】**

前記第1ワードラインは、偶数番目のメモリーセルワードライン及びダミーワードラインを含み、前記ダミーワードラインは、前記偶数番目のメモリーセルワードラインの中の一一番目及び前記第1接地選択ラインの間にあり、前記ダミーワードライン及び前記偶数番目のメモリーセルワードラインの中の前記一番目の間に第1配置間隔が提供され、前記接地選択ライン及び前記ダミーワードラインの間に第3配置間隔が提供され、前記第3配置間隔は、前記第1配置間隔より大きく、前記第1配置間隔の2倍以下であることを特徴とする請求項1に記載の不揮発性メモリー素子。40

**【請求項 7】**

前記第3配置間隔は、前記第1配置間隔の1.5乃至2倍であることを特徴とする請求項6に記載の不揮発性メモリー素子。

**【請求項 8】**

前記第1ワードラインは、偶数番目のメモリーセルワードラインを含み、前記接地選択ライン及び前記偶数番目のメモリーセルワードラインの中の一一番目の間に前記第1配置間隔の少なくとも3倍の間隔が提供され、前記偶数番目のメモリーセルワードラインの中の終わり及び前記ストリング選択ラインの間に前記第1配置間隔が提供され、前記活性領域の中の前記接地選択ライン及び前記偶数番目のメモリーセルワードラインの中の前記終わりのラインの間の領域には、前記ワードラインが無いことを特徴とする請求項1に記載の

10

20

30

40

50

不揮発性メモリー素子。

【請求項 9】

前記第1及び第2メモリーセルストリングの各メモリーセルは、各々のワードライン及び前記活性領域の間の電荷貯蔵層と前記電荷貯蔵層及び前記ワードラインの間のバリア絶縁層を含むことを特徴とする請求項1に記載の不揮発性メモリー素子。

【請求項 10】

前記第1メモリーセルストリングの配列は、前記第2メモリーセルストリングの配列に対して鏡像対称であることを特徴とする請求項1に記載の不揮発性メモリー素子。

【請求項 11】

活性領域を含む半導体基板と、  
前記活性領域を横切る接地選択ラインと、  
前記活性領域を横切って前記接地選択ラインから離隔されたストリング選択ラインと、  
前記接地選択ライン及び前記ストリング選択ラインの間の前記活性領域を横切って第1配置間隔を置いて隣り合う複数のメモリーセルワードライン及び前記複数のメモリーセルワードラインの中の一一番目及び前記第1接地選択ラインの間にあり、前記複数のメモリーセルワードラインの中の前記一番目の間に前記第1配置間隔を置いて離隔されるダミーワードラインとを含み、

前記複数のメモリーセルワードラインの中の終わり及び前記ストリング選択ラインの間に第2配置間隔が提供され、前記第2配置間隔は、前記第1配置間隔より大きく、前記第1配置間隔の2倍以下であり、前記接地選択ライン及び前記ダミーワードラインの間に第3配置間隔が提供され、前記第3配置間隔は、前記第1配置間隔より大きく、前記第1配置間隔の2倍以下であることを特徴とする不揮発性メモリー素子。

【請求項 12】

前記第3配置間隔は、前記第1配置間隔の1.5乃至2倍であることを特徴とする請求項11に記載の不揮発性メモリー素子。

【請求項 13】

前記複数のメモリーセルワードラインは、第1メモリーセルワードラインを含み、前記活性領域を横切る第2接地選択ラインと、

前記活性領域を横切って前記第2接地選択ラインから離隔された第2ストリング選択ラインと、

前記第2接地選択ライン及び前記第2ストリング選択ラインの間の前記活性領域を横切る第2メモリーセルワードラインとを含み、

前記第1接地選択ラインは、前記第2接地選択ライン及び前記第1メモリーセルワードラインの間にあり、前記第2接地選択ラインは、前記第2ストリング選択ライン及び前記第1接地選択ラインの間にあり、前記活性領域の中の前記第1及び前記第2接地選択ラインの間の領域には、前記ワードラインが無く、前記第1及び前記第2接地選択ラインの間の第2配置間隔は、前記第1配置間隔より少なくとも3倍大きいことを特徴とする請求項11に記載の不揮発性メモリー素子。

【請求項 14】

前記第2配置間隔は、前記第1配置間隔の3乃至4倍の範囲の内で前記第1配置間隔より大きいことを特徴とする請求項13に記載の不揮発性メモリー素子。

【請求項 15】

前記第2配置間隔は、前記第1配置間隔より3倍以上に大きいことを特徴とする請求項13に記載の不揮発性メモリー素子。

【請求項 16】

前記第2配置間隔は、前記第1配置間隔より少なくとも4倍大きいことを特徴とする請求項13に記載の不揮発性メモリー素子。

【請求項 17】

各々の前記複数のワードライン及び前記活性領域の間に個別的に介される複数の電荷貯蔵層及び前記各々のワードライン及び前記電荷貯蔵層の間に個別的に介される複数のバリ

10

20

30

40

50

ア絶縁膜を含むことを特徴とする請求項 1 1 に記載の不揮発性メモリー素子。

【請求項 1 8】

前記複数のメモリーセルワードラインは、偶数番目のメモリーセルワードラインを含むことを特徴とする請求項 1 1 に記載の不揮発性メモリー素子。

【請求項 1 9】

活性領域を含む半導体基板と、  
前記活性領域を横切る接地選択ラインと、  
前記活性領域を横切って前記接地選択ラインから離隔されたストリング選択ラインと、  
前記接地選択ライン及び前記ストリング選択ラインの間の前記活性領域を横切る複数のメモリーセルワードラインとを含み、

隣り合う前記複数のメモリーセルワードラインの間及び前記複数のメモリーセルワードラインの中の終わり及び前記ストリング選択ラインの間に同じ第 1 配置間隔が提供され、前記接地選択ライン及び前記複数のメモリーセルワードラインの中の一番目の間に第 2 配置間隔が提供され、前記第 2 配置間隔は、前記第 1 配置間隔より少なくとも 3 倍大きく、前記活性領域の中の前記接地選択ライン及び前記複数のメモリーセルワードラインの中の前記一番目の間の領域には、前記ワードラインが無いことを特徴とする不揮発性メモリー素子。

【請求項 2 0】

前記第 2 配置間隔は、前記第 1 配置間隔より 3 倍大きいことを特徴とする請求項 1 9 に記載の不揮発性メモリー素子。

【請求項 2 1】

前記第 2 配置間隔は、前記第 1 配置間隔の 4 倍以下であることを特徴とする請求項 1 9 に記載の不揮発性メモリー素子。

【請求項 2 2】

前記複数のメモリーセルワードラインは複数の第 1 メモリーセルワードラインを含み、前記活性領域を横切る第 2 接地選択ラインと、  
前記活性領域を横切って前記第 2 接地選択ラインから離隔された第 2 ストリング選択ラインと、

前記第 2 接地選択ライン及び前記第 2 ストリング選択ラインの間の前記活性領域を横切る複数の第 2 メモリーセルワードラインとを含み、

前記第 1 接地選択ラインは、前記第 2 接地選択ライン及び前記第 1 メモリーセルワードラインの間にあり、前記第 2 接地選択ラインは、前記第 2 ストリング選択ライン及び前記第 1 接地選択ラインの間にあり、前記活性領域の中の前記第 1 及び第 2 接地選択ラインの間の領域には、前記ワードラインが無く、前記第 1 及び第 2 接地選択ラインの間の第 2 配置間隔は、前記第 1 配置間隔より少なくとも 3 倍大きいことを特徴とする請求項 1 9 に記載の不揮発性メモリー素子。

【請求項 2 3】

前記第 2 配置間隔は、前記第 1 配置間隔の 3 乃至 4 倍の範囲の内で前記第 1 配置間隔より大きいことを特徴とする請求項 2 2 に記載の不揮発性メモリー素子。

【請求項 2 4】

前記第 2 配置間隔は、前記第 1 配置間隔より 3 倍大きいことを特徴とする請求項 2 2 に記載の不揮発性メモリー素子。

【請求項 2 5】

前記第 2 配置間隔は、前記第 1 配置間隔より少なくとも 4 倍大きいことを特徴とする請求項 2 2 に記載の不揮発性メモリー素子。

【請求項 2 6】

各々の前記複数のワードライン及び前記活性領域の間に個別的に介される複数の電荷貯蔵層と、  
前記各々の前記複数のワードライン及び前記電荷貯蔵層の間に個別的に介される複数のバリア絶縁膜とを含むことを特徴とする請求項 1 9 に記載の不揮発性メモリー素子。

10

20

30

40

50

**【請求項 27】**

前記複数のメモリーセルワードラインは、偶数個のメモリーセルワードラインを含むことを特徴とする請求項19に記載の不揮発性メモリー素子。

**【請求項 28】**

基板の上に蝕刻ターゲット層を形成する段階と、  
 前記基板の上に第1ハーハードマスクパターンを形成する段階と、  
 前記第1ハーハードマスクパターンの上に犠牲マスク層を形成する段階と、  
 前記犠牲マスク層の上に第2ハーハードマスクパターンを形成する段階と、  
 前記第1及び第2ハーハードマスクパターンの間の前記蝕刻ターゲット層の一部の領域が露出されるように前記第1及び第2ハーハードマスクパターンの間の前記犠牲マスク層の一部の領域を除去する段階と、

前記第1及び第2ハーハードマスクパターンの間に露出された前記蝕刻ターゲット層の一部の領域を蝕刻する段階とを含み、

前記第1選択ラインパターン及び一番目の奇数番目のワードラインパターンの間、隣り合う奇数番目のワードラインパターンの間及び終わりの奇数番目のワードラインパターン及び前記第2選択ラインパターンの間に同じ配置間隔が提供され、前記第1ハーハードマスクパターンは、第1物質を含み、

前記犠牲マスク層が形成された隣り合う奇数番目のワードラインパターンの側壁の間にギャップがあり、前記犠牲マスク層は、第2物質を含み、前記第1及び第2物質は、相違なる組成をもち、

前記第2ハーハードマスクパターンは、ダミーワードラインパターン及び偶数番目のワードラインパターンを含み、前記ダミーワードラインパターンは、前記第1選択ラインパターン及び前記一番目の奇数番目のワードラインパターンの間にあり、前記偶数番目のワードラインパターンは、隣り合う奇数番目のワードラインパターンの間及び前記終わりの奇数番目のワードラインパターンと前記第2選択ラインパターンの間にあり、前記第2ハーハードマスクパターンは、第3物質を含み、前記第2及び第3物質は、相違なる組成をもつことを特徴とする不揮発性メモリー素子の製造方法。

**【請求項 29】**

前記第1選択ラインパターン及び前記一番目の奇数番目のワードラインパターンの間に提供される前記配置間隔は、前記一番目の奇数番目のワードラインパターンの幅の3倍になることを特徴とする請求項28に記載の不揮発性メモリー素子の製造方法。

**【請求項 30】**

前記第1ハーハードマスクパターンは、シリコン窒化物を含み、前記犠牲マスク層は、ポリシリコンを含み、前記第2ハーハードマスクパターンは、シリコン酸化物を含むことを特徴とする請求項28に記載の不揮発性メモリー素子の製造方法。

**【請求項 31】**

前記奇数番目のワードラインパターンは、同じ幅をもち、隣り合う前記複数の奇数番目のワードラインパターンの間の前記配置間隔は、前記奇数番目のワードラインパターンの幅より大きいことを特徴とする請求項28に記載の不揮発性メモリー素子の製造方法。

**【請求項 32】**

前記蝕刻ターゲット層を形成する段階は、  
 前記基板の上に電荷貯蔵層を形成する段階と、  
 前記電荷貯蔵層の上にバリア絶縁層を形成する段階と、  
 前記バリア絶縁層の上にコントロールゲート層を形成する段階とを含むことを特徴とする請求項28に記載の不揮発性メモリー素子の製造方法。

**【請求項 33】**

基板の上に蝕刻ターゲット層を形成する段階と、  
 前記基板の上に複数の偶数番目のワードラインパターン及びダミーワードラインパターンを含む第1ハーハードマスクパターンを形成する段階と、  
 前記第1ハーハードマスクパターンの上に犠牲マスク層を形成する段階と、

10

20

30

40

50

前記犠牲マスク層の上に第2ハーダマスクパターンを形成する段階と、

前記第1及び第2ハーダマスクパターンの間の前記蝕刻ターゲット層の一部の領域が露出されるように前記第1及び第2ハーダマスクパターンの間の前記犠牲マスク層の一部の領域を除去する段階と、

前記第1及び第2ハーダマスクパターンの間に露出された前記蝕刻ターゲット層の一部の領域を蝕刻する段階とを含み、

前記偶数番目のワードラインパターンは、第1及び第2選択ラインパターンの間にあり、前記ダミーワードラインパターンは、前記第1選択ラインパターン及び一番目の偶数番目のワードラインパターンの間にあり、同じ第1配置間隔が前記ダミーワードラインパターン及び前記一番目の偶数番目のワードラインパターンの間に提供され、隣り合う偶数番目のワードラインパターンの間に提供され、第2配置間隔が前記第1選択ラインパターン及び前記ダミーワードラインパターンの間に提供され、終わりの偶数番目のワードラインパターン及び前記第2選択ラインパターンの間に提供され、前記第2配置間隔は、前記第1配置間隔より小さく、前記第1ハーダマスクパターンは、第1物質を含み、前記犠牲マスク層が形成された隣り合う偶数番目のワードラインパターンの側壁の間と前記ダミーワードラインパターン及び前記一番目の偶数番目のワードラインパターンの間にギャップがあり、前記犠牲マスク層は、第2物質を含み、前記第1及び第2物質は、相違なる組成をもち、

前記第2ハーダマスクパターンは、前記ギャップの内に形成され、前記第2ハーダマスクパターンは、奇数番目のワードラインパターンを含み、前記奇数番目のワードラインパターンは、隣り合う偶数番目のワードラインパターンの間及び前記ダミーワードラインパターンと前記一番目の偶数番目のワードラインパターンの間にあり、前記第2ハーダマスクパターンは、第3物質を含み、前記第2及び第3物質は、相違なる組成をもち、

前記ダミーワードラインパターン及び前記第1選択ラインパターンの間の空間には、前記第2ハーダマスクパターンが無い不揮発性メモリー素子の製造方法。

#### 【請求項34】

前記ダミーワードラインパターンと前記一番目の偶数番目のワードラインパターンの間及び隣り合う偶数番目のワードラインパターンの間に提供される前記第1配置間隔は、前記一番目の偶数番目のワードラインパターンの幅の3倍であることを特徴とする請求項33に記載の不揮発性メモリー素子の製造方法。

#### 【請求項35】

前記第2配置間隔は、前記一番目の偶数番目のワードラインパターンの幅より大きいが、前記一番目の偶数番目のワードラインパターンの幅の2倍以下であることを特徴とする請求項34に記載の不揮発性メモリー素子の製造方法。

#### 【請求項36】

前記第2配置間隔は、前記一番目の偶数番目のワードラインパターンの幅の1.5倍乃至2倍になることを特徴とする請求項33に記載の不揮発性メモリー素子の製造方法。

#### 【請求項37】

前記偶数番目のワードラインパターンは、同じ幅をもち、隣り合う前記複数の偶数番目のワードラインパターンの間の前記配置間隔は、前記偶数番目のワードラインパターンの前記幅より大きいことを特徴とする請求項33に記載の不揮発性メモリー素子の製造方法。

#### 【請求項38】

前記蝕刻ターゲット層を形成する段階は、

前記基板の上に電荷貯蔵層を形成する段階と、

前記電荷貯蔵層の上にバリア絶縁層を形成する段階と、

前記バリア絶縁層の上にコントロールゲート層を形成する段階とを含むことを特徴とする請求項33に記載の不揮発性メモリー素子の製造方法。

#### 【請求項39】

基板の上に蝕刻ターゲット層を形成する段階と、

10

20

30

40

50

第1及び第2選択ラインパターンの間に複数の奇数番目のワードラインパターンを含む第1ハーデマスクパターンを形成する段階と、

前記第1ハーデマスクパターンの上に犠牲マスク層を形成する段階と、

前記犠牲マスク層の上に第2ハーデマスクパターンを形成する段階と、

前記第1及び第2ハーデマスクパターンの間の前記蝕刻ターゲット層の一部の領域が露出されるように前記第1及び第2ハーデマスクパターンの間の前記犠牲マスク層の一部の領域を除去する段階と、

前記第1及び第2ハーデマスクパターンの間に露出された前記蝕刻ターゲット層の一部の領域を蝕刻する段階とを含み、

前記第1ハーデマスクパターンは、第1及び第2選択ラインパターンの間にある複数の奇数番目のワードラインパターンを含み、同一な第1配置間隔が隣り合う奇数番目のワードラインパターンの間及び終わりの奇数番目のワードラインパターンと前記第2選択ラインパターンの間に提供され、第2配置間隔が前記第1選択ラインパターン及び一番目の奇数番目のワードラインパターンの間に提供され、前記第2配置間隔は、前記第1配置間隔より大きく、前記第1ハーデマスクパターンは、第1物質を含み、

前記犠牲マスク層が形成された隣り合う第1ハーデマスクパターンの側壁の間にギャップがあり、前記犠牲マスク層は、第2物質を含み、前記第1及び第2物質は、相違なる組成をもち、

前記第2ハーデマスクパターンは、偶数番目のワードラインパターンを含み、前記偶数番目のワードラインパターンは、隣り合う奇数番目のワードラインパターンの間及び前記終わりの奇数番目のワードラインパターンと前記第2選択ラインパターンの間にあり、前記第1選択ラインパターン及び前記一番目の奇数番目のワードラインパターンの間の空間には、前記第2ハーデマスクパターンが無く、前記第2ハーデマスクパターンは、第3物質を含み、前記第2及び第3物質は、相違なる組成をもつ不揮発性メモリー素子の製造方法。

#### 【請求項40】

前記第1配置間隔は、前記一番目の奇数番目のワードラインパターンの幅の3倍になることを特徴とする請求項39に記載の不揮発性メモリー素子の製造方法。

#### 【請求項41】

前記蝕刻ターゲット層を形成する段階は、

前記基板の上に電荷貯蔵層を形成する段階と、

前記電荷貯蔵層の上にバリア絶縁層を形成する段階と、

前記バリア絶縁層の上にコントロールゲート層を形成する段階とを含むことを特徴とする請求項39に記載の不揮発性メモリー素子の製造方法。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明は、電子技術に係り、更に詳しくは、電子メモリー素子及びその製造方法に関する。

##### 【背景技術】

##### 【0002】

フラッシュメモリー素子のような不揮発性メモリー素子は、NOR型又は、NAND型の構造である。例えば、NOR型のフラッシュメモリー素子は、比較的速くアクセス可能であるが、NAND型のフラッシュメモリー素子は、低い費用及び/又は、高い集積度がある。従って、NOR型のフラッシュメモリー素子は、コードメモリーストレージ用で使われる一方で、NAND型のフラッシュメモリー素子は、大容量のメモリーストレージ用で使われる。

##### 【0003】

例えば、特許文献1には、“Nonvolatile Semiconductor Memory Device Having Configuration Of NA

10

20

30

40

50

N D S t r i n g s W i t h D u m m y M e m o r y C e l l s A d j a c e n t T o S e l e c t T r a n s i s t o r s ” という題目で N A N D 型の不揮発性半導体メモリー素子の技術が説明されている。更に詳しくは、この米国特許の発明者 Hasama 等は、直列に連結されて電気的に再書き込みができる複数の不揮発性メモリーセルを持つ不揮発性半導体メモリー素子を開発した。選択ゲートトランジスターは、メモリーセルの連続的な結合部と直列に連結され、前記選択ゲートトランジスターに隣り合って位置したメモリーセルは、データ貯蔵のためには使われないダミーセルである。データ消去動作の間に他のメモリーセルに印加される同じバイアス電圧が前記ダミーセルにも印加される。

## 【0004】

10

従来の不揮発性メモリー素子以上に集積されたメモリー素子の構造及びその製造方法に対する要求が高まっている。

## 【特許文献1】米国特許第7079437号明細書

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

本発明の目的は、特性が改善された不揮発性メモリー素子を提供することである。

## 【課題を解決するための手段】

## 【0006】

本発明のいくつかの実施形態によると、不揮発性メモリー素子は、活性領域を含む半導体基板及び活性領域上の第1及び第2メモリーセルストリングを含む。第1メモリーセルストリングは、第1接地選択ライン及び第1ストリング選択ラインの間の活性領域を横切る複数の第1ワードラインを含み、複数の第1ワードラインの中の隣り合うラインの間に第1配置間隔が提供される。第2メモリーセルストリングは、第2接地選択ライン及び第2ストリング選択ラインの間の活性領域を横切る複数の第2ワードラインを含み、同一な第1配置間隔が複数の第2ワードラインの中の隣り合うラインの間に提供される。第1接地選択ラインは、第2接地選択ライン及び複数の第1ワードラインの間にあり、第2接地選択ラインは、第1接地選択ライン及び複数の第2ワードラインの間にある。第1及び第2接地選択ラインの間の活性領域の一部の領域には、ワードラインが形成されなく、第1及び第2接地選択ラインの間の第2配置間隔は、第1配置間隔より少なくとも約3倍が大きい。

20

## 【0007】

30

第2配置間隔は、第1配置間隔の3乃至4倍の範囲の内で第1配置間隔より大きい。第2配置間隔は、第1配置間隔より3倍以上大きく、第2配置間隔は、第1配置間隔より少なくとも約4倍大きい。

## 【0008】

40

複数の第1ワードラインは、偶数番目のメモリーセルワードライン及び偶数番目のメモリーセルワードラインの中の一番目及び第1接地選択ラインの間にあるダミーワードラインを含む。接地選択ライン及びダミーワードラインの間に第1配置間隔が提供され、ダミーワードライン及び偶数番目のメモリーセルワードラインの中の一番目の間に同一な第1配置間隔が提供される。偶数番目のメモリーセルワードラインの中の終わり及びストリング選択ラインの間に同じ第1配置間隔が提供される。

## 【0009】

複数の第1ワードラインは、偶数番目のメモリーセルワードライン及び偶数番目のメモリーセルワードラインの中の一番目及び第1接地選択ラインの間にあるダミーワードラインを含む。ダミーワードライン及び偶数番目のメモリーセルワードラインの中の一番目の間に第1配置間隔が提供され、接地選択ライン及びダミーワードラインの間に第3配置間隔が提供される。第3配置間隔は、第1配置間隔より大きいがその2倍以下であり、第3配置間隔は、第1配置間隔の約1.5乃至2倍である。

## 【0010】

50

複数の第1ワードラインは、偶数番目のメモリーセルワードラインを含み、接地選択ライン及び偶数番目のメモリーセルワードラインの中の一一番目の間に第1配置間隔の少なくとも3倍の間隔が提供される。偶数番目のメモリーセルワードラインの中の終わり及びストリング選択ラインの間に第1配置間隔が提供され、接地選択ライン及び偶数番目のメモリーセルワードラインの中の終わりの間の活性領域の中の一部の領域には、ワードラインが形成されない。

#### 【0011】

第1及び第2メモリーセルストリングの各々のメモリーセルは、ワードライン及び活性領域の間の電荷貯蔵層、電荷貯蔵層及びワードラインの間のバリア絶縁層を含む。第1メモリーセルストリングの配列は、第2メモリーセルストリングの配列に対して鏡像対称になる。10

#### 【0012】

本発明の他の実施の形態によると、不揮発性メモリー素子は、活性領域を含む半導体基板、活性領域を横切る接地選択ライン及び活性領域を横切って接地選択ラインと離隔されたストリング選択ラインを含む。複数のメモリーセルワードラインが接地選択ライン及びストリング選択ラインの間の活性領域を横切って、同じ第1配置間隔が複数のワードラインの中の隣り合うワードラインの間に提供される。複数のメモリーセルワードラインの中の終わり及びストリング選択ラインの間に第2配置間隔が提供され、第2配置間隔は、第1配置間隔より大きいがその2倍以下である。ダミーワードラインが複数のメモリーセルワードラインの中の一一番目及び第1接地選択ラインの間にあり、複数のメモリーセルワードラインの中の一一番目とダミーワードラインの間に第1配置間隔が提供される。接地選択ライン及びダミーワードラインの間に第3配置間隔が提供され、第3配置間隔は、第1配置間隔より2倍以下に大きい。第3配置間隔は、第1配置間隔の約1.5乃至2倍である。20

#### 【0013】

複数のメモリーセルワードラインは、複数の第1メモリーセルワードラインであり、非活性メモリー素子は、活性領域を横切る第2接地選択ライン、活性領域を横切る第2ストリング選択ライン及び複数の第2メモリーセルワードラインを更に含む。第1接地選択ラインは、第2接地選択ライン及び複数の第1メモリーセルワードラインの間にあり、第2ストリング選択ラインは、第2接地選択ラインから離隔され、第2接地選択ラインは、第2ストリング選択ライン及び第1接地選択ラインの間にある。30

#### 【0014】

複数の第2メモリーセルワードラインは、第2接地選択ライン及び第2ストリング選択ラインの間にある。第1及び第2接地選択ラインの間の活性領域の中の一部の領域には、ワードラインが形成されなく、第1及び第2接地選択ラインの間の第2配置間隔は、第1配置間隔より少なくとも約3倍大きい。

#### 【0015】

第2配置間隔は、第1配置間隔の約3乃至4倍の範囲の内で第1配置間隔より大きい。第2配置間隔は、第1配置間隔より3倍以上大きく、第2配置間隔は、第1配置間隔より少なくとも4倍大きい。40

#### 【0016】

複数の電荷貯蔵層が個別的に各々の複数のワードライン及び活性領域の間に介され、複数のバリア絶縁膜が個別的に各々の複数のワードライン及び電荷貯蔵層の間に介される。複数のメモリーセルワードラインは、偶数個のメモリーセルワードラインを含む。

#### 【0017】

本発明の他の実施の形態によると、不揮発性メモリー素子は、活性領域を含む半導体基板、活性領域を横切る接地選択ライン、活性領域を横切るストリング選択ライン及び活性領域を横切る複数のメモリーセルワードラインを含む。ストリング選択ラインは、接地選択ラインから離隔され、複数のメモリーセルワードラインは、接地選択ライン及びストリング選択ラインの間の活性領域を横切る。隣り合う複数のメモリーセルワードラインの間50

及び複数のメモリーセルワードラインの中の終わり及びストリング選択ライン間に同一な第1配置間隔が提供される。

【0018】

接地選択ライン及び複数のメモリーセルワードラインの中の一番目の間に第2配置間隔が提供され、第2配置間隔は、第1配置間隔より少なくとも3倍大きい。接地選択ライン及び複数のメモリーセルワードラインの間の活性領域の中の一部の領域の上には、ワードラインが形成されない。第2配置間隔は、第1配置間隔より約3倍大きい。又は、第2配置間隔は、第1配置間隔の4倍以下である。

【0019】

複数のメモリーセルワードラインは、複数の第1メモリーセルワードラインであり、不揮発性メモリー素子は、活性領域を横切る第2接地選択ライン、活性領域を横切る第2ストリング選択ライン及び活性領域を横切る複数の第2メモリーセルワードラインを含む。第1接地選択ラインは、第2接地選択ライン及び複数の第1メモリーセルワードラインの間にあり、第2ストリング選択ラインは、第1接地選択ライン及び第2ストリング選択ラインの間の第2接地選択ラインから離隔される。複数の第2メモリーセルワードラインは、第2接地選択ライン及び第2ストリング選択ラインの間にある。第1及び第2接地選択ラインの間の活性領域の一部の領域には、ワードラインが形成されなく、第1及び第2接地選択ラインの間の第2配置間隔は、第1配置間隔より少なくとも約3倍大きい。第2配置間隔は、第1配置間隔より約3倍又は、4倍以上大きい。

【0020】

各々の複数のワードライン及び活性領域の間に個別的に介される複数の電荷貯蔵層が提供され、各々の複数のワードライン及び電荷貯蔵層の間に個別的に介される複数のバリア絶縁膜が提供される。複数のメモリーセルワードラインは、偶数番目のメモリーセルワードラインを含む。

【0021】

本発明の他の実施の形態によると、不揮発性メモリー素子の形成方法は、基板の上に蝕刻ターゲット層を形成する段階を含む。第1ハードマスクパターンは、第1及び第2選択ラインパターンの間に複数の奇数番目のワードラインパターンを含み、第1選択ラインパターン及び一番目の奇数番目のワードラインパターンの間、隣り合う奇数番目のワードラインパターンの間及び終わりの奇数番目のワードラインパターン及び第2選択ラインパターンの間に同一な配置間隔が提供される。第1ハードマスクパターンは、第1物質を含む。犠牲マスク層が第1ハードマスクパターンの上に形成され、犠牲マスク層が形成された隣り合う奇数番目のワードラインパターンの側壁の間にギャップが形成される。犠牲マスク層は、第2物質を含み、第1及び第2物質は、相違なる組成をもつ。第2ハードマスクパターンが犠牲マスク層の上に形成され、第2ハードマスクパターンは、第1選択ラインパターン及び一番目の奇数番目のワードラインパターンの間にあるダミーワードラインパターンを含む。又、第2ハードマスクパターンは、隣り合う奇数番目のワードラインパターンの間及び終わりの番奇数番目のワードラインパターンと第2選択ラインパターンの間にある偶数番目のワードラインパターンを含む。第2ハードマスクパターンは、第3物質を含み、第2及び第3物質は、相違なる組成をもつ。第1及び第2ハードマスクパターンの間の犠牲マスク層の一部の領域は、除去され蝕刻ターゲット層の一部の領域が第1及び第2ハードマスクパターンの間に露出され、第1及び第2ハードマスクパターンの間に露出された蝕刻ターゲット層の一部の領域が蝕刻される。

【0022】

第1選択ラインパターン及び一番目の奇数番目のワードラインパターンの間に提供される配置間隔は、一番目の奇数番目のワードラインパターンの幅の約3倍である。第1ハードマスクパターンは、シリコン窒化物を含み、犠牲マスク層は、ポリシリコンを含み、第2ハードマスクパターンは、シリコン酸化物を含む。奇数番目のワードラインパターンは、同じ幅をもち、隣り合う複数の奇数番目のワードラインパターンの間の配置間隔は、奇数番目のワードラインパターンの幅より大きい。蝕刻ターゲット層を形成する段階は、基

10

20

30

40

50

板の上に電荷貯蔵層を形成する段階と、電荷貯蔵層の上にバリア絶縁層を形成する段階及びバリア絶縁層の上にコントロールゲート層を形成する段階を含む。

【0023】

本発明の他の実施の形態によると、不揮発性メモリー素子の形成方法は、基板の上に蝕刻ターゲット層を形成する段階を含む。第1ハードマスクパターンが基板の上に形成され、第1ハードマスクパターンは、第1及び第2選択ラインパターンの間に複数の偶数番目のワードラインパターン及び第1選択ラインパターン及び一番目の偶数番目のワードラインパターンの間にあるダミーワードラインパターンを含む。同一な第1配置間隔がダミーワードラインパターン及び一番目の偶数番目のワードラインパターンの間及び隣り合う偶数番目のワードラインパターンの間に提供され、第2配置間隔が第1選択ラインパターン及びダミーワードラインパターンの間、終わりの偶数番目のワードラインパターン及び第2選択ラインパターンの間に形成される。

10

【0024】

第2配置間隔は、第1配置間隔より小さく、第1ハードマスクパターンは、第1物質を含む。犠牲マスク層が第1ハードマスクパターンの上に、犠牲マスク層が形成された隣り合う偶数番目のワードラインパターンの側壁の間及びダミーワードラインパターンと一番目の偶数番目のワードラインパターンの間にギャップが形成される。犠牲マスク層は、第2物質を含み、第1及び第2物質は、相違なる組成をもつ。第2ハードマスクパターンがギャップの内に犠牲マスク層の上に形成され、第2ハードマスクパターンは、隣り合う偶数番目のワードラインパターンの間及びダミーワードラインパターンと一番目の偶数番目のワードラインパターンの間に奇数番目のワードラインパターンを含む。第2ハードマスクパターンは、第3物質を含み、第2及び第3物質は、相違なる組成を持つ。第1及び第2ハードマスクパターンの間の犠牲マスク層の一部の領域が除去されて第1及び第2ハードマスクパターンの間の蝕刻ターゲット層の一部の領域が露出され、ダミーワードラインパターン及び第1選択ラインパターンの間の空間には、第2ハードマスクパターンが形成されない。第1及び第2ハードマスクパターンの間に露出された蝕刻ターゲット層の一部の領域が蝕刻される。

20

【0025】

ダミーワードラインパターンと一番目の偶数番目のワードラインパターンの間及び隣り合う偶数番目のワードラインパターンの間に提供される第1配置間隔は、一番目の偶数番目のワードラインパターンの幅の約3倍である。第2配置間隔は、一番目の偶数番目のワードラインパターンの幅より大きいが一番目の偶数番目のワードラインパターンの幅の2倍以下である。第2配置間隔は、一番目の偶数番目のワードラインパターンの幅の約1.5倍乃至約2倍になる。

30

【0026】

偶数番目のワードラインパターンは、同一な幅をもち、隣り合う複数の偶数番目のワードラインパターンの間の配置間隔は、偶数番目のワードラインパターンの幅より大きい。蝕刻ターゲット層を形成する段階は、基板の上に電荷貯蔵層を形成する段階と、電荷貯蔵層の上にバリア絶縁層を形成する段階及びバリア絶縁層の上にコントロールゲート層を形成する段階を含む。

40

【0027】

不揮発性メモリー素子の形成方法は、基板の上に蝕刻ターゲット層を形成する段階及び基板の上に第1ハードマスクパターンを形成する段階を含む。第1ハードマスクパターンは、第1及び第2選択ラインパターンの間に複数の奇数番目のワードラインパターンを含み、同一な第1配置間隔が隣り合う奇数番目のワードラインパターンの間及び終わりの奇数番目のワードラインパターンと第2選択ラインパターンの間に提供される。第2配置間隔が第1選択ラインパターン及び一番目の奇数番目のワードラインパターンの間に提供され、第2配置間隔は、第1配置間隔より大きく、第1ハードマスクパターンは、第1物質を含む。犠牲マスク層が第1ハードマスクパターンの上に形成され、犠牲マスク層が形成された隣り合う第1ハードマスクパターンの側壁の間にギャップが形成され、犠牲マ

50

スク層は、第2物質を含み、第1及び第2物質は、相違なる組成を持つ。犠牲マスク層の上に第2ハードマスクパターンが形成され、第2ハードマスクパターンは、隣り合う奇数番目のワードラインパターンの間及び終わりの奇数番目のワードラインパターンと第2選択ラインパターンの間にある偶数番目のワードラインパターンを含む。第1選択ラインパターン及び一番目の奇数番目のワードラインパターンの間の空間には、第2ハードマスクパターンが形成されなく、第2ハードマスクパターンは、第3物質を含み、第2及び第3物質は、相違なる組成を持つ。第1及び第2ハードマスクパターンの間の犠牲マスク層の一部の領域が除去されて第1及び第2ハードマスクパターンの間の蝕刻ターゲット層の一部の領域が露出される。その後、第1及び第2ハードマスクパターンの間に露出された蝕刻ターゲット層の一部の領域が蝕刻される。

10

## 【0028】

同じ第1配置間隔は、一番目の奇数番目のワードラインパターンの幅の約3倍になる。蝕刻ターゲット層を形成する段階は、基板の上に電荷貯蔵層を形成する段階と、電荷貯蔵層の上にバリア絶縁層を形成する段階及びバリア絶縁層の上にコントロールゲート層を形成する段階を含む。

## 【発明の効果】

## 【0029】

本発明の実施の形態によると、メモリー素子及び該製造に於いて一回の蝕刻を伴う一回のフォトリソグラフィーの露出を利用して形成できるパターンの大きさより小さいパターンの構造を提供することができるのでメモリー素子の微細なライン及びスペースのパターンを更に集積できる効果を得る。

20

## 【発明を実施するための最良の形態】

## 【0030】

本発明の実施形態は、添付図面を参照して更に詳しく説明する。しかし、本発明は、他の実施形態で具体化することもできるので、ここで説明する実施形態に限定されるものではない。当業者は、本発明の実施形態によって発明の目的、効果、技術の範囲が直ぐ理解できるものである。図示された各層及び領域の大きさ等は、説明の便利のために誇張されている。記載された同じ番号の符号は、同じ要素を表す。

## 【0031】

要素又は層が“上に”、“連結される”又は“結合される”と記載されている場合、他の要素又は層が介されていたり、又は直接当たって連結されたり結合されたりもする。

30

## 【0032】

一つの要素が他の要素に“直接上に”、“直接連結される”又は“直接結合される”と記載されてあれば、その間に介される要素又は層がない。又、用語“及び／又は”は、羅列された要素の一つ又は、二つ以上の結合の一部及び全部を含む。

## 【0033】

第1、第2、第3などの用語は、多様な要素、コンポーネント、領域及び／又は、セクションを説明するために用いられるが、該要素、コンポーネント、領域及び／又は、セクションは、こうした用語に制限されない。本発明で使われた用語は、特定の実施形態だけを説明するためのもので、本発明を限定するために使われるものではない。文脈で明確にしない限り、単数形で用いられる用語は、複数の場合も含む。

40

## 【0034】

断面図は、本発明の理想的な実施形態を概略的に表す。従って、製造技術によって図示される形態の差が予想される。本発明の実施形態は、図示された特定の形態に制限されない。又、用語が特別に定義されていない場合には、使われた全ての用語は、当業者が一般的に理解している用語と同じ意味をもつ。又、用語が特別に定義されていない場合には、該用語は、一般的に使われる辞典の用語の意味であると解釈される。

## 【0035】

図1A及び図1Bから分かるように、フラッシュメモリー素子は、半導体基板に素子の

50

分離膜によって分離された複数の平行な活性領域 A C T を含む。接地選択ライン G S L 、ストリング選択ライン S S L 及びワードライン W L は、前記活性領域 A C T を横切る。更に詳しくは、ワードライン W L 及び活性領域 A C T の各交差部に各々のメモリーセルを提供するように各々のワードライン W L 及び各々の活性領域 A C T の間に各々の電荷貯蔵ゲートが提供される。又、接地選択ライン G S L 及びストリング選択ライン S S L の間の活性領域 A C T による複数のメモリーセルは、メモリーセルストリングで定義される。図 1 A 及び図 1 B で分かるように、隣り合うメモリーセルストリングは、2 個の接地選択ライン G S L 又は、2 個のストリング選択ライン S S L によって分離される。

#### 【 0 0 3 6 】

図 1 C 及び図 1 D によれば、接地選択ライン G S L 及び半導体基板 S U B の活性領域 A C T の間にゲート絶縁膜 G I L が提供される。ワードライン W L 1 及び前記半導体基板 S U B の前記活性領域 A C T の間に電荷貯蔵ゲート C S G が提供され、前記電子貯蔵ゲート C S G 及び前記活性領域 A C T の間にトンネル絶縁膜 T I L が提供され、前記電子貯蔵ゲート C S G 及び前記ワードライン W L 1 の間にバリア絶縁膜 B I L が提供される。

10

#### 【 0 0 3 7 】

プログラム動作（図 1 C に表すメモリーセル以外のメモリーセルに対して）の間に、0 V が前記接地選択ライン G S L に印加されバス電圧 V p a s s が図 1 C のように非選択ワードライン W L 1 に印加される。プログラム電圧 V p g m がプログラムされるメモリーセルに対応する選択されたワードライン（図示せず）に印加される。従って、前記接地選択トランジスター（接地選択ライン G S L 及び前記ゲート絶縁膜 G I L によって決められる）のゲート電圧は、0 V であり、前記接地選択トランジスターのドレーン電圧は、約 10 V である。これは、G I D L ( G a t e I n d u c e d D r a i n L e a k a g e ) を招く。

20

#### 【 0 0 3 8 】

消去動作の間に、前記接地選択ライン G S L は、フローティングされ、約 20 V の消去電圧 V e r s が前記半導体基板 S U B の p - ウェルに印加される。そして、図 1 D のように、0 V が前記ワードライン W L 1 に印加される。従って、前記 p - ウェルに印加された 20 V の前記消去電圧 V e r s は、前記接地選択ライン G S L のポテンシャルを上げて、前記接地選択ライン G S L 及び前記電子貯蔵ゲート C S G の間のキャパシタンスカップリング C p によって前記電子貯蔵ゲート C S G （接地選択ライン G S L に隣り合うもの）のポテンシャルが増加される。従って、意図していない消去障害（errace discharge）が前記電子貯蔵ゲート C S G 及び / 又は、前記ワードライン W L 1 から発生する。

30

#### 【 0 0 3 9 】

図 2 A は、本発明のいくつかの実施形態における不揮発性メモリー素子 20（例えば、フラッシュメモリー素子）の平面図であり、図 2 B は、図 2 A の I I - I I ' 線による断面図である。前記不揮発性メモリー素子 20 は、半導体基板 S U B の中に、素子分離膜によって分離された平行な複数の活性領域 A C T を含む。接地選択ライン G S L<sub>0 - 2</sub> 、ストリング選択ライン S S L<sub>0 - 2</sub> 、ダミーワードライン W L<sub>d</sub> 及びメモリーセルワードライン W L<sub>1 - 2n</sub> (n は、正数) は、前記活性領域 A C T を横切る。更に、詳しくは、各々のメモリーセルワードライン W L<sub>1 - 2n</sub> 及び前記活性領域 A C T の各交差部に各々のメモリーセルを提供するように各々のメモリーセルワードライン W L<sub>1 - 2n</sub> 及び各活性領域 A C T の間に各々の電荷貯蔵ゲートが提供される。同様に、各々のダミーワードライン W L<sub>d</sub> 及び各活性領域 A C T の間に電荷貯蔵ゲートが提供され、その結果、前記ダミーワードライン W L<sub>d</sub> の構造及び前記メモリーセルワードライン W L<sub>1 - 2n</sub> の構造が同じになる。

40

#### 【 0 0 4 0 】

接地選択ライン G S L 及びストリング選択ライン S S L（例えば、G S L<sub>1</sub> 及び S S L<sub>1</sub>）の間に、一つの活性領域 A C T に沿った偶数番目のメモリーセルワードラインは、偶数番目のメモリーセルを含むメモリーセルストリングで定義される。図 2 A 及び図 2 B の

50

ように、隣り合うメモリーセルストリングは、2個の接地選択ラインGSL（例えば、GSL<sub>0</sub>及びGSL<sub>1</sub>）によって又は、2個のストリング選択ラインSSL（例えば、SSL<sub>1</sub>及びSSL<sub>2</sub>）によって分離される。詳しくは、2<sup>k</sup>（kは、正数）個のメモリーセルワードラインWL<sub>1-2n</sub>は、データを貯蔵するために使われる2<sup>k</sup>個のメモリーセルを含むメモリーセルストリングを定義する。しかし、前記ダミーワードラインWL<sub>d</sub>は、データを貯蔵するためには使われない。

#### 【0041】

隣り合うメモリーセルストリングのメモリーセルワードラインWL<sub>1-2n</sub>及びダミーワードラインWL<sub>d</sub>の配列は、鏡像対称(mirror image symmetry)になる。例えば、接地選択ラインGSL<sub>0</sub>及びストリング選択ラインSSL<sub>0</sub>の間にあるメモリーセルワードラインWL<sub>1-2n</sub>及びダミーワードラインWL<sub>d</sub>の配列は、接地選択ラインGSL<sub>1</sub>及びストリング選択ラインSSL<sub>1</sub>の間にあるメモリーセルワードラインWL<sub>1-2n</sub>及びダミーワードラインWL<sub>d</sub>の配列に対して鏡像対称になる。同様に、接地選択ラインGSL<sub>1</sub>及びストリング選択ラインSSL<sub>1</sub>の間にあるメモリーセルワードラインWL<sub>1-2n</sub>及びダミーワードラインWL<sub>d</sub>の配列は、接地選択ラインGSL<sub>2</sub>及びストリング選択ラインSSL<sub>2</sub>の間にあるメモリーセルワードラインWL<sub>1-2n</sub>及びダミーワードラインWL<sub>d</sub>の配列に対して鏡像対称になる。10

#### 【0042】

メモリーセルストリングと交差する一番目のメモリーセルワードラインWL<sub>1</sub>及び接地選択ラインGSLの間にダミーワードラインWL<sub>d</sub>を形成することによって、前記一番目のメモリーセルワードラインWL<sub>1</sub>から接地誘導漏洩電流及び/又は、消去障害が減少する。又、前記不揮発性メモリー素子のコントローラーが前記接地選択ライン、前記ストリング選択ライン、前記メモリーセルワードライン及び前記ダミーワードラインに結合される。例えば、消去動作の間に前記接地選択ラインGSL<sub>1</sub>をフローティングさせ、前記半導体基板SUBのp-ウェルに約20Vの消去電圧V<sub>ers</sub>が印加されるようにし、前記メモリーセルワードラインWL<sub>1-2n</sub>に0Vが印加されるように前記コントローラーは、設定される。前記一番目のメモリーセルワードラインWL<sub>1-2n</sub>及び/又は、各々の電荷貯蔵層から消去障害が減少されるように前記コントローラーは、供給電圧V<sub>cc</sub>及びバス電圧V<sub>pass</sub>の間のバイアス電圧V<sub>b</sub>（例えば、V<sub>cc</sub> < V<sub>b</sub> < V<sub>pass</sub>）を前記ダミーワードラインWL<sub>d</sub>に印加する。20

#### 【0043】

書き込み（又は、プログラム）動作の間に前記接地選択ラインGSL<sub>1</sub>に供給電圧V<sub>c</sub>を印加し、前記半導体基板SUBのp-ウェルに0Vを印加し、前記非選択ワードラインにバス電圧V<sub>pass</sub>を印加し、前記選択されたワードラインにプログラム電圧V<sub>pgm</sub>を印加するように前記コントローラーは、設定される。前記ダミーワードラインに隣り合う前記接地選択ラインから接地誘導漏洩電流が減少されるように前記コントローラーは、供給電圧V<sub>cc</sub>及びバス電圧V<sub>pass</sub>の間のバイアス電圧V<sub>b</sub>（例えば、V<sub>cc</sub> < V<sub>b</sub> < V<sub>pass</sub>）を前記ダミーワードラインWL<sub>d</sub>に印加するように設定される。30

#### 【0044】

図2A及び図2Bのように前記ダミーワードラインWL<sub>d</sub>及び前記メモリーセルワードラインWL<sub>1</sub>乃至WL<sub>2n</sub>の各々は、同じ幅F<sub>1</sub>を持つ。ゲート選択ラインGSL及び隣り合うダミーワードラインWL<sub>d</sub>は、第1配置間隔W<sub>1</sub>だけ離隔され、ダミーワードラインWL<sub>d</sub>及び隣り合う一番目のメモリーセルワードラインWL<sub>1</sub>は、前記第1配置間隔W<sub>1</sub>だけ離隔され、隣り合うメモリーセルワードラインWL<sub>x</sub>、WL<sub>x+1</sub>は、前記第1配置間隔W<sub>1</sub>だけ離隔され、終わりのワードラインWL<sub>2n</sub>及び隣り合うストリング選択ラインSSLは、前記第1配置間隔だけ離隔される。前記幅F<sub>1</sub>及び前記第1配置間隔W<sub>1</sub>は、同じであり、前記幅F<sub>1</sub>及び前記第1配置間隔W<sub>1</sub>は、隣り合う偶数番目のメモリーセルワードラインWL<sub>even</sub>、WL<sub>even+2</sub>（例えば、偶数番目のメモリーセルワードラインは、但し一つの奇数番目のメモリーセルワードラインによって分離される）又は、隣り合う奇数番目のメモリーセルワードラインWL<sub>odd</sub>、WL<sub>odd+2</sub>（例えば40

10

20

30

40

50

、奇数番目のメモリーセルワードラインは、但しこの偶数番目のメモリーセルワードラインによって分離される)によって定義されたピッチ  $P_1$  の約  $1/4$  である。隣り合う接地選択ライン  $GSL_0$  及び  $GSL_1$  は、第2配置間隔  $W_2$  によって分離されて隣り合うストリング選択ライン  $SSL_0$  及び  $SSL_1$  は、同一な第2配置間隔  $W_2$  によって分離される。前記第2配置間隔  $W_2$  は、前記第1配置間隔  $W_1$  より少なくとも約3倍大きい。

#### 【0045】

各メモリーセルワードライン  $WL_1$  乃至  $WL_{2n}$  は、接地選択ライン(例えば、 $GSL_1$ )及びストリング選択ライン(例えば、 $SSL_1$ )の間の同一な活性領域ACTの上のメモリーセルストリングの不揮発性メモリーセル(例えば、フラッシュメモリーセル)のための各々のコントロール電極を提供する。各不揮発性メモリーセルは、前記各々のメモリーセルワードライン及び活性領域の間の電荷貯蔵層、前記活性領域及び前記電荷貯蔵層の間のトンネル絶縁層及び前記メモリーセルワードライン及び前記電荷貯蔵層の間のバリア絶縁層を含む。

10

#### 【0046】

各ダミーワードライン  $WL_d$  は、既に説明された前記メモリーセルワードライン(トンネル絶縁膜、電荷貯蔵層及び各ダミーワードライン及び各活性領域の間のバリア絶縁層を持つ)と同じ構造を持つ。しかし、前記ダミーセルワードライン及び結合されたトンネル絶縁膜、電荷貯蔵層及びバリア絶縁層は、データの貯蔵のために使用されず、代わりにプログラムの動作の間に隣り合う接地選択ラインから接地誘導漏洩電流(ground induced leakage current)を減少させたり消去の動作の間に隣り合うメモリーセルから消去バイアスを減少させる。

20

#### 【0047】

接地選択ライン  $GSL$ 、ダミーワードライン  $WL_d$ 、メモリーセルワードライン  $WL_1$  乃至  $WL_{2n}$  及びストリング選択ライン  $SSL$  のパターンは、後に詳しく説明する自己整列ダブルパターニングの技術を利用して形成される。例えば、前記接地選択ライン  $GSL$ 、前記ストリング選択ライン  $SSL$  及び前記奇数番目のメモリーセルワードライン  $WL_1$ 、 $WL_3$ 、 $WL_5 \dots WL_{2n-1}$  は、フォトリソグラフィーマスクパターンによって形成され、前記ダミーワードライン  $WL_d$  及び前記偶数番目のメモリーセルワードライン  $WL_2$ 、 $WL_4$ 、 $WL_6 \dots WL_{2n}$  は、自己整列ダブルパターニングを利用して形成される。

30

#### 【0048】

図2A乃至図2Bに図示された本発明の実施形態によれば、前記活性領域ACTの上の第1メモリーセルストリングは、前記第1接地選択ライン  $GSL_1$  及び前記第1ストリング選択ライン  $SSL_1$  の間の前記活性領域ACTを横切る複数の第1メモリーセルワードライン  $WL_1$  乃至  $WL_{2n}$  を含み、同じ第1配置間隔  $W_1$  が互いに隣り合う前記複数の第1ワードラインの間に提供される。前記活性領域ACTの上の第2メモリーセルストリングは、第2接地選択ライン  $GSL_0$  及び前記第2ストリング選択ライン  $SSL_0$  の間の前記活性領域ACTを横切る複数の第2メモリーセルワードライン  $WL_1$  乃至  $WL_{2n}$  を含み、前記同じ第1配置間隔  $W_1$  が互いに隣り合う前記複数の第2ワードラインの間に提供される。更に詳しくは、前記第1接地選択ライン  $GSL_1$  は、前記第2接地選択ライン  $GSL_0$  及び前記複数の第1ワードラインの間にあり、前記第2接地選択ライン  $GSL_0$  は、前記第1接地選択ライン  $GSL_1$  及び前記複数の第2ワードラインの間にある。前記第1及び第2接地選択ライン  $GSL_1$ 、 $GSL_0$  の間の前記活性領域ACTの一部には、ワードラインが形成されなく、前記第1及び第2接地選択ライン  $GSL_1$ 、 $GSL_0$  の間の前記第2配置間隔  $W_2$  は、前記第1配置間隔  $W_1$  より少なくとも約3倍大きい。例えば、前記第2配置間隔  $W_2$  は、前記第1配置間隔  $W_1$  より約3乃至4倍大きい。

40

#### 【0049】

前記ダミーワードライン  $WL_d$  は、前記一番目のメモリーセルワードライン  $WL_1$  及び前記第1接地選択ライン  $GSL_1$  の間に提供され、前記同一な第1配置間隔  $W_1$  が前記第1接地選択ライン  $GSL_1$  及び前記ダミーワードライン  $WL_d$  の間に提供される。又、前記同一な第1配置間隔  $W_1$  は、前記ダミーワードライン  $WL_d$  及び前記一番目のメモリ-

50

セルワードラインWL<sub>1</sub>の間に提供され、前記終わりのメモリーセルワードラインWL<sub>2n-1</sub>及び前記ストリング選択ラインSSL<sub>1</sub>の間にも提供される。

#### 【0050】

図5A乃至図5Dは、本発明の他の実施形態による自己整列ダブルパターニングを利用して図2A及び図2Bの前記不揮発性メモリー構造物を形成するための工程を表す断面図である。図5Aのように基板50は、前記基板50の上に蝕刻ターゲット層52を含み、蝕刻ターゲット層52は、図2A及び図2Bのメモリーセル、ワードライン、選択トランジスター及び選択ラインを形成するために使われる物質の層を含む。

#### 【0051】

更に詳しくは、前記ターゲット層は、トンネル絶縁層（例えば、シリコン酸化膜）、電荷貯蔵層（例えば、ポリシリコン又は、シリコン窒化膜）、バリア絶縁層（例えば、シリコン酸化膜又は、前記電荷貯蔵層と違う絶縁膜）及び導電層（例えば、ポリシリコン及び／又は、金属膜）を含む。前記電荷貯蔵層は、前記導電層及び前記基板の間にあり、前記トンネル絶縁層は、前記電荷貯蔵層及び前記基板を電気的に分離し、前記バリア絶縁層は、前記電荷貯蔵層及び導電層を電気的に分離する。第1ハーダマスク層55が前記蝕刻ターゲット層52の上に形成され、前記第1ハーダマスク層55は、パット酸化膜54の上にシリコン窒化膜56を含む。

#### 【0052】

奇数番目のワードラインのフォトレジストパターン58w、接地選択ラインのフォトレジストパターン58g及びストリング選択ラインのフォトレジストパターン58sを含むフォトレジストパターン58が形成されるようにフォトマスク100を利用して前記第1ハーダマスク層55の上のフォトレジスト膜がパターニングされる。前記フォトマスク100は、透明な基板102の上のフォトマスクパターン104を含む。前記フォトマスクパターン104は、奇数番目のワードラインのフォトレジストパターン58wに対応する奇数番目のワードラインのフォトマスクパターン104w、接地選択ラインのフォトレジストパターン58gに対応する接地選択ラインのフォトマスクパターン104g及びストリング選択ラインのフォトレジストパターン58sに対応するストリング選択ラインのフォトマスクパターン104sを含む。

#### 【0053】

図5Aのように隣り合う奇数番目のワードラインのフォトマスクパターン104wは、幅／配置間隔W<sub>11</sub>だけ離隔され、隣り合う奇数番目のワードラインのフォトレジストパターン58wは、前記幅／配置間隔だけ離隔される。前記奇数番目のワードラインのフォトマスクパターン104wの一番目のものは、前記幅／配置間隔W<sub>11</sub>だけ隣り合う接地選択ラインのフォトマスクパターン104gと離隔され、前記奇数番目のワードラインのフォトマスクパターン104wの終わりのものは、前記幅／配置間隔W<sub>11</sub>だけ隣り合うストリング選択ラインのフォトマスクパターン104sから離隔される。同じく、前記奇数番目のワードラインのフォトレジストパターン58wの一番目のものは、前記幅／配置間隔W<sub>11</sub>だけ隣り合う接地選択ラインのフォトレジストパターン58gから離隔され、前記奇数番目のワードラインのフォトレジストパターン58wの終わりのものは、前記幅／配置間隔W<sub>11</sub>だけ隣り合うストリング選択ラインのフォトレジストパターン58sから離隔される。

#### 【0054】

前記奇数番目のワードラインのフォトマスクパターン104w及び前記奇数番目のワードラインのフォトレジストパターン58wは、各々同じ幅F<sub>1</sub>を持ち、前記幅／配置間隔W<sub>11</sub>は、前記幅F<sub>1</sub>の約3倍になる。前記奇数番目のワードラインのフォトマスクパターン104wの隣り合うパターン及び前記奇数番目のワードラインのフォトレジストパターン58wの隣り合うパターンは、ピッチP<sub>1</sub>になり、前記ピッチP<sub>1</sub>は、前記幅F<sub>1</sub>の約4倍である。前記幅F<sub>1</sub>は、フォトリソグラフィーの技術を利用して出来るだけ最小のフィーチャー（Feature）サイズにする。隣り合う接地選択ラインのフォトマスクパターン104g、隣り合うストリング選択ラインのフォトマスクパターン104s、隣

10

20

30

40

50

り合う接地選択ラインのフォトレジストパターン $5\text{ }8\text{ g}$ 及び隣り合うストリング選択ラインのフォトレジストパターン $5\text{ }8\text{ s}$ は、第2配置間隔 $W_2$ によって分離され、前記第2配置間隔 $W_2$ は、前記幅 $F_1$ より4倍大きい。前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より少なくとも約3倍大きい。例えば、前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より約3乃至4倍大きく、好ましくは、前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より3倍以上大きく、4倍以上に大きくしてもよい。

#### 【0055】

図5Aの前記フォトレジストパターン $5\text{ }8$ が形成されるように連続的なフォトレジスト膜が前記フォトマスク $1\text{ }0\text{ }0$ を介して輻射エネルギーに選択的に露出され、その後に現像される。従って、前記フォトレジストパターン $5\text{ }8$ の配列は、前記フォトマスクパターン $1\text{ }0\text{ }4$ の配列によって決められる。又、前記フォトレジストパターン $5\text{ }8$ は、図2A及び図2Bから既に説明されたゲート選択ライン、ストリング選択ライン及び奇数番目のワードラインに対応している。

10

#### 【0056】

前記フォトレジストパターン $5\text{ }8$ によって露出された前記第1ハードマスク層 $5\text{ }5$ の一部の領域（シリコン窒化膜 $5\text{ }6$ 及びパット酸化膜 $5\text{ }4$ 含む）は、図5Bのように第1ハードマスクパターン $6\text{ }0$ （接地選択ラインのハードマスクパターン $6\text{ }0\text{ g}$ 、ストリング選択ラインのハードマスクパターン $6\text{ }0\text{ s}$ 及び奇数番目のワードラインのハードマスクパターン $6\text{ }0\text{ w}$ を含む）が形成されるように選択的に除去される（例えば、乾式蝕刻を利用する）。例えば、第1ハードマスク層 $5\text{ }5$ が分離層 $5\text{ }4$ 、 $5\text{ }6$ を含むと、前記第1ハードマスクパターン $6\text{ }0$ の各要素は、分離層 $5\text{ }4$ 、 $5\text{ }6$ を含む。接地選択ラインのハードマスクパターン $6\text{ }0\text{ g}$ 及び一番目の奇数番目のワードラインのハードマスクパターン $6\text{ }0\text{ w}$ の間、隣り合う奇数番目のワードラインのハードマスクパターン $6\text{ }0\text{ w}$ の間及び終わりの奇数番目のワードラインのハードマスクパターン $6\text{ }0\text{ w}$ 及びストリング選択ラインのハードマスクパターン $6\text{ }0\text{ s}$ の間に同じ幅/配置間隔 $W_{1,1}$ が形成される。第1ハードマスクパターン $6\text{ }0$ の各要素は、シリコン窒化膜及び/又は、シリコン酸化膜を含む。前記第1ハードマスク層の一部の領域を選択的に除去した後、前記フォトレジストパターン $5\text{ }8$ が除去される。

20

#### 【0057】

図5Bのように、前記第1ハードマスクパターン $6\text{ }0$ 及び前記第1ハードマスクパターン $6\text{ }0$ によって露出された前記蝕刻ターゲット層 $5\text{ }2$ の一部の領域の上に犠牲マスク層 $6\text{ }2$ が形成され、前記犠牲マスク層 $6\text{ }2$ 及び前記第1ハードマスクパターン $6\text{ }0$ は、相違なる物質を含む。例えば、前記第1ハードマスクパターン $6\text{ }0$ の上部層 $5\text{ }6$ は、シリコン窒化膜であり、前記犠牲マスク層 $6\text{ }2$ は、ポリシリコン膜である。前記犠牲マスク層 $6\text{ }2$ の厚さによって側壁に前記犠牲マスク層 $6\text{ }2$ が形成された前記奇数番目のワードラインのハードマスクパターン $6\text{ }0\text{ w}$ の間、側壁に前記犠牲マスク層 $6\text{ }2$ が形成された隣り合う接地選択ラインのハードマスクパターン $6\text{ }0\text{ g}$ の間、側壁に前記犠牲マスク層 $6\text{ }2$ が形成された隣り合うストリング選択ラインのハードマスクパターン $6\text{ }0\text{ s}$ の間、側壁に前記犠牲マスク層 $6\text{ }2$ が形成された互いに隣り合う選択ラインのハードマスクパターン $6\text{ }0\text{ g}$ 及び一番目の奇数番目のワードラインのハードマスクパターン $6\text{ }0\text{ w}$ の間、側壁に前記犠牲マスク層 $6\text{ }2$ が形成された互いに隣り合う選択ラインのハードマスクパターン $6\text{ }0\text{ s}$ 及び終わりの奇数番目のワードラインのハードマスクパターン $6\text{ }0\text{ w}$ の間に各々ギャップが形成される。

30

#### 【0058】

前記第1ハードマスクパターン $6\text{ }0\text{ w}$ 、 $6\text{ }0\text{ g}$ 、 $6\text{ }0\text{ s}$ の側壁に形成された前記犠牲マスク層 $6\text{ }2$ の厚さは、図2A及び図2Bに表す隣り合うワードライン $WL_x$ 、 $WL_{x+1}$ の間の第1配置間隔 $W_1$ と同じである。側壁に前記犠牲マスク層 $6\text{ }2$ が形成された隣り合う奇数番目のワードラインのマスクパターン $6\text{ }0\text{ w}$ の間のギャップの幅は、図2A及び図2Bに表す偶数番目のワードライン $WL_2$ 、 $WL_4$ 、 $WL_6 \dots WL_{2n}$ の幅 $F_1$ と同じである。

40

50

## 【0059】

前記犠牲マスク層62を形成した後、図5Bのように、第2ハーダマスク層64が前記犠牲マスク層62の上に形成される。前記第2ハーダマスク層64は、シリコン酸化膜であり、前記第2ハーダマスク層64は、前記幅F<sub>1</sub>の少なくとも1/2の厚さを持つので側壁に前記犠牲マスク層62が形成された奇数番目のワードラインのマスクパターン60wの間のギャップを埋める。隣り合う接地選択ラインのハーダマスクパターン60gの間及び隣り合うストリング選択ラインのハーダマスクパターン60sの間に広いギャップが形成されるので前記第2ハーダマスク層64が形成された後にもギャップが残る。前記第2ハーダマスク層64の厚さがワードラインの幅F<sub>1</sub>であれば隣り合う接地選択ラインのパターン60g及び隣り合うストリング選択ラインのパターン60sは、前記幅F<sub>1</sub>より4倍大きい幅によって分離される。

10

## 【0060】

その後、図5Cのように前記第2ハーダマスク層64は、隣り合う接地選択ラインのハーダマスクパターン60gの間、隣り合うストリング選択ラインのハーダマスクパターン60sの間、前記犠牲マスク層62の上部面から前記ハーダマスク層64の一部の領域を除去するためにエッチバック工程が行われる。従って、前記エッチバックの工程の後に残っている前記第2ハーダマスク層64の一部の領域は、前記幅F<sub>1</sub>と同じ厚さを持つ。特に、前記エッチバック工程の後に残っている前記第2ハーダマスク層64の一部の領域は、前記犠牲マスク層62の上の第2ハーダマスクパターン70になる。前記第2ハーダマスクパターン70は、前記接地選択ラインのパターン60g及び前記一番目の奇数番目のワードラインのパターン60wの間のダミーワードラインのパターン70dを含み、隣り合う奇数番目のワードラインのパターン60wの間及び前記終わりの奇数番目のワードラインのパターン60w及び前記ストリング選択ラインのパターン60sの間の偶数番目のワードラインのパターン70wを含む。

20

## 【0061】

図5Dのように前記第1ハーダマスクパターン60及び/又は第2ハーダマスクのパターン70によってカバーされない前記蝕刻ターゲット層52の一部の領域を露出されるように前記犠牲マスク層62の露出された一部の領域は、除去される（例えば、乾式蝕刻を利用する）。

30

## 【0062】

前記蝕刻ターゲット層52の露出された一部の領域は、前記第1及び第2ハーダマスクのパターン60、70を蝕刻マスクに利用して除去し（例えば、乾式蝕刻を利用する）、その後に前記第1及び第2ハーダマスクのパターン60、70は、図2A及び図2Bの構造物が形成されるように除去される。

## 【0063】

図3Aは、本発明の他の実施の形態による不揮発性メモリー素子30（例えば、フラッシュメモリー素子）の平面図であり、図3Bは、図3AのI—I—I'—I'I'I'線による断面図である。前記フラッシュメモリー素子30は、半導体基板SUBに素子の分離膜によって分離された平行な複数の活性領域ACTを含む。接地選択ラインGSL<sub>0-2</sub>、ストリング選択ラインSSL<sub>0-2</sub>、ダミーワードラインWL<sub>d</sub>及びメモリーセルワードラインWL<sub>1-2n</sub>（nは、正数である）は、前記活性領域ACTを横切る。各々のメモリーセルワードラインWL<sub>1-2n</sub>及び前記活性領域ACTの各交差点に各々のメモリーセルが形成されるように各々のメモリーセルワードラインWL<sub>1-2n</sub>及び各活性領域ACTの間に各々の電荷貯蔵ゲートが形成される。同様に各々のダミーワードラインWL<sub>d</sub>及び各活性領域ACTの間に電荷貯蔵ゲートが形成され、その結果、前記ダミーワードラインWL<sub>d</sub>の構造及び前記メモリーセルワードラインWL<sub>1-2n</sub>の構造が同じになる。

40

## 【0064】

接地選択ラインGSL及びストリング選択ラインSSL（例えば、GSL<sub>1</sub>及びSSL<sub>1</sub>）の間に、活性領域ACTに沿った偶数番目のメモリーセルワードラインWL<sub>1-2n</sub>は、偶数番目のメモリーセルを含むメモリーセルストリングになる。図3A及び図3Bの

50

ように隣り合うメモリーセルストリングは、2個の接地選択ラインGSL（例えば、GSL<sub>0</sub>及びGSL<sub>1</sub>）によって又は、2個のストリング選択ラインSSL（例えば、SSL<sub>1</sub>及びSSL<sub>2</sub>）によって分離される。更に詳しくは、2<sup>k</sup>（kは、正数）個のメモリーセルワードラインWL<sub>1-2n</sub>は、データを貯蔵するために使われた2<sup>k</sup>個のメモリーセルを含むメモリーセルストリングになる。しかし、前記ダミーワードラインWL<sub>d</sub>は、データを貯蔵するのには使われない。

#### 【0065】

又、隣り合うメモリーセルストリングのメモリーセルワードラインWL<sub>1-2n</sub>及びダミーワードラインWL<sub>d</sub>の配列は、鏡像対称(mirror image symmetry)になる。例えば、接地選択ラインGSL<sub>0</sub>及びストリング選択ラインSSL<sub>0</sub>の間にあるメモリーセルワードラインWL<sub>1-2n</sub>及びダミーワードラインWL<sub>d</sub>の配列は、接地選択ラインGSL<sub>1</sub>及びストリング選択ラインSSL<sub>1</sub>の間にあるメモリーセルワードラインWL<sub>1-2n</sub>及びダミーワードラインWL<sub>d</sub>の配列に対して鏡像対称になる。同様に接地選択ラインGSL<sub>1</sub>及びストリング選択ラインSSL<sub>1</sub>の間にあるメモリーセルワードラインWL<sub>1-2n</sub>及びダミーワードラインWL<sub>d</sub>の配列は、接地選択ラインGSL<sub>2</sub>及びストリング選択ラインSSL<sub>2</sub>の間にあるメモリーセルワードラインWL<sub>1-2n</sub>及びダミーワードラインWL<sub>d</sub>の配列に対して鏡像対称になる。10

#### 【0066】

メモリーセルストリングに交差する一番目のメモリーセルワードラインWL<sub>1</sub>及び接地選択ラインGSLの間にダミーワードラインWL<sub>d</sub>を形成することによって、前記一番目のメモリーセルワードラインWL<sub>1</sub>から接地誘導漏洩電流及び/又は、消去障害が減少される。又、前記不揮発性メモリー素子のコントローラーが前記接地選択ライン、前記ストリング選択ライン、前記メモリーセルワードライン及び前記ダミーワードラインに結合される。例えば、消去動作の間に、前記接地選択ラインGSL<sub>1</sub>をフロー・ティングさせて、前記半導体基板SUBのp-ウェルに約20Vの消去電圧V<sub>ers</sub>が印加され、前記メモリーセルワードラインWL<sub>1-2n</sub>に0Vが印加されるように前記コントローラーは、設定される。前記一番目のメモリーセルワードラインWL<sub>1-2n</sub>及び/又は、各々の電荷貯蔵層から消去障害が減少されるように前記コントローラーは、供給電圧V<sub>cc</sub>及びバス電圧V<sub>pass</sub>の間のバイアス電圧V<sub>b</sub>（例えば、V<sub>cc</sub> < V<sub>b</sub> < V<sub>pass</sub>）を前記ダミーワードラインWL<sub>d</sub>に印加できるように設定される。20

#### 【0067】

書き込み（又は、プログラム）の動作の間に、前記接地選択ラインGSL<sub>1</sub>に供給電圧V<sub>cc</sub>を印加し、前記半導体基板SUBのp-ウェルに0Vを印加し、前記非選択ワードラインにバス電圧V<sub>pass</sub>を印加し、前記選択されたワードラインにプログラム電圧V<sub>pgm</sub>を印加するように前記コントローラーは、設定される。前記ダミーワードラインに隣り合う前記接地選択ラインから接地誘導漏洩電流が減少されるように前記コントローラーは、供給電圧V<sub>cc</sub>及びバス電圧V<sub>pass</sub>の間のバイアス電圧V<sub>b</sub>（例えば、V<sub>cc</sub> < V<sub>b</sub> < V<sub>pass</sub>）を前記ダミーワードラインWL<sub>d</sub>に印加できるように設定される。30

#### 【0068】

図3A及び図3Bのように前記ダミーワードラインWL<sub>d</sub>及び前記メモリーセルワードラインWL<sub>1</sub>乃至WL<sub>2n</sub>の各々は、同じ幅F<sub>1</sub>を持つ。ダミーワードラインWL<sub>d</sub>及び隣り合う一番目のメモリーセルワードラインWL<sub>1</sub>は、前記第1配置間隔W<sub>1</sub>だけ離隔され、隣り合うメモリーセルワードラインWL<sub>x</sub>、WL<sub>x+1</sub>は、前記第1配置間隔W<sub>1</sub>だけ離隔される。前記幅F<sub>1</sub>及び前記第1配置間隔W<sub>1</sub>は、同じであり、前記幅F<sub>1</sub>及び前記第1配置間隔W<sub>1</sub>は、隣り合う偶数番目のメモリーセルワードラインWL<sub>even</sub>、WL<sub>even+2</sub>（例えば、偶数番目のメモリーセルワードラインは、但し一つの奇数番目のメモリーセルワードラインによって分離される）、又は、隣り合う奇数番目のメモリーセルワードラインWL<sub>odd</sub>、WL<sub>odd+2</sub>（例えば、奇数番目のメモリーセルワードラインは、但し一つの偶数番目のメモリーセルワードラインによって分離される）になったピッチP<sub>1</sub>の約1/4である。40

10

20

30

40

50

## 【0069】

図3A及び図3Bのように隣り合う接地選択ラインGSL<sub>0</sub>及びGSL<sub>1</sub>は、第2配置間隔W<sub>2</sub>によって分離され隣り合うストリング選択ラインSSL<sub>0</sub>及びSSL<sub>1</sub>は、同じ第2配置間隔W<sub>2</sub>によって分離される。前記第2配置間隔W<sub>2</sub>は、前記第1配置間隔W<sub>1</sub>より少なくとも約3倍大きい。例えば、前記第2配置間隔W<sub>2</sub>は、前記第1配置間隔W<sub>1</sub>の約3乃至4倍の範囲の内で前記第1配置間隔W<sub>1</sub>より大きく、特に、前記第2配置間隔W<sub>2</sub>は、前記第1配置間隔W<sub>1</sub>より3倍以上大きく、前記第1配置間隔W<sub>1</sub>より4倍以上に大きくてよい。第3配置間隔W<sub>3</sub>がゲート選択ラインGSL及び隣り合うダミーワードラインWL<sub>d</sub>を分離し、同じ第3配置間隔W<sub>3</sub>が終わりのメモリーセルワードラインWL<sub>2n</sub>及び隣り合うストリング選択ラインSSLを分離する。前記第3配置間隔W<sub>3</sub>は、前記第1配置間隔W<sub>1</sub>より大きいが、その2倍以下であり(つまり、W<sub>1</sub> < W<sub>3</sub> < 2 × W<sub>1</sub>)、前記第3配置間隔W<sub>3</sub>は、前記第1配置間隔W<sub>1</sub>より1.5倍大きく、前記第1配置間隔W<sub>1</sub>の2倍以下になる(つまり、1.5 × W<sub>1</sub> < W<sub>3</sub> < 2 × W<sub>1</sub>)。

10

## 【0070】

各メモリーセルワードラインWL<sub>1</sub>乃至WL<sub>2n</sub>は、接地選択ライン(例えば、GSL<sub>1</sub>)及びストリング選択ライン(例えば、SSL<sub>1</sub>)の間の同じ活性領域ACT上のメモリーセルストリングの不揮発性メモリーセル(例えば、フラッシュメモリーセル)のための各々のコントロール電極を提供する。又、各不揮発性メモリーセルは、前記各々のメモリーセルワードライン及び活性領域の間の電荷貯蔵層、前記活性領域及び前記電荷貯蔵層の間のトンネル絶縁層及び前記メモリーセルワードライン及び前記電荷貯蔵層の間のバリア絶縁層を含む。

20

## 【0071】

各ダミーワードラインWL<sub>d</sub>は、既に説明された前記メモリーセルワードライン(トンネル絶縁膜、電荷貯蔵層及び各ダミーワードライン及び各活性領域の間のバリア絶縁層をもつ)と同じ構造を持つ。しかし、前記ダミーセルワードライン及び結合されたトンネル絶縁膜、電荷貯蔵層及びバリア絶縁層は、データを貯蔵するために使われず、代わりにプログラム動作の間に隣り合う接地選択ラインから接地誘導漏洩電流(ground induced leakage current)が減少するように消去動作の間に隣り合うメモリーセルから消去バイアスを減少させる。

30

## 【0072】

接地選択ラインGSL、ダミーワードラインWL<sub>d</sub>、メモリーセルワードラインWL<sub>1</sub>乃至WL<sub>2n</sub>及びストリング選択ラインSSLのパターンは、後で説明する自己整列ダブルパターニング(self-aligning double patterning)を利用して形成される。例えば、前記接地選択ラインGSL、前記ストリング選択ラインSSL、前記ダミーワードラインWL<sub>d</sub>及び前記偶数番目のメモリーセルワードラインWL<sub>2</sub>、WL<sub>4</sub>、WL<sub>6</sub>…WL<sub>2n</sub>は、フォトリソグラフィーのマスクパターンに対応して形成され、前記ダミーワードラインWL<sub>d</sub>及び前記奇数番目のメモリーセルワードラインWL<sub>1</sub>、WL<sub>3</sub>、WL<sub>5</sub>…WL<sub>2n-1</sub>は、自己整列ダブルパターニングを利用して形成される。

40

## 【0073】

図3A乃至図3Bに図示された本発明の他の実施の形態によれば、前記活性領域ACT上の第1メモリーセルストリングは、前記第1接地選択ラインGSL<sub>1</sub>及び前記第1ストリング選択ラインSSL<sub>1</sub>の間の前記活性領域ACTを横切る複数の第1ワードラインWL<sub>1</sub>乃至WL<sub>2n</sub>を含み、同一な第1配置間隔W<sub>1</sub>が互いに隣り合う前記複数の第1ワードラインWL<sub>1</sub>乃至WL<sub>2n</sub>の間に形成される。前記活性領域ACTの上の第2メモリーセルストリングは、第2接地選択ラインGSL<sub>0</sub>及び前記第2ストリング選択ラインSSL<sub>0</sub>の間の前記活性領域ACTを横切る複数の第2メモリーセルワードラインWL<sub>1</sub>乃至WL<sub>2n</sub>を含み、前記同一な第1配置間隔W<sub>1</sub>が互いに隣り合う前記複数の第2ワードラインWL<sub>1</sub>乃至WL<sub>2n</sub>の間に形成される。更に詳しくは、前記第1接地選択ラインGSL<sub>1</sub>は、前記第2接地選択ラインGSL<sub>0</sub>及び前記複数の第1ワードラインの間にあり、

50

前記第2接地選択ラインGSL<sub>0</sub>は、前記第1接地選択ライン GSL<sub>1</sub>及び前記複数の第2ワードラインの間にある。前記第1及び第2接地選択ライン GSL<sub>1</sub>、 GSL<sub>0</sub>の間の前記活性領域ACTの一部には、ワードラインが形成されなく、前記第1及び第2接地選択ライン GSL<sub>1</sub>、 GSL<sub>0</sub>の間の前記第2配置間隔W<sub>2</sub>は、前記第1配置間隔W<sub>1</sub>より少なくとも約3倍大きい。例えば、前記第2配置間隔W<sub>2</sub>は、前記第1配置間隔W<sub>1</sub>より約3乃至4倍大きく、更に詳しくは、前記第2配置間隔W<sub>2</sub>は、前記第1配置間隔W<sub>1</sub>より3倍以上大きく、前記第1配置間隔W<sub>1</sub>より4倍以上大きくしてもよい。

#### 【0074】

前記複数の第1ワードラインWL<sub>1</sub>乃至WL<sub>2n</sub>は、偶数番目のメモリーセルワードラインを含み、ダミーワードラインWL<sub>d</sub>が前記複数の第1ワードラインWL<sub>1</sub>乃至WL<sub>2n</sub>の中の一一番目のものと前記第1接地選択ライン GSL<sub>1</sub>の間に形成される。前記ダミーワードラインWL<sub>d</sub>及び前記複数の第1ワードラインWL<sub>1</sub>乃至WL<sub>2n</sub>の間に前記第1配置間隔W<sub>1</sub>が形成される。前記第1接地選択ライン GSL<sub>1</sub>及び前記ダミーワードラインWL<sub>d</sub>の間に幅/配置間隔W<sub>3</sub>が形成される。前記幅/配置間隔W<sub>3</sub>は、前記第1配置間隔W<sub>1</sub>より大きく、前記第1配置間隔W<sub>1</sub>の2倍以下になる(つまり、W<sub>1</sub> < W<sub>3</sub> < 2 × W<sub>1</sub>)。

#### 【0075】

図6A乃至図6Dは、本発明の他の実施の形態による自己整列ダブルパターニングを利用して図3A及び図3Bの不揮発性メモリー構造物を形成するための工程を表す断面図である。図6Aのように基板150は、前記基板150の上に蝕刻ターゲット層152を含み、前記蝕刻ターゲット層152は、図3A及び図3Bのメモリーセル、ワードライン、選択トランジスター及び選択ラインを形成するために使用される物質の層を含む。

#### 【0076】

更に詳しくは、前記蝕刻ターゲット層152は、トンネル絶縁層(例えば、シリコン酸化膜)、電荷貯蔵層(例えば、ポリシリコン又は、シリコン窒化膜)、バリア絶縁層(例えば、シリコン酸化膜又は、前記電荷貯蔵層とは、違う他の絶縁膜)及び導電層(例えば、ポリシリコン及び/又は、金属膜)を含む。前記電荷貯蔵層は、前記導電層及び前記基板の間にあり、前記トンネル絶縁層は、前記電荷貯蔵層及び前記基板を分離し、前記バリア絶縁層は、前記電荷貯蔵層及び前記導電層を分離する。第1ハーダマスク層155が前記蝕刻ターゲット層152の上に形成され、前記第1ハーダマスク層155は、パット酸化膜154の上にシリコン窒化膜156を含む。

#### 【0077】

ダミーワードラインのフォトレジストパターン158d、偶数番目のワードラインのフォトレジストパターン158w、接地選択ラインのフォトレジストパターン158g及びストリング選択ラインのフォトレジストパターン158sを含む前記フォトレジストパターン158が形成されるように前記フォトマスク200を利用して前記第1ハーダマスク層155の上のフォトレジスト膜がパターンされる。前記フォトマスク200は、透明な基板202の上のフォトマスクパターン204を含む。前記フォトマスクパターン204は、ダミーワードラインのフォトレジストパターン158dに対応するダミーワードラインのフォトマスクパターン204d、偶数番目のワードラインのフォトレジストパターン158wに対応する接地選択ラインのフォトマスクパターン204w、接地選択ラインのフォトレジストパターン158gに対応する接地選択ラインのフォトマスクパターン204g、ストリング選択ラインのフォトレジストパターン158sに対応するストリング選択ラインのフォトマスクパターン204sを含む。

#### 【0078】

図6Aのように隣り合う偶数番目のワードラインのフォトマスクパターン204wは、幅/配置間隔W<sub>11</sub>だけ離隔され、隣り合う偶数番目のワードラインのフォトレジストパターン158wは、前記幅/配置間隔W<sub>11</sub>だけ離隔される。前記偶数番目のワードラインのフォトマスクパターン204wの一番目のものは、前記幅/配置間隔W<sub>11</sub>だけ隣り合うダミーワードラインのフォトマスクパターン204dから離隔され、前記偶数番目の

10

20

30

30

40

50

ワードラインのフォトマスクパターン204wの一番目のものは、前記幅 / 配置間隔W<sub>1</sub>だけ隣り合うダミーワードラインのフォトレジストパターン158dから離隔される。ダミーワードラインのフォトマスクパターン204dは、隣り合う接地選択ラインのフォトマスクパターン204gから前記幅 / 配置間隔W<sub>3</sub>だけ離隔され、前記偶数番目のワードラインのフォトマスクパターン204wの終わりのものは、隣り合うストリング選択ラインのフォトマスクパターン204sから前記幅 / 配置間隔W<sub>3</sub>だけ離隔される。同じく、前記ダミーワードラインのフォトレジストパターン158dの一番目のものは、前記幅 / 配置間隔W<sub>3</sub>だけ隣り合う接地選択ラインのフォトレジストパターン158gから離隔され、前記偶数番目のワードラインのフォトレジストパターン158wの終わりのものは、前記幅 / 配置間隔W<sub>1</sub>だけ隣り合うストリング選択ラインのフォトレジストパターン158sから離隔される。

10

## 【0079】

前記偶数番目のワードラインのフォトマスクパターン204w及び前記偶数番目のワードラインのフォトレジストパターン158wは、同じ幅F<sub>1</sub>を持ち、前記幅 / 配置間隔W<sub>3</sub>は、少なくとも前記幅F<sub>1</sub>から前記幅の約2倍までになる(F<sub>1</sub> < W<sub>3</sub> < 2 × F<sub>1</sub>)。前記偶数番目のワードラインのフォトマスクパターン204wの隣り合うパターン及び前記偶数番目のワードラインのフォトレジストパターン158wの隣り合うパターンは、ピッチP<sub>1</sub>になり、前記ピッチP<sub>1</sub>は、前記幅F<sub>1</sub>の約4倍になる。前記幅F<sub>1</sub>は、フォトリソグラフィーの技術を利用して出来るだけ最小のフィーチャー(F e a t u r e)サイズにする。隣り合う接地選択ラインのフォトマスクパターン204g、隣り合うストリング選択ラインのフォトマスクパターン204s、隣り合う接地選択ラインのフォトレジストパターン158g及び隣り合うストリング選択ラインのフォトレジストパターン158sは、第2配置間隔W<sub>2</sub>によって分離され、前記第2配置間隔W<sub>2</sub>は、前記幅F<sub>1</sub>より3倍大きい。例えば、前記第2配置間隔W<sub>2</sub>は、前記第1配置間隔W<sub>1</sub>より約3乃至4倍大きく、好ましくは、前記第2配置間隔W<sub>2</sub>は、前記第1配置間隔W<sub>1</sub>より3倍以上大きく、更に好ましくは、4倍以上大きい。

20

## 【0080】

図6Aのフォトレジストパターン158が形成されるように連続的なフォトレジスト膜が前記フォトマスク200を介して輻射エネルギーに選択的に露出され、その後に現像される。従って、前記フォトレジストパターン158の配列は、前記フォトマスクパターン204の配列によって決められる。又、前記フォトレジストパターン158は、図3A及び図3Bから既に説明されたゲート選択ライン、ストリング選択ライン及び偶数番目のワードラインに対応している。

30

## 【0081】

前記フォトレジストパターン158によって露出された前記第1ハードマスク層155の一部の領域(シリコン窒化膜156及びパット酸化膜154含む)は、図6Bのように第1ハードマスクパターン160(接地選択ラインのハードマスクパターン160g、ストリング選択ラインのハードマスクパターン160s、ダミーワードラインのハードマスクパターン160d及び偶数番目のワードラインのハードマスクパターン160wを含む)が形成されるように選択的に除去される(例えば、乾式蝕刻を利用する)。例えば、第1ハードマスク層155が分離層154、156を含むと前記第1ハードマスクパターン160の各要素は、分離層154、156を含む。ダミーワードラインのハードマスクパターン160d及び一番目の奇数番目のワードラインのハードマスクパターン160wの間及び隣り合う偶数番目のワードラインのハードマスクパターン160wの間に同じ幅 / 配置間隔W<sub>1</sub>が形成される。同じ配置間隔W<sub>3</sub>が接地選択ラインのハードマスクパターン160g及びダミーワードラインのハードマスクパターン160dの間、終わりの偶数番目のワードラインのハードマスクパターン160w及びストリング選択ラインのハードマスクパターン160sの間に形成される。第1ハードマスクパターン160の各要素は、シリコン窒化膜及び/又は、シリコン酸化膜を含む。前記第1ハードマスク層の一部の領域を選択的に除去した後、前記フォトレジストパターン158が除去される。

40

50

## 【0082】

図6Bのように前記第1ハードマスクパターン160及び前記第1ハードマスクパターン160によって露出された前記蝕刻ターゲット層152の一部の領域の上に犠牲マスク層162が形成され、前記犠牲マスク層162及び前記第1ハードマスクパターン160は、相違なる物質を含む。例えば、前記第1ハードマスクパターン160の上部層156は、シリコン窒化膜であり、前記犠牲マスク層162は、ポリシリコン膜である。前記犠牲マスク層162の厚さによって側壁に前記犠牲マスク層162が形成された前記偶数番目のワードラインのハードマスクパターン160wの間、側壁に前記犠牲マスク層162が形成された隣り合う接地選択ラインのハードマスクパターン160gの間、側壁に前記犠牲マスク層162が形成された隣り合うストリング選択ラインのハードマスクパターン160sの間、側壁に前記犠牲マスク層162が形成された互いに隣り合うダミーワードラインのハードマスクパターン160d及び一番目の偶数番目のワードラインのハードマスクパターン160wの間にギャップが形成される。

10

## 【0083】

前記第1ハードマスクパターン160d、160w、160g、160sの側壁に形成された前記犠牲マスク層162の厚さは、図3A及び図3Bのように隣り合うワードラインWL<sub>x</sub>、WL<sub>x+1</sub>の間の第1配置間隔W<sub>1</sub>と同じである。側壁に前記犠牲マスク層162が形成された隣り合う偶数番目のワードラインのマスクパターン160wの間のギャップの幅は、図3A及び図3Bのように奇数番目のワードラインWL<sub>1</sub>、WL<sub>3</sub>、WL<sub>5</sub>…WL<sub>2n-1</sub>の幅F<sub>1</sub>と同じである。

20

## 【0084】

前記犠牲マスク層162を形成した後、図6Bのように第2ハードマスク層164が前記犠牲マスク層162の上に形成される。前記第2ハードマスク層164は、シリコン酸化膜であり、前記第2ハードマスク層164は、前記幅F<sub>1</sub>の少なくとも1/2の厚さを持つので側壁に前記犠牲マスク層162が形成された奇数番目のワードラインのマスクパターン160wの間のギャップを埋める。隣り合う接地選択ラインのハードマスクパターン160gの間及び隣り合うストリング選択ラインのハードマスクパターン160sの間に更に広いギャップが形成されるので前記第2ハードマスク層164が形成された後にもギャップが残る。前記第2ハードマスク層164の厚さがワードラインの幅F<sub>1</sub>であれば、隣り合う接地選択ラインのパターン160g及び隣り合うストリング選択ラインのパターン160sは、前記幅F<sub>1</sub>より4倍以上大きい幅によって分離される。

30

## 【0085】

続いて、図6cのように前記第2ハードマスク層164は、隣り合う接地選択ラインのハードマスクパターン160gの間、隣り合うストリング選択ラインのハードマスクパターン160sの間、前記犠牲マスク層162の上部面から前記ハードマスク層164の一部の領域を除去するためにエッチバック工程が行われる。従って、前記エッチバック工程の後に残っている前記第2ハードマスク層164の一部の領域は、前記幅F<sub>1</sub>と同じ厚さを持つ。特に、前記エッチバック工程の後に残っている前記第2ハードマスク層164の一部の領域は、前記犠牲マスク層162の上の第2ハードマスクパターン170になる。前記第2ハードマスクパターン170は、隣り合う偶数番目のワードラインパターン160wの間及び前記終わりの奇数番目のワードラインパターン160w及び前記ストリング選択ラインパターン160sの間の奇数番目のワードラインパターン170wを含む。

40

## 【0086】

図6dのように前記第1ハードマスクパターン160及び/又は第2ハードマスクパターン170によってカバーされない前記蝕刻ターゲット層152の一部の領域が露出されるように前記犠牲マスク層162の露出された一部の領域は、除去される（例えば、乾式蝕刻を利用する）。前記蝕刻ターゲット層152の露出された一部の領域では、前記第1及び第2ハードマスクパターン160、170は蝕刻マスクを利用して除去され（例えば、乾式蝕刻を利用する）、その後に前記第1及び第2ハードマスクパターン160、170は、図3A及び図3Bの構造物を形成するように除去される。

50

## 【0087】

図4Aは、本発明の他の実施の形態による不揮発性メモリー素子40（例えば、フラッシュメモリー素子）の平面図であり、図4Bは、図4AのIV-IV'線による断面図である。前記フラッシュメモリー素子40は、半導体基板SUBに素子の分離膜によって分離された平行な複数の活性領域ACTを含む。接地選択ラインGSL<sub>0-2</sub>、ストリング選択ラインSSL<sub>0-2</sub>、及びメモリーセルワードラインWL<sub>1-2n</sub>（nは、正数）は、前記活性領域ACTを横切る。更に詳しくは、各々のメモリーセルワードラインWL<sub>1-2n</sub>及び前記活性領域ACTの各交差部に各々のメモリーセルが形成されるように各々のメモリーセルワードラインWL<sub>1-2n</sub>及び各活性領域ACTの間に各々の電荷貯蔵ゲートが形成される。図4A及び図4Bの構造は、ダミーワードラインを省略した図2A及び図2Bのものと類似である。

## 【0088】

接地選択ラインGSL及びストリング選択ラインSSL（例えば、GSL<sub>1</sub>及びSSL<sub>1</sub>）の間に一つの活性領域ACTに沿った偶数番目のメモリーセルワードラインは、偶数番目のメモリーセルを含むメモリーセルストリングを形成する。図4A及び図4Bから分かるように隣り合うメモリーセルストリングは、2個の接地選択ラインGSL（例えば、GSL<sub>0</sub>及びGSL<sub>1</sub>）によって又は、2個のストリング選択ラインSSL（例えば、SSL<sub>1</sub>及びSSL<sub>2</sub>）によって分離される。更に詳しくは、2<sup>k</sup>（kは、正数）個のメモリーセルワードラインWL<sub>1-2n</sub>は、データを貯蔵するために使われる2<sup>k</sup>個のメモリーセルを含むメモリーセルストリングを形成する。

## 【0089】

又、隣り合うメモリーセルストリングのメモリーセルワードラインWL<sub>1-2n</sub>の配列は、鏡像対称になる。例えば、接地選択ラインGSL<sub>0</sub>及びストリング選択ラインSSL<sub>0</sub>の間にあるメモリーセルワードラインWL<sub>1-2n</sub>の配列は、接地選択ラインGSL<sub>1</sub>及びストリング選択ラインSSL<sub>1</sub>の間にあるメモリーセルワードラインWL<sub>1-2n</sub>の配列に対して鏡像対称になる。同様に、接地選択ラインGSL<sub>1</sub>及びストリング選択ラインSSL<sub>1</sub>の間にあるメモリーセルワードラインWL<sub>1-2n</sub>の配列は、接地選択ラインGSL<sub>2</sub>及びストリング選択ラインSSL<sub>2</sub>の間にあるメモリーセルワードラインWL<sub>1-2n</sub>の配列に対して鏡像対称になる。メモリーセルストリングに交差する一番目のメモリーセルワードラインWL<sub>1</sub>及び接地選択ラインGSLの間に充分な配置間隔／幅W<sub>5</sub>を形成することによって、前記一番目のメモリーセルワードラインWL<sub>1</sub>から接地誘導漏洩電流及び／又は、消去障害が減少する。

## 【0090】

前記不揮発性メモリー素子のコントローラーが前記接地選択ライン、前記ストリング選択ライン及び前記メモリーセルワードラインに結合される。例えば、消去動作の間に前記接地選択ラインGSL<sub>1</sub>をフローティングさせて、前記半導体基板SUBのp-ウェルに約20Vの消去電圧V<sub>ers</sub>が印加され、前記メモリーセルワードラインWL<sub>1-2n</sub>に0Vが印加されるように前記コントローラーが設定される。書き込み（又は、プログラム）動作の間に前記接地選択ラインGSL<sub>1</sub>に供給電圧V<sub>cic</sub>を印加し、前記半導体基板SUBのp-ウェルに0Vを印加し、前記非選択ワードラインにパス電圧V<sub>pass</sub>を印加し、前記選択されたワードラインにプログラム電圧V<sub>pgm</sub>を印加するように前記コントローラーが設定される。

## 【0091】

図4A及び図4Bのように前記メモリーセルワードラインWL<sub>1</sub>乃至WL<sub>2n</sub>の各々は、同じ幅F<sub>1</sub>をもち、幅／配置間隔W<sub>5</sub>がゲート選択ラインGSL及びメモリーセルストリングに連合された隣り合う一番目のメモリーセルワードラインWL<sub>1</sub>を分離させる。隣り合うメモリーセルワードラインWL<sub>x</sub>、WL<sub>x+1</sub>は、前記第1配置間隔W<sub>1</sub>だけ離隔され、終わりのワードラインWL<sub>2n</sub>及び隣り合うストリング選択ラインSSLは、前記第1配置間隔だけ離隔される。前記幅F<sub>1</sub>及び前記第1配置間隔W<sub>1</sub>は、同じであり、前記幅F<sub>1</sub>及び前記第1配置間隔W<sub>1</sub>は、隣り合う偶数番目のメモリーセルワードラインW

10

20

30

40

50

$L_{even}$ 、 $WL_{even+2}$ （例えば、偶数番目のメモリーセルワードラインは、ただ一つの奇数番目のメモリーセルワードラインによって分離される）又は、隣り合う奇数番目のメモリーセルワードライン $WL_{odd}$ 、 $WL_{odd+2}$ （例えば、奇数番目のメモリーセルワードラインは、ただ一つの偶数番目のメモリーセルワードラインによって分離される）によって決められるピッチ $P_1$ の約1/4になる。

#### 【0092】

隣り合う接地選択ライン $GSL_0$ 及び $GSL_1$ は、第2配置間隔（幅） $W_2$ によって分離され、隣り合うストリング選択ライン $SSL_0$ 及び $SSL_1$ は、同じ第2配置間隔 $W_2$ によって分離される。前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より少なくとも約3倍大きい。前記配置間隔 $W_5$ は、前記配置間隔 $W_1$ より約3倍大きい（つまり、 $W_5 > 3 \times W_1$ ）。例えば、前記第2配置間隔 $W_2$ 及び／又は第5配置間隔 $W_5$ は、前記第1配置間隔 $W_1$ の約3乃至4倍の範囲の内で前記第1配置間隔 $W_1$ より大きく、又は、前記第2配置間隔 $W_2$ 及び／又は第5配置間隔 $W_5$ は、前記第1配置間隔 $W_1$ より3倍以上大きく、前記第1配置間隔 $W_1$ より4倍以上大きくてもよい。  
10

#### 【0093】

各メモリーセルワードライン $WL_1$ 乃至 $WL_{2n}$ は、接地選択ライン（例えば、 $GSL_1$ ）及びストリング選択ライン（例えば、 $SSL_1$ ）の間の同一な活性領域ACTの上のメモリーセルストリングの不揮発性メモリーセル（例えば、フラッシュメモリーセル）のために各々のコントロール電極が形成される。又、各不揮発性メモリーセルは、前記各々のメモリーセルワードライン及び活性領域の間の電荷貯蔵層、前記活性領域及び前記電荷貯蔵層の間のトンネル絶縁層及び前記メモリーセルワードライン及び前記電荷貯蔵層の間のバリア絶縁層を含む。  
20

#### 【0094】

接地選択ライン $GSL$ 、メモリーセルワードライン $WL_1$ 乃至 $WL_{2n}$ 及びストリング選択ライン $SSL$ のパターンは、後で詳しく説明する自己整列ダブルパターニングを利用して形成される。例えば、前記接地選択ライン $GSL$ 、前記ストリング選択ライン $SSL$ 及び前記奇数番目のメモリーセルワードライン $WL_1$ 、 $WL_3$ 、 $WL_5 \dots WL_{2n-1}$ は、フォトリソグラフィーマスクのパターンに対応して形成され、前記偶数番目のメモリーセルワードライン $WL_2$ 、 $WL_4$ 、 $WL_6 \dots WL_{2n}$ は、自己整列ダブルパターニングを利用して形成される。  
30

#### 【0095】

図4A乃至図4Bに図示された本発明の実施形態によれば、前記活性領域ACTの上の第1メモリーセルストリングは、前記第1接地選択ライン $GSL_1$ 及び前記第1ストリング選択ライン $SSL_1$ の間の前記活性領域ACTを横切る複数の第1メモリーセルワードライン $WL_1$ 乃至 $WL_{2n}$ を含み、同じ第1配置間隔 $W_1$ が互いに隣り合う前記複数の第1ワードラインの間に形成される。前記活性領域ACTの上の第2メモリーセルストリングは、第2接地選択ライン $GSL_0$ 及び前記第2ストリング選択ライン $SSL_0$ の間の前記活性領域ACTを横切る複数の第2メモリーセルワードライン $WL_1$ 乃至 $WL_{2n}$ を含み、前記同じ第1配置間隔 $W_1$ が互いに隣り合う前記複数の第2ワードラインの間に形成される。  
40

#### 【0096】

更に詳しくは、前記第1接地選択ライン $GSL_1$ は、前記第2接地選択ライン $GSL_0$ 及び前記複数の第1ワードラインの間にあり、前記第2接地選択ライン $GSL_0$ は、前記第1接地選択ライン $GSL_1$ 及び前記複数の第2ワードラインの間にある。前記第1及び第2接地選択ライン $GSL_1$ 、 $GSL_0$ の間の前記活性領域ACTの一部には、ワードラインが形成されず、前記第1及び第2接地選択ライン $GSL_1$ 、 $GSL_0$ の間の前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より少なくとも約3倍大きい。例えば、前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より約3乃至4倍大きい。

#### 【0097】

図4A及び図4Bのように複数の第1ワードライン $WL_1$ 乃至 $WL_{2n}$ は、偶数番目の

10

20

30

40

50

メモリーセルワードラインを含み、前記第1配置間隔W<sub>1</sub>より3倍が大きい配置間隔W<sub>5</sub>が前記接地選択ラインGSL<sub>1</sub>及び前記各々のメモリーセルストリングの一一番目のメモリーセルワードラインWL<sub>1</sub>の間に形成される。前記第1配置間隔W<sub>1</sub>が前記各々のメモリーセルストリングの終わりのメモリーセルワードラインWL<sub>2n</sub>及び前記ストリング選択ラインSSL<sub>1</sub>の間に形成され、前記接地選択ラインGSL<sub>1</sub>及び前記一番目のメモリーセルワードラインWL<sub>1</sub>の間の前記活性領域ACTの一部の領域には、ワードラインが形成されない。

#### 【0098】

図7A乃至図7Dは、本発明の実施の形態による自己整列ダブルパターニングを利用して図4A及び図4Bの不揮発性メモリーの構造物を形成するための工程を表す断面図である。図7Aのように基板350は、該基板350の上に蝕刻ターゲット層352を含み、蝕刻ターゲット層352は、図4A及び図4Bのメモリーセル、ワードライン、選択トランジスター及び選択ラインを形成するために使われる物質の層を含む。

10

#### 【0099】

更に詳しくは、前記ターゲット層は、トンネル絶縁層（例えば、シリコン酸化膜）、電荷貯蔵層（例えば、ポリシリコン又は、シリコン窒化膜）、バリア絶縁層（例えば、シリコン酸化膜又は、前記電荷貯蔵層とは、違う絶縁膜）及び導電層（例えば、ポリシリコン及び/又は、金属膜）を含む。前記電荷貯蔵層は、前記導電層及び前記基板の間にあり、前記トンネル絶縁層は、前記電荷貯蔵層及び前記基板を分離し、前記バリア絶縁層は、前記電荷貯蔵層及び前記導電層を分離する。第1ハーダマスク層355が前記蝕刻ターゲット層352の上に形成され、前記第1ハーダマスク層355は、パット酸化膜354の上にシリコン窒化膜356を含む。

20

#### 【0100】

奇数番目のワードラインのフォトレジストパターン358w、接地選択ラインのフォトレジストパターン358g及びストリング選択ラインのフォトレジストパターン358sを含むフォトレジストパターン358が形成されるようにフォトマスク300を利用して前記第1ハーダマスク層355の上のフォトレジスト膜がパターンされる。

20

#### 【0101】

更に詳しくは、前記フォトマスク300は、透明な基板302の上のフォトマスクパターン304を含む。前記フォトマスクパターン304は、奇数番目のワードラインのフォトレジストパターン358wに対応する奇数番目のワードラインのフォトマスクパターン304w、接地選択ラインのフォトレジストパターン358gに対応する接地選択ラインのフォトマスクパターン304g及びストリング選択ラインのフォトレジストパターン358sに対応するストリング選択ラインのフォトマスクパターン304sを含む。

30

#### 【0102】

図7Aのように隣り合う奇数番目のワードラインのフォトマスクパターン304wは、幅/配置間隔W<sub>11</sub>だけ離隔され、隣り合う奇数番目のワードラインのフォトレジストパターン358wは、前記幅/配置間隔W<sub>11</sub>だけ離隔される。前記奇数番目のワードラインのフォトマスクパターン304wの一番目のものは、前記幅/配置間隔W<sub>5</sub>だけ隣り合う接地選択ラインのフォトマスクパターン304gから離隔され、前記奇数番目のワードラインのフォトマスクパターン304wの終わりのものは、前記幅/配置間隔W<sub>11</sub>だけ隣り合うストリング選択ラインのフォトマスクパターン304sから離隔される。

40

#### 【0103】

同じく、前記奇数番目のワードラインのフォトレジストパターン358wの一番目のものは、前記幅/配置間隔W<sub>5</sub>だけ隣り合う接地選択ラインのフォトレジストパターン358gから離隔され、前記奇数番目のワードラインのフォトレジストパターン358wの終わりのものは、前記幅/配置間隔W<sub>11</sub>だけ隣り合うストリング選択ラインのフォトレジストパターン358sから離隔される。

#### 【0104】

前記奇数番目のワードラインのフォトマスクパターン304w及び前記奇数番目のワード

50

ドラインのフォトレジストパターン358wは、各々同じ幅F<sub>1</sub>を持ち、前記幅/配置間隔W<sub>11</sub>は、前記幅F<sub>1</sub>の約3倍になる。前記奇数番目のワードラインのフォトマスクパターン304wの隣り合うパターン及び前記奇数番目のワードラインのフォトレジストパターン358wの隣り合うパターンは、ピッチP<sub>1</sub>になり、前記ピッチP<sub>1</sub>は、前記幅F<sub>1</sub>の約4倍になる。前記幅F<sub>1</sub>は、使用されているフォトリソグラフィーの技術を利用して出来るだけ最小のフィーチャーサイズにする。隣り合う接地選択ラインのフォトマスクパターン304g、隣り合うストリング選択ラインのフォトマスクパターン304s、隣り合う接地選択ラインのフォトレジストパターン358g及び隣り合うストリング選択ラインのフォトレジストパターン358sは、第2配置間隔W<sub>2</sub>によって分離され、前記第2配置間隔W<sub>2</sub>は、前記幅F<sub>1</sub>より3倍以上大きい。

10

#### 【0105】

例えば、前記第2配置間隔W<sub>2</sub>は、前記第1配置間隔W<sub>1</sub>より約3乃至4倍以上大きく、前記第2配置間隔W<sub>2</sub>は、前記第1配置間隔W<sub>1</sub>より3倍以上大きく、好ましくは、4倍以上大きい。

#### 【0106】

一番目の奇数番目のワードラインのフォトマスクパターン304w及び隣り合う接地選択ラインのフォトマスクパターン304gの間、一番目の奇数番目のワードラインのフォトレジストパターン358w及び隣り合う接地選択ラインのフォトレジストパターン358gの間の配置間隔W<sub>5</sub>は、配置間隔W<sub>11</sub>より大きい（例えば、幅F<sub>1</sub>より3倍大きい）。例えば、前記配置間隔W<sub>5</sub>は、幅F<sub>1</sub>より4倍以上大きい。

20

#### 【0107】

図7Aのフォトレジストパターン358が形成されるように連続的なフォトレジスト膜が前記フォトマスク300を介して輻射エネルギーに選択的に露出された後に現像される。従って、前記フォトレジストパターン358の配列は、前記フォトマスクパターン304の配列によって決められる。又、前記フォトレジストパターン358は、図4A及び図4Bによって既に説明されたゲート選択ライン、ストリング選択ライン及び奇数番目のワードラインに対応される。

#### 【0108】

前記フォトレジストパターン358によって露出された前記第1ハーダマスク層355の一部の領域（シリコン窒化膜356及びパット酸化膜354）は、図7Bのように第1ハーダマスクパターン360（接地選択ラインのハーダマスクパターン360g、ストリング選択ラインのハーダマスクパターン660s及び奇数番目のワードラインのハーダマスクパターン360w）が形成されるように選択的に除去される（例えば、乾式蝕刻を利用する）。例えば、第1ハーダマスク層355が分離層354、356を含むと前記第1ハーダマスクパターン360の各要素も分離層354、356を含む。隣り合う奇数番目のワードラインのハーダマスクパターン360w及びストリング選択ラインのハーダマスクパターン360sの間に同じ幅/配置間隔W<sub>11</sub>が形成される。第1ハーダマスクパターン360の各要素は、シリコン窒化膜及び/又は、シリコン酸化膜を含む。前記第1ハーダマスク層の一部の域を選択的に除去した後、前記フォトレジストパターン358が除去される。

30

#### 【0109】

図7Bのように前記第1ハーダマスクパターン360及び前記第1ハーダマスクパターン360によって露出された前記蝕刻ターゲット層352の一部の領域の上に犠牲マスク層362が形成され、前記犠牲マスク層362及び前記第1ハーダマスクパターン360は、相違なる物質を含む。例えば、前記第1ハーダマスクパターン360の上部層356は、シリコン窒化膜であり、前記犠牲マスク層362は、ポリシリコン膜である。前記犠牲マスク層362の厚さによって側壁に前記犠牲マスク層362が形成された前記奇数番目のワードラインのハーダマスクパターン360wの間、側壁に前記犠牲マスク層362が形成された隣り合う接地選択ラインのハーダマスクパターン360gの間、側壁に前記犠牲マスク層362が形成された隣り合うストリング選択ラインのハーダマスクパターン360sの間、

40

50

360 s の間、側壁に前記犠牲マスク層 362 が形成された互いに隣り合う選択ラインのハードマスクパターン 360 g 及び一番目の奇数番目のワードラインのハードマスクパターン 360 w の間、側壁に前記犠牲マスク層 362 が形成された互いに隣り合う選択ラインのハードマスクパターン 360 s 及び終わりの奇数番目のワードラインのハードマスクパターン 360 w の間にギャップが形成される。

#### 【0110】

前記第1ハードマスクパターン 360 w、360 g、360 s の側壁に形成された前記犠牲マスク層 362 の厚さは、図4A及び図4Bのように隣り合うワードライン  $WL_x$ 、 $WL_{x+1}$  の間の第1配置間隔  $W_1$  と同じである。側壁に前記犠牲マスク層 362 が形成された隣り合う奇数番目のワードラインのマスクパターン 360 w の間のギャップの幅は、図4A及び図4Bの偶数番目のワードライン  $WL_2$ 、 $WL_4$ 、 $WL_6 \dots WL_{2n}$  の幅  $F_1$  と同じである。

10

#### 【0111】

前記犠牲マスク層 362 を形成した後、図7B のように第2ハードマスク層 364 が前記犠牲マスク層 362 の上に形成される。前記第2ハードマスク層 364 は、シリコン酸化膜であり、前記第2ハードマスク層 364 は、前記幅  $F_1$  の少なくとも 1/2 の厚さを持つので側壁に前記犠牲マスク層 362 が形成された奇数番目のワードラインのマスクパターン 360 w の間のギャップが埋められる。隣り合う接地選択ラインのハードマスクパターン 360 g の間、隣り合うストリング選択ラインのハードマスクパターン 360 s の間、接地選択ラインのハードマスクパターン 360 g 及び隣り合う一番目の奇数番目のワードラインのハードマスクパターン 360 w の間に更に広いギャップが形成されるので前記第2ハードマスク層 364 が形成された後にもギャップ 368 が残る。前記第2ハードマスク層 364 の厚さがワードラインの幅  $F_1$  であれば、隣り合う接地選択ラインのパターン 360 g、隣り合うストリング選択ラインのパターン 360 s、接地選択ラインのハードマスクパターン 360 g と隣り合う一番目の奇数番目のワードラインのハードマスクパターン 360 w は、前記幅  $F_1$  より 4 倍以上大きい幅で分離される。

20

#### 【0112】

図7C のように前記第2ハードマスク層 364 は、隣り合う接地選択ラインのハードマスクパターン 360 g の間、隣り合うストリング選択ラインのハードマスクパターン 360 s の間、接地選択ラインのハードマスクパターン 360 g 及び隣り合う一番目の奇数番目のワードラインのハードマスクパターン 360 w の間、前記犠牲マスク層 362 の上部面から前記ハードマスク層 364 の一部の領域を除去するためにエッチバック工程が行われる。従って、前記エッチバック工程の後に前記第2ハードマスク層 364 の一部の領域は、前記幅  $F_1$  と同じ厚さを持つ。特に、前記エッチバック工程の後に残っている前記第2ハードマスク層 364 の一部の領域は、前記犠牲マスク層 362 の上の第2ハードマスクパターン 370 になる。前記第2ハードマスクパターン 370 は、隣り合う奇数番目のワードラインのパターン 360 w の間及び前記終わりの奇数番目のワードラインのパターン 360 w 及び前記隣り合うストリング選択ラインのパターン 360 s の間の偶数番目のワードラインのパターン 370 w を含む。

30

#### 【0113】

図7D のように前記第1ハードマスクパターン 360 及び / 又は第2ハードマスクパターン 370 によってカバーされない前記蝕刻ターゲット層 352 の一部の領域が露出されるように前記犠牲マスク層 362 の露出された一部の領域は、除去される（例えば、乾式蝕刻を利用する）。前記蝕刻ターゲット層 352 の露出された一部の領域は、前記第1及び第2ハードマスクパターン 360、370 を蝕刻マスクに利用して除去され（例えば、乾式蝕刻を利用する）、その後に前記第1及び第2ハードマスクパターン 360、370 は、図4A 及び図4B の構造物が形成されるように除去される。

40

#### 【0114】

本発明の実施形態によると、NAND型の不揮発性メモリー素子は、一回の蝕刻を伴う一回のフォトリソグラフィーの露出を利用して形成できるパターンの大きさより小さいパ

50

ターンの構造を提供することができる。従って、本発明の N A N D 型の不揮発性メモリー素子に於いて、微細な線及びスペースのパターンを更に集積できる効果を得る。本発明を、以上の実施形態によって詳しく説明したが、本発明の目的及び特許請求の範囲内において、他の実施形態へと多様に変更可能であり、また、細かな部分も多様に変更可能である。

**【図面の簡単な説明】**

**【0 1 1 5】**

【図 1 A】本発明の一実施の形態による不揮発性メモリー素子の平面図である。

【図 1 B】図 1 A の I - I' 線による断面図である。

【図 1 C】プログラムの動作の間に接地誘導漏洩電流を表す断面図である。 10

【図 1 D】消去動作の間にカップリングキャパシタンスを表す断面図である。

【図 2 A】本発明の一実施の形態による不揮発性メモリー素子の平面図である。

【図 2 B】図 2 A の I I - I I' 線による断面図である。

【図 3 A】本発明の他の実施の形態による不揮発性メモリー素子の平面図である。

【図 3 B】図 3 A の I I I - I I I' 線による断面図である。

【図 4 A】本発明の他の実施の形態による不揮発性メモリー素子の平面図である。

【図 4 B】図 4 A の I V - I V' 線による断面図である。

【図 5 A】本発明の実施の形態による図 2 A 及び 2 B の不揮発性メモリー構造を形成するための工程を表す断面図である。

【図 5 B】本発明の実施の形態による図 2 A 及び 2 B の不揮発性メモリー構造を形成するための工程を表す断面図である。 20

【図 5 C】本発明の実施の形態による図 2 A 及び 2 B の不揮発性メモリー構造を形成するための工程を表す断面図である。

【図 5 D】本発明の実施の形態による図 2 A 及び 2 B の不揮発性メモリー構造を形成するための工程を表す断面図である。

【図 6 A】本発明の実施の形態による図 3 A 及び 3 B の不揮発性メモリー構造を形成するための工程を表す断面図である。

【図 6 B】本発明の実施の形態による図 3 A 及び 3 B の不揮発性メモリー構造を形成するための工程を表す断面図である。 30

【図 6 C】本発明の実施の形態による図 3 A 及び 3 B の不揮発性メモリー構造を形成するための工程を表す断面図である。

【図 6 D】本発明の実施の形態による図 3 A 及び 3 B の不揮発性メモリー構造を形成するための工程を表す断面図である。

【図 7 A】本発明の実施の形態による図 4 A 及び 4 B の不揮発性メモリー構造を形成するための工程を表す断面図である。

【図 7 B】本発明の実施の形態による図 4 A 及び 4 B の不揮発性メモリー構造を形成するための工程を表す断面図である。

【図 7 C】本発明の実施の形態による団 4 A 及び 4 B の不揮発性メモリー構造を形成するための工程を表す断面図である。

【図 7 D】本発明の実施の形態による団 4 A 及び 4 B の不揮発性メモリー構造を形成するための工程を表す断面図である。 40

**【符号の説明】**

**【0 1 1 6】**

A C T 活性領域

B I L バリア絶縁膜

C S G 電荷貯蔵ゲート

G I L ゲート絶縁膜

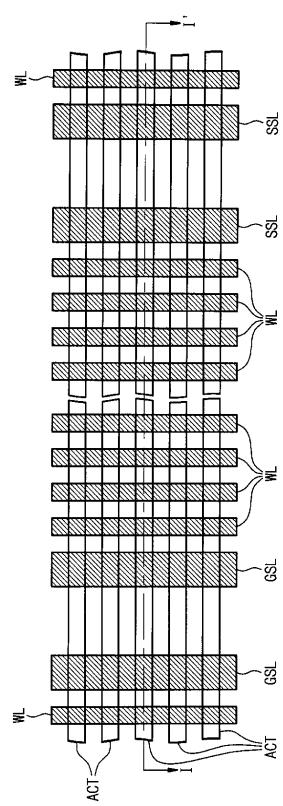
G S L 接地選択ライン

S S L ストリング選択ライン

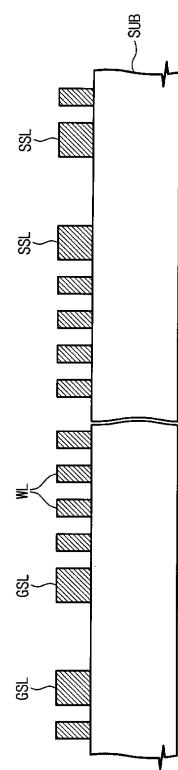
T I L トンネル絶縁膜

## WL ワードライン

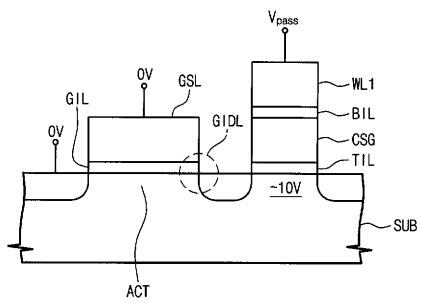
【図 1 A】



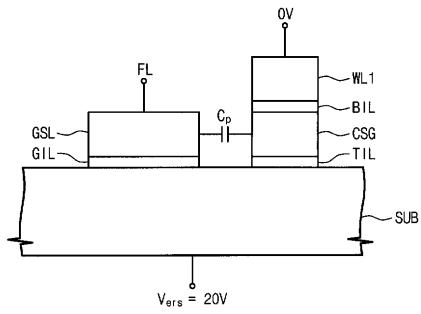
【図 1 B】



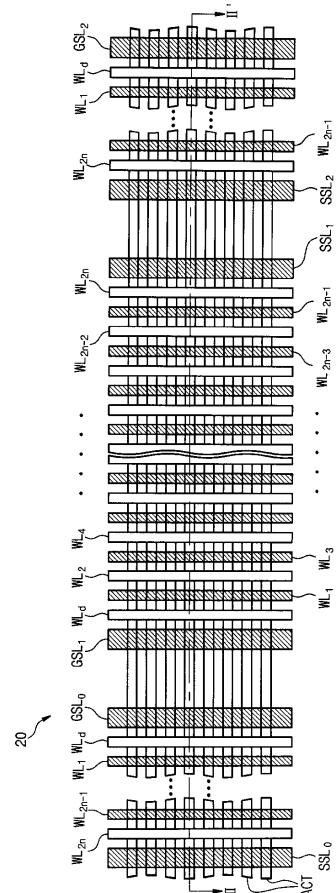
【図 1 C】



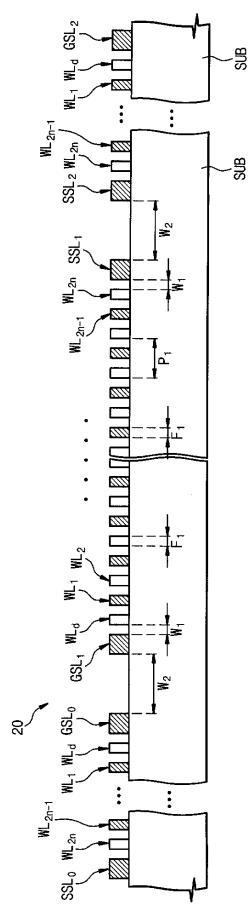
【図 1 D】



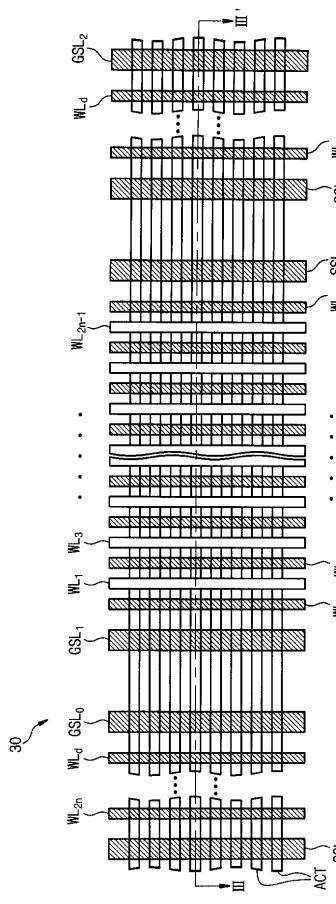
【図 2 A】



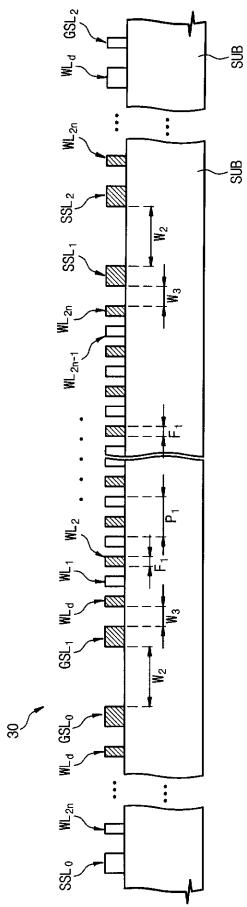
【図 2 B】



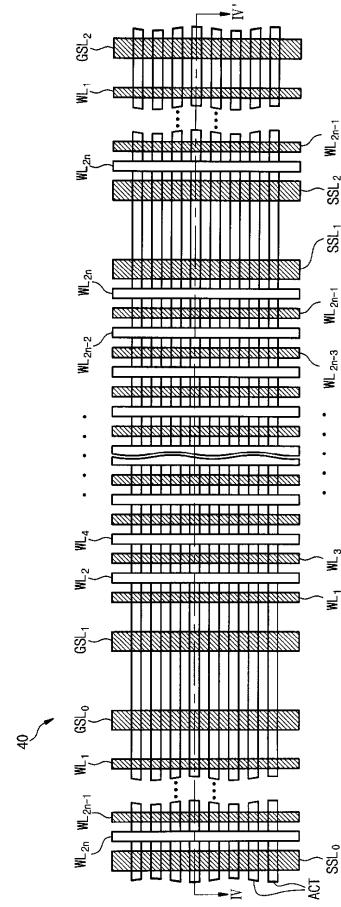
【図 3 A】



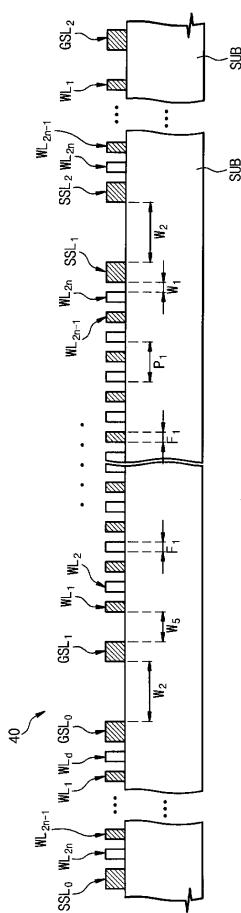
【図 3 B】



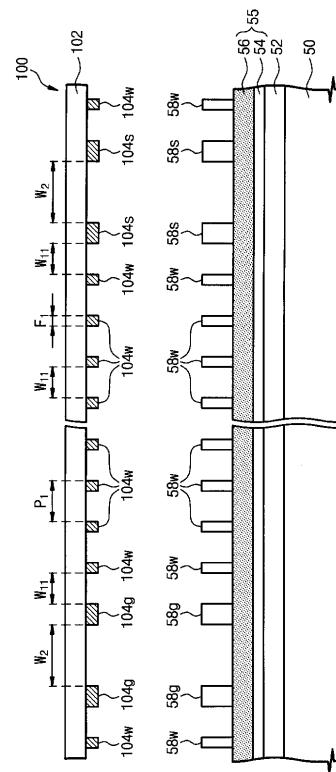
【図 4 A】



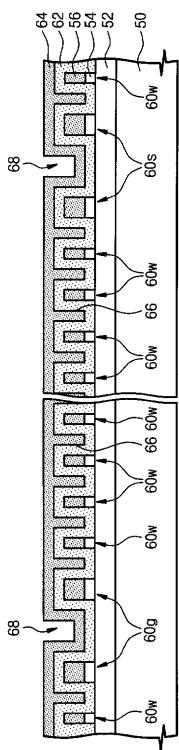
【図 4 B】



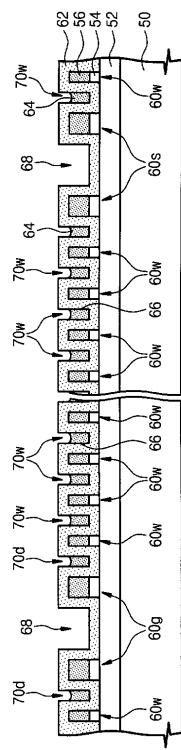
【図 5 A】



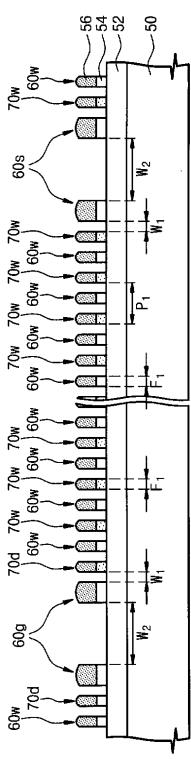
【 図 5 B 】



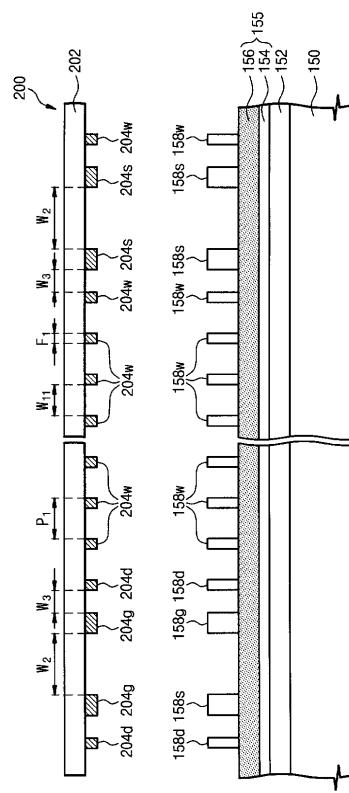
【図5C】



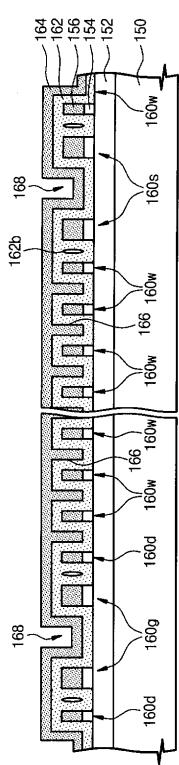
【図5D】



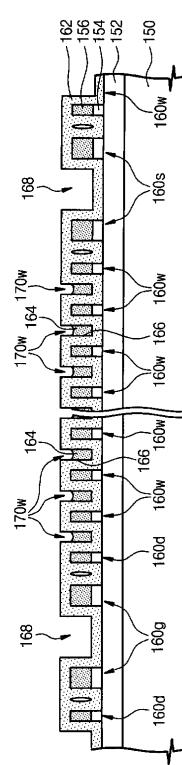
【図 6 A】



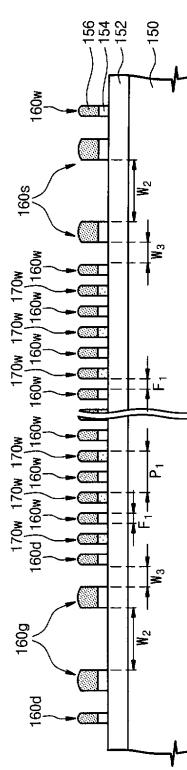
【 図 6 B 】



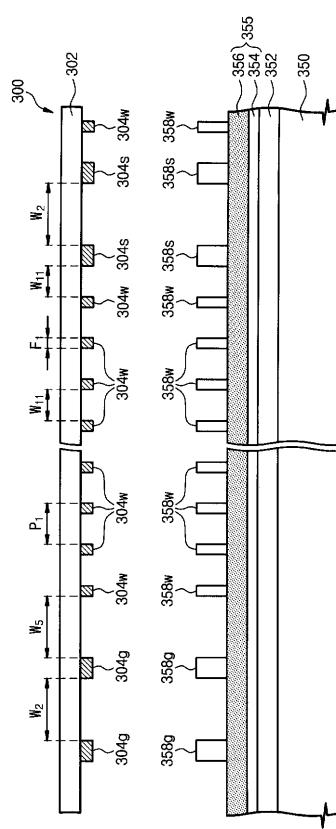
【図 6 C】



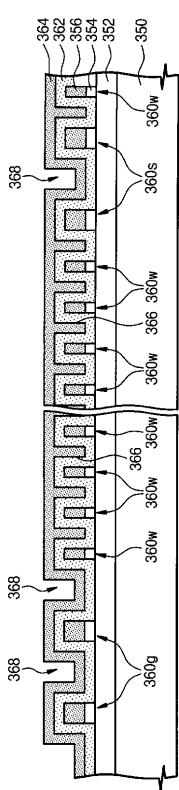
【 図 6 D 】



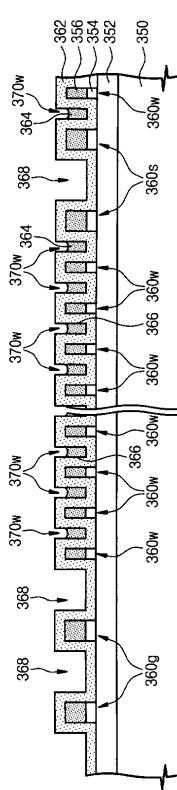
【 図 7 A 】



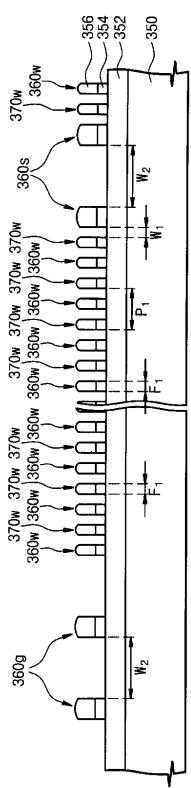
【図7B】



【 図 7 C 】



【 図 7 D 】



---

フロントページの続き

(72)発明者 薛 鐘善  
大韓民国京畿道龍仁市器興区舊葛洞（番地なし） ハンサン2 - チャアパート203 - 404

(72)発明者 崔 正達  
大韓民国京畿道水原市靈通区網浦洞（番地なし） ドンスウォンエルジーヴィレッジ205 - 16  
03

(72)発明者 朴 泳雨  
大韓民国ソウル江南区大峙洞（番地なし） ミドアパート102 - 108

(72)発明者 朴 鎮澤  
大韓民国京畿道水原市靈通区靈通洞（番地なし） シンナムシル5 - ダンジアパート505 - 14  
05

F ターム(参考) 5F083 EP02 EP23 EP76 GA06 GA09 GA12 LA12 LA16 LA20 ZA28  
5F101 BA01 BB05 BD34 BE05 BE07