

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-22009

(P2008-22009A)

(43) 公開日 平成20年1月31日(2008.1.31)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10 4 3 4	5 F 0 8 3
H O 1 L 27/115 (2006.01)	H O 1 L 29/78 3 7 1	5 F 1 0 1
H O 1 L 29/788 (2006.01)		
H O 1 L 29/792 (2006.01)		

審査請求 未請求 請求項の数 41 O L (全 36 頁)

(21) 出願番号	特願2007-182659 (P2007-182659)	(71) 出願人	390019839
(22) 出願日	平成19年7月11日 (2007. 7. 11)		三星電子株式会社
(31) 優先権主張番号	10-2006-0065040		S a m s u n g E l e c t r o n i c s
(32) 優先日	平成18年7月11日 (2006. 7. 11)		C o . , L t d .
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞 4 1 6
(31) 優先権主張番号	11/729, 169	(74) 代理人	100064908
(32) 優先日	平成19年3月28日 (2007. 3. 28)		弁理士 志賀 正武
(33) 優先権主張国	米国 (US)	(74) 代理人	100089037
			弁理士 渡邊 隆

(74) 代理人 100108453  
弁理士 村山 靖彦  
(74) 代理人 100110364  
弁理士 実広 信哉

最終頁に続く

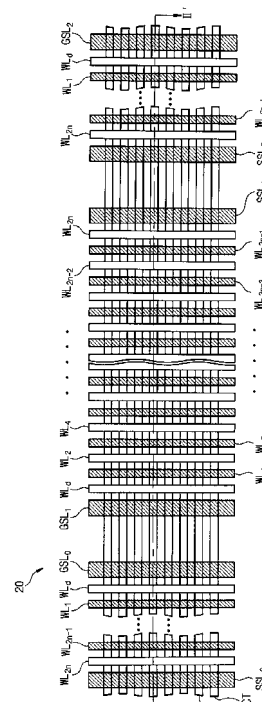
(54) 【発明の名称】 不揮発性メモリー素子及びその製造方法

## (57) 【要約】

【課題】特性が改善された不揮発性メモリー素子を提供する。

【解決手段】不揮発性メモリー素子は、活性領域を含む半導体基板及び前記活性領域上の第1及び第2メモリーセルストリングを含む。第1メモリーセルストリングは、第1接地選択ライン及び第1ストリング選択ラインの間の活性領域を横切る複数の第1ワードラインを含み、複数の第1ワードラインの中の隣り合うラインの間に第1配置間隔が提供される。第2メモリーセルストリングは、第2接地選択ライン及び第2ストリング選択ラインの間の活性領域を横切る複数の第2ワードラインを含み、同じ第1配置間隔が複数の第2ワードラインの中の隣り合うラインの間に提供される。第1接地選択ラインは、第2接地選択ライン及び複数の第1ワードラインの間にあり、第2接地選択ラインは、第1接地選択ライン及び複数の第2ワードラインの間にある。

【選択図】図2 A



**【特許請求の範囲】****【請求項 1】**

活性領域を含む半導体基板と、

第 1 接地選択ライン及び第 1 ストリング選択ラインの間の前記活性領域を横切って第 1 配置間隔を置いて互いに隣り合う複数の第 1 ワードラインを含む前記活性領域上の第 1 メモリーセルストリングと、

第 2 接地選択ライン及び第 2 ストリング選択ラインの間の前記活性領域を横切って前記第 1 配置間隔を置いて互いに隣り合う複数の第 2 ワードラインを含む前記活性領域上の第 2 メモリーセルストリングとを含み、

前記第 1 接地選択ラインは、前記第 2 接地選択ライン及び前記第 1 ワードラインの間にあり、前記第 2 接地選択ラインは、前記第 1 接地選択ライン及び前記第 2 ワードラインの間にあり、前記活性領域の中の前記第 1 及び第 2 接地選択ラインの間の領域には、前記ワードラインが無く、前記第 1 及び第 2 接地選択ラインの間の第 2 配置間隔は、前記第 1 配置間隔より少なくとも 3 倍大きいことを特徴とする不揮発性メモリー素子。

**【請求項 2】**

前記第 2 配置間隔は、前記第 1 配置間隔の 3 乃至 4 倍の範囲の中で前記第 1 配置間隔より大きいことを特徴とする請求項 1 に記載の不揮発性メモリー素子。

**【請求項 3】**

前記第 2 配置間隔は、前記第 1 配置間隔より 3 倍以上大きいことを特徴とする請求項 1 に記載の不揮発性メモリー素子。

**【請求項 4】**

前記第 2 配置間隔は、前記第 1 配置間隔より少なくとも 4 倍大きいことを特徴とする請求項 1 に記載の不揮発性メモリー素子。

**【請求項 5】**

前記第 1 ワードラインは、偶数番目の不揮発性メモリーセルワードライン及びダミーワードラインを含み、前記ダミーワードラインは、前記偶数番目のメモリーセルワードラインの中の一番目及び前記第 1 接地選択ラインの間にあり、前記接地選択ライン及び前記ダミーワードラインの間に前記第 1 配置間隔が提供され、前記ダミーワードライン及び前記偶数番目のメモリーセルワードラインの中の前記一番目の間に前記第 1 配置間隔が提供され、前記偶数番目のメモリーセルワードラインの中の終わり及び前記ストリング選択ラインの間に前記第 1 配置間隔が提供されることを特徴とする請求項 1 に記載の不揮発性メモリー素子。

**【請求項 6】**

前記第 1 ワードラインは、偶数番目のメモリーセルワードライン及びダミーワードラインを含み、前記ダミーワードラインは、前記偶数番目のメモリーセルワードラインの中の一番目及び前記第 1 接地選択ラインの間にあり、前記ダミーワードライン及び前記偶数番目のメモリーセルワードラインの中の前記一番目の間に第 1 配置間隔が提供され、前記接地選択ライン及び前記ダミーワードラインの間に第 3 配置間隔が提供され、前記第 3 配置間隔は、前記第 1 配置間隔より大きく、前記第 1 配置間隔の 2 倍以下であることを特徴とする請求項 1 に記載の不揮発性メモリー素子。

**【請求項 7】**

前記第 3 配置間隔は、前記第 1 配置間隔の 1.5 乃至 2 倍であることを特徴とする請求項 6 に記載の不揮発性メモリー素子。

**【請求項 8】**

前記第 1 ワードラインは、偶数番目のメモリーセルワードラインを含み、前記接地選択ライン及び前記偶数番目のメモリーセルワードラインの中の一番目の間に前記第 1 配置間隔の少なくとも 3 倍の間隔が提供され、前記偶数番目のメモリーセルワードラインの中の終わり及び前記ストリング選択ラインの間に前記第 1 配置間隔が提供され、前記活性領域の中の前記接地選択ライン及び前記偶数番目のメモリーセルワードラインの中の前記終わりのラインの間の領域には、前記ワードラインが無いことを特徴とする請求項 1 に記載の

10

20

30

40

50

不揮発性メモリー素子。

【請求項 9】

前記第 1 及び第 2 メモリーセルストリングの各メモリーセルは、各々のワードライン及び前記活性領域の間の電荷貯蔵層と前記電荷貯蔵層及び前記ワードラインの間のバリア絶縁層を含むことを特徴とする請求項 1 に記載の不揮発性メモリー素子。

【請求項 10】

前記第 1 メモリーセルストリングの配列は、前記第 2 メモリーセルストリングの配列に対して鏡像対称であることを特徴とする請求項 1 に記載の不揮発性メモリー素子。

【請求項 11】

活性領域を含む半導体基板と、  
前記活性領域を横切る接地選択ラインと、  
前記活性領域を横切って前記接地選択ラインから離隔されたストリング選択ラインと、  
前記接地選択ライン及び前記ストリング選択ラインの間の前記活性領域を横切って第 1 配置間隔を置いて隣り合う複数のメモリーセルワードライン及び前記複数のメモリーセルワードラインの中の一番号及び前記第 1 接地選択ラインの間にあり、前記複数のメモリーセルワードラインの中の前記一番号の間に前記第 1 配置間隔を置いて離隔されるダミーワードラインとを含み、

前記複数のメモリーセルワードラインの中の終わり及び前記ストリング選択ラインの間に第 2 配置間隔が提供され、前記第 2 配置間隔は、前記第 1 配置間隔より大きく、前記第 1 配置間隔の 2 倍以下であり、前記接地選択ライン及び前記ダミーワードラインの間に第 3 配置間隔が提供され、前記第 3 配置間隔は、前記第 1 配置間隔より大きく、前記第 1 配置間隔の 2 倍以下であることを特徴とする不揮発性メモリー素子。

【請求項 12】

前記第 3 配置間隔は、前記第 1 配置間隔の 1.5 乃至 2 倍であることを特徴とする請求項 11 に記載の不揮発性メモリー素子。

【請求項 13】

前記複数のメモリーセルワードラインは、第 1 メモリーセルワードラインを含み、前記活性領域を横切る第 2 接地選択ラインと、

前記活性領域を横切って前記第 2 接地選択ラインから離隔された第 2 ストリング選択ラインと、

前記第 2 接地選択ライン及び前記第 2 ストリング選択ラインの間の前記活性領域を横切る第 2 メモリーセルワードラインとを含み、

前記第 1 接地選択ラインは、前記第 2 接地選択ライン及び前記第 1 メモリーセルワードラインの間にあり、前記第 2 接地選択ラインは、前記第 2 ストリング選択ライン及び前記第 1 接地選択ラインの間にあり、前記活性領域の中の前記第 1 及び前記第 2 接地選択ラインの間の領域には、前記ワードラインが無く、前記第 1 及び前記第 2 接地選択ラインの間の第 2 配置間隔は、前記第 1 配置間隔より少なくとも 3 倍大きいことを特徴とする請求項 11 に記載の不揮発性メモリー素子。

【請求項 14】

前記第 2 配置間隔は、前記第 1 配置間隔の 3 乃至 4 倍の範囲の中で前記第 1 配置間隔より大きいことを特徴とする請求項 13 に記載の不揮発性メモリー素子。

【請求項 15】

前記第 2 配置間隔は、前記第 1 配置間隔より 3 倍以上に大きいことを特徴とする請求項 13 に記載の不揮発性メモリー素子。

【請求項 16】

前記第 2 配置間隔は、前記第 1 配置間隔より少なくとも 4 倍大きいことを特徴とする請求項 13 に記載の不揮発性メモリー素子。

【請求項 17】

各々の前記複数のワードライン及び前記活性領域の間に個別的に介される複数の電荷貯蔵層及び前記各々のワードライン及び前記電荷貯蔵層の間に個別的に介される複数のバリ

10

20

30

40

50

ア絶縁膜を含むことを特徴とする請求項 11 に記載の不揮発性メモリー素子。

【請求項 18】

前記複数のメモリーセルワードラインは、偶数番目のメモリーセルワードラインを含むことを特徴とする請求項 11 に記載の不揮発性メモリー素子。

【請求項 19】

活性領域を含む半導体基板と、  
前記活性領域を横切る接地選択ラインと、  
前記活性領域を横切って前記接地選択ラインから離隔されたストリング選択ラインと、  
前記接地選択ライン及び前記ストリング選択ラインの間の前記活性領域を横切る複数のメモリーセルワードラインとを含み、

10

隣り合う前記複数のメモリーセルワードラインの間及び前記複数のメモリーセルワードラインの中の終わり及び前記ストリング選択ラインの間に同じ第 1 配置間隔が提供され、前記接地選択ライン及び前記複数のメモリーセルワードラインの中の一番目の間に第 2 配置間隔が提供され、前記第 2 配置間隔は、前記第 1 配置間隔より少なくとも 3 倍大きく、前記活性領域の中の前記接地選択ライン及び前記複数のメモリーセルワードラインの中の前記一番目の間の領域には、前記ワードラインが無いことを特徴とする不揮発性メモリー素子。

【請求項 20】

前記第 2 配置間隔は、前記第 1 配置間隔より 3 倍大きいことを特徴とする請求項 19 に記載の不揮発性メモリー素子。

20

【請求項 21】

前記第 2 配置間隔は、前記第 1 配置間隔の 4 倍以下であることを特徴とする請求項 19 に記載の不揮発性メモリー素子。

【請求項 22】

前記複数のメモリーセルワードラインは複数の第 1 メモリーセルワードラインを含み、  
前記活性領域を横切る第 2 接地選択ラインと、  
前記活性領域を横切って前記第 2 接地選択ラインから離隔された第 2 スtring 選択ラインと、

前記第 2 接地選択ライン及び前記第 2 スtring 選択ラインの間の前記活性領域を横切る複数の第 2 メモリーセルワードラインとを含み、

30

前記第 1 接地選択ラインは、前記第 2 接地選択ライン及び前記第 1 メモリーセルワードラインの間にあり、前記第 2 接地選択ラインは、前記第 2 スtring 選択ライン及び前記第 1 接地選択ラインの間にあり、前記活性領域の中の前記第 1 及び第 2 接地選択ラインの間の領域には、前記ワードラインが無く、前記第 1 及び第 2 接地選択ラインの間の第 2 配置間隔は、前記第 1 配置間隔より少なくとも 3 倍大きいことを特徴とする請求項 19 に記載の不揮発性メモリー素子。

【請求項 23】

前記第 2 配置間隔は、前記第 1 配置間隔の 3 乃至 4 倍の範囲の中で前記第 1 配置間隔より大きいことを特徴とする請求項 22 に記載の不揮発性メモリー素子。

【請求項 24】

40

前記第 2 配置間隔は、前記第 1 配置間隔より 3 倍大きいことを特徴とする請求項 22 に記載の不揮発性メモリー素子。

【請求項 25】

前記第 2 配置間隔は、前記第 1 配置間隔より少なくとも 4 倍大きいことを特徴とする請求項 22 に記載の不揮発性メモリー素子。

【請求項 26】

各々の前記複数のワードライン及び前記活性領域の間に個別的に介される複数の電荷貯蔵層と、  
前記各々の前記複数のワードライン及び前記電荷貯蔵層の間に個別的に介される複数のバリア絶縁膜とを含むことを特徴とする請求項 19 に記載の不揮発性メモリー素子。

50

**【請求項 27】**

前記複数のメモリーセルワードラインは、偶数個のメモリーセルワードラインを含むことを特徴とする請求項 19 に記載の不揮発性メモリー素子。

**【請求項 28】**

基板の上に蝕刻ターゲット層を形成する段階と、

前記基板の上に第 1 ハードマスクパターンを形成する段階と、

前記第 1 ハードマスクパターンの上に犠牲マスク層を形成する段階と、

前記犠牲マスク層の上に第 2 ハードマスクパターンを形成する段階と、

前記第 1 及び第 2 ハードマスクパターンの間の前記蝕刻ターゲット層の一部の領域が露出されるように前記第 1 及び第 2 ハードマスクパターンの間の前記犠牲マスク層の一部の領域を除去する段階と、

前記第 1 及び第 2 ハードマスクパターンの間に露出された前記蝕刻ターゲット層の一部の領域を蝕刻する段階とを含み、

前記第 1 選択ラインパターン及び一番目の奇数番目のワードラインパターンの間、隣り合う奇数番目のワードラインパターンの間及び終わりの奇数番目のワードラインパターン及び前記第 2 選択ラインパターンの間に同じ配置間隔が提供され、前記第 1 ハードマスクパターンは、第 1 物質を含み、

前記犠牲マスク層が形成された隣り合う奇数番目のワードラインパターンの側壁の間にギャップがあり、前記犠牲マスク層は、第 2 物質を含み、前記第 1 及び第 2 物質は、相違なる組成をもち、

前記第 2 ハードマスクパターンは、ダミーワードラインパターン及び偶数番目のワードラインパターンを含み、前記ダミーワードラインパターンは、前記第 1 選択ラインパターン及び前記一番目の奇数番目のワードラインパターンの間にあり、前記偶数番目のワードラインパターンは、隣り合う奇数番目のワードラインパターンの間及び前記終わりの奇数番目のワードラインパターンと前記第 2 選択ラインパターンの間にあり、前記第 2 ハードマスクパターンは、第 3 物質を含み、前記第 2 及び第 3 物質は、相違なる組成をもつことを特徴とする不揮発性メモリー素子の製造方法。

**【請求項 29】**

前記第 1 選択ラインパターン及び前記一番目の奇数番目のワードラインパターンの間に提供される前記配置間隔は、前記一番目の奇数番目のワードラインパターンの幅の 3 倍になることを特徴とする請求項 28 に記載の不揮発性メモリー素子の製造方法。

**【請求項 30】**

前記第 1 ハードマスクパターンは、シリコン窒化物を含み、前記犠牲マスク層は、ポリシリコンを含み、前記第 2 ハードマスクパターンは、シリコン酸化物を含むことを特徴とする請求項 28 に記載の不揮発性メモリー素子の製造方法。

**【請求項 31】**

前記奇数番目のワードラインパターンは、同じ幅をもち、隣り合う前記複数の奇数番目のワードラインパターンの間の前記配置間隔は、前記奇数番目のワードラインパターンの幅より大きいことを特徴とする請求項 28 に記載の不揮発性メモリー素子の製造方法。

**【請求項 32】**

前記蝕刻ターゲット層を形成する段階は、

前記基板の上に電荷貯蔵層を形成する段階と、

前記電荷貯蔵層の上にバリア絶縁層を形成する段階と、

前記バリア絶縁層の上にコントロールゲート層を形成する段階とを含むことを特徴とする請求項 28 に記載の不揮発性メモリー素子の製造方法。

**【請求項 33】**

基板の上に蝕刻ターゲット層を形成する段階と、

前記基板の上に複数の偶数番目のワードラインパターン及びダミーワードラインパターンを含む第 1 ハードマスクパターンを形成する段階と、

前記第 1 ハードマスクパターンの上に犠牲マスク層を形成する段階と、

前記犠牲マスク層の上に第 2 ハードマスクパターンを形成する段階と、

前記第 1 及び第 2 ハードマスクパターンの間の前記蝕刻ターゲット層の一部の領域が露出されるように前記第 1 及び第 2 ハードマスクパターンの間の前記犠牲マスク層の一部の領域を除去する段階と、

前記第 1 及び第 2 ハードマスクパターンの間に露出された前記蝕刻ターゲット層の一部の領域を蝕刻する段階とを含み、

前記偶数番目のワードラインパターンは、第 1 及び第 2 選択ラインパターンの間にあり、前記ダミーワードラインパターンは、前記第 1 選択ラインパターン及び一番目の偶数番目のワードラインパターンの間にあり、同じ第 1 配置間隔が前記ダミーワードラインパターン及び前記一番目の偶数番目のワードラインパターンの間に提供され、隣り合う偶数番目のワードラインパターンの間に提供され、第 2 配置間隔が前記第 1 選択ラインパターン及び前記ダミーワードラインパターンの間に提供され、終わりの偶数番目のワードラインパターン及び前記第 2 選択ラインパターンの間に提供され、前記第 2 配置間隔は、前記第 1 配置間隔より小さく、前記第 1 ハードマスクパターンは、第 1 物質を含み、前記犠牲マスク層が形成された隣り合う偶数番目のワードラインパターンの側壁の間と前記ダミーワードラインパターン及び前記一番目の偶数番目のワードラインパターンの間にギャップがあり、前記犠牲マスク層は、第 2 物質を含み、前記第 1 及び第 2 物質は、相異なる組成をもち、

前記第 2 ハードマスクパターンは、前記ギャップの内に形成され、前記第 2 ハードマスクパターンは、奇数番目のワードラインパターンを含み、前記奇数番目のワードラインパターンは、隣り合う偶数番目のワードラインパターンの間及び前記ダミーワードラインパターンと前記一番目の偶数番目のワードラインパターンの間にあり、前記第 2 ハードマスクパターンは、第 3 物質を含み、前記第 2 及び第 3 物質は、相異なる組成をもち、

前記ダミーワードラインパターン及び前記第 1 選択ラインパターンの間の空間には、前記第 2 ハードマスクパターンが無い不揮発性メモリ素子の製造方法。

#### 【請求項 3 4】

前記ダミーワードラインパターンと前記一番目の偶数番目のワードラインパターンの間及び隣り合う偶数番目のワードラインパターンの間に提供される前記第 1 配置間隔は、前記一番目の偶数番目のワードラインパターンの幅の 3 倍であることを特徴とする請求項 3 3 に記載の不揮発性メモリ素子の製造方法。

#### 【請求項 3 5】

前記第 2 配置間隔は、前記一番目の偶数番目のワードラインパターンの幅より大きいが、前記一番目の偶数番目のワードラインパターンの幅の 2 倍以下であることを特徴とする請求項 3 4 に記載の不揮発性メモリ素子の製造方法。

#### 【請求項 3 6】

前記第 2 配置間隔は、前記一番目の偶数番目のワードラインパターンの幅の 1.5 倍乃至 2 倍になることを特徴とする請求項 3 3 に記載の不揮発性メモリ素子の製造方法。

#### 【請求項 3 7】

前記偶数番目のワードラインパターンは、同じ幅をもち、隣り合う前記複数の偶数番目のワードラインパターンの間の前記配置間隔は、前記偶数番目のワードラインパターンの前記幅より大きいことを特徴とする請求項 3 3 に記載の不揮発性メモリ素子の製造方法。

#### 【請求項 3 8】

前記蝕刻ターゲット層を形成する段階は、

前記基板の上に電荷貯蔵層を形成する段階と、

前記電荷貯蔵層の上にバリア絶縁層を形成する段階と、

前記バリア絶縁層の上にコントロールゲート層を形成する段階とを含むことを特徴とする請求項 3 3 に記載の不揮発性メモリ素子の製造方法。

#### 【請求項 3 9】

基板の上に蝕刻ターゲット層を形成する段階と、

10

20

30

40

50

第 1 及び第 2 選択ラインパターンの中に複数の奇数番目のワードラインパターンを含む第 1 ハードマスクパターンを形成する段階と、

前記第 1 ハードマスクパターンの上に犠牲マスク層を形成する段階と、

前記犠牲マスク層の上に第 2 ハードマスクパターンを形成する段階と、

前記第 1 及び第 2 ハードマスクパターンの間の前記蝕刻ターゲット層の一部の領域が露出されるように前記第 1 及び第 2 ハードマスクパターンの間の前記犠牲マスク層の一部の領域を除去する段階と、

前記第 1 及び第 2 ハードマスクパターンの間に露出された前記蝕刻ターゲット層の一部の領域を蝕刻する段階とを含み、

前記第 1 ハードマスクパターンは、第 1 及び第 2 選択ラインパターンの間にある複数の奇数番目のワードラインパターンを含み、同一な第 1 配置間隔が隣り合う奇数番目のワードラインパターンの間及び終わりの奇数番目のワードラインパターンと前記第 2 選択ラインパターンの間に提供され、第 2 配置間隔が前記第 1 選択ラインパターン及び一番目の奇数番目のワードラインパターンの間に提供され、前記第 2 配置間隔は、前記第 1 配置間隔より大きく、前記第 1 ハードマスクパターンは、第 1 物質を含み、

前記犠牲マスク層が形成された隣り合う第 1 ハードマスクパターンの側壁の間にギャップがあり、前記犠牲マスク層は、第 2 物質を含み、前記第 1 及び第 2 物質は、相違なる組成をもち、

前記第 2 ハードマスクパターンは、偶数番目のワードラインパターンを含み、前記偶数番目のワードラインパターンは、隣り合う奇数番目のワードラインパターンの間及び前記終わりの奇数番目のワードラインパターンと前記第 2 選択ラインパターンの間にあり、前記第 1 選択ラインパターン及び前記一番目の奇数番目のワードラインパターンの間の空間には、前記第 2 ハードマスクパターンが無く、前記第 2 ハードマスクパターンは、第 3 物質を含み、前記第 2 及び第 3 物質は、相違なる組成をもつ不揮発性メモリー素子の製造方法。

#### 【請求項 40】

前記第 1 配置間隔は、前記一番目の奇数番目のワードラインパターンの幅の 3 倍になることを特徴とする請求項 39 に記載の不揮発性メモリー素子の製造方法。

#### 【請求項 41】

前記蝕刻ターゲット層を形成する段階は、

前記基板の上に電荷貯蔵層を形成する段階と、

前記電荷貯蔵層の上にバリア絶縁層を形成する段階と、

前記バリア絶縁層の上にコントロールゲート層を形成する段階とを含むことを特徴とする請求項 39 に記載の不揮発性メモリー素子の製造方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、電子技術に係り、更に詳しくは、電子メモリー素子及びその製造方法に関する。

#### 【背景技術】

#### 【0002】

フラッシュメモリー素子のような不揮発性メモリー素子は、NOR 型又は、NAND 型の構造である。例えば、NOR 型のフラッシュメモリー素子は、比較的速くアクセス可能であるが、NAND 型のフラッシュメモリー素子は、低い費用及び／又は、高い集積度がある。従って、NOR 型のフラッシュメモリー素子は、コードメモリーストレージ用で使われる一方で、NAND 型のフラッシュメモリー素子は、大容量のメモリーストレージ用で使われる。

#### 【0003】

例えば、特許文献 1 には、“Nonvolatile Semiconductor Memory Device Having Configuration OF NA

10

20

30

40

50

NAND Strings With Dummy Memory Cells Adjacent To Select Transistors”という題目でNAND型の不揮発性半導体メモリー素子の技術が説明されている。更に詳しくは、この米国特許の発明者Hasama等は、直列に連結されて電氣的に再書き込みができる複数の不揮発性メモリーセルを持つ不揮発性半導体メモリー素子を開発した。選択ゲートトランジスターは、メモリーセルの連続的な結合部と直列に連結され、前記選択ゲートトランジスターに隣り合って位置したメモリーセルは、データ貯蔵のためには使われないダミーセルである。データ消去動作の間に他のメモリーセルに印加される同じバイアス電圧が前記ダミーセルにも印加される。

【0004】

従来の不揮発性メモリー素子以上に集積されたメモリー素子の構造及びその製造方法に対する要求が高まっている。

【特許文献1】米国特許第7079437号明細書

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、特性が改善された不揮発性メモリー素子を提供することである。

【課題を解決するための手段】

【0006】

本発明のいくつかの実施形態によると、不揮発性メモリー素子は、活性領域を含む半導体基板及び活性領域上の第1及び第2メモリーセルストリングを含む。第1メモリーセルストリングは、第1接地選択ライン及び第1ストリング選択ラインの間の活性領域を横切る複数の第1ワードラインを含み、複数の第1ワードラインの中の隣り合うラインの間に第1配置間隔が提供される。第2メモリーセルストリングは、第2接地選択ライン及び第2ストリング選択ラインの間の活性領域を横切る複数の第2ワードラインを含み、同一な第1配置間隔が複数の第2ワードラインの中の隣り合うラインの間に提供される。第1接地選択ラインは、第2接地選択ライン及び複数の第1ワードラインの間にあり、第2接地選択ラインは、第1接地選択ライン及び複数の第2ワードラインの間にある。第1及び第2接地選択ラインの間の活性領域の一部の領域には、ワードラインが形成されなく、第1及び第2接地選択ラインの間の第2配置間隔は、第1配置間隔より少なくとも約3倍が大きい。

【0007】

第2配置間隔は、第1配置間隔の3乃至4倍の範囲の中で第1配置間隔より大きい。第2配置間隔は、第1配置間隔より3倍以上大きく、第2配置間隔は、第1配置間隔より少なくとも約4倍大きい。

【0008】

複数の第1ワードラインは、偶数番目のメモリーセルワードライン及び偶数番目のメモリーセルワードラインの中の一番目及び第1接地選択ラインの間にあるダミーワードラインを含む。接地選択ライン及びダミーワードラインの間に第1配置間隔が提供され、ダミーワードライン及び偶数番目のメモリーセルワードラインの中の一番目の間に同一な第1配置間隔が提供される。偶数番目のメモリーセルワードラインの中の終わり及びストリング選択ラインの間に同じ第1配置間隔が提供される。

【0009】

複数の第1ワードラインは、偶数番目のメモリーセルワードライン及び偶数番目のメモリーセルワードラインの中の一番目及び第1接地選択ラインの間にあるダミーワードラインを含む。ダミーワードライン及び偶数番目のメモリーセルワードラインの中の一番目の間に第1配置間隔が提供され、接地選択ライン及びダミーワードラインの間に第3配置間隔が提供される。第3配置間隔は、第1配置間隔より大きいとその2倍以下であり、第3配置間隔は、第1配置間隔の約1.5乃至2倍である。

【0010】

10

20

30

40

50



複数の第 1 ワードラインは、偶数番目のメモリーセルワードラインを含み、接地選択ライン及び偶数番目のメモリーセルワードラインの中の一第 1 配置間隔の少なくとも 3 倍の間隔が提供される。偶数番目のメモリーセルワードラインの中の終わり及びストリング選択ラインの間に第 1 配置間隔が提供され、接地選択ライン及び偶数番目のメモリーセルワードラインの中の終わりの間の活性領域の中の一部の領域には、ワードラインが形成されない。

【 0 0 1 1 】

第 1 及び第 2 メモリーセルストリングの各々のメモリーセルは、ワードライン及び活性領域の間の電荷貯蔵層、電荷貯蔵層及びワードラインの間のバリア絶縁層を含む。第 1 メモリーセルストリングの配列は、第 2 メモリーセルストリングの配列に対して鏡像対称になる。

10

【 0 0 1 2 】

本発明の他の実施の形態によると、不揮発性メモリー素子は、活性領域を含む半導体基板、活性領域を横切る接地選択ライン及び活性領域を横切って接地選択ラインと離隔されたストリング選択ラインを含む。複数のメモリーセルワードラインが接地選択ライン及びストリング選択ラインの間の活性領域を横切って、同じ第 1 配置間隔が複数のワードラインの中の隣り合うワードラインの間に提供される。複数のメモリーセルワードラインの中の終わり及びストリング選択ラインの間に第 2 配置間隔が提供され、第 2 配置間隔は、第 1 配置間隔より大きいとその 2 倍以下である。ダミーワードラインが複数のメモリーセルワードラインの中の一第 1 接地選択ラインの間にあり、複数のメモリーセルワードラインの中の一第 1 接地選択ラインの間に第 1 配置間隔が提供される。接地選択ライン及びダミーワードラインの間に第 3 配置間隔が提供され、第 3 配置間隔は、第 1 配置間隔より 2 倍以下に大きい。第 3 配置間隔は、第 1 配置間隔の約 1 . 5 乃至 2 倍である。

20

【 0 0 1 3 】

複数のメモリーセルワードラインは、複数の第 1 メモリーセルワードラインであり、非活性メモリー素子は、活性領域を横切る第 2 接地選択ライン、活性領域を横切る第 2 ストリング選択ライン及び複数の第 2 メモリーセルワードラインを更に含む。第 1 接地選択ラインは、第 2 接地選択ライン及び複数の第 1 メモリーセルワードラインの間にあり、第 2 ストリング選択ラインは、第 2 接地選択ラインから離隔され、第 2 接地選択ラインは、第 2 ストリング選択ライン及び第 1 接地選択ラインの間にある。

30

【 0 0 1 4 】

複数の第 2 メモリーセルワードラインは、第 2 接地選択ライン及び第 2 ストリング選択ラインの間にある。第 1 及び第 2 接地選択ラインの間の活性領域の中の一部の領域には、ワードラインが形成されなく、第 1 及び第 2 接地選択ラインの間の第 2 配置間隔は、第 1 配置間隔より少なくとも約 3 倍大きい。

【 0 0 1 5 】

第 2 配置間隔は、第 1 配置間隔の約 3 乃至 4 倍の範囲の中で第 1 配置間隔より大きい。第 2 配置間隔は、第 1 配置間隔より 3 倍以上大きく、第 2 配置間隔は、第 1 配置間隔より少なくとも 4 倍大きい。

40

【 0 0 1 6 】

複数の電荷貯蔵層が個別的に各々の複数のワードライン及び活性領域の間に介され、複数のバリア絶縁膜が個別的に各々の複数のワードライン及び電荷貯蔵層の間に介される。複数のメモリーセルワードラインは、偶数個のメモリーセルワードラインを含む。

【 0 0 1 7 】

本発明の他の実施の形態によると、不揮発性メモリー素子は、活性領域を含む半導体基板、活性領域を横切る接地選択ライン、活性領域を横切るストリング選択ライン及び活性領域を横切る複数のメモリーセルワードラインを含む。ストリング選択ラインは、接地選択ラインから離隔され、複数のメモリーセルワードラインは、接地選択ライン及びストリング選択ラインの間の活性領域を横切る。隣り合う複数のメモリーセルワードラインの間

50

及び複数のメモリーセルワードラインの中の終わり及びストリング選択ライン間に同一な第 1 配置間隔が提供される。

【 0 0 1 8 】

接地選択ライン及び複数のメモリーセルワードラインの中の一番目の間に第 2 配置間隔が提供され、第 2 配置間隔は、第 1 配置間隔より少なくとも 3 倍大きい。接地選択ライン及び複数のメモリーセルワードラインの間の活性領域の中の一部の領域の上には、ワードラインが形成されない。第 2 配置間隔は、第 1 配置間隔より約 3 倍大きい。又は、第 2 配置間隔は、第 1 配置間隔の 4 倍以下である。

【 0 0 1 9 】

複数のメモリーセルワードラインは、複数の第 1 メモリーセルワードラインであり、不揮発性メモリー素子は、活性領域を横切る第 2 接地選択ライン、活性領域を横切る第 2 ストリング選択ライン及び活性領域を横切る複数の第 2 メモリーセルワードラインを含む。第 1 接地選択ラインは、第 2 接地選択ライン及び複数の第 1 メモリーセルワードラインの間にあり、第 2 ストリング選択ラインは、第 1 接地選択ライン及び第 2 ストリング選択ラインの間の第 2 接地選択ラインから離隔される。複数の第 2 メモリーセルワードラインは、第 2 接地選択ライン及び第 2 ストリング選択ラインの間にある。第 1 及び第 2 接地選択ラインの間の活性領域の一部の領域には、ワードラインが形成されなく、第 1 及び第 2 接地選択ラインの間の第 2 配置間隔は、第 1 配置間隔より少なくとも約 3 倍大きい。第 2 配置間隔は、第 1 配置間隔より約 3 倍又は、4 倍以上大きい。

【 0 0 2 0 】

各々の複数のワードライン及び活性領域の間に個別的に介される複数の電荷貯蔵層が提供され、各々の複数のワードライン及び電荷貯蔵層の間に個別的に介される複数のバリア絶縁膜が提供される。複数のメモリーセルワードラインは、偶数番目のメモリーセルワードラインを含む。

【 0 0 2 1 】

本発明の他の実施の形態によると、不揮発性メモリー素子の形成方法は、基板の上に蝕刻ターゲット層を形成する段階を含む。第 1 ハードマスクパターンは、第 1 及び第 2 選択ラインパターンの間に複数の奇数番目のワードラインパターンを含み、第 1 選択ラインパターン及び一番目の奇数番目のワードラインパターンの間、隣り合う奇数番目のワードラインパターンの間及び終わりの奇数番目のワードラインパターン及び第 2 選択ラインパターンの間に同一な配置間隔が提供される。第 1 ハードマスクパターンは、第 1 物質を含む。犠牲マスク層が第 1 ハードマスクパターンの上に形成され、犠牲マスク層が形成された隣り合う奇数番目のワードラインパターンの側壁の間にギャップが形成される。犠牲マスク層は、第 2 物質を含み、第 1 及び第 2 物質は、相違なる組成をもつ。第 2 ハードマスクパターンが犠牲マスク層の上に形成され、第 2 ハードマスクパターンは、第 1 選択ラインパターン及び一番目の奇数番目のワードラインパターンの間にあるダミーワードラインパターンを含む。又、第 2 ハードマスクパターンは、隣り合う奇数番目のワードラインパターンの間及び終わりの奇数番目のワードラインパターンと第 2 選択ラインパターンの間にある偶数番目のワードラインパターンを含む。第 2 ハードマスクパターンは、第 3 物質を含み、第 2 及び第 3 物質は、相違なる組成をもつ。第 1 及び第 2 ハードマスクパターンの間の犠牲マスク層の一部の領域は、除去され蝕刻ターゲット層の一部の領域が第 1 及び第 2 ハードマスクパターンの間に露出され、第 1 及び第 2 ハードマスクパターンの間に露出された蝕刻ターゲット層の一部の領域が蝕刻される。

【 0 0 2 2 】

第 1 選択ラインパターン及び一番目の奇数番目のワードラインパターンの間に提供される配置間隔は、一番目の奇数番目のワードラインパターンの幅の約 3 倍である。第 1 ハードマスクパターンは、シリコン窒化物を含み、犠牲マスク層は、ポリシリコンを含み、第 2 ハードマスクパターンは、シリコン酸化物を含む。奇数番目のワードラインパターンは、同じ幅をもち、隣り合う複数の奇数番目のワードラインパターンの間の配置間隔は、奇数番目のワードラインパターンの幅より大きい。蝕刻ターゲット層を形成する段階は、基

10

20

30

40

50

板の上に電荷貯蔵層を形成する段階と、電荷貯蔵層の上にバリア絶縁層を形成する段階及びバリア絶縁層の上にコントロールゲート層を形成する段階を含む。

【0023】

本発明の他の実施の形態によると、不揮発性メモリー素子の形成方法は、基板の上に蝕刻ターゲット層を形成する段階を含む。第1ハードマスクパターンが基板の上に形成され、第1ハードマスクパターンは、第1及び第2選択ラインパターンの間にある複数の偶数番目のワードラインパターン及び第1選択ラインパターン及び一番目の偶数番目のワードラインパターンの間にあるダミーワードラインパターンを含む。同一な第1配置間隔がダミーワードラインパターン及び一番目の偶数番目のワードラインパターンの間及び隣り合う偶数番目のワードラインパターンの間に提供され、第2配置間隔が第1選択ラインパターン及びダミーワードラインパターンの間、終わりの偶数番目のワードラインパターン及び第2選択ラインパターンの間に形成される。

10

【0024】

第2配置間隔は、第1配置間隔より小さく、第1ハードマスクパターンは、第1物質を含む。犠牲マスク層が第1ハードマスクパターンの上に、犠牲マスク層が形成された隣り合う偶数番目のワードラインパターンの側壁の間及びダミーワードラインパターンと一番目の偶数番目のワードラインパターンの間にギャップが形成される。犠牲マスク層は、第2物質を含み、第1及び第2物質は、相違なる組成をもつ。第2ハードマスクパターンがギャップの内に犠牲マスク層の上に形成され、第2ハードマスクパターンは、隣り合う偶数番目のワードラインパターンの間及びダミーワードラインパターンと一番目の偶数番目のワードラインパターンの間にある奇数番目のワードラインパターンを含む。第2ハードマスクパターンは、第3物質を含み、第2及び第3物質は、相違なる組成を持つ。第1及び第2ハードマスクパターンの間の犠牲マスク層の一部の領域が除去されて第1及び第2ハードマスクパターンの間の蝕刻ターゲット層の一部の領域が露出され、ダミーワードラインパターン及び第1選択ラインパターンの間の空間には、第2ハードマスクパターンが形成されない。第1及び第2ハードマスクパターンの間に露出された蝕刻ターゲット層の一部の領域が蝕刻される。

20

【0025】

ダミーワードラインパターンと一番目の偶数番目のワードラインパターンの間及び隣り合う偶数番目のワードラインパターンの間に提供される第1配置間隔は、一番目の偶数番目のワードラインパターンの幅の約3倍である。第2配置間隔は、一番目の偶数番目のワードラインパターンの幅より大きいが一番目の偶数番目のワードラインパターンの幅の2倍以下である。第2配置間隔は、一番目の偶数番目のワードラインパターンの幅の約1.5倍乃至約2倍になる。

30

【0026】

偶数番目のワードラインパターンは、同一な幅をもち、隣り合う複数の偶数番目のワードラインパターンの間の配置間隔は、偶数番目のワードラインパターンの幅より大きい。蝕刻ターゲット層を形成する段階は、基板の上に電荷貯蔵層を形成する段階と、電荷貯蔵層の上にバリア絶縁層を形成する段階及びバリア絶縁層の上にコントロールゲート層を形成する段階を含む。

40

【0027】

不揮発性メモリー素子の形成方法は、基板の上に蝕刻ターゲット層を形成する段階及び基板の上に第1ハードマスクパターンを形成する段階を含む。第1ハードマスクパターンは、第1及び第2選択ラインパターンの間にある複数の奇数番目のワードラインパターンを含み、同一な第1配置間隔が隣り合う奇数番目のワードラインパターンの間及び終わりの奇数番目のワードラインパターンと第2選択ラインパターンの間に提供される。第2配置間隔が第1選択ラインパターン及び一番目の奇数番目のワードラインパターンの間に提供され、第2配置間隔は、第1配置間隔より大きく、第1ハードマスクパターンは、第1物質を含む。犠牲マスク層が第1ハードマスクパターンの上に形成され、犠牲マスク層が形成された隣り合う第1ハードマスクパターンの側壁の間にギャップが形成され、犠牲マ

50

スク層は、第 2 物質を含み、第 1 及び第 2 物質は、相違なる組成を持つ。犠牲マスク層の上に第 2 ハードマスクパターンが形成され、第 2 ハードマスクパターンは、隣り合う奇数番目のワードラインパターンの間及び終わりの奇数番目のワードラインパターンと第 2 選択ラインパターンの間にある偶数番目のワードラインパターンを含む。第 1 選択ラインパターン及び一番目の奇数番目のワードラインパターンの間の空間には、第 2 ハードマスクパターンが形成されなく、第 2 ハードマスクパターンは、第 3 物質を含み、第 2 及び第 3 物質は、相違なる組成を持つ。第 1 及び第 2 ハードマスクパターンの間の犠牲マスク層の一部の領域が除去されて第 1 及び第 2 ハードマスクパターンの間の蝕刻ターゲット層の一部の領域が露出される。その後、第 1 及び第 2 ハードマスクパターンの間に露出された蝕刻ターゲット層の一部の領域が蝕刻される。

10

#### 【 0 0 2 8 】

同じ第 1 配置間隔は、一番目の奇数番目のワードラインパターンの幅の約 3 倍になる。蝕刻ターゲット層を形成する段階は、基板の上に電荷貯蔵層を形成する段階と、電荷貯蔵層の上にバリア絶縁層を形成する段階及びバリア絶縁層の上にコントロールゲート層を形成する段階を含む。

#### 【 発明の効果 】

#### 【 0 0 2 9 】

本発明の実施の形態によると、メモリー素子及び該製造に於いて一回の蝕刻を伴う一回のフォトリソグラフィの露出を利用して形成できるパターンの大きさより小さいパターンの構造を提供することができるのでメモリー素子の微細なライン及びスペースのパター

20

#### 【 発明を実施するための最良の形態 】

#### 【 0 0 3 0 】

本発明の実施形態は、添付図面を参照して更に詳しく説明する。しかし、本発明は、他の実施形態で具体化することもできるので、ここで説明する実施形態に限定されるものではない。当業者は、本発明の実施形態によって発明の目的、効果、技術の範囲が直ぐ理解できるものである。図示された各層及び領域の大きさ等は、説明の便利のために誇張されている。記載された同じ番号の符号は、同じ要素を表す。

#### 【 0 0 3 1 】

要素又は層が“上に”、“連結される”又は“結合される”と記載されている場合、他の要素又は層が介されていたり、又は直接当たって連結されたり結合されていたりもする。

30

#### 【 0 0 3 2 】

一つの要素が他の要素に“直接上に”、“直接連結される”又は“直接結合される”と記載されてあれば、その間に介される要素又は層がない。又、用語“及び/又は”は、羅列された要素の一つ又は、二つ以上の結合の一部及び全部を含む。

#### 【 0 0 3 3 】

第 1、第 2、第 3 などの用語は、多様な要素、コンポーネント、領域及び/又は、セクションを説明するために用いられるが、該要素、コンポーネント、領域及び/又は、セクションは、こうした用語に制限されない。本発明で使われた用語は、特定の実施形態だけを説明するためのもので、本発明を限定するために使われるものではない。文脈で明確にしない限り、単数形で用いられる用語は、複数の場合も含む。

40

#### 【 0 0 3 4 】

断面図は、本発明の理想的な実施形態を概略的に表す。従って、製造技術によって図示される形態の差が予想される。本発明の実施形態は、図示された特定の形態に制限されない。又、用語が特別に定義されていない場合には、使われた全ての用語は、当業者が一般的に理解している用語と同じ意味をもつ。又、用語が特別に定義されていない場合には、該用語は、一般的に使われる辞典の用語の意味であると解釈される。

#### 【 0 0 3 5 】

図 1 A 及び図 1 B から分かるように、フラッシュメモリー素子は、半導体基板に素子の

50

分離膜によって分離された複数の平行な活性領域 A C T を含む。接地選択ライン G S L、ストリング選択ライン S S L 及びワードライン W L は、前記活性領域 A C T を横切る。更に詳しくは、ワードライン W L 及び活性領域 A C T の各交差部に各々のメモリーセルを提供するように各々のワードライン W L 及び各々の活性領域 A C T の間に各々の電荷貯蔵ゲートが提供される。又、接地選択ライン G S L 及びストリング選択ライン S S L の間の活性領域 A C T による複数のメモリーセルは、メモリーセルストリングで定義される。図 1 A 及び図 1 B で分かるように、隣り合うメモリーセルストリングは、2 個の接地選択ライン G S L 又は、2 個のストリング選択ライン S S L によって分離される。

#### 【0036】

図 1 C 及び図 1 D によれば、接地選択ライン G S L 及び半導体基板 S U B の活性領域 A C T の間にゲート絶縁膜 G I L が提供される。ワードライン W L 1 及び前記半導体基板 S U B の前記活性領域 A C T の間に電荷貯蔵ゲート C S G が提供され、前記電子貯蔵ゲート C S G 及び前記活性領域 A C T の間にトンネル絶縁膜 T I L が提供され、前記電子貯蔵ゲート C S G 及び前記ワードライン W L 1 の間にバリア絶縁膜 B I L が提供される。

#### 【0037】

プログラム動作（図 1 C に表すメモリーセル以外のメモリーセルに対して）の間に、0 V が前記接地選択ライン G S L に印加されバス電圧 V p a s s が図 1 C のように非選択ワードライン W L 1 に印加される。プログラム電圧 V p g m がプログラムされるメモリーセルに対応する選択されたワードライン（図示せず）に印加される。従って、前記接地選択トランジスタ（接地選択ライン G S L 及び前記ゲート絶縁膜 G I L によって決められる）のゲート電圧は、0 V であり、前記接地選択トランジスタのドレイン電圧は、約 10 V である。これは、G I D L ( G a t e I n d u c e d D r a i n L e a k a g e ) を招く。

#### 【0038】

消去動作の間に、前記接地選択ライン G S L は、フローティングされ、約 20 V の消去電圧 V e r s が前記半導体基板 S U B の p - ウェルに印加される。そして、図 1 D のように、0 V が前記ワードライン W L 1 に印加される。従って、前記 p - ウェルに印加された 20 V の前記消去電圧 V e r s は、前記接地選択ライン G S L のポテンシャルを上げて、前記接地選択ライン G S L 及び前記電子貯蔵ゲート C S G の間のキャパシタンスカップリング C p によって前記電子貯蔵ゲート C S G （接地選択ライン G S L に隣り合うもの）のポテンシャルが増加される。従って、意図していない消去障害（e r a c e d i s t u r b a n c e）が前記電荷貯蔵ゲート C S G 及び / 又は、前記ワードライン W L 1 から発生する。

#### 【0039】

図 2 A は、本発明のいくつかの実施形態における不揮発性メモリー素子 20（例えば、フラッシュメモリー素子）の平面図であり、図 2 B は、図 2 A の I I - I I' 線による断面図である。前記不揮発性メモリー素子 20 は、半導体基板 S U B の中に、素子分離膜によって分離された平行な複数の活性領域 A C T を含む。接地選択ライン G S L<sub>0-2</sub>、ストリング選択ライン S S L<sub>0-2</sub>、ダミーワードライン W L<sub>d</sub> 及びメモリーセルワードライン W L<sub>1-2n</sub>（n は、正数）は、前記活性領域 A C T を横切る。更に、詳しくは、各々のメモリーセルワードライン W L<sub>1-2n</sub> 及び前記活性領域 A C T の各交差部に各々のメモリーセルを提供するように各々のメモリーセルワードライン W L<sub>1-2n</sub> 及び各活性領域 A C T の間に各々の電荷貯蔵ゲートが提供される。同様に、各々のダミーワードライン W L<sub>d</sub> 及び各活性領域 A C T の間に電荷貯蔵ゲートが提供され、その結果、前記ダミーワードライン W L<sub>d</sub> の構造及び前記メモリーセルワードライン W L<sub>1-2n</sub> の構造が同じになる。

#### 【0040】

接地選択ライン G S L 及びストリング選択ライン S S L（例えば、G S L<sub>1</sub> 及び S S L<sub>1</sub>）の間に、一つの活性領域 A C T に沿った偶数番目のメモリーセルワードラインは、偶数番目のメモリーセルを含むメモリーセルストリングで定義される。図 2 A 及び図 2 B の

ように、隣り合うメモリーセルストリングは、2 個の接地選択ライン  $GSL$  (例えば、 $GSL_0$  及び  $GSL_1$ ) によって又は、2 個のストリング選択ライン  $SSL$  (例えば、 $SSL_1$  及び  $SSL_2$ ) によって分離される。詳しくは、 $2^k$  ( $k$  は、正数) 個のメモリーセルワードライン  $WL_{1 \sim 2n}$  は、データを貯蔵するために使われる  $2^k$  個のメモリーセルを含むメモリーセルストリングを定義する。しかし、前記ダミーワードライン  $WL_d$  は、データを貯蔵するためには使われない。

#### 【0041】

隣り合うメモリーセルストリングのメモリーセルワードライン  $WL_{1 \sim 2n}$  及びダミーワードライン  $WL_d$  の配列は、鏡像対称 (*mirror image symmetry*) になる。例えば、接地選択ライン  $GSL_0$  及びストリング選択ライン  $SSL_0$  の間に  
あるメモリーセルワードライン  $WL_{1 \sim 2n}$  及びダミーワードライン  $WL_d$  の配列は、接地  
選択ライン  $GSL_1$  及びストリング選択ライン  $SSL_1$  の間にあるメモリーセルワード  
ライン  $WL_{1 \sim 2n}$  及びダミーワードライン  $WL_d$  の配列に対して鏡像対称になる。同様に  
、接地選択ライン  $GSL_1$  及びストリング選択ライン  $SSL_1$  の間にあるメモリーセルワ  
ードライン  $WL_{1 \sim 2n}$  及びダミーワードライン  $WL_d$  の配列は、接地選択ライン  $GSL_2$   
及びストリング選択ライン  $SSL_2$  の間にあるメモリーセルワードライン  $WL_{1 \sim 2n}$   
及びダミーワードライン  $WL_d$  の配列に対して鏡像対称になる。

#### 【0042】

メモリーセルストリングと交差する一番目のメモリーセルワードライン  $WL_1$  及び接地  
選択ライン  $GSL$  の間にダミーワードライン  $WL_d$  を形成することによって、前記一番目  
のメモリーセルワードライン  $WL_1$  から接地誘導漏洩電流及び / 又は、消去障害が減少す  
る。又、前記不揮発性メモリー素子のコントローラーが前記接地選択ライン、前記ストリ  
ング選択ライン、前記メモリーセルワードライン及び前記ダミーワードラインに結合され  
る。例えば、消去動作の間に前記接地選択ライン  $GSL_1$  をフローティングさせ、前記半  
導体基板  $SUB$  の  $p$ -ウェルに約 20 V の消去電圧  $V_{ers}$  が印加されるようにし、前記  
メモリーセルワードライン  $WL_{1 \sim 2n}$  に 0 V が印加されるように前記コントローラーは  
、設定される。前記一番目のメモリーセルワードライン  $WL_{1 \sim 2n}$  及び / 又は、各々の  
電荷貯蔵層から消去障害が減少されるように前記コントローラーは、供給電圧  $V_{cc}$  及び  
パス電圧  $V_{pass}$  の間のバイアス電圧  $V_b$  (例えば、 $V_{cc} < V_b < V_{pass}$ ) を前  
記ダミーワードライン  $WL_d$  に印加する。

#### 【0043】

書き込み (又は、プログラム) 動作の間に前記接地選択ライン  $GSL_1$  に供給電圧  $V_{cc}$   
を印加し、前記半導体基板  $SUB$  の  $p$ -ウェルに 0 V を印加し、前記非選択ワードライ  
ンにパス電圧  $V_{pass}$  を印加し、前記選択されたワードラインにプログラム電圧  $V_{pgm}$   
を印加するように前記コントローラーは、設定される。前記ダミーワードラインに隣り  
合う前記接地選択ラインから接地誘導漏洩電流が減少されるように前記コントローラーは  
、供給電圧  $V_{cc}$  及びパス電圧  $V_{pass}$  の間のバイアス電圧  $V_b$  (例えば、 $V_{cc} < V_b < V_{pass}$ ) を前記ダミーワードライン  $WL_d$  に印加するように設定される。

#### 【0044】

図 2 A 及び図 2 B のように前記ダミーワードライン  $WL_d$  及び前記メモリーセルワード  
ライン  $WL_1$  乃至  $WL_{2n}$  の各々は、同じ幅  $F_1$  を持つ。ゲート選択ライン  $GSL$  及び隣  
り合うダミーワードライン  $WL_d$  は、第 1 配置間隔  $W_1$  だけ離隔され、ダミーワードライ  
ン  $WL_d$  及び隣り合う一番目のメモリーセルワードライン  $WL_1$  は、前記第 1 配置間隔  $W_1$   
だけ離隔され、隣り合うメモリーセルワードライン  $WL_x$ 、 $WL_{x+1}$  は、前記第 1 配  
置間隔  $W_1$  だけ離隔され、終わりのワードライン  $WL_{2n}$  及び隣り合うストリング選択ラ  
イン  $SSL$  は、前記第 1 配置間隔だけ離隔される。前記幅  $F_1$  及び前記第 1 配置間隔  $W_1$   
は、同じであり、前記幅  $F_1$  及び前記第 1 配置間隔  $W_1$  は、隣り合う偶数番目のメモリー  
セルワードライン  $WL_{even}$ 、 $WL_{even+2}$  (例えば、偶数番目のメモリーセルワ  
ードラインは、但し一つの奇数番目のメモリーセルワードラインによって分離される) 又  
は、隣り合う奇数番目のメモリーセルワードライン  $WL_{odd}$ 、 $WL_{odd+2}$  (例えば

10

20

30

40

50

、奇数番目のメモリーセルワードラインは、但し一つの偶数番目のメモリーセルワードラインによって分離される)によって定義されたピッチ $P_1$ の約 $1/4$ である。隣り合う接地選択ライン $GSL_0$ 及び $GSL_1$ は、第2配置間隔 $W_2$ によって分離されて隣り合うストリング選択ライン $SSL_0$ 及び $SSL_1$ は、同一な第2配置間隔 $W_2$ によって分離される。前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より少なくとも約3倍大きい。

#### 【0045】

各メモリーセルワードライン $WL_1$ 乃至 $WL_{2n}$ は、接地選択ライン(例えば、 $GSL_1$ )及びストリング選択ライン(例えば、 $SSL_1$ )の間の同一な活性領域 $ACT$ の上のメモリーセルストリングの不揮発性メモリーセル(例えば、フラッシュメモリーセル)のための各々のコントロール電極を提供する。各不揮発性メモリーセルは、前記各々のメモリーセルワードライン及び活性領域の間の電荷貯蔵層、前記活性領域及び前記電荷貯蔵層の間のトンネル絶縁層及び前記メモリーセルワードライン及び前記電荷貯蔵層の間のバリア絶縁層を含む。

#### 【0046】

各ダミーワードライン $WL_d$ は、既に説明された前記メモリーセルワードライン(トンネル絶縁膜、電荷貯蔵層及び各ダミーワードライン及び各活性領域の間のバリア絶縁層を持つ)と同じ構造を持つ。しかし、前記ダミーセルワードライン及び結合されたトンネル絶縁膜、電荷貯蔵層及びバリア絶縁層は、データの貯蔵のために使用されず、代わりにプログラムの動作の間に隣り合う接地選択ラインから接地誘導漏洩電流( $ground\ induced\ leakage\ current$ )を減少させたり消去の動作の間に隣り合うメモリーセルから消去バイアスを減少させる。

#### 【0047】

接地選択ライン $GSL$ 、ダミーワードライン $WL_d$ 、メモリーセルワードライン $WL_1$ 乃至 $WL_{2n}$ 及びストリング選択ライン $SSL$ のパターンは、後に詳しく説明する自己整列ダブルパターニングの技術を利用して形成される。例えば、前記接地選択ライン $GSL$ 、前記ストリング選択ライン $SSL$ 及び前記奇数番目のメモリーセルワードライン $WL_1$ 、 $WL_3$ 、 $WL_5 \dots WL_{2n-1}$ は、フォトリソグラフィーマスクパターンによって形成され、前記ダミーワードライン $WL_d$ 及び前記偶数番目のメモリーセルワードライン $WL_2$ 、 $WL_4$ 、 $WL_6 \dots WL_{2n}$ は、自己整列ダブルパターニングを利用して形成される。

#### 【0048】

図2A乃至図2Bに図示された本発明の実施形態によれば、前記活性領域 $ACT$ の上の第1メモリーセルストリングは、前記第1接地選択ライン $GSL_1$ 及び前記第1ストリング選択ライン $SSL_1$ の間の前記活性領域 $ACT$ を横切る複数の第1メモリーセルワードライン $WL_1$ 乃至 $WL_{2n}$ を含み、同じ第1配置間隔 $W_1$ が互いに隣り合う前記複数の第1ワードラインの間に提供される。前記活性領域 $ACT$ の上の第2メモリーセルストリングは、第2接地選択ライン $GSL_0$ 及び前記第2ストリング選択ライン $SSL_0$ の間の前記活性領域 $ACT$ を横切る複数の第2メモリーセルワードライン $WL_1$ 乃至 $WL_{2n}$ を含み、前記同じ第1配置間隔 $W_1$ が互いに隣り合う前記複数の第2ワードラインの間に提供される。更に詳しくは、前記第1接地選択ライン $GSL_1$ は、前記第2接地選択ライン $GSL_0$ 及び前記複数の第1ワードラインの間にあり、前記第2接地選択ライン $GSL_0$ は、前記第1接地選択ライン $GSL_1$ 及び前記複数の第2ワードラインの間にある。前記第1及び第2接地選択ライン $GSL_1$ 、 $GSL_0$ の間の前記活性領域 $ACT$ の一部には、ワードラインが形成されなく、前記第1及び第2接地選択ライン $GSL_1$ 、 $GSL_0$ の間の前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より少なくとも約3倍大きい。例えば、前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より約3乃至4倍大きい。

#### 【0049】

前記ダミーワードライン $WL_d$ は、前記一番目のメモリーセルワードライン $WL_1$ 及び前記第1接地選択ライン $GSL_1$ の間に提供され、前記同一な第1配置間隔 $W_1$ が前記第1接地選択ライン $GSL_1$ 及び前記ダミーワードライン $WL_d$ の間に提供される。又、前記同一な第1配置間隔 $W_1$ は、前記ダミーワードライン $WL_d$ 及び前記一番目のメモリー

10

20

30

40

50

セルワードライン  $WL_1$  の間に提供され、前記終わりのメモリーセルワードライン  $WL_{2n-1}$  及び前記ストリング選択ライン  $SSL_1$  の間にも提供される。

【0050】

図5A乃至図5Dは、本発明の他の実施形態による自己整列ダブルパターンングを利用して図2A及び図2Bの前記不揮発性メモリー構造物を形成するための工程を表す断面図である。図5Aのように基板50は、前記基板50の上に蝕刻ターゲット層52を含み、蝕刻ターゲット層52は、図2A及び図2Bのメモリーセル、ワードライン、選択トランジスタ及び選択ラインを形成するために使われる物質の層を含む。

【0051】

更に詳しくは、前記ターゲット層は、トンネル絶縁層（例えば、シリコン酸化膜）、電荷貯蔵層（例えば、ポリシリコン又は、シリコン窒化膜）、バリア絶縁層（例えば、シリコン酸化膜又は、前記電荷貯蔵層と違う絶縁膜）及び導電層（例えば、ポリシリコン及び／又は、金属膜）を含む。前記電荷貯蔵層は、前記導電層及び前記基板の間にあり、前記トンネル絶縁層は、前記電荷貯蔵層及び前記基板を電氣的に分離し、前記バリア絶縁層は、前記電荷貯蔵層及び導電層を電氣的に分離する。第1ハードマスク層55が前記蝕刻ターゲット層52の上に形成され、前記第1ハードマスク層55は、パット酸化膜54の上にシリコン窒化膜56を含む。

【0052】

奇数番目のワードラインのフォトレジストパターン58w、接地選択ラインのフォトレジストパターン58g及びストリング選択ラインのフォトレジストパターン58sを含むフォトレジストパターン58が形成されるようにフォトマスク100を利用して前記第1ハードマスク層55の上のフォトレジスト膜がパターンングされる。前記フォトマスク100は、透明な基板102の上のフォトマスクパターン104を含む。前記フォトマスクパターン104は、奇数番目のワードラインのフォトレジストパターン58wに対応する奇数番目のワードラインのフォトマスクパターン104w、接地選択ラインのフォトレジストパターン58gに対応する接地選択ラインのフォトマスクパターン104g及びストリング選択ラインのフォトレジストパターン58sに対応するストリング選択ラインのフォトマスクパターン104sを含む。

【0053】

図5Aのように隣り合う奇数番目のワードラインのフォトマスクパターン104wは、幅／配置間隔  $W_{11}$  だけ離隔され、隣り合う奇数番目のワードラインのフォトレジストパターン58wは、前記幅／配置間隔だけ離隔される。前記奇数番目のワードラインのフォトマスクパターン104wの一番目のものは、前記幅／配置間隔  $W_{11}$  だけ隣り合う接地選択ラインのフォトマスクパターン104gと離隔され、前記奇数番目のワードラインのフォトマスクパターン104wの終わりのものは、前記幅／配置間隔  $W_{11}$  だけ隣り合うストリング選択ラインのフォトマスクパターン104sから離隔される。同じく、前記奇数番目のワードラインのフォトレジストパターン58wの一番目のものは、前記幅／配置間隔  $W_{11}$  だけ隣り合う接地選択ラインのフォトレジストパターン58gから離隔され、前記奇数番目のワードラインのフォトレジストパターン58wの終わりのものは、前記幅／配置間隔  $W_{11}$  だけ隣り合うストリング選択ラインのフォトレジストパターン58sから離隔される。

【0054】

前記奇数番目のワードラインのフォトマスクパターン104w及び前記奇数番目のワードラインのフォトレジストパターン58wは、各々同じ幅  $F_1$  を持ち、前記幅／配置間隔  $W_{11}$  は、前記幅  $F_1$  の約3倍になる。前記奇数番目のワードラインのフォトマスクパターン104wの隣り合うパターン及び前記奇数番目のワードラインのフォトレジストパターン58wの隣り合うパターンは、ピッチ  $P_1$  になり、前記ピッチ  $P_1$  は、前記幅  $F_1$  の約4倍である。前記幅  $F_1$  は、フォトリソグラフィの技術を利用して出来るだけ最小のフィーチャー（Feature）サイズにする。隣り合う接地選択ラインのフォトマスクパターン104g、隣り合うストリング選択ラインのフォトマスクパターン104s、隣

10

20

30

40

50



り合う接地 選択ラインのフォトレジストパターン 5 8 g 及び隣り合うストリング選択ラインのフォトレジストパターン 5 8 s は、第 2 配置間隔  $W_2$  によって分離され、前記第 2 配置間隔  $W_2$  は、前記幅  $F_1$  より 4 倍大きい。前記第 2 配置間隔  $W_2$  は、前記第 1 配置間隔  $W_1$  より少なくとも約 3 倍大きい。例えば、前記第 2 配置間隔  $W_2$  は、前記第 1 配置間隔  $W_1$  より約 3 乃至 4 倍大きく、好ましくは、前記第 2 配置間隔  $W_2$  は、前記第 1 配置間隔  $W_1$  より 3 倍以上大きく、4 倍以上に大きくしてもよい。

#### 【0055】

図 5 A の前記フォトレジストパターン 5 8 が形成されるように連続的なフォトレジスト膜が前記フォトマスク 1 0 0 を介して輻射エネルギーに選択的に露出され、その後現像される。従って、前記フォトレジストパターン 5 8 の配列は、前記フォトマスクパターン 1 0 4 の配列によって決められる。又、前記フォトレジストパターン 5 8 は、図 2 A 及び図 2 B から既に説明されたゲート選択ライン、ストリング選択ライン及び奇数番目のワードラインに対応している。

#### 【0056】

前記フォトレジストパターン 5 8 によって露出された前記第 1 ハードマスク層 5 5 の一部の領域（シリコン窒化膜 5 6 及びパット酸化膜 5 4 含む）は、図 5 B のように第 1 ハードマスクパターン 6 0（接地選択ラインのハードマスクパターン 6 0 g、ストリング選択ラインのハードマスクパターン 6 0 s 及び奇数番目のワードラインのハードマスクパターン 6 0 w を含む）が形成されるように選択的に除去される（例えば、乾式蝕刻を利用する）。例えば、第 1 ハードマスク層 5 5 が分離層 5 4、5 6 を含むと、前記第 1 ハードマスクパターン 6 0 の各要素は、分離層 5 4、5 6 を含む。接地選択ラインのハードマスクパターン 6 0 g 及び一番目の奇数番目のワードラインのハードマスクパターン 6 0 w の間、隣り合う奇数番目のワードラインのハードマスクパターン 6 0 w の間及び終わりの奇数番目のワードラインのハードマスクパターン 6 0 w 及びストリング選択ラインのハードマスクパターン 6 0 s の間に同じ幅 / 配置間隔  $W_{11}$  が形成される。第 1 ハードマスクパターン 6 0 の各要素は、シリコン窒化膜及び / 又は、シリコン酸化膜を含む。前記第 1 ハードマスク層の一部の領域を選択的に除去した後、前記フォトレジストパターン 5 8 が除去される。

#### 【0057】

図 5 B のように、前記第 1 ハードマスクパターン 6 0 及び前記第 1 ハードマスクパターン 6 0 によって露出された前記蝕刻ターゲット層 5 2 の一部の領域の上に犠牲マスク層 6 2 が形成され、前記犠牲マスク層 6 2 及び前記第 1 ハードマスクパターン 6 0 は、相違する物質を含む。例えば、前記第 1 ハードマスクパターン 6 0 の上部層 5 6 は、シリコン窒化膜であり、前記犠牲マスク層 6 2 は、ポリシリコン膜である。前記犠牲マスク層 6 2 の厚さによって側壁に前記犠牲マスク層 6 2 が形成された前記奇数番目のワードラインのハードマスクパターン 6 0 w の間、側壁に前記犠牲マスク層 6 2 が形成された隣り合う接地選択ラインのハードマスクパターン 6 0 g の間、側壁に前記犠牲マスク層 6 2 が形成された隣り合うストリング選択ラインのハードマスクパターン 6 0 s の間、側壁に前記犠牲マスク層 6 2 が形成された互いに隣り合う選択ラインのハードマスクパターン 6 0 g 及び一番目の奇数番目のワードラインのハードマスクパターン 6 0 w の間、側壁に前記犠牲マスク層 6 2 が形成された互いに隣り合う選択ラインのハードマスクパターン 6 0 s 及び終わりの奇数番目のワードラインのハードマスクパターン 6 0 w の間に各々ギャップが形成される。

#### 【0058】

前記第 1 ハードマスクパターン 6 0 w、6 0 g、6 0 s の側壁に形成された前記犠牲マスク層 6 2 の厚さは、図 2 A 及び図 2 B に表す隣り合うワードライン  $WL_x$ 、 $WL_{x+1}$  の間の第 1 配置間隔  $W_1$  と同じである。側壁に前記犠牲マスク層 6 2 が形成された隣り合う奇数番目のワードラインのマスクパターン 6 0 w の間のギャップの幅は、図 2 A 及び図 2 B に表す偶数番目のワードライン  $WL_2$ 、 $WL_4$ 、 $WL_6 \dots WL_{2n}$  の幅  $F_1$  と同じである。

10

20

30

40

50

## 【 0 0 5 9 】

前記犠牲マスク層 6 2 を形成した後、図 5 B のように、第 2 ハードマスク層 6 4 が前記犠牲マスク層 6 2 の上に形成される。前記第 2 ハードマスク層 6 4 は、シリコン酸化膜であり、前記第 2 ハードマスク層 6 4 は、前記幅  $F_1$  の少なくとも  $1/2$  の厚さを持つので側壁に前記犠牲マスク層 6 2 が形成された奇数番目のワードラインのマスクパターン 6 0 w の間のギャップを埋める。隣り合う接地選択ラインのハードマスクパターン 6 0 g の間及び隣り合うストリング選択ラインのハードマスクパターン 6 0 s の間に広いギャップが形成されるので前記第 2 ハードマスク層 6 4 が形成された後にもギャップが残る。前記第 2 ハードマスク層 6 4 の厚さがワードラインの幅  $F_1$  であれば隣り合う接地選択ラインのパターン 6 0 g 及び隣り合うストリング選択ラインのパターン 6 0 s は、前記幅  $F_1$  より 4 倍大きい幅によって分離される。

10

## 【 0 0 6 0 】

その後、図 5 C のように前記第 2 ハードマスク層 6 4 は、隣り合う接地選択ラインのハードマスクパターン 6 0 g の間、隣り合うストリング選択ラインのハードマスクパターン 6 0 s の間、前記犠牲マスク層 6 2 の上部面から前記ハードマスク層 6 4 の一部の領域を除去するためにエッチバック工程が行われる。従って、前記エッチバックの工程の後に残っている前記第 2 ハードマスク層 6 4 の一部の領域は、前記幅  $F_1$  と同じ厚さを持つ。特に、前記エッチバック工程の後に残っている前記第 2 ハードマスク層 6 4 の一部の領域は、前記犠牲マスク層 6 2 の上の第 2 ハードマスクパターン 7 0 になる。前記第 2 ハードマスクパターン 7 0 は、前記接地選択ラインのパターン 6 0 g 及び前記一番目の奇数番目のワードラインのパターン 6 0 w の間のダミーワードラインのパターン 7 0 d を含み、隣り合う奇数番目のワードラインのパターン 6 0 w の間及び前記終わりの奇数番目のワードラインのパターン 6 0 w 及び前記ストリング選択ラインのパターン 6 0 s の間の偶数番目のワードラインのパターン 7 0 w を含む。

20

## 【 0 0 6 1 】

図 5 D のように前記第 1 ハードマスクパターン 6 0 及び / 又は第 2 ハードマスクのパターン 7 0 によってカバーされない前記蝕刻ターゲット層 5 2 の一部の領域を露出されるように前記犠牲マスク層 6 2 の露出された一部の領域は、除去される（例えば、乾式蝕刻を利用する）。

## 【 0 0 6 2 】

前記蝕刻ターゲット層 5 2 の露出された一部の領域は、前記第 1 及び第 2 ハードマスクのパターン 6 0、7 0 を蝕刻マスクに利用して除去し（例えば、乾式蝕刻を利用する）、その後前記第 1 及び第 2 ハードマスクのパターン 6 0、7 0 は、図 2 A 及び図 2 B の構造物が形成されるように除去される。

30

## 【 0 0 6 3 】

図 3 A は、本発明の他の実施の形態による不揮発性メモリー素子 3 0（例えば、フラッシュメモリー素子）の平面図であり、図 3 B は、図 3 A の I I I - I I I' 線による断面図である。前記フラッシュメモリー素子 3 0 は、半導体基板 S U B に素子の分離膜によって分離された平行な複数の活性領域 A C T を含む。接地選択ライン G S L<sub>0-2</sub>、ストリング選択ライン S S L<sub>0-2</sub>、ダミーワードライン W L<sub>d</sub> 及びメモリーセルワードライン W L<sub>1-2n</sub>（n は、正数である）は、前記活性領域 A C T を横切る。各々のメモリーセルワードライン W L<sub>1-2n</sub> 及び前記活性領域 A C T の各交差点に各々のメモリーセルが形成されるように各々のメモリーセルワードライン W L<sub>1-2n</sub> 及び各活性領域 A C T の間に各々の電荷貯蔵ゲートが形成される。同様に各々のダミーワードライン W L<sub>d</sub> 及び各活性領域 A C T の間に電荷貯蔵ゲートが形成され、その結果、前記ダミーワードライン W L<sub>d</sub> の構造及び前記メモリーセルワードライン W L<sub>1-2n</sub> の構造が同じになる。

40

## 【 0 0 6 4 】

接地選択ライン G S L 及びストリング選択ライン S S L（例えば、G S L<sub>1</sub> 及び S S L<sub>1</sub>）の間に、活性領域 A C T に沿った偶数番目のメモリーセルワードライン W L<sub>1-2n</sub> は、偶数番目のメモリーセルを含むメモリーセルストリングになる。図 3 A 及び図 3 B の

50

ように隣り合うメモリーセルストリングは、2 個の接地選択ライン  $GSL$  (例えば、 $GSL_0$  及び  $GSL_1$ ) によって又は、2 個のストリング選択ライン  $SSL$  (例えば、 $SSL_1$  及び  $SSL_2$ ) によって分離される。更に詳しくは、 $2^k$  ( $k$  は、正数) 個のメモリーセルワードライン  $WL_{1-2n}$  は、データを貯蔵するために使われた  $2^k$  個のメモリーセルを含むメモリーセルストリングになる。しかし、前記ダミーワードライン  $WL_d$  は、データを貯蔵するのには使われない。

#### 【0065】

又、隣り合うメモリーセルストリングのメモリーセルワードライン  $WL_{1-2n}$  及びダミーワードライン  $WL_d$  の配列は、鏡像対称 (*mirror image symmetry*) になる。例えば、接地選択ライン  $GSL_0$  及びストリング選択ライン  $SSL_0$  の間にあるメモリーセルワードライン  $WL_{1-2n}$  及びダミーワードライン  $WL_d$  の配列は、接地選択ライン  $GSL_1$  及びストリング選択ライン  $SSL_1$  の間にあるメモリーセルワードライン  $WL_{1-2n}$  及びダミーワードライン  $WL_d$  の配列に対して鏡像対称になる。同様に接地選択ライン  $GSL_1$  及びストリング選択ライン  $SSL_1$  の間にあるメモリーセルワードライン  $WL_{1-2n}$  及びダミーワードライン  $WL_d$  の配列は、接地選択ライン  $GSL_2$  及びストリング選択ライン  $SSL_2$  の間にあるメモリーセルワードライン  $WL_{1-2n}$  及びダミーワードライン  $WL_d$  の配列に対して鏡像対称になる。

#### 【0066】

メモリーセルストリングに交差する一番目のメモリーセルワードライン  $WL_1$  及び接地選択ライン  $GSL$  の間にダミーワードライン  $WL_d$  を形成することによって、前記一番目のメモリーセルワードライン  $WL_1$  から接地誘導漏洩電流及び / 又は、消去障害が減少される。又、前記不揮発性メモリー素子のコントローラーが前記接地選択ライン、前記ストリング選択ライン、前記メモリーセルワードライン及び前記ダミーワードラインに結合される。例えば、消去動作の間に、前記接地選択ライン  $GSL_1$  をフローティングさせて、前記半導体基板  $SUB$  の  $p$ -ウェルに約 20 V の消去電圧  $V_{ers}$  が印加され、前記メモリーセルワードライン  $WL_{1-2n}$  に 0 V が印加されるように前記コントローラーは、設定される。前記一番目のメモリーセルワードライン  $WL_{1-2n}$  及び / 又は、各々の電荷貯蔵層から消去障害が減少されるように前記コントローラーは、供給電圧  $V_{cc}$  及びバス電圧  $V_{pass}$  の間のバイアス電圧  $V_b$  (例えば、 $V_{cc} < V_b < V_{pass}$ ) を前記ダミーワードライン  $WL_d$  に印加できるように設定される。

#### 【0067】

書き込み (又は、プログラム) の動作の間に、前記接地選択ライン  $GSL_1$  に供給電圧  $V_{cc}$  を印加し、前記半導体基板  $SUB$  の  $p$ -ウェルに 0 V を印加し、前記非選択ワードラインにバス電圧  $V_{pass}$  を印加し、前記選択されたワードラインにプログラム電圧  $V_{pgm}$  を印加するように前記コントローラーは、設定される。前記ダミーワードラインに隣り合う前記接地選択ラインから接地誘導漏洩電流が減少されるように前記コントローラーは、供給電圧  $V_{cc}$  及びバス電圧  $V_{pass}$  の間のバイアス電圧  $V_b$  (例えば、 $V_{cc} < V_b < V_{pass}$ ) を前記ダミーワードライン  $WL_d$  に印加できるように設定される。

#### 【0068】

図 3 A 及び図 3 B のように前記ダミーワードライン  $WL_d$  及び前記メモリーセルワードライン  $WL_1$  乃至  $WL_{2n}$  の各々は、同じ幅  $F_1$  を持つ。ダミーワードライン  $WL_d$  及び隣り合う一番目のメモリーセルワードライン  $WL_1$  は、前記第 1 配置間隔  $W_1$  だけ離隔され、隣り合うメモリーセルワードライン  $WL_x$ 、 $WL_{x+1}$  は、前記第 1 配置間隔  $W_1$  だけ離隔される。前記幅  $F_1$  及び前記第 1 配置間隔  $W_1$  は、同じであり、前記幅  $F_1$  及び前記第 1 配置間隔  $W_1$  は、隣り合う偶数番目のメモリーセルワードライン  $WL_{even}$ 、 $WL_{even+2}$  (例えば、偶数番目のメモリーセルワードラインは、但し一つの奇数番目のメモリーセルワードラインによって分離される)、又は、隣り合う奇数番目のメモリーセルワードライン  $WL_{odd}$ 、 $WL_{odd+2}$  (例えば、奇数番目のメモリーセルワードラインは、但し一つの偶数番目のメモリーセルワードラインによって分離される) になったピッチ  $P_1$  の約  $1/4$  である。

10

20

30

40

50

## 【 0 0 6 9 】

図 3 A 及び図 3 B のように隣り合う接地選択ライン  $GSL_0$  及び  $GSL_1$  は、第 2 配置間隔  $W_2$  によって分離され隣り合うストリング選択ライン  $SSL_0$  及び  $SSL_1$  は、同じ第 2 配置間隔  $W_2$  によって分離される。前記第 2 配置間隔  $W_2$  は、前記第 1 配置間隔  $W_1$  より少なくとも約 3 倍大きい。例えば、前記第 2 配置間隔  $W_2$  は、前記第 1 配置間隔  $W_1$  の約 3 乃至 4 倍の範囲の中で前記第 1 配置間隔  $W_1$  より大きく、特に、前記第 2 配置間隔  $W_2$  は、前記第 1 配置間隔  $W_1$  より 3 倍以上大きく、前記第 1 配置間隔  $W_1$  より 4 倍以上に大きくてもよい。第 3 配置間隔  $W_3$  がゲート選択ライン  $GSL$  及び隣り合うダミーワードライン  $WL_d$  を分離し、同じ第 3 配置間隔  $W_3$  が終わりのメモリーセルワードライン  $WL_{2n}$  及び隣り合うストリング選択ライン  $SSL$  を分離する。前記第 3 配置間隔  $W_3$  は、前記第 1 配置間隔  $W_1$  より大きい、その 2 倍以下であり（つまり、 $W_1 < W_3 < 2 \times W_1$ ）、前記第 3 配置間隔  $W_3$  は、前記第 1 配置間隔  $W_1$  より 1.5 倍大きく、前記第 1 配置間隔  $W_1$  の 2 倍以下になる（つまり、 $1.5 \times W_1 < W_3 < 2 \times W_1$ ）。

10

## 【 0 0 7 0 】

各メモリーセルワードライン  $WL_1$  乃至  $WL_{2n}$  は、接地選択ライン（例えば、 $GSL_1$ ）及びストリング選択ライン（例えば、 $SSL_1$ ）の間の同じ活性領域  $ACT$  の上のメモリーセルストリングの不揮発性メモリーセル（例えば、フラッシュメモリーセル）のための各々のコントロール電極を提供する。又、各不揮発性メモリーセルは、前記各々のメモリーセルワードライン及び活性領域の間の電荷貯蔵層、前記活性領域及び前記電荷貯蔵層の間のトンネル絶縁層及び前記メモリーセルワードライン及び前記電荷貯蔵層の間のバリア絶縁層を含む。

20

## 【 0 0 7 1 】

各ダミーワードライン  $WL_d$  は、既に説明された前記メモリーセルワードライン（トンネル絶縁膜、電荷貯蔵層及び各ダミーワードライン及び各活性領域の間のバリア絶縁層をもつ）と同じ構造を持つ。しかし、前記ダミーセルワードライン及び結合されたトンネル絶縁膜、電荷貯蔵層及びバリア絶縁層は、データを貯蔵するために使われず、代わりにプログラム動作の間に隣り合う接地選択ラインから接地誘導漏洩電流（ground induced leakage current）が減少するように消去動作の間に隣り合うメモリーセルから消去バイアスを減少させる。

## 【 0 0 7 2 】

接地選択ライン  $GSL$ 、ダミーワードライン  $WL_d$ 、メモリーセルワードライン  $WL_1$  乃至  $WL_{2n}$  及びストリング選択ライン  $SSL$  のパターンは、後で説明する自己整列ダブルパターンニング（self-aligned double patterning）を利用して形成される。例えば、前記接地選択ライン  $GSL$ 、前記ストリング選択ライン  $SSL$ 、前記ダミーワードライン  $WL_d$  及び前記偶数番目のメモリーセルワードライン  $WL_2$ 、 $WL_4$ 、 $WL_6 \dots WL_{2n}$  は、フォトリソグラフィのマスクパターンに対応して形成され、前記ダミーワードライン  $WL_d$  及び前記奇数番目のメモリーセルワードライン  $WL_1$ 、 $WL_3$ 、 $WL_5 \dots WL_{2n-1}$  は、自己整列ダブルパターンニングを利用して形成される。

30

## 【 0 0 7 3 】

図 3 A 乃至図 3 B に図示された本発明の他の実施の形態によれば、前記活性領域  $ACT$  上の第 1 メモリーセルストリングは、前記第 1 接地選択ライン  $GSL_1$  及び前記第 1 ストリング選択ライン  $SSL_1$  の間の前記活性領域  $ACT$  を横切る複数の第 1 ワードライン  $WL_1$  乃至  $WL_{2n}$  を含み、同一な第 1 配置間隔  $W_1$  が互いに隣り合う前記複数の第 1 ワードライン  $WL_1$  乃至  $WL_{2n}$  の間に形成される。前記活性領域  $ACT$  の上の第 2 メモリーセルストリングは、第 2 接地選択ライン  $GSL_0$  及び前記第 2 ストリング選択ライン  $SSL_0$  の間の前記活性領域  $ACT$  を横切る複数の第 2 メモリーセルワードライン  $WL_1$  乃至  $WL_{2n}$  を含み、前記同一な第 1 配置間隔  $W_1$  が互いに隣り合う前記複数の第 2 ワードライン  $WL_1$  乃至  $WL_{2n}$  の間に形成される。更に詳しくは、前記第 1 接地選択ライン  $GSL_1$  は、前記第 2 接地選択ライン  $GSL_0$  及び前記複数の第 1 ワードラインの間にあり、

40

50

前記第2接地選択ライン $GSL_0$ は、前記第1接地選択ライン $GSL_1$ 及び前記複数の第2ワードラインの間にある。前記第1及び第2接地選択ライン $GSL_1$ 、 $GSL_0$ の間の前記活性領域ACTの一部には、ワードラインが形成されなく、前記第1及び第2接地選択ライン $GSL_1$ 、 $GSL_0$ の間の前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より少なくとも約3倍大きい。例えば、前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より約3乃至4倍大きく、更に詳しくは、前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より3倍以上大きく、前記第1配置間隔 $W_1$ より4倍以上大きくしてもよい。

#### 【0074】

前記複数の第1ワードライン $WL_1$ 乃至 $WL_{2n}$ は、偶数番目のメモリーセルワードラインを含み、ダミーワードライン $WL_d$ が前記複数の第1ワードライン $WL_1$ 乃至 $WL_{2n}$ の中の一番号のものと前記第1接地選択ライン $GSL_1$ の間に形成される。前記ダミーワードライン $WL_d$ 及び前記複数の第1ワードライン $WL_1$ 乃至 $WL_{2n}$ の間に前記第1配置間隔 $W_1$ が形成される。前記第1接地選択ライン $GSL_1$ 及び前記ダミーワードライン $WL_d$ の間に幅/配置間隔 $W_3$ が形成される。前記幅/配置間隔 $W_3$ は、前記第1配置間隔 $W_1$ より大きく、前記第1配置間隔 $W_1$ の2倍以下になる(つまり、 $W_1 < W_3 < 2 \times W_1$ )。

#### 【0075】

図6A乃至図6Dは、本発明の他の実施の形態による自己整列ダブルパターニングを利用して図3A及び図3Bの不揮発性メモリー構造物を形成するための工程を表す断面図である。図6Aのように基板150は、前記基板150の上に蝕刻ターゲット層152を含み、前記蝕刻ターゲット層152は、図3A及び図3Bのメモリーセル、ワードライン、選択トランジスタ及び選択ラインを形成するために使用される物質の層を含む。

#### 【0076】

更に詳しくは、前記蝕刻ターゲット層152は、トンネル絶縁層(例えば、シリコン酸化膜)、電荷貯蔵層(例えば、ポリシリコン又は、シリコン窒化膜)、バリア絶縁層(例えば、シリコン酸化膜又は、前記電荷貯蔵層とは、違う他の絶縁膜)及び導電層(例えば、ポリシリコン及び/又は、金属膜)を含む。前記電荷貯蔵層は、前記導電層及び前記基板の間にあり、前記トンネル絶縁層は、前記電荷貯蔵層及び前記基板を分離し、前記バリア絶縁層は、前記電荷貯蔵層及び前記導電層を分離する。第1ハードマスク層155が前記蝕刻ターゲット層152の上に形成され、前記第1ハードマスク層155は、パット酸化膜154の上にシリコン窒化膜156を含む。

#### 【0077】

ダミーワードラインのフォトレジストパターン158d、偶数番目のワードラインのフォトレジストパターン158w、接地選択ラインのフォトレジストパターン158g及びストリング選択ラインのフォトレジストパターン158sを含む前記フォトレジストパターン158が形成されるように前記フォトマスク200を利用して前記第1ハードマスク層155の上のフォトレジスト膜がパターンされる。前記フォトマスク200は、透明な基板202の上のフォトマスクパターン204を含む。前記フォトマスクパターン204は、ダミーワードラインのフォトレジストパターン158dに対応するダミーワードラインのフォトマスクパターン204d、偶数番目のワードラインのフォトレジストパターン158wに対応する接地選択ラインのフォトマスクパターン204w、接地選択ラインのフォトレジストパターン158gに対応する接地選択ラインのフォトマスクパターン204g、ストリング選択ラインのフォトレジストパターン158sに対応するストリング選択ラインのフォトマスクパターン204sを含む。

#### 【0078】

図6Aのように隣り合う偶数番目のワードラインのフォトマスクパターン204wは、幅/配置間隔 $W_{11}$ だけ離隔され、隣り合う偶数番目のワードラインのフォトレジストパターン158wは、前記幅/配置間隔 $W_{11}$ だけ離隔される。前記偶数番目のワードラインのフォトマスクパターン204wの一番目のものは、前記幅/配置間隔 $W_{11}$ だけ隣り合うダミーワードラインのフォトマスクパターン204dから離隔され、前記偶数番目の

10

20

30

40

50

ワードラインのフォトマスクパターン 204w の一番目のものは、前記幅 / 配置間隔  $W_1$  だけ隣り合うダミーワードラインのフォトレジストパターン 158d から離隔される。ダミーワードラインのフォトマスクパターン 204d は、隣り合う接地選択ラインのフォトマスクパターン 204g から前記幅 / 配置間隔  $W_3$  だけ離隔され、前記偶数番目のワードラインのフォトマスクパターン 204w の終わりのものは、隣り合うストリング選択ラインのフォトマスクパターン 204s から前記幅 / 配置間隔  $W_3$  だけ離隔される。同じく、前記ダミーワードラインのフォトレジストパターン 158d の一番目のものは、前記幅 / 配置間隔  $W_3$  だけ隣り合う接地選択ラインのフォトレジストパターン 158g から離隔され、前記偶数番目のワードラインのフォトレジストパターン 158w の終わりのものは、前記幅 / 配置間隔  $W_1$  だけ隣り合うストリング選択ラインのフォトレジストパターン 158s から離隔される。

10

#### 【0079】

前記偶数番目のワードラインのフォトマスクパターン 204w 及び前記偶数番目のワードラインのフォトレジストパターン 158w は、同じ幅  $F_1$  を持ち、前記幅 / 配置間隔  $W_3$  は、少なくとも前記幅  $F_1$  から前記幅の約 2 倍までになる ( $F_1 < W_3 < 2 \times F_1$ )。前記偶数番目のワードラインのフォトマスクパターン 204w の隣り合うパターン及び前記偶数番目のワードラインのフォトレジストパターン 158w の隣り合うパターンは、ピッチ  $P_1$  になり、前記ピッチ  $P_1$  は、前記幅  $F_1$  の約 4 倍になる。前記幅  $F_1$  は、フォトリソグラフィの技術を利用して出来るだけ最小のフィーチャー (Feature) サイズにする。隣り合う接地選択ラインのフォトマスクパターン 204g、隣り合うストリング選択ラインのフォトマスクパターン 204s、隣り合う接地選択ラインのフォトレジストパターン 158g 及び隣り合うストリング選択ラインのフォトレジストパターン 158s は、第 2 配置間隔  $W_2$  によって分離され、前記第 2 配置間隔  $W_2$  は、前記幅  $F_1$  より 3 倍大きい。例えば、前記第 2 配置間隔  $W_2$  は、前記第 1 配置間隔  $W_1$  より約 3 乃至 4 倍大きく、好ましくは、前記第 2 配置間隔  $W_2$  は、前記第 1 配置間隔  $W_1$  より 3 倍以上大きく、更に好ましくは、4 倍以上大きい。

20

#### 【0080】

図 6A のフォトレジストパターン 158 が形成されるように連続的なフォトレジスト膜が前記フォトマスク 200 を介して輻射エネルギーに選択的に露出され、その後現像される。従って、前記フォトレジストパターン 158 の配列は、前記フォトマスクパターン 204 の配列によって決められる。又、前記フォトレジストパターン 158 は、図 3A 及び図 3B から既に説明されたゲート選択ライン、ストリング選択ライン及び偶数番目のワードラインに対応している。

30

#### 【0081】

前記フォトレジストパターン 158 によって露出された前記第 1 ハードマスク層 155 の一部の領域 (シリコン窒化膜 156 及びバット酸化膜 154 含む) は、図 6B のように第 1 ハードマスクパターン 160 (接地選択ラインのハードマスクパターン 160g、ストリング選択ラインのハードマスクパターン 160s、ダミーワードラインのハードマスクパターン 160d 及び偶数番目のワードラインのハードマスクパターン 160w を含む) が形成されるように選択的に除去される (例えば、乾式蝕刻を利用する)。例えば、第 1 ハードマスク層 155 が分離層 154、156 を含むと前記第 1 ハードマスクパターン 160 の各要素は、分離層 154、156 を含む。ダミーワードラインのハードマスクパターン 160d 及び一番目の奇数番目のワードラインのハードマスクパターン 160w の間及び隣り合う偶数番目のワードラインのハードマスクパターン 160w の間に同じ幅 / 配置間隔  $W_1$  が形成される。同じ配置間隔  $W_3$  が接地選択ラインのハードマスクパターン 160g 及びダミーワードラインのハードマスクパターン 160d の間、終わりの偶数番目のワードラインのハードマスクパターン 160w 及びストリング選択ラインのハードマスクパターン 160s の間に形成される。第 1 ハードマスクパターン 160 の各要素は、シリコン窒化膜及び / 又は、シリコン酸化膜を含む。前記第 1 ハードマスク層の一部の領域を選択的に除去した後、前記フォトレジストパターン 158 が除去される。

40

50

## 【 0 0 8 2 】

図 6 B のように前記第 1 ハードマスクパターン 1 6 0 及び前記第 1 ハードマスクパターン 1 6 0 によって露出された前記蝕刻ターゲット層 1 5 2 の一部の領域の上に犠牲マスク層 1 6 2 が形成され、前記犠牲マスク層 1 6 2 及び前記第 1 ハードマスクパターン 1 6 0 は、相違なる物質を含む。例えば、前記第 1 ハードマスクパターン 1 6 0 の上部層 1 5 6 は、シリコン窒化膜であり、前記犠牲マスク層 1 6 2 は、ポリシリコン膜である。前記犠牲マスク層 1 6 2 の厚さによって側壁に前記犠牲マスク層 1 6 2 が形成された前記偶数番目のワードラインのハードマスクパターン 1 6 0 w の間、側壁に前記犠牲マスク層 1 6 2 が形成された隣り合う接地選択ラインのハードマスクパターン 1 6 0 g の間、側壁に前記犠牲マスク層 1 6 2 が形成された隣り合うストリング選択ラインのハードマスクパターン 1 6 0 s の間、側壁に前記犠牲マスク層 1 6 2 が形成された互いに隣り合うダミーワードラインのハードマスクパターン 1 6 0 d 及び一番目の偶数番目のワードラインのハードマスクパターン 1 6 0 w の間にギャップが形成される。

10

## 【 0 0 8 3 】

前記第 1 ハードマスクパターン 1 6 0 d、1 6 0 w、1 6 0 g、1 6 0 s の側壁に形成された前記犠牲マスク層 1 6 2 の厚さは、図 3 A 及び図 3 B のように隣り合うワードライン  $WL_x$ 、 $WL_{x+1}$  の間の第 1 配置間隔  $W_1$  と同じである。側壁に前記犠牲マスク層 1 6 2 が形成された隣り合う偶数番目のワードラインのマスクパターン 1 6 0 w の間のギャップの幅は、図 3 A 及び図 3 B のように奇数番目のワードライン  $WL_1$ 、 $WL_3$ 、 $WL_5$  ...  $WL_{2n-1}$  の幅  $F_1$  と同じである。

20

## 【 0 0 8 4 】

前記犠牲マスク層 1 6 2 を形成した後、図 6 B のように第 2 ハードマスク層 1 6 4 が前記犠牲マスク層 1 6 2 の上に形成される。前記第 2 ハードマスク層 1 6 4 は、シリコン酸化膜であり、前記第 2 ハードマスク層 1 6 4 は、前記幅  $F_1$  の少なくとも  $1/2$  の厚さを持つので側壁に前記犠牲マスク層 1 6 2 が形成された奇数番目のワードラインのマスクパターン 1 6 0 w の間のギャップを埋める。隣り合う接地選択ラインのハードマスクパターン 1 6 0 g の間及び隣り合うストリング選択ラインのハードマスクパターン 1 6 0 s の間に更に広いギャップが形成されるので前記第 2 ハードマスク層 1 6 4 が形成された後にもギャップが残る。前記第 2 ハードマスク層 1 6 4 の厚さがワードラインの幅  $F_1$  であれば、隣り合う接地選択ラインのパターン 1 6 0 g 及び隣り合うストリング選択ラインのパターン 1 6 0 s は、前記幅  $F_1$  より 4 倍以上大きい幅によって分離される。

30

## 【 0 0 8 5 】

続いて、図 6 c のように前記第 2 ハードマスク層 1 6 4 は、隣り合う接地選択ラインのハードマスクパターン 1 6 0 g の間、隣り合うストリング選択ラインのハードマスクパターン 1 6 0 s の間、前記犠牲マスク層 1 6 2 の上部面から前記ハードマスク層 1 6 4 の一部の領域を除去するためにエッチバック工程が行われる。従って、前記エッチバック工程の後に残っている前記第 2 ハードマスク層 1 6 4 の一部の領域は、前記幅  $F_1$  と同じ厚さを持つ。特に、前記エッチバック工程の後に残っている前記第 2 ハードマスク層 1 6 4 の一部の領域は、前記犠牲マスク層 1 6 2 の上の第 2 ハードマスクパターン 1 7 0 になる。前記第 2 ハードマスクパターン 1 7 0 は、隣り合う偶数番目のワードラインパターン 1 6 0 w の間及び前記終わりの奇数番目のワードラインパターン 1 6 0 w 及び前記ストリング選択ラインパターン 1 6 0 s の間の奇数番目のワードラインパターン 1 7 0 w を含む。

40

## 【 0 0 8 6 】

図 6 d のように前記第 1 ハードマスクパターン 1 6 0 及び / 又は第 2 ハードマスクパターン 1 7 0 によってカバーされない前記蝕刻ターゲット層 1 5 2 の一部の領域が露出されるように前記犠牲マスク層 1 6 2 の露出された一部の領域は、除去される（例えば、乾式蝕刻を利用する）。前記蝕刻ターゲット層 1 5 2 の露出された一部の領域では、前記第 1 及び第 2 ハードマスクパターン 1 6 0、1 7 0 は蝕刻マスクを利用して除去され（例えば、乾式蝕刻を利用する）、その後前記第 1 及び第 2 ハードマスクパターン 1 6 0、1 7 0 は、図 3 A 及び図 3 B の構造物を形成するように除去される。

50

## 【 0 0 8 7 】

図 4 A は、本発明の他の実施の形態による不揮発性メモリー素子 4 0 (例えば、フラッシュメモリー素子)の平面図であり、図 4 B は、図 4 A の  $I V - I V'$  線による断面図である。前記フラッシュメモリー素子 4 0 は、半導体基板  $S U B$  に素子の分離膜によって分離された平行な複数の活性領域  $A C T$  を含む。接地選択ライン  $G S L_0 \sim 2$ 、ストリング選択ライン  $S S L_0 \sim 2$ 、及びメモリーセルワードライン  $W L_1 \sim 2_n$  ( $n$  は、正数)は、前記活性領域  $A C T$  を横切る。更に詳しくは、各々のメモリーセルワードライン  $W L_1 \sim 2_n$  及び前記活性領域  $A C T$  の各交差部に各々のメモリーセルが形成されるように各々のメモリーセルワードライン  $W L_1 \sim 2_n$  及び各活性領域  $A C T$  の間に各々の電荷貯蔵ゲートが形成される。図 4 A 及び図 4 B の構造は、ダミーワードラインを省略した図 2 A 及び図 2 B のものと類似である。

10

## 【 0 0 8 8 】

接地選択ライン  $G S L$  及びストリング選択ライン  $S S L$  (例えば、 $G S L_1$  及び  $S S L_1$ ) の間に一つの活性領域  $A C T$  に沿った偶数番目のメモリーセルワードラインは、偶数番目のメモリーセルを含むメモリーセルストリングを形成する。図 4 A 及び図 4 B から分かるように隣り合うメモリーセルストリングは、2 個の接地選択ライン  $G S L$  (例えば、 $G S L_0$  及び  $G S L_1$ ) によって又は、2 個のストリング選択ライン  $S S L$  (例えば、 $S S L_1$  及び  $S S L_2$ ) によって分離される。更に詳しくは、 $2^k$  ( $k$  は、正数) 個のメモリーセルワードライン  $W L_1 \sim 2_n$  は、データを貯蔵するために使われる  $2^k$  個のメモリーセルを含むメモリーセルストリングを形成する。

20

## 【 0 0 8 9 】

又、隣り合うメモリーセルストリングのメモリーセルワードライン  $W L_1 \sim 2_n$  の配列は、鏡像対称になる。例えば、接地選択ライン  $G S L_0$  及びストリング選択ライン  $S S L_0$  の間にあるメモリーセルワードライン  $W L_1 \sim 2_n$  の配列は、接地選択ライン  $G S L_1$  及びストリング選択ライン  $S S L_1$  の間にあるメモリーセルワードライン  $W L_1 \sim 2_n$  の配列に対して鏡像対称になる。同様に、接地選択ライン  $G S L_1$  及びストリング選択ライン  $S S L_1$  の間にあるメモリーセルワードライン  $W L_1 \sim 2_n$  の配列は、接地選択ライン  $G S L_2$  及びストリング選択ライン  $S S L_2$  の間にあるメモリーセルワードライン  $W L_1 \sim 2_n$  の配列に対して鏡像対称になる。メモリーセルストリングに交差する一番目のメモリーセルワードライン  $W L_1$  及び接地選択ライン  $G S L$  の間に十分な配置間隔 / 幅  $W_5$  を形成することによって、前記一番目のメモリーセルワードライン  $W L_1$  から接地誘導漏洩電流及び / 又は、消去障害が減少する。

30

## 【 0 0 9 0 】

前記不揮発性メモリー素子のコントローラーが前記接地選択ライン、前記ストリング選択ライン及び前記メモリーセルワードラインに結合される。例えば、消去動作の間に前記接地選択ライン  $G S L_1$  をフローティングさせて、前記半導体基板  $S U B$  の  $p$ -ウェルに約 20 V の消去電圧  $V_{e r s}$  が印加され、前記メモリーセルワードライン  $W L_1 \sim 2_n$  に 0 V が印加されるように前記コントローラーが設定される。書き込み (又は、プログラム) 動作の間に前記接地選択ライン  $G S L_1$  に供給電圧  $V_{c c}$  を印加し、前記半導体基板  $S U B$  の  $p$ -ウェルに 0 V を印加し、前記非選択ワードラインにバス電圧  $V_{p a s s}$  を印加し、前記選択されたワードラインにプログラム電圧  $V_{p g m}$  を印加するように前記コントローラーが設定される。

40

## 【 0 0 9 1 】

図 4 A 及び図 4 B のように前記メモリーセルワードライン  $W L_1$  乃至  $W L_{2_n}$  の各々は、同じ幅  $F_1$  をもち、幅 / 配置間隔  $W_5$  がゲート選択ライン  $G S L$  及びメモリーセルストリングに連合された隣り合う一番目のメモリーセルワードライン  $W L_1$  を分離させる。隣り合うメモリーセルワードライン  $W L_x$ 、 $W L_{x+1}$  は、前記第 1 配置間隔  $W_1$  だけ離隔され、終わりのワードライン  $W L_{2_n}$  及び隣り合うストリング選択ライン  $S S L$  は、前記第 1 配置間隔だけ離隔される。前記幅  $F_1$  及び前記第 1 配置間隔  $W_1$  は、同じであり、前記幅  $F_1$  及び前記第 1 配置間隔  $W_1$  は、隣り合う偶数番目のメモリーセルワードライン  $W$

50



$L_{even}$ 、 $WL_{even+2}$ （例えば、偶数番目のメモリーセルワードラインは、ただ一つの奇数番目のメモリーセルワードラインによって分離される）又は、隣り合う奇数番目のメモリーセルワードライン $WL_{odd}$ 、 $WL_{odd+2}$ （例えば、奇数番目のメモリーセルワードラインは、ただ一つの偶数番目のメモリーセルワードラインによって分離される）によって決められるピッチ $P_1$ の約 $1/4$ になる。

#### 【0092】

隣り合う接地選択ライン $GS L_0$ 及び $GS L_1$ は、第2配置間隔（幅） $W_2$ によって分離され、隣り合うストリング選択ライン $SSL_0$ 及び $SSL_1$ は、同じ第2配置間隔 $W_2$ によって分離される。前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より少なくとも約3倍大きい。前記配置間隔 $W_5$ は、前記配置間隔 $W_1$ より約3倍大きい（つまり、 $W_5 > 3 \times W_1$ ）。例えば、前記第2配置間隔 $W_2$ 及び/又は第5配置間隔 $W_5$ は、前記第1配置間隔 $W_1$ の約3乃至4倍の範囲の中で前記第1配置間隔 $W_1$ より大きく、又は、前記第2配置間隔 $W_2$ 及び/又は第5配置間隔 $W_5$ は、前記第1配置間隔 $W_1$ より3倍以上大きく、前記第1配置間隔 $W_1$ より4倍以上大きくてもよい。

10

#### 【0093】

各メモリーセルワードライン $WL_1$ 乃至 $WL_{2n}$ は、接地選択ライン（例えば、 $GS L_1$ ）及びストリング選択ライン（例えば、 $SSL_1$ ）の間の同一な活性領域 $ACT$ の上のメモリーセルストリングの不揮発性メモリーセル（例えば、フラッシュメモリーセル）のために各々のコントロール電極が形成される。又、各不揮発性メモリーセルは、前記各々のメモリーセルワードライン及び活性領域の間の電荷貯蔵層、前記活性領域及び前記電荷貯蔵層の間のトンネル絶縁層及び前記メモリーセルワードライン及び前記電荷貯蔵層の間のバリア絶縁層を含む。

20

#### 【0094】

接地選択ライン $GS L$ 、メモリーセルワードライン $WL_1$ 乃至 $WL_{2n}$ 及びストリング選択ライン $SSL$ のパターンは、後で詳しく説明する自己整列ダブルパターニングを利用して形成される。例えば、前記接地選択ライン $GS L$ 、前記ストリング選択ライン $SSL$ 及び前記奇数番目のメモリーセルワードライン $WL_1$ 、 $WL_3$ 、 $WL_5 \dots WL_{2n-1}$ は、フォトリソグラフィーマスクのパターンに対応して形成され、前記偶数番目のメモリーセルワードライン $WL_2$ 、 $WL_4$ 、 $WL_6 \dots WL_{2n}$ は、自己整列ダブルパターニングを利用して形成される。

30

#### 【0095】

図4A乃至図4Bに図示された本発明の実施形態によれば、前記活性領域 $ACT$ の上の第1メモリーセルストリングは、前記第1接地選択ライン $GS L_1$ 及び前記第1ストリング選択ライン $SSL_1$ の間の前記活性領域 $ACT$ を横切る複数の第1メモリーセルワードライン $WL_1$ 乃至 $WL_{2n}$ を含み、同じ第1配置間隔 $W_1$ が互いに隣り合う前記複数の第1ワードラインの間に形成される。前記活性領域 $ACT$ の上の第2メモリーセルストリングは、第2接地選択ライン $GS L_0$ 及び前記第2ストリング選択ライン $SSL_0$ の間の前記活性領域 $ACT$ を横切る複数の第2メモリーセルワードライン $WL_1$ 乃至 $WL_{2n}$ を含み、前記同じ第1配置間隔 $W_1$ が互いに隣り合う前記複数の第2ワードラインの間に形成される。

40

#### 【0096】

更に詳しくは、前記第1接地選択ライン $GS L_1$ は、前記第2接地選択ライン $GS L_0$ 及び前記複数の第1ワードラインの間にあり、前記第2接地選択ライン $GS L_0$ は、前記第1接地選択ライン $GS L_1$ 及び前記複数の第2ワードラインの間にある。前記第1及び第2接地選択ライン $GS L_1$ 、 $GS L_0$ の間の前記活性領域 $ACT$ の一部には、ワードラインが形成されず、前記第1及び第2接地選択ライン $GS L_1$ 、 $GS L_0$ の間の前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より少なくとも約3倍大きい。例えば、前記第2配置間隔 $W_2$ は、前記第1配置間隔 $W_1$ より約3乃至4倍大きい。

#### 【0097】

図4A及び図4Bのように複数の第1ワードライン $WL_1$ 乃至 $WL_{2n}$ は、偶数番目の

50

メモリーセルワードラインを含み、前記第 1 配置間隔  $W_1$  より 3 倍が大きい配置間隔  $W_5$  が前記接地選択ライン  $GSL_1$  及び前記各々のメモリーセルストリングの一番目のメモリーセルワードライン  $WL_1$  の間に形成される。前記第 1 配置間隔  $W_1$  が前記各々のメモリーセルストリングの終わりのメモリーセルワードライン  $WL_{2n}$  及び前記ストリング選択ライン  $SSL_1$  の間に形成され、前記接地選択ライン  $GSL_1$  及び前記一番目のメモリーセルワードライン  $WL_1$  の間の前記活性領域  $ACT$  の一部の領域には、ワードラインが形成されない。

【0098】

図 7 A 乃至図 7 D は、本発明の実施の形態による自己整列ダブルパターニングを利用して図 4 A 及び図 4 B の不揮発性メモリーの構造物を形成するための工程を表す断面図である。図 7 A のように基板 350 は、該基板 350 の上に蝕刻ターゲット層 352 を含み、蝕刻ターゲット層 352 は、図 4 A 及び図 4 B のメモリーセル、ワードライン、選択トランジスタ及び選択ラインを形成するために使われる物質の層を含む。

【0099】

更に詳しくは、前記ターゲット層は、トンネル絶縁層（例えば、シリコン酸化膜）、電荷貯蔵層（例えば、ポリシリコン又は、シリコン窒化膜）、バリア絶縁層（例えば、シリコン酸化膜又は、前記電荷貯蔵層とは、違う絶縁膜）及び導電層（例えば、ポリシリコン及び/又は、金属膜）を含む。前記電荷貯蔵層は、前記導電層及び前記基板の間にあり、前記トンネル絶縁層は、前記電荷貯蔵層及び前記基板を分離し、前記バリア絶縁層は、前記電荷貯蔵層及び前記導電層を分離する。第 1 ハードマスク層 355 が前記蝕刻ターゲット層 352 の上に形成され、前記第 1 ハードマスク層 355 は、パット酸化膜 354 の上にシリコン窒化膜 356 を含む。

【0100】

奇数番目のワードラインのフォトレジストパターン 358w、接地選択ラインのフォトレジストパターン 358g 及びストリング選択ラインのフォトレジストパターン 358s を含むフォトレジストパターン 358 が形成されるようにフォトマスク 300 を利用して前記第 1 ハードマスク層 355 の上のフォトレジスト膜がパターンされる。

【0101】

更に詳しくは、前記フォトマスク 300 は、透明な基板 302 の上のフォトマスクパターン 304 を含む。前記フォトマスクパターン 304 は、奇数番目のワードラインのフォトレジストパターン 358w に対応する奇数番目のワードラインのフォトマスクパターン 304w、接地選択ラインのフォトレジストパターン 358g に対応する接地選択ラインのフォトマスクパターン 304g 及びストリング選択ラインのフォトレジストパターン 358s に対応するストリング選択ラインのフォトマスクパターン 304s を含む。

【0102】

図 7 A のように隣り合う奇数番目のワードラインのフォトマスクパターン 304w は、幅 / 配置間隔  $W_{11}$  だけ離隔され、隣り合う奇数番目のワードラインのフォトレジストパターン 358w は、前記幅 / 配置間隔  $W_{11}$  だけ離隔される。前記奇数番目のワードラインのフォトマスクパターン 304w の一番目のものは、前記幅 / 配置間隔  $W_5$  だけ隣り合う接地選択ラインのフォトマスクパターン 304g から離隔され、前記奇数番目のワードラインのフォトマスクパターン 304w の終わりのものは、前記幅 / 配置間隔  $W_{11}$  だけ隣り合うストリング選択ラインのフォトマスクパターン 304s から離隔される。

【0103】

同じく、前記奇数番目のワードラインのフォトレジストパターン 358w の一番目のものは、前記幅 / 配置間隔  $W_5$  だけ隣り合う接地選択ラインのフォトレジストパターン 358g から離隔され、前記奇数番目のワードラインのフォトレジストパターン 358w の終わりのものは、前記幅 / 配置間隔  $W_{11}$  だけ隣り合うストリング選択ラインのフォトレジストパターン 358s から離隔される。

【0104】

前記奇数番目のワードラインのフォトマスクパターン 304w 及び前記奇数番目のワー

10

20

30

40

50

ドラインのフォトレジストパターン 3 5 8 w は、各々同じ幅  $F_1$  を持ち、前記幅 / 配置間  
隔  $W_{11}$  は、前記幅  $F_1$  の約 3 倍になる。前記奇数番目のワードラインのフォトマスクパ  
ターン 3 0 4 w の隣り合うパターン及び前記奇数番目のワードラインのフォトレジストパ  
ターン 3 5 8 w の隣り合うパターンは、ピッチ  $P_1$  になり、前記ピッチ  $P_1$  は、前記幅  $F_1$   
の約 4 倍になる。前記幅  $F_1$  は、使用されているフォトリソグラフィの技術を利用して  
出来るだけ最小のフィーチャーサイズにする。隣り合う接地選択ラインのフォトマスク  
パターン 3 0 4 g、隣り合うストリング選択ラインのフォトマスクパターン 3 0 4 s、隣  
り合う接地選択ラインのフォトレジストパターン 3 5 8 g 及び隣り合うストリング選択ラ  
インのフォトレジストパターン 3 5 8 s は、第 2 配置間隔  $W_2$  によって分離され、前記第  
2 配置間隔  $W_2$  は、前記幅  $F_1$  より 3 倍以上大きい。

10

#### 【0105】

例えば、前記第 2 配置間隔  $W_2$  は、前記第 1 配置間隔  $W_1$  より約 3 乃至 4 倍以上大きく  
、前記第 2 配置間隔  $W_2$  は、前記第 1 配置間隔  $W_1$  より 3 倍以上大きく、好ましくは、4  
倍以上大きい。

#### 【0106】

一番目の奇数番目のワードラインのフォトマスクパターン 3 0 4 w 及び隣り合う接地選  
択ラインのフォトマスクパターン 3 0 4 g の間、一番目の奇数番目のワードラインのフォ  
トレジストパターン 3 5 8 w 及び隣り合う接地選択ラインのフォトレジストパターン 3 5  
8 g の間の配置間隔  $W_5$  は、配置間隔  $W_{11}$  より大きい（例えば、幅  $F_1$  より 3 倍大きい  
）。例えば、前記配置間隔  $W_5$  は、幅  $F_1$  より 4 倍以上大きい。

20

#### 【0107】

図 7 A のフォトレジストパターン 3 5 8 が形成されるように連続的なフォトレジスト膜  
が前記フォトマスク 3 0 0 を介して輻射エネルギーに選択的に露出された後に現像される  
。従って、前記フォトレジストパターン 3 5 8 の配列は、前記フォトマスクパターン 3 0  
4 の配列によって決められる。又、前記フォトレジストパターン 3 5 8 は、図 4 A 及び図  
4 B によって既に説明されたゲート選択ライン、ストリング選択ライン及び奇数番目のワ  
ードラインに対応される。

#### 【0108】

前記フォトレジストパターン 3 5 8 によって露出された前記第 1 ハードマスク層 3 5 5  
の一部の領域（シリコン窒化膜 3 5 6 及びパット酸化膜 3 5 4）は、図 7 B のように第 1  
ハードマスクパターン 3 6 0（接地選択ラインのハードマスクパターン 3 6 0 g、ストリ  
ング選択ラインのハードマスクパターン 6 6 0 s 及び奇数番目のワードラインのハードマ  
スクパターン 3 6 0 w）が形成されるように選択的に除去される（例えば、乾式蝕刻を利  
用する）。例えば、第 1 ハードマスク層 3 5 5 が分離層 3 5 4、3 5 6 を含むと前記第 1  
ハードマスクパターン 3 6 0 の各要素も分離層 3 5 4、3 5 6 を含む。隣り合う奇数番目  
のワードラインのハードマスクパターン 3 6 0 w の間、終わりの奇数番目のワードライン  
のハードマスクパターン 3 6 0 w 及びストリング選択ラインのハードマスクパターン 3 6  
0 s の間に同じ幅 / 配置間隔  $W_{11}$  が形成される。第 1 ハードマスクパターン 3 6 0 の各  
要素は、シリコン窒化膜及び / 又は、シリコン酸化膜を含む。前記第 1 ハードマスク層の  
一部の域を選択的に除去した後、前記フォトレジストパターン 3 5 8 が除去される。

30

40

#### 【0109】

図 7 B のように前記第 1 ハードマスクパターン 3 6 0 及び前記第 1 ハードマスクパター  
ン 3 6 0 によって露出された前記蝕刻ターゲット層 3 5 2 の一部の領域の上に犠牲マスク  
層 3 6 2 が形成され、前記犠牲マスク層 3 6 2 及び前記第 1 ハードマスクパターン 3 6 0  
は、相違なる物質を含む。例えば、前記第 1 ハードマスクパターン 3 6 0 の上部層 3 5 6  
は、シリコン窒化膜であり、前記犠牲マスク層 3 6 2 は、ポリシリコン膜である。前記犠  
牲マスク層 3 6 2 の厚さによって側壁に前記犠牲マスク層 3 6 2 が形成された前記奇数番  
目のワードラインのハードマスクパターン 3 6 0 w の間、側壁に前記犠牲マスク層 3 6 2  
が形成された隣り合う接地選択ラインのハードマスクパターン 3 6 0 g の間、側壁に前記  
犠牲マスク層 3 6 2 が形成された隣り合うストリング選択ラインのハードマスクパターン

50

360sの間、側壁に前記犠牲マスク層362が形成された互いに隣り合う選択ラインのハードマスクパターン360g及び一番目の奇数番目のワードラインのハードマスクパターン360wの間、側壁に前記犠牲マスク層362が形成された互いに隣り合う選択ラインのハードマスクパターン360s及び終わりの奇数番目のワードラインのハードマスクパターン360wの間にギャップが形成される。

#### 【0110】

前記第1ハードマスクパターン360w、360g、360sの側壁に形成された前記犠牲マスク層362の厚さは、図4A及び図4Bのように隣り合うワードライン $WL_x$ 、 $WL_{x+1}$ の間の第1配置間隔 $W_1$ と同じである。側壁に前記犠牲マスク層362が形成された隣り合う奇数番目のワードラインのマスクパターン360wの間のギャップの幅は、図4A及び図4Bの偶数番目のワードライン $WL_2$ 、 $WL_4$ 、 $WL_6 \dots WL_{2n}$ の幅 $F_1$ と同じである。

10

#### 【0111】

前記犠牲マスク層362を形成した後、図7Bのように第2ハードマスク層364が前記犠牲マスク層362の上に形成される。前記第2ハードマスク層364は、シリコン酸化膜であり、前記第2ハードマスク層364は、前記幅 $F_1$ の少なくとも1/2の厚さを持つので側壁に前記犠牲マスク層362が形成された奇数番目のワードラインのマスクパターン360wの間のギャップが埋められる。隣り合う接地選択ラインのハードマスクパターン360gの間、隣り合うストリング選択ラインのハードマスクパターン360sの間、接地選択ラインのハードマスクパターン360g及び隣り合う一番目の奇数番目のワードラインのハードマスクパターン360wの間に更に広いギャップが形成されるので前記第2ハードマスク層364が形成された後にもギャップ368が残る。前記第2ハードマスク層364の厚さがワードラインの幅 $F_1$ であれば、隣り合う接地選択ラインのパターン360g、隣り合うストリング選択ラインのパターン360s、接地選択ラインのハードマスクパターン360gと隣り合う一番目の奇数番目のワードラインのハードマスクパターン360wは、前記幅 $F_1$ より4倍以上大きい幅で分離される。

20

#### 【0112】

図7Cのように前記第2ハードマスク層364は、隣り合う接地選択ラインのハードマスクパターン360gの間、隣り合うストリング選択ラインのハードマスクパターン360sの間、接地選択ラインのハードマスクパターン360g及び隣り合う一番目の奇数番目のワードラインのハードマスクパターン360wの間、前記犠牲マスク層362の上部面から前記ハードマスク層364の一部の領域を除去するためにエッチバック工程が行われる。従って、前記エッチバック工程の後に前記第2ハードマスク層364の一部の領域は、前記幅 $F_1$ と同じ厚さを持つ。特に、前記エッチバック工程の後に残っている前記第2ハードマスク層364の一部の領域は、前記犠牲マスク層362の上の第2ハードマスクパターン370になる。前記第2ハードマスクパターン370は、隣り合う奇数番目のワードラインのパターン360wの間及び前記終わりの奇数番目のワードラインのパターン360w及び前記隣り合うストリング選択ラインのパターン360sの間の偶数番目のワードラインのパターン370wを含む。

30

#### 【0113】

図7Dのように前記第1ハードマスクパターン360及び/又は第2ハードマスクパターン370によってカバーされない前記蝕刻ターゲット層352の一部の領域が露出されるように前記犠牲マスク層362の露出された一部の領域は、除去される(例えば、乾式蝕刻を利用する)。前記蝕刻ターゲット層352の露出された一部の領域は、前記第1及び第2ハードマスクパターン360、370を蝕刻マスクに利用して除去され(例えば、乾式蝕刻を利用する)、その後前記第1及び第2ハードマスクパターン360、370は、図4A及び図4Bの構造物が形成されるように除去される。

40

#### 【0114】

本発明の実施形態によると、NAND型の不揮発性メモリー素子は、一回の蝕刻を伴う一回のフォトリソグラフィーの露出を利用して形成できるパターンの大きさより小さいパ

50

ターンの構造を提供することができる。従って、本発明のNAND型の不揮発性メモリ素子に於いて、微細な線及びスペースのパターンを更に集積できる効果を得る。本発明を、以上の実施形態によって詳しく説明したが、本発明の目的及び特許請求の範囲内において、他の実施形態へと多様に変更可能であり、また、細かな部分も多様に変更可能である。

【図面の簡単な説明】

【0115】

【図1A】本発明の一実施の形態による不揮発性メモリ素子の平面図である。

【図1B】図1AのI-I'線による断面図である。

【図1C】プログラムの動作の間に接地誘導漏洩電流を表す断面図である。

10

【図1D】消去動作の間にカップリングキャパシタンスを表す断面図である。

【図2A】本発明の一実施の形態による不揮発性メモリ素子の平面図である。

【図2B】図2AのII-II'線による断面図である。

【図3A】本発明の他の実施の形態による不揮発性メモリ素子の平面図である。

【図3B】図3AのIII-III'線による断面図である。

【図4A】本発明の他の実施の形態による不揮発性メモリ素子の平面図である。

【図4B】図4AのIV-IV'線による断面図である。

【図5A】本発明の実施の形態による図2A及び2Bの不揮発性メモリ構造を形成するための工程を表す断面図である。

【図5B】本発明の実施の形態による図2A及び2Bの不揮発性メモリ構造を形成するための工程を表す断面図である。

20

【図5C】本発明の実施の形態による図2A及び2Bの不揮発性メモリ構造を形成するための工程を表す断面図である。

【図5D】本発明の実施の形態による図2A及び2Bの不揮発性メモリ構造を形成するための工程を表す断面図である。

【図6A】本発明の実施の形態による図3A及び3Bの不揮発性メモリ構造を形成するための工程を表す断面図である。

【図6B】本発明の実施の形態による図3A及び3Bの不揮発性メモリ構造を形成するための工程を表す断面図である。

【図6C】本発明の実施の形態による図3A及び3Bの不揮発性メモリ構造を形成するための工程を表す断面図である。

30

【図6D】本発明の実施の形態による図3A及び3Bの不揮発性メモリ構造を形成するための工程を表す断面図である。

【図7A】本発明の実施の形態による図4A及び4Bの不揮発性メモリ構造を形成するための工程を表す断面図である。

【図7B】本発明の実施の形態による図4A及び4Bの不揮発性メモリ構造を形成するための工程を表す断面図である。

【図7C】本発明の実施の形態による図4A及び4Bの不揮発性メモリ構造を形成するための工程を表す断面図である。

【図7D】本発明の実施の形態による図4A及び4Bの不揮発性メモリ構造を形成するための工程を表す断面図である。

40

【符号の説明】

【0116】

A C T 活性領域

B I L バリア絶縁膜

C S G 電荷貯蔵ゲート

G I L ゲート絶縁膜

G S L 接地選択ライン

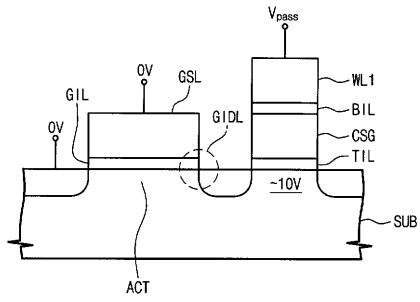
S S L ストリング選択ライン

T I L トンネル絶縁膜

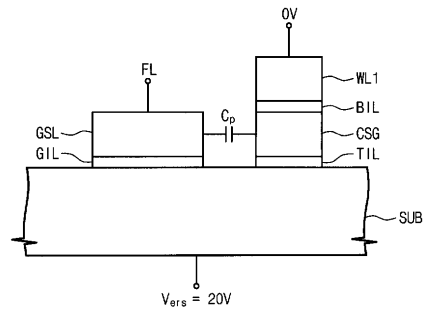
50



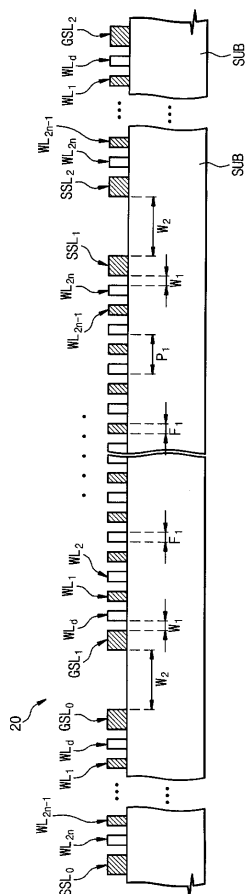
【 図 2 A 】



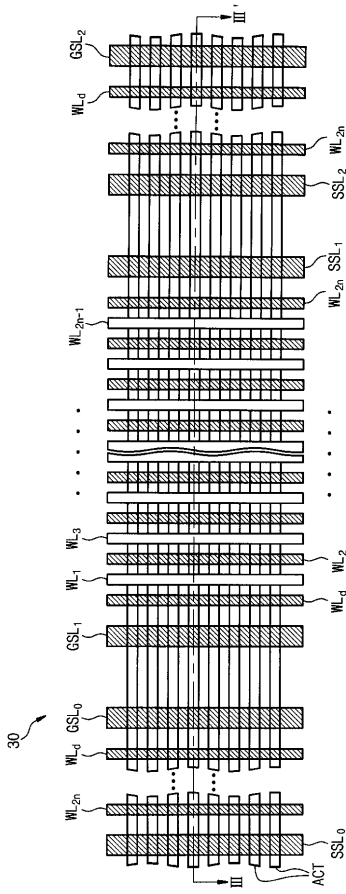
【 図 1 D 】



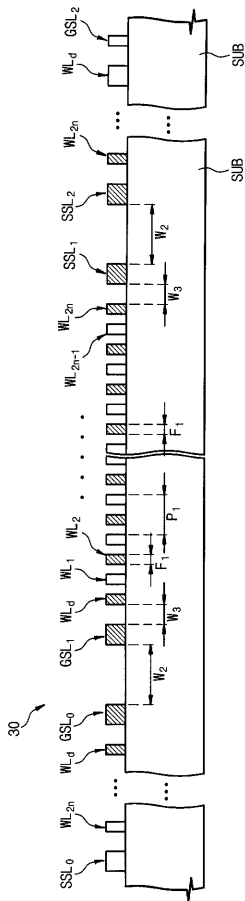
【 図 2 B 】



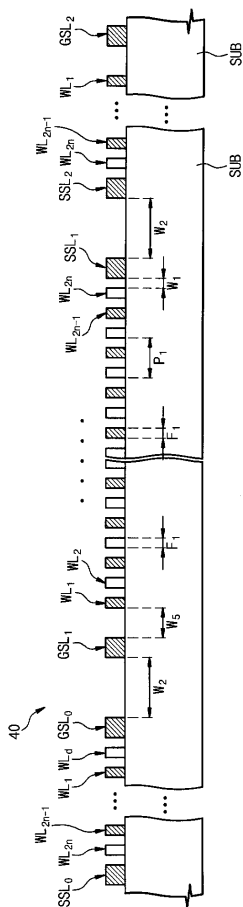
【 ㄨ 3 A 】



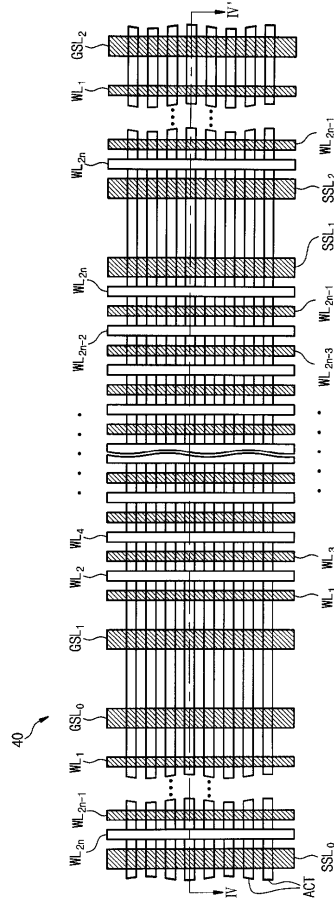
【図 3 B】



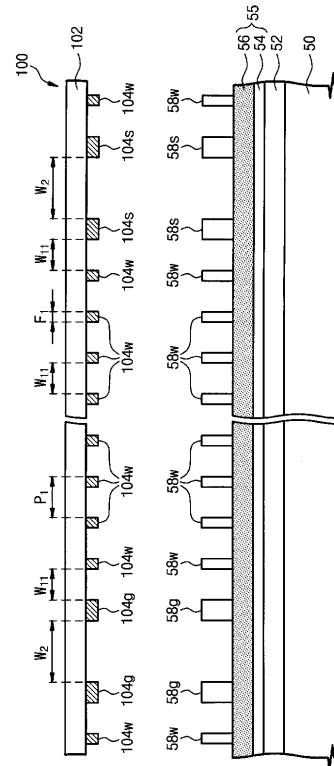
【図 4 B】



【図 4 A】

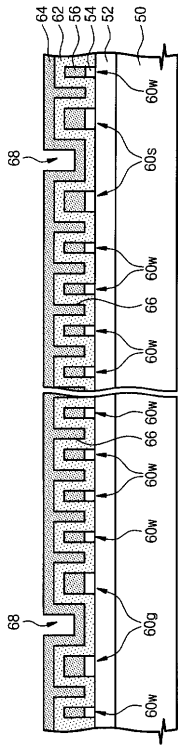


【図 5 A】

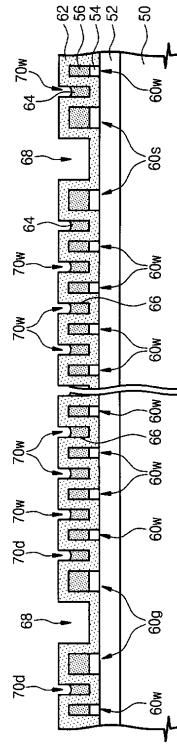




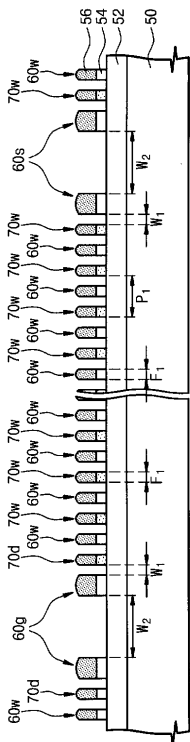
【 図 5 B 】



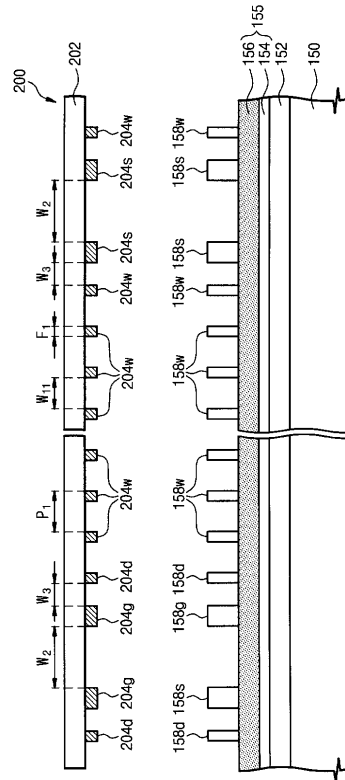
【 図 5 C 】



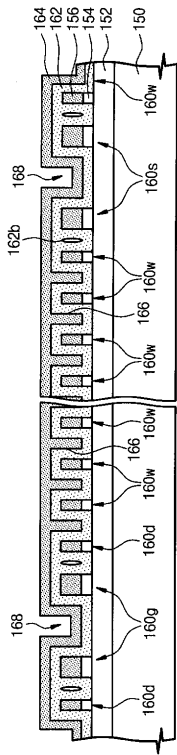
【 図 5 D 】



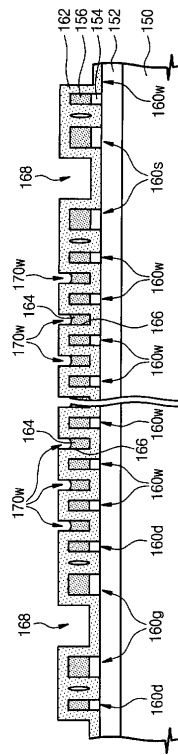
【 図 6 A 】



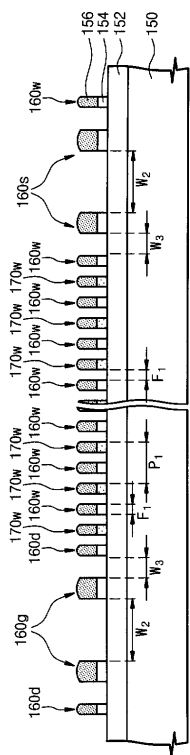
【図 6 B】



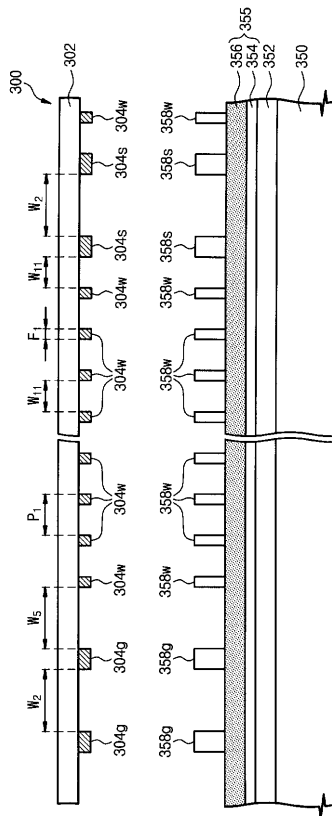
【図 6 C】



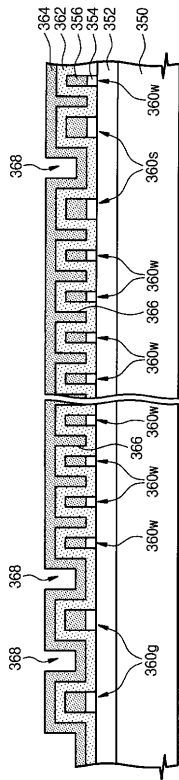
【図 6 D】



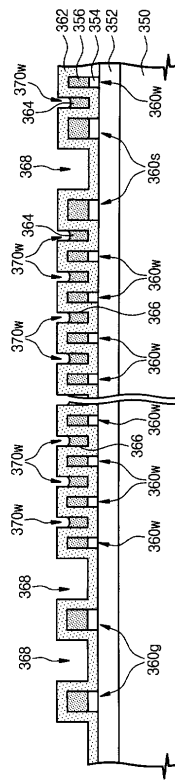
【図 7 A】



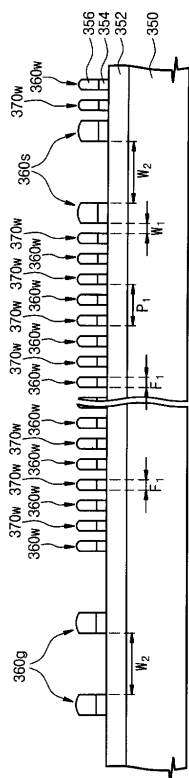
【図 7 B】



【図 7 C】



【図 7 D】



---

フロントページの続き

(72)発明者 薛 鐘善

大韓民国京畿道龍仁市器興区舊葛洞(番地なし) ハンサン２-チャアパート２０３-４０４

(72)発明者 崔 正達

大韓民国京畿道水原市靈通区網浦洞(番地なし) ドンスウォンエルジーヴィレッジ２０５-１６  
０３

(72)発明者 朴 泳雨

大韓民国ソウル江南区大峙洞(番地なし) ミドアパート１０２-１０８

(72)発明者 朴 鎮澤

大韓民国京畿道水原市靈通区靈通洞(番地なし) シンナムシル５-ダンジアパート５０５-１４  
０５

Fターム(参考) 5F083 EP02 EP23 EP76 GA06 GA09 GA12 LA12 LA16 LA20 ZA28  
5F101 BA01 BB05 BD34 BE05 BE07