

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
【部門区分】 第 7 部門第 3 区分
【発行日】 令和 7 年 6 月 3 日(2025.6.3)

【国際公開番号】 WO2024/013883
【出願番号】 特願 2024-533398(P2024-533398)
【国際特許分類】
H03H 11/16(2006.01)
【FI】
H03H 11/16 Z

10

【手続補正書】
【提出日】 令和 7 年 5 月 26 日(2025.5.26)
【手続補正 1】
【補正対象書類名】 特許請求の範囲
【補正対象項目名】 全文
【補正方法】 変更
【補正の内容】
【特許請求の範囲】
【請求項 1】

20

固定位相差の 2 つの正弦波信号を出力するように構成された正弦波出力部と、
前記正弦波出力部から出力された第 1 の正弦波信号の振幅を第 1 の変数倍した信号を出力するように構成された第 1 の乗算部と、
前記正弦波出力部から出力された第 2 の正弦波信号の振幅を第 2 の変数倍した信号を出力するように構成された第 2 の乗算部と、
前記第 1 の乗算部から出力された信号と前記第 2 の乗算部から出力された信号とを加算するように構成された加算部と
を備える位相調整回路。

【請求項 2】

30

請求項 1 記載の位相調整回路において、さらに、
前記加算部の出力信号の振幅に基づいて、前記第 1 の変数を決定するための第 1 の制御信号および前記第 2 の変数を決定するための第 2 の制御信号を取得し、前記第 1 の制御信号および前記第 2 の制御信号を前記第 1 の乗算部および前記第 2 の乗算部にそれぞれ与えるように構成されたフィードバック回路を備える位相調整回路。

【請求項 3】

請求項 2 記載の位相調整回路において、
前記フィードバック回路は、
前記加算部の出力信号の振幅を検出するように構成された振幅検出部と、
前記振幅検出部によって検出された振幅を目標振幅から減算し増幅するように構成された差動増幅部と、
前記差動増幅部の出力結果を平坦化するように構成された第 1 のローパスフィルタと、
前記第 1 のローパスフィルタから出力された信号の振幅を第 1 の定数倍した信号を、前記第 1 の変数を決定する制御信号として前記第 1 の乗算部に与えるように構成された第 3 の乗算部と、
前記第 1 のローパスフィルタから出力された信号の振幅を第 2 の定数倍した信号を、前記第 2 の変数を決定する制御信号として前記第 2 の乗算部に与えるように構成された第 4 の乗算部とを含むことを特徴とする位相調整回路。

40

【請求項 4】

請求項 2 記載の位相調整回路において、
前記第 1 の乗算部は、

50

ベースまたはゲートに第 1 の制御信号または差動形式の前記第 1 の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 1 のトランジスタと、

ベースまたはゲートに第 2 の制御信号または前記第 1 の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 2 のトランジスタと、

ベースまたはゲートに前記第 1 の制御信号または前記第 1 の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 3 のトランジスタと、

ベースまたはゲートに前記第 2 の制御信号または前記第 1 の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 4 のトランジスタと、

ベースまたはゲートに前記第 1 の正弦波信号の正相側の信号または前記第 2 の制御信号が入力され、コレクタまたはドレインが前記第 1、第 2 のトランジスタのエミッタまたはソースに接続された第 5 のトランジスタと、

ベースまたはゲートに前記第 1 の正弦波信号の逆相側の信号または前記第 1 の制御信号が入力され、コレクタまたはドレインが前記第 3、第 4 のトランジスタのエミッタまたはソースに接続された第 6 のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第 7 のトランジスタと、

一端が電源電圧に接続され、他端が前記第 1、第 4 のトランジスタのコレクタまたはドレインに接続された第 1 の抵抗と、

一端が前記電源電圧に接続され、他端が前記第 2、第 3 のトランジスタのコレクタまたはドレインに接続された第 2 の抵抗と、

一端が前記第 5 のトランジスタのエミッタまたはソースに接続され、他端が前記第 7 のトランジスタのコレクタまたはドレインに接続された第 3 の抵抗と、

一端が前記第 6 のトランジスタのエミッタまたはソースに接続され、他端が前記第 7 のトランジスタのコレクタまたはドレインに接続された第 4 の抵抗と、

一端が前記第 7 のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第 5 の抵抗とから構成され、

前記第 2 の乗算部は、

ベースまたはゲートに第 3 の制御信号または差動形式の前記第 2 の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 8 のトランジスタと、

ベースまたはゲートに第 4 の制御信号または前記第 2 の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 9 のトランジスタと、

ベースまたはゲートに前記第 3 の制御信号または前記第 2 の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 10 のトランジスタと、

ベースまたはゲートに前記第 4 の制御信号または前記第 2 の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 11 のトランジスタと、

ベースまたはゲートに前記第 2 の正弦波信号の正相側の信号または前記第 4 の制御信号が入力され、コレクタまたはドレインが前記第 8、第 9 のトランジスタのエミッタまたはソースに接続された第 12 のトランジスタと、

ベースまたはゲートに前記第 2 の正弦波信号の逆相側の信号または前記第 3 の制御信号が入力され、コレクタまたはドレインが前記第 10、第 11 のトランジスタのエミッタまたはソースに接続された第 13 のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第 14 のトランジスタと、

一端が電源電圧に接続され、他端が前記第 8、第 11 のトランジスタのコレクタまたはドレインに接続された第 6 の抵抗と、

一端が前記電源電圧に接続され、他端が前記第 9、第 10 のトランジスタのコレクタま

10

20

30

40

50

たはドレインに接続された第 7 の抵抗と、

一端が前記第 1 2 のトランジスタのエミッタまたはソースに接続され、他端が前記第 1 4 のトランジスタのコレクタまたはドレインに接続された第 8 の抵抗と、

一端が前記第 1 3 のトランジスタのエミッタまたはソースに接続され、他端が前記第 1 4 のトランジスタのコレクタまたはドレインに接続された第 9 の抵抗と、

一端が前記第 1 4 のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第 1 0 の抵抗とから構成されることを特徴とする位相調整回路。

【請求項 5】

請求項 2 記載の位相調整回路において、

前記加算部は、

ベースまたはゲートに前記第 1 の乗算部から出力された差動信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 1 のトランジスタと、

ベースまたはゲートに前記第 1 の乗算部から出力された差動信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 2 のトランジスタと、

ベースまたはゲートに前記第 2 の乗算部から出力された差動信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 3 のトランジスタと、

ベースまたはゲートに前記第 2 の乗算部から出力された差動信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 4 のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第 5、第 6 のトランジスタと、

一端が電源電圧に接続され、他端が前記第 1、第 4 のトランジスタのコレクタまたはドレインに接続された第 1 の抵抗と、

一端が前記電源電圧に接続され、他端が前記第 2、第 3 のトランジスタのコレクタまたはドレインに接続された第 2 の抵抗と、

一端が前記第 1 のトランジスタのエミッタまたはソースに接続され、他端が前記第 5 のトランジスタのコレクタまたはドレインに接続された第 3 の抵抗と、

一端が前記第 2 のトランジスタのエミッタまたはソースに接続され、他端が前記第 5 のトランジスタのコレクタまたはドレインに接続された第 4 の抵抗と、

一端が前記第 3 のトランジスタのエミッタまたはソースに接続され、他端が前記第 6 のトランジスタのコレクタまたはドレインに接続された第 5 の抵抗と、

一端が前記第 4 のトランジスタのエミッタまたはソースに接続され、他端が前記第 6 のトランジスタのコレクタまたはドレインに接続された第 6 の抵抗と、

一端が前記第 5 のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第 7 の抵抗と、

一端が前記第 6 のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第 8 の抵抗とから構成されることを特徴とする位相調整回路。

【請求項 6】

請求項 3 記載の位相調整回路において、

前記振幅検出部は、

前記加算部の出力振幅を 2 乗するように構成された 2 乗器と、

前記 2 乗器によって 2 乗された振幅を平坦化するように構成された第 2 のローパスフィルタとから構成されることを特徴とする位相調整回路。

【請求項 7】

請求項 6 記載の位相調整回路において、

前記 2 乗器は、

前記加算部から出力された差動信号の逆相側の信号がベースに入力された第 1 のトランジスタと、

前記加算部から出力された差動信号の正相側の信号がベースに入力された第 2 のトランジスタと、

ベースとコレクタとが接続された第 3 のトランジスタと、

ベースとコレクタとが接続された第 4 のトランジスタと、

10

20

30

40

50

ベースにバイアス電圧が与えられ、コレクタが前記第 3 のトランジスタのエミッタに接続された第 5 のトランジスタと、

ベースにバイアス電圧が与えられ、コレクタが前記第 4 のトランジスタのエミッタに接続された第 6 のトランジスタと、

前記加算部から出力された差動信号の逆相側の信号がベースに入力された第 7 のトランジスタと、

前記加算部から出力された差動信号の正相側の信号がベースに入力された第 8 のトランジスタと、

前記加算部から出力された差動信号の逆相側の信号がベースに入力された第 9 のトランジスタと、

前記加算部から出力された差動信号の正相側の信号がベースに入力された第 10 のトランジスタと、

ベースが前記第 3 のトランジスタのベースおよびコレクタに接続され、コレクタが前記第 7、第 8 のトランジスタのエミッタに接続された第 11 のトランジスタと、

ベースが前記第 4 のトランジスタのベースおよびコレクタに接続され、コレクタが前記第 9、第 10 のトランジスタのエミッタに接続された第 12 のトランジスタと、

ベースにバイアス電圧が与えられた第 13 のトランジスタと、

一端が電源電圧に接続され、他端が前記第 1 のトランジスタのコレクタに接続された第 1 の抵抗と、

一端が前記電源電圧に接続され、他端が前記第 2 のトランジスタのコレクタに接続された第 2 の抵抗と、

一端が前記第 1 のトランジスタのエミッタに接続され、他端が前記第 3 のトランジスタのベースおよびコレクタに接続された第 3 の抵抗と、

一端が前記第 2 のトランジスタのエミッタに接続され、他端が前記第 4 のトランジスタのベースおよびコレクタに接続された第 4 の抵抗と、

一端が前記第 5 のトランジスタのエミッタに接続され、他端がグラウンドに接続された第 5 の抵抗と、

一端が前記第 6 のトランジスタのエミッタに接続され、他端がグラウンドに接続された第 6 の抵抗と、

一端が前記電源電圧に接続され、他端が前記第 7、第 10 のトランジスタのコレクタに接続された第 7 の抵抗と、

一端が前記電源電圧に接続され、他端が前記第 8、第 9 のトランジスタのコレクタに接続された第 8 の抵抗と、

一端が前記第 11 のトランジスタのエミッタに接続され、他端が前記第 13 のトランジスタのコレクタに接続された第 9 の抵抗と、

一端が前記第 12 のトランジスタのエミッタに接続され、他端が前記第 13 のトランジスタのコレクタに接続された第 10 の抵抗と、

一端が前記第 13 のトランジスタのエミッタに接続され、他端がグラウンドに接続された第 11 の抵抗とから構成され、

前記第 2 のローパスフィルタは、

一端が前記第 7、第 10 のトランジスタのコレクタに接続され、他端から正相側の出力信号を出力する第 12 の抵抗と、

一端が前記第 8、第 9 のトランジスタのコレクタに接続され、他端から逆相側の出力信号を出力する第 13 の抵抗と、

一端が前記第 7、第 10 のトランジスタのコレクタに接続され、他端がグラウンドに接続された第 1 の容量と、

一端が前記第 8、第 9 のトランジスタのコレクタに接続され、他端がグラウンドに接続された第 2 の容量と、

一端が前記第 12 の抵抗の他端に接続され、他端がグラウンドに接続された第 3 の容量と、

10

20

30

40

50

一端が前記第 1 3 の抵抗の他端に接続され、他端がグラウンドに接続された第 4 の容量とから構成されることを特徴とする位相調整回路。

【請求項 8】

請求項 3 記載の位相調整回路において、

前記振幅検出部は、

前記加算部から出力された差動信号の正相側の信号がカソードに入力された第 1 のダイオードと、

前記加算部から出力された差動信号の正相側の信号がアノードに入力された第 2 のダイオードと、

前記加算部から出力された差動信号の逆相側の信号がカソードに入力され、アノードが前記第 1 のダイオードのアノードに接続された第 3 のダイオードと、

前記加算部から出力された差動信号の逆相側の信号がアノードに入力され、カソードが前記第 2 のダイオードのカソードに接続された第 4 のダイオードと、

前記第 1 のダイオードのアノードと前記第 3 のダイオードのアノードの接続点の信号を平坦化するように構成された第 2 のローパスフィルタと、

前記第 2 のダイオードのカソードと前記第 4 のダイオードのカソードの接続点の信号を平坦化するように構成された第 3 のローパスフィルタとから構成されることを特徴とする位相調整回路。

【請求項 9】

請求項 3 記載の位相調整回路において、

前記差動増幅部は、

ベースまたはゲートに前記振幅検出部から出力された差動信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 1 のトランジスタと、

ベースまたはゲートに前記振幅検出部から出力された差動信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 2 のトランジスタと、

ベースまたはゲートに前記目標振幅を示す差動信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 3 のトランジスタと、

ベースまたはゲートに前記目標振幅を示す差動信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 4 のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第 5、第 6 のトランジスタと、

一端が電源電圧に接続され、他端が前記第 1、第 4 のトランジスタのコレクタまたはドレインに接続された第 1 の抵抗と、

一端が前記電源電圧に接続され、他端が前記第 2、第 3 のトランジスタのコレクタまたはドレインに接続された第 2 の抵抗と、

一端が前記第 1 のトランジスタのエミッタまたはソースに接続され、他端が前記第 5 のトランジスタのコレクタまたはドレインに接続された第 3 の抵抗と、

一端が前記第 2 のトランジスタのエミッタまたはソースに接続され、他端が前記第 5 のトランジスタのコレクタまたはドレインに接続された第 4 の抵抗と、

一端が前記第 3 のトランジスタのエミッタまたはソースに接続され、他端が前記第 6 のトランジスタのコレクタまたはドレインに接続された第 5 の抵抗と、

一端が前記第 4 のトランジスタのエミッタまたはソースに接続され、他端が前記第 6 のトランジスタのコレクタまたはドレインに接続された第 6 の抵抗と、

一端が前記第 5 のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第 7 の抵抗と、

一端が前記第 6 のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第 8 の抵抗とから構成されることを特徴とする位相調整回路。

【請求項 10】

請求項 2 記載の位相調整回路において、

前記第 1、第 2 の乗算部と前記加算部とは、

ベースまたはゲートに第 1 の制御信号または差動形式の前記第 1 の正弦波信号の逆相側

10

20

30

40

50

の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 1 のトランジスタと、

ベースまたはゲートに第 2 の制御信号または前記第 1 の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 2 のトランジスタと、

ベースまたはゲートに前記第 1 の制御信号または前記第 1 の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 3 のトランジスタと、

ベースまたはゲートに前記第 2 の制御信号または前記第 1 の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 4 のトランジスタと、

10

ベースまたはゲートに前記第 1 の正弦波信号の正相側の信号または前記第 2 の制御信号が入力され、コレクタまたはドレインが前記第 1、第 2 のトランジスタのエミッタまたはソースに接続された第 5 のトランジスタと、

ベースまたはゲートに前記第 1 の正弦波信号の逆相側の信号または前記第 1 の制御信号が入力され、コレクタまたはドレインが前記第 3、第 4 のトランジスタのエミッタまたはソースに接続された第 6 のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第 7 のトランジスタと、

ベースまたはゲートに第 3 の制御信号または差動形式の前記第 2 の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 8 のトランジスタと、

20

ベースまたはゲートに第 4 の制御信号または前記第 2 の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 9 のトランジスタと、

ベースまたはゲートに前記第 3 の制御信号または前記第 2 の正弦波信号の逆相側の信号が入力され、コレクタまたはドレインから逆相側の信号を出力する第 10 のトランジスタと、

ベースまたはゲートに前記第 4 の制御信号または前記第 2 の正弦波信号の正相側の信号が入力され、コレクタまたはドレインから正相側の信号を出力する第 11 のトランジスタと、

ベースまたはゲートに前記第 2 の正弦波信号の正相側の信号または前記第 4 の制御信号が入力され、コレクタまたはドレインが前記第 8、第 9 のトランジスタのエミッタまたはソースに接続された第 12 のトランジスタと、

30

ベースまたはゲートに前記第 2 の正弦波信号の逆相側の信号または前記第 3 の制御信号が入力され、コレクタまたはドレインが前記第 10、第 11 のトランジスタのエミッタまたはソースに接続された第 13 のトランジスタと、

ベースまたはゲートにバイアス電圧が与えられた第 14 のトランジスタと、

一端が電源電圧に接続され、他端が前記第 1、第 4、第 8、第 11 のトランジスタのコレクタまたはドレインに接続された第 1 の抵抗と、

一端が前記電源電圧に接続され、他端が前記第 2、第 3、第 9、第 10 のトランジスタのコレクタまたはドレインに接続された第 2 の抵抗と、

一端が前記第 5 のトランジスタのエミッタまたはソースに接続され、他端が前記第 7 のトランジスタのコレクタまたはドレインに接続された第 3 の抵抗と、

40

一端が前記第 6 のトランジスタのエミッタまたはソースに接続され、他端が前記第 7 のトランジスタのコレクタまたはドレインに接続された第 4 の抵抗と、

一端が前記第 7 のトランジスタのエミッタまたはソースに接続され、他端がグラウンドに接続された第 5 の抵抗と、

一端が前記第 12 のトランジスタのエミッタまたはソースに接続され、他端が前記第 14 のトランジスタのコレクタまたはドレインに接続された第 6 の抵抗と、

一端が前記第 13 のトランジスタのエミッタまたはソースに接続され、他端が前記第 14 のトランジスタのコレクタまたはドレインに接続された第 7 の抵抗と、

一端が前記第 14 のトランジスタのエミッタまたはソースに接続され、他端がグラウン

50

ドに接続された第 8 の抵抗とから構成されることを特徴とする位相調整回路。

10

20

30

40

50