

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5091548号  
(P5091548)

(45) 発行日 平成24年12月5日(2012.12.5)

(24) 登録日 平成24年9月21日(2012.9.21)

(51) Int.Cl.

F I

G O 6 F 12/08 (2006.01)

G O 6 F 12/08 5 O 1 D

G O 6 F 12/08 5 O 5 B

G O 6 F 12/08 5 5 1 Z

G O 6 F 12/08 5 7 5

請求項の数 2 (全 14 頁)

(21) 出願番号 特願2007-150548 (P2007-150548)  
 (22) 出願日 平成19年6月6日(2007.6.6)  
 (65) 公開番号 特開2008-305082 (P2008-305082A)  
 (43) 公開日 平成20年12月18日(2008.12.18)  
 審査請求日 平成22年6月3日(2010.6.3)

(73) 特許権者 501285133  
 川崎マイクロエレクトロニクス株式会社  
 千葉県千葉市美浜区中瀬一丁目3番地  
 (74) 代理人 100079175  
 弁理士 小杉 佳男  
 (74) 代理人 100094330  
 弁理士 山田 正紀  
 (72) 発明者 山下 和憲  
 千葉県千葉市美浜区中瀬1丁目3番地 川  
 崎マイクロエレクトロニクス株式会社内  
 審査官 野田 佳邦

最終頁に続く

(54) 【発明の名称】 メモリシステム

(57) 【特許請求の範囲】

【請求項1】

リンク構造が構築された D R A M と、  
 システムバスと、

前記 D R A M を前記システムバスを介してアクセスするために、前記リンク構造のリス  
 トをアクセスするための先読み情報を付加した読み出し命令を出力するマスタと、

キャッシュメモリと、

前記システムバスと前記 D R A M との間に配備され、前記マスタからの前記 D R A M の  
 読み出し命令を受け、前記キャッシュメモリに該読み出し命令に応じたデータが格納されてい  
 るときは該データを該キャッシュメモリから読み出して前記マスタに送り、該キャッシ  
 ュメモリに該読み出し命令に応じたデータが格納されていないときは該読み出し命令を前記 D R  
 A M に伝えて該 D R A M から読み出された該読み出し命令に応じたデータを前記マスタに送  
 るとともに該 D R A M から先読みしたデータを前記キャッシュメモリに格納するキャッシ  
 ュメモリコントローラと、

前記先読み情報を受け取り、該先読み情報に従って前記リンク構造を辿って、前記キャ  
 ッシュメモリコントローラに、前記 D R A M からデータを先読みさせて前記キャッシ  
 ュメモリに格納させるシーケンサとを備え、

前記シーケンサが、前記先読み情報の番号ごとの、前記読み出し命令に応じたデータの  
 どの部分をアドレスとして認識するかの情報であるアドレスオフセット値を格納する複数  
 のレジスタと、前記先読み情報の番号に対応する前記レジスタに格納されたアドレスオフ

10

20

セット値を使って、前記キャッシュメモリコントローラに、前記ＤＲＡＭからデータを先読みさせるシーケンサマスタとを備えたことを特徴とするメモリシステム。

【請求項２】

前記キャッシュメモリコントローラが、前記マスタからの読出し命令を受け取る第１のポートと、前記シーケンサから前記先読みのための読出し命令を受け取る第２のポートとを有するものであることを特徴とする請求項１記載のメモリシステム。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ＤＲＡＭをアクセスするメモリシステムに関する。

【背景技術】

【０００２】

一般に、ＤＲＡＭ（Ｄｙｎａｍｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）を制御するＤＲＡＭコントローラは、所定のバースト長でＤＲＡＭにシーケンシャルにアクセスする。従って、ＤＲＡＭコントローラにアクセスする可能性のあるマスタは、ＤＲＡＭのバースト長に合わせて、かつシーケンシャルにアクセスすると、ＤＲＡＭを効率よくアクセスすることができる。

【０００３】

ここで、一般的に用いられているバスプロトコルは、１回のアクセスで複数のワードを連続して転送するバースト転送の機能を有する。このバースト転送の機能では、マスタが、これから発生するアクセスの総ワード数とアクセス順を予めＤＲＡＭコントローラに予告してＤＲＡＭをアクセスするため、このバースト転送機能を用いてＤＲＡＭへのアクセスを行なうと、ＤＲＡＭへのアクセス効率を高めることができる。また、バスプロトコルは、１回のアクセスで１ワードを転送するシングル転送の機能も有するが、このシングル転送の機能を用いてＤＲＡＭをアクセスした場合は、ＤＲＡＭへのアクセス効率は低下する。従って、ＤＲＡＭへのアクセスは、全てバースト転送で行なわれることが好ましい。

【０００４】

図９は、バースト転送の機能を説明するための回路構成を示す図、図１０は、図９に示す回路構成における処理の流れを示す図である。

【０００５】

図９には、マスタ１０１と、システムバス１０２と、ＤＲＡＭコントローラ１０３と、ＤＲＡＭ１０４とが示されている。マスタ１０１とＤＲＡＭコントローラ１０３は、システムバス１０２に接続されている。また、ＤＲＡＭコントローラ１０３は、ＤＲＡＭ１０４に接続されている。

【０００６】

これらマスタ１０１、ＤＲＡＭコントローラ１０３、ＤＲＡＭ１０４は、６４ビットのバス幅を有する。ここでは、ＤＲＡＭ１０４へのアクセスは、４バースト単位（４×６４ビット単位）で行なわれるものとする。図１０に示すように、まず、マスタ１０１からアドレス０ｈのデータを読み出すための読出し命令（ＲＥＡＤ）が出力される。この読出し命令は、システムバス１０２を経由してＤＲＡＭコントローラ１０３に入力される。ＤＲＡＭコントローラ１０３は、この読出し命令を受けて、４バースト単位でＤＲＡＭ１０４をアクセスする。これにより、ＤＲＡＭ１０４からアドレス０ｈ、８ｈ、１０ｈ、１８ｈのデータが順次出力される。ＤＲＡＭコントローラ１０３は、ＤＲＡＭ１０４から出力されたアドレス０ｈ、８ｈ、１０ｈ、１８ｈのデータのうちのアドレス０ｈのデータを、システムバス１０２を経由してマスタ１０１に出力する。ここで、ＤＲＡＭ１０４から出力されたアドレス８ｈ、１０ｈ、１８ｈのデータ（丸印の点線で示す）は破棄される。

【０００７】

次いで、マスタ１０１からアドレス８ｈのデータを読み出すための読出し命令が出力され、これによりＤＲＡＭ１０４からアドレス０ｈ、８ｈ、１０ｈ、１８ｈのデータが出力

10

20

30

40

50

される。D R A Mコントローラ103は、D R A M104から出力されたアドレス0h, 8h, 10h, 18hのデータのうちのアドレス8hのデータを、システムバス102を経由してマスタ101に出力する。ここで、D R A M104から出力されたアドレス0h, 10h, 18hのデータ(丸印の点線で示す)は破棄される。

【0008】

この回路構成では、図10の丸印の点線で示すように、D R A M104から出力された4つのデータのうちの3つのデータが破棄されるため、無駄なアクセスが行なわれることとなり、従ってD R A M104へのアクセス効率は低いこととなる。

【0009】

尚、アクセス順がシーケンシャルでない場合、シングル転送に分割して処理する必要があり、この場合は、1回のアクセスで1つのデータが転送されるため、D R A M104へのアクセス効率はさらに低くなる。

【0010】

ここで、従来より、図9に示す回路構成に加えて、D R A Mよりも動作速度が速いS R A M(Static Random Access Memory; キャッシュメモリと称する)と、D R A Mから読み出されたデータをキャッシュメモリに格納するためのキャッシュメモリコントローラを備えたメモリシステムが知られている。キャッシュメモリコントローラは、マスタとシステムバスとの間に配備され、またキャッシュメモリはキャッシュメモリコントローラに接続されている。このメモリシステムによれば、D R A Mから読み出されたデータ(上記破棄されるデータ)は、キャッシュメモリコントローラによりキャッシュメモリに格納される。このようなメモリシステムとして、例えば、特許文献1に、内部バスで互いに接続された、動作速度が遅いメインメモリ(D R A M)と動作速度が速いキャッシュメモリ(S R A M)とを備え、一度アクセスされたメインメモリのアドレスのデータ(先読みしたデータ)をキャッシュメモリに格納しておき、再度そのアドレスがアクセスされた場合はキャッシュメモリからそのアドレスのデータを読み出すことにより、高速なアクセスを可能にするキャッシュD R A M(メモリシステム)が提案されている。

【0011】

また、上述した図9に示す回路構成では、別の問題として、図10に示すようにアドレス0hの読出しが行なわれてそのアドレス0hのデータがマスタ101に出力されるまで、後続(アドレス8h)の読出しが行なわれないため、D R A M104へのアクセスやシステムバス102のレイテンシ(命令の開始から実行完了までに要する時間、即ち読出し/書込みサイクルを実行するのに要する時間)が大きいという問題がある。従って、システムの応答性が悪いという問題がある。

【0012】

この問題を解決するために、高速なD R A Mを選択したりシステムバスの周波数を上げたりすることが考えられるが、コストアップ等の問題が発生する。そこで、例えば特許文献2に、低速メモリから読み出したデータをアドレスと見なした場合は、そのデータをF I F Oに格納しておき、低速メモリがアクセスされていないときにF I F Oに格納されているデータをキャッシュメモリに格納しておくことにより、ランダムデータの先読みを実現して処理の高速化を図る技術が提案されている。

【特許文献1】特開2002-74942号公報

【特許文献2】特開2005-301792号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

従来のメモリシステムでは、キャッシュメモリコントローラは、マスタとシステムバスとの間に備えられている。このため、キャッシュメモリコントローラは、システムバスを介してD R A Mをアクセスする必要がある。従って、アクセス効率が悪いという問題がある。

10

20

30

40

50

## 【 0 0 1 4 】

また、特許文献 1 に提案されたキャッシュ D R A M は、D R A M と S R A M が内部バスで接続された特殊な構造を有するメモリシステムであるため、あまり現実的ではない。

## 【 0 0 1 5 】

さらに、特許文献 2 に提案された、低速メモリから読み出したデータをアドレスと見なしてキャッシュメモリに格納してデータの先読みを行なう技術では、アドレスと見なしたデータと全く同じ値をデータとして読み込む可能性があり、従って確実性に欠けるという問題を抱えている。

## 【 0 0 1 6 】

本発明は、上記事情に鑑み、処理の高速化が図られたメモリシステムを提供することを目的とする。

## 【課題を解決するための手段】

## 【 0 0 1 7 】

上記目的を達成する本発明のメモリシステムは、

D R A M と、

システムバスと、

上記 D R A M を上記システムバスを介してアクセスするマスタと、

キャッシュメモリと、

上記システムバスと上記 D R A M との間に配備され、上記マスタからの上記 D R A M の読出し命令を受け、上記キャッシュメモリにその読出し命令に応じたデータが格納されているときはそのデータをそのキャッシュメモリから読み出して上記マスタに送り、そのキャッシュメモリにその読出し命令に応じたデータが格納されていないときはその読出し命令を上記 D R A M に伝えてその D R A M から読み出されたその読出し命令に応じたデータを上記マスタに送るとともにその D R A M から先読みしたデータを上記キャッシュメモリに格納するキャッシュメモリコントローラとを備えたことを特徴とする。

## 【 0 0 1 8 】

本発明のメモリシステムは、システムバスと D R A M との間に、キャッシュメモリコントローラを備えた構成である。このため、キャッシュメモリコントローラから D R A M へのアクセスを全て 1 キャッシュライン分のバーストアクセスとすることができる。このようにすることにより、無駄なアクセスの発生が防止され、従ってアクセス効率が高められて処理の高速化が図られる。

## 【 0 0 1 9 】

ここで、上記マスタが、読出し命令出力時に以降の読出し手順を表わす先読み情報を出力するものであって、

上記先読み情報を受け取り、その先読み情報に従って、上記キャッシュメモリコントローラに、上記 D R A M からデータを先読みさせて上記キャッシュメモリに格納させるシーケンサを備えたことが好ましい。

## 【 0 0 2 0 】

このように、シーケンサが、D R A M からデータを先読みさせ、その D R A M からのデータを、キャッシュメモリコントローラを介してキャッシュメモリに格納させると、システムバスを使用して D R A M からデータを先読みしてキャッシュメモリに格納させる場合と比較し、システムバスを他の処理に使用することができ、従って処理のさらなる高速化を図ることができる。

## 【 0 0 2 1 】

また、上記キャッシュメモリコントローラが、読出し命令を受け取る複数のポートを有するものであることも好ましい態様である。

## 【 0 0 2 2 】

このようにすると、キャッシュメモリコントローラは、複数のマスタからの読出し命令を複数のポートで同時に受け取って処理することができる。従って、処理のさらなる高速化を図ることができる。

**【発明の効果】****【0023】**

本発明によれば、処理の高速化が図られたメモリシステムを提供することができる。

**【発明を実施するための最良の形態】****【0024】**

以下、図面を参照して本発明の実施の形態を説明する。

**【0025】**

図1は、本発明のメモリシステムの第1実施形態の回路構成を示す図である。

**【0026】**

図1に示すメモリシステム10には、マスタ11、12と、これらマスタ11、12が  
接続されたシステムバス13と、そのシステムバス13に接続されたキャッシュメモリ  
コントローラ15と、そのキャッシュメモリコントローラ15に接続されたキャッシュメモ  
リ16およびDRAMコントローラ17と、そのDRAMコントローラ17に接続された  
DRAM18とが備えられている。マスタ11、12、キャッシュメモリコントローラ1  
5、DRAMコントローラ17は、64ビットのバス幅を有する。また、DRAMコント  
ローラ17は、4バースト単位(4×64ビット単位)でDRAM18をアクセスする。

10

**【0027】**

マスタ11、12は、システムバス13、キャッシュメモリコントローラ15、DRA  
Mコントローラ17を経由してDRAM18をアクセスする。

**【0028】**

20

キャッシュメモリコントローラ15は、システムバス13とDRAMコントローラ17  
との間に配備され、マスタ12(もしくはマスタ11)からのDRAM18への読出し命  
令を受け、キャッシュメモリ16にその読出し命令に応じたデータが格納されているとき  
はそのデータをキャッシュメモリ16から読み出してマスタ12に送り、キャッシュメモ  
リ16にその読出し命令に応じたデータが格納されていないときはその読出し命令をDR  
AMコントローラ17を介してDRAM18に伝える。さらに、DRAM18から読み出  
された、その読出し命令に応じたデータをマスタ12に送るとともにDRAM18から先  
読みしたデータをキャッシュメモリ16に格納する。

**【0029】**

ここで、キャッシュメモリコントローラ15は、キャッシュメモリ16に1キャッシ  
ュライン分のサイズ(64ビット分のサイズ)でアクセスするとともに、DRAMコント  
ローラ17にも1キャッシュライン分のサイズでアクセスする。このため、無駄なアクセス  
の発生が防止されている。

30

**【0030】**

また、キャッシュメモリ16は、DRAMコントローラ17へのアクセスの整列化と先  
読みデータの退避のためにのみ設けられており、従ってキャッシュメモリ16のサイズは  
小さくて済む。

**【0031】**

図2は、図1に示すメモリシステムにおける処理の流れを示す図である。

**【0032】**

40

このメモリシステム10では、この図2に示すように、先ず、マスタ12からアドレス  
0hのデータを読み出すための読出し命令(READ)が出力される。この読出し命令は  
、キャッシュメモリコントローラ15に入力される。キャッシュメモリコントローラ15  
は、アドレス0hのデータがキャッシュメモリ16に存在しているか否かを確認する。

**【0033】**

最初の時点では、キャッシュメモリ16には、このアドレス0hのデータは存在しない  
(キャッシュミスと称する)ため、キャッシュメモリコントローラ15は、DRAMコン  
トローラ17にアクセスする。DRAMコントローラ17は、4バースト単位でDRAM  
18にアクセスする。これにより、DRAM18からアドレス0h、8h、10h、18  
hのデータが順次に出力される。DRAMコントローラ17は、DRAM18から出力さ

50

れたアドレス 0 h , 8 h , 1 0 h , 1 8 h のデータ ( 図 2 に示す 0 h のデータ , 8 h のデータ , 1 0 h のデータ , 1 8 h のデータ ) を、キャッシュメモリコントローラ 1 5 に向けて出力する。

【 0 0 3 4 】

キャッシュメモリコントローラ 1 5 は、これらのデータをキャッシュメモリ 1 6 に格納するとともに、これらのデータのうちのアドレス 0 h のデータを、システムバス 1 3 を経由してマスタ 1 2 に出力する。

【 0 0 3 5 】

次いで、マスタ 1 2 からアドレス 8 h のデータを読み出すための読出し命令が、キャッシュメモリコントローラ 1 5 に向けて出力される。キャッシュメモリコントローラ 1 5 は、アドレス 8 h のデータがキャッシュメモリ 1 6 に存在しているか否かを確認する。キャッシュメモリ 1 6 には、先ほどの処理の過程で既にアドレス 8 h のデータが存在する ( キャッシュヒットと称する ) ため、キャッシュメモリコントローラ 1 5 は D R A M コントローラ 1 7 へのアクセスを行わずに、キャッシュメモリ 1 6 へのアクセスを行なう。これにより、キャッシュメモリ 1 6 からアドレス 8 h のデータがキャッシュメモリコントローラ 1 5 に出力される。キャッシュメモリコントローラ 1 5 は、このデータ ( 8 h のデータ ) を、システムバス 1 3 を経由してマスタ 1 2 に出力する。

【 0 0 3 6 】

さらに、マスタ 1 2 からアドレス 1 0 h のデータを読み出すための読出し命令が、キャッシュメモリコントローラ 1 5 に向けて出力される。キャッシュメモリコントローラ 1 5 は、アドレス 1 0 h のデータがキャッシュメモリ 1 6 に存在しているか否かを確認する。キャッシュメモリ 1 6 には、アドレス 1 0 h のデータも存在するため、キャッシュメモリコントローラ 1 5 はキャッシュメモリ 1 6 へのアクセスを行なう。これにより、キャッシュメモリ 1 6 からアドレス 1 0 h のデータがキャッシュメモリコントローラ 1 5 に出力される。キャッシュメモリコントローラ 1 5 は、このデータ ( 1 0 h のデータ ) を、システムバス 1 3 を経由してマスタ 1 2 に出力する。

【 0 0 3 7 】

従来のメモリシステムでは、キャッシュメモリコントローラは、マスタとシステムバスとの間に配備される。このため、キャッシュメモリコントローラは、システムバスを介して D R A M をアクセスする必要がある。従って、アクセス効率が悪いという問題がある。

【 0 0 3 8 】

これに対して、第 1 実施形態のメモリシステム 1 0 では、システムバス 1 3 と D R A M コントローラ 1 7 との間に、キャッシュメモリコントローラ 1 5 が配備されている。このキャッシュメモリコントローラ 1 5 は、D R A M コントローラ 1 7 に 1 キャッシュライン分のサイズ ( 6 4 ビット × 4 のサイズ ) でアクセスする。また、このサイズは D R A M 1 8 のバーストサイズと同じである。従って、アクセス効率は高く、処理の高速化が図られている。

【 0 0 3 9 】

また、従来のメモリシステムでは、キャッシュメモリコントローラでアドレス領域毎にキャッシュ可能 / 禁止 ( キャッシュメモリへのデータの格納可能 / 禁止 ) を設定しているが、第 1 実施形態のメモリシステム 1 0 では、このような設定は必要なく、アドレスの全空間にわたりキャッシュ可能とすることができる。また、キャッシュメモリ 1 6 の目的は、前述したように、D R A M コントローラ 1 5 へのアクセスの整列化と先読みデータの回避にあるので、キャッシュヒット率はそれほど高くなくてもよく、従ってキャッシュメモリ 1 6 のサイズは小さくて済む。

【 0 0 4 0 】

図 3 は、本発明のメモリシステムの第 2 実施形態の回路構成を示す図である。

【 0 0 4 1 】

尚、図 1 に示すメモリシステム 1 0 の構成要素と同じ構成要素には同一の符号を付し、異なる点について説明する。

10

20

30

40

50

## 【 0 0 4 2 】

図 3 に示すメモリシステム 2 0 は、図 1 に示すメモリシステム 1 0 と比較し、図 1 に示すキャッシュメモリコントローラ 1 5 が、以下に説明するキャッシュメモリコントローラ 2 5 に置き換えられている点が異なっている。

## 【 0 0 4 3 】

キャッシュメモリコントローラ 2 5 は、読出し命令を受け取る 2 つのポート A , B を有する。ポート A , B は、それぞれ、6 4 ビットのバス幅を有する。このように、第 2 実施形態のメモリシステム 2 0 では、システムバス 1 3 とキャッシュメモリコントローラ 2 5 との間が多重化されている。このため、キャッシュメモリコントローラ 2 5 は、マスタ 1 1 , 1 2 からの読出し命令 ( アクセス ) を並列的に処理することができる。換言すれば、キャッシュメモリコントローラ 2 5 の帯域幅 ( バス幅 ) が大きくなっており、従って処理の高速化が図られる。

10

## 【 0 0 4 4 】

また、マスタ 1 1 , 1 2 がポート A とポート B のどちらを使ってアクセスを行なうのかについては、マスタ 1 1 , 1 2 毎にどちらを使うのかを固定しておいてもよいし、あるいはアクセスした際に空いていた方のポートを使うようにしてもよい。さらに、データ転送量の少ない方のマスタに固定的に 1 つのポートを割り当てれば、他のマスタに負担をかけることなくアクセスを行なうことができる。ここで、複数ポートを持った高速メモリは多くの A S I C ペンダで使用可能であるため、第 2 実施形態のメモリシステム 2 0 は A S I C に好適に搭載することができる。

20

## 【 0 0 4 5 】

図 4 は、本発明のメモリシステムの第 3 実施形態の回路構成を示す図である。

## 【 0 0 4 6 】

第 3 実施形態のメモリシステム 3 0 には、読出し命令出力時に、以降の読出し手順を表わす先読み情報を出力するマスタ 2 2 が備えられている。

## 【 0 0 4 7 】

また、このメモリシステム 3 0 には、図 3 に示すキャッシュメモリコントローラ 2 5 のポート B に接続されたシーケンサ 1 4 が備えられている。このシーケンサ 1 4 は、マスタ 2 2 からの先読み情報に従って、キャッシュメモリコントローラ 2 5 に、D R A M コントローラ 1 7 を介して D R A M 1 8 からデータを先読みさせてキャッシュメモリ 1 6 に格納させるものである。このように、シーケンサ 1 4 とキャッシュメモリコントローラ 2 5 とを直結して D R A M 1 8 をアクセスすることにより、システムバス 1 3 を使用して D R A M 1 8 をアクセスする場合と比較し、システムバス 1 3 を他の処理に使用することができ、従って処理の高速化を図ることができる。

30

## 【 0 0 4 8 】

さらに詳細に説明する。近年では、D R A M 内に構築されたリンク構造のデータを 1 つずつ辿って、所望のデータを得るような回路機能ブロックである I P コア ( I n t e l l e c t u a l P r o p e r t y C o r e ) が存在する。

## 【 0 0 4 9 】

図 5 は、I P コアのリンク構造の例 ( 2 種類 ) を示す図である。

40

## 【 0 0 5 0 】

図 5 の上段には、3 2 ビットのデータ 1 が格納される第 1 のリストと、3 2 ビットのデータ 2 が格納される第 2 のリストと、3 2 ビットのデータ 3 が格納される第 3 のリストとが、関連づけられたリンク構造例が示されている。ここで、第 1 のリストの先頭アドレス ( O f f s e t + 0 h ) で示されるデータ 1 の部分は、第 2 のリストの先頭アドレスを指し示している。また、第 2 のリストの先頭アドレスで示されるデータ 2 の部分は、第 3 のリストの先頭アドレスを指し示している。

## 【 0 0 5 1 】

また、図 5 の下段には、6 4 ビットのデータ 1 が格納される第 1 のリストと、6 4 ビットのデータ 2 が格納される第 2 のリストと、6 4 ビットのデータ 3 が格納される第 3 のリ

50

ストとが、関連づけられたリンク構造例が示されている。ここで、第1のリストの先頭アドレス(Offset+0h)で示されるデータ1の部分のうちの下位の32ビット分のデータ部分は、第2のリストの先頭アドレスを指し示している。また、第2のリストの先頭アドレスで示されるデータ2の部分のうちの下位の32ビット分のデータ部分は、第3のリストの先頭アドレスを指し示している。

【0052】

前述した図4に示すメモリシステム30では、このようなリンク構造のリスト(データ)が取り扱われる。ここで、マスタ22からは、上記リンク構造のリストの読出し手順を表わす先読み情報が出力される。シーケンサ14は、この先読み情報を受け取る。以下、図6を参照して詳細に説明する。

10

【0053】

図6は、図4に示すメモリシステムにおける処理の流れを示す図である。

【0054】

まず、マスタ22から、2バースト分のアドレス(アドレス0h, 8h)のデータを読み出すための読出し命令(READ2)が出力される。ここで、マスタ22から出力される読出し命令には、アドレス0h, 8hとともに、図5の下段に示すリンク構造のリストをアクセスするための先読み情報(フラグFLAG)が付加される。

【0055】

マスタ22からのリード命令(READ2)は、キャッシュメモリコントローラ25のポートAに入力される。ここで、キャッシュメモリコントローラ25は、フラグFLAGが付加されたアドレス0h, 8hのデータがキャッシュメモリ16に存在しているか否かを確認する。

20

【0056】

最初の時点では、キャッシュメモリ16には、アドレス0h, 8hのデータは存在しない(キャッシュミス)ため、キャッシュメモリコントローラ25は、DRAMコントローラ17にアクセスする。これを受けて、DRAMコントローラ17は、4バースト単位でDRAM18にアクセスする。詳細には、DRAMコントローラ17から、4バースト分のアドレス(アドレス0h, 8h, 10h, 18h)のデータを読み出すための読出し命令(READ4)が出力される。これにより、DRAM18からアドレス0h, 8h, 10h, 18hのデータa, b, c, dが出力される。これらのデータa, b, c, dは、DRAMコントローラ17に入力される。さらに、DRAMコントローラ17は、これらのデータa, b, c, dをキャッシュメモリコントローラ25に出力する。

30

【0057】

キャッシュメモリコントローラ25は、DRAMコントローラ17からのデータa, b, c, dをキャッシュメモリ16に格納するとともに、フラグFLAGが付されたアドレス0h, 8hに対応するデータa, bにフラグFLAGを付して、マスタ22に出力する。

【0058】

ここで、シーケンサ14は、キャッシュメモリコントローラ25のポートBを経由してDRAM18からの、アドレス0hのデータaを読み出す。このデータaは、次のリストの先頭アドレスAを示すものである。これにより、図6の下段に示すように、この先頭アドレスAを含む4バースト分のアドレス(アドレスA, A+8h, A+10h, A+18h)が指定され、これらのアドレスで指定されたデータe, f, g, hがDRAM18から出力される。このようにして、シーケンサ14でDRAM18のデータが先読みされる。さらに、これらのデータe, f, g, hは、DRAMコントローラ17, キャッシュメモリコントローラ25を経由してキャッシュメモリ16に格納される。

40

【0059】

次いで、マスタ22から、2バースト分のアドレス(アドレスA, A+8h)のデータを読み出すための読出し命令(READ2)が出力される。この読出し命令には、アドレスA, A+8hとともに先読み情報(フラグFLAG)が付加される。

【0060】

50

マスタ 2 2 からの読出し命令 ( R E A D 2 ) は、キャッシュメモリコントローラ 2 5 のポート A に入力される。キャッシュメモリコントローラ 2 5 は、フラグ F L G が付加されたアドレス A , A + 8 h のデータがキャッシュメモリ 1 6 に存在するか否かを確認する。

【 0 0 6 1 】

ここでは、キャッシュメモリ 1 6 には、アドレス A , A + 8 h のデータは存在するため ( キャッシュヒット )、キャッシュメモリコントローラ 2 5 は、キャッシュメモリ 1 6 からデータ e , f を読み出して、フラグ F L G が付されたアドレス A , A + 8 h に対応するデータ e , f にフラグ F L G を付して、マスタ 2 2 に出力する。

【 0 0 6 2 】

このように、第 3 実施形態のメモリシステム 3 0 では、キャッシュメモリコントローラ 2 5 がマスタ 2 2 にデータ ( リードデータ ) を出力する際に、そのリードデータにフラグ F L G が付加される。また、フラグ F L G がシーケンサ 1 4 で観測された場合、シーケンサ 1 4 はリンク構造アクセスであると認識し、予測されたアドレスのデータの読み出しを D R A M 1 8 に対して行なう。さらに、マスタ 2 2 は、上述したようにアドレス A , A + 8 h のデータの読み出しを行なう。ここで、アドレス A , A + 8 h のデータは、既にキャッシュされているため、低レイテンシでアクセスを完了することができる。また、この時点でのアクセスもフラグ F L G が付加されているため、シーケンサ 1 4 により先読みが行なわれる。ここで、シーケンサ 1 4 が行なう先読み動作は、シーケンサ 1 4 と D R A M コントローラ 1 7 の間での閉じられた動作 ( 限定された動作 ) であるため、システムバス 1 3 上のアクセスを阻害 ( 悪影響を及ぼす ) することはほとんどない。

【 0 0 6 3 】

シーケンサ 1 4 の構成としては、小規模の C P U を好適に用いることができる。この C P U で、予測のアルゴリズムをソフトウェアで実現することにより、その後の変更にも柔軟に対応することができる。尚、割り込み応答速度や動作周波数の点で問題がある場合には、このような C P U を用いた構成とは異なる、以下に示す簡単な回路構成を採用することができる。

【 0 0 6 4 】

図 7 は、簡単な回路構成を採用したシーケンサの回路を示す図である。

【 0 0 6 5 】

図 7 には、レジスタ 4 1 と、比較 & アクション決定部 4 2 と、マスタ 4 3 とを備えたシーケンサ 4 0 とが示されている。尚、この図 7 には、前述したキャッシュメモリコントローラ 2 5 も示されている。

【 0 0 6 6 】

レジスタ 4 1 は、第 1 のレジスタ部 4 1 \_\_ 1 と、第 2 のレジスタ部 4 1 \_\_ 2 と、第 3 のレジスタ部 4 1 \_\_ 3 とを有する。第 1 のレジスタ部 4 1 \_\_ 1 には、第 1 の F L G 番号と、その第 1 の F L G 番号を使用したときにリードされたデータのどの部分をアドレスとして認識するかの情報 ( アドレスオフセット値 ; 単にオフセット値と記述する ) が格納される。また、第 2 のレジスタ部 4 1 \_\_ 2 には、第 2 の F L G 番号と、その第 2 の F L G 番号を使用したときにリードされたデータのどの部分をアドレスとして認識するかの情報 ( オフセット値 ) が格納される。さらに、第 3 のレジスタ部 4 1 \_\_ 3 には、第 3 の F L G 番号と、その第 3 の F L G 番号を使用したときにリードされたデータのどの部分をアドレスとして認識するかの情報 ( オフセット値 ) が格納される。

【 0 0 6 7 】

比較 & アクション決定部 4 2 は、ポート A のアクセスを監視し、ポート A に現れた F L G 番号と、レジスタ 4 1 に格納されている F L G 番号とが一致した場合に、そのレジスタ 4 1 に格納されているオフセット値を使ってリードデータからアドレスを取り出す。取り出されたアドレスは、マスタ 4 3 に渡される。

【 0 0 6 8 】

マスタ 4 3 は、比較 & アクション決定部 4 2 から渡されたアドレスを先頭として 4 バーストのリード命令を、ポート B に向けて出力 ( 発行 ) する。

## 【 0 0 6 9 】

このようにすることで、リンク構造が１種類ではない場合であっても、リンク構造の種類ごとに異なる手段でアドレスを予測することができる。また、ＦＬＧ番号とアドレスは、システムバスを介して変更可能にしておくことで、柔軟性を持たせることができる。

## 【 0 0 7 0 】

図８は、図７に示すシーケンサの動作を説明するための図である。

## 【 0 0 7 1 】

ここでは、第１のレジスタ部４１\_\_１には、オフセット値として‘１’が格納されているものとする。また、第２，第３のレジスタ部４１\_\_２，４１\_\_３には、オフセット値として共に‘０’が格納されているものとする。第１のレジスタ部４１\_\_１に、オフセット値として‘１’が格納されているため、第１のＦＬＧ番号を使用したときのアドレスが予測される。

## 【 0 0 7 2 】

ここで、比較＆アクション決定部４２は、ポートＡに出力された４バースト分のデータ a , b , c , d およびＦＬＧ番号を監視する。ここでは、ＦＬＧ番号は、第１のレジスタ部４１\_\_１に格納されている第１のＦＬＧ番号を示すＦＬＧ＝１であるものとする。比較＆アクション決定部４２では、このＦＬＧ番号（ＦＬＧ＝１）と、第１のレジスタ部４１\_\_１に格納されているオフセット値とが一致したと判定し、データ a , b , c , d のうちのデータ a をアドレスとして使用する。このデータ a は、マスタ４３に渡され、このデータ a を先頭のアドレスとして４バーストのリード命令を、キャッシュメモリコントローラ 25 のポートＢに向けて出力する。以下、前述したように、キャッシュメモリコントローラ 25 は、ＤＲＡＭコントローラ 17 を介してＤＲＡＭ 18 からデータを先読みさせてキャッシュメモリ 16 に格納させる。

## 【図面の簡単な説明】

## 【 0 0 7 3 】

【図１】本発明のメモリシステムの第１実施形態の回路構成を示す図である。

【図２】図１に示すメモリシステムにおける処理の流れを示す図である。

【図３】本発明のメモリシステムの第２実施形態の回路構成を示す図である。

【図４】本発明のメモリシステムの第３実施形態の回路構成を示す図である。

【図５】ＩＰコアのリンク構造の例（２種類）を示す図である。

【図６】図４に示すメモリシステムにおける処理の流れを示す図である。

【図７】簡単な回路構成を採用したシーケンサの回路を示す図である。

【図８】図７に示すシーケンサの動作を説明するための図である。

【図９】従来のメモリシステムの回路構成を示す図である。

【図１０】図９に示すメモリシステムにおける処理の流れを示す図である。

## 【符号の説明】

## 【 0 0 7 4 】

10 , 20 , 30   メモリシステム

11 , 12 , 22 , 43   マスタ

13   システムバス

14 , 40   シーケンサ

15 , 25   キャッシュメモリコントローラ

16   キャッシュメモリ

17   ＤＲＡＭコントローラ

18   ＤＲＡＭ

41   レジスタ

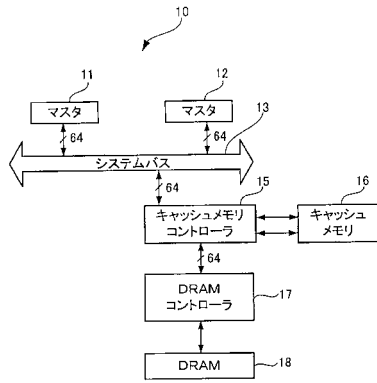
42   比較＆アクション決定部

41\_\_1   第１のレジスタ部

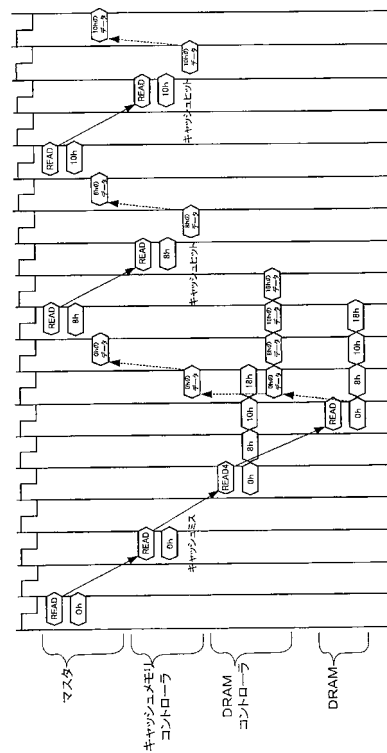
41\_\_2   第２のレジスタ部

41\_\_3   第３のレジスタ部

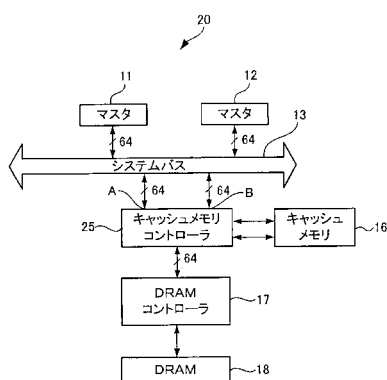
【図 1】



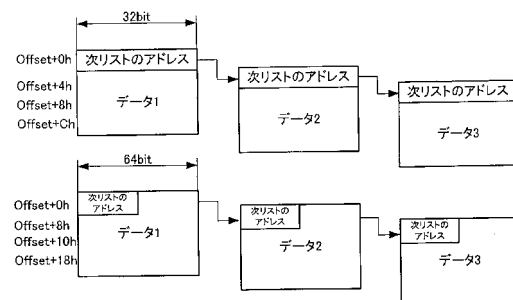
【図 2】



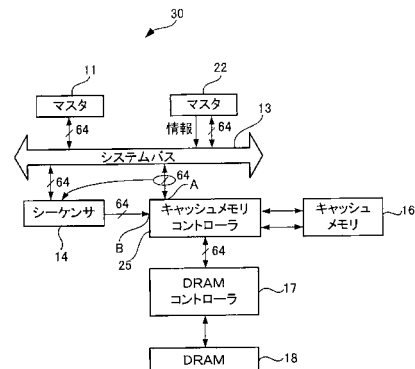
【図 3】



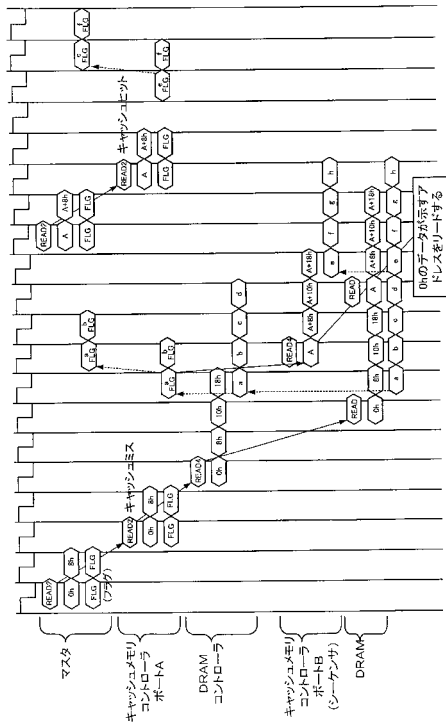
【図 5】



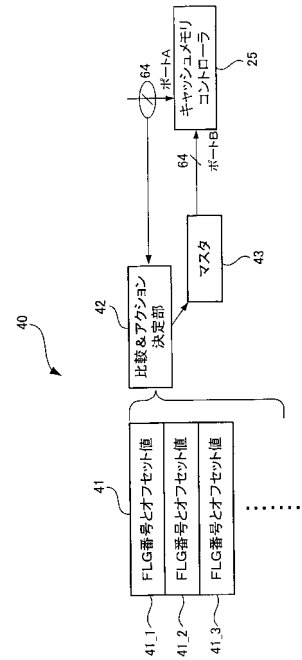
【図 4】



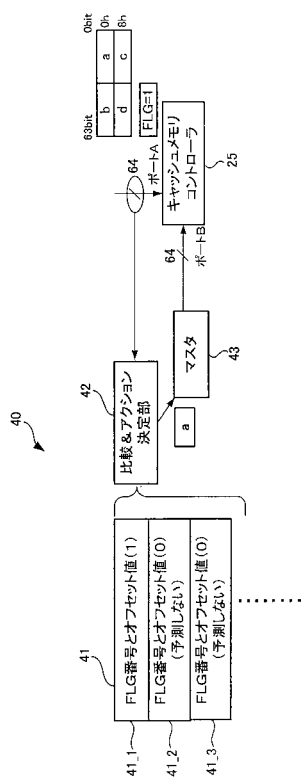
【図 6】



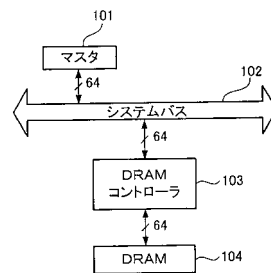
【図 7】



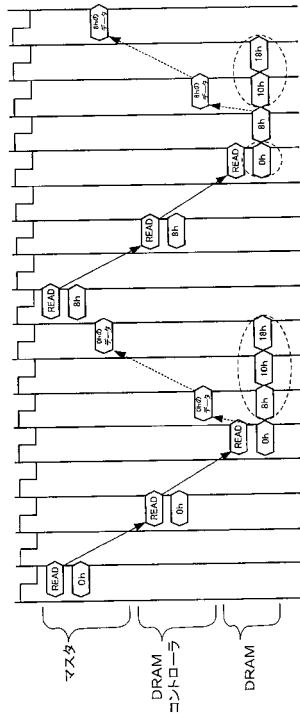
【図 8】



【図 9】



【図10】



---

フロントページの続き

(56)参考文献 特開平08-055025(JP,A)  
特開2000-250808(JP,A)  
特開2002-215456(JP,A)  
特開平07-056755(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G06F 12/08 - 12/12