

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-201030
(P2004-201030A)

(43) 公開日 平成16年7月15日(2004.7.15)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03M 13/41	H03M 13/41	5B001
G06F 11/10	G06F 11/10 33ON	5J065
H04L 1/00	H04L 1/00 Z	5K014

審査請求 未請求 請求項の数 4 O L (全 15 頁)

(21) 出願番号	特願2002-367195 (P2002-367195)	(71) 出願人	501431073 ソニー・エリクソン・モバイルコミュニケーションズ株式会社 東京都港区港南1丁目8番15号 Wビル
(22) 出願日	平成14年12月18日 (2002.12.18)	(74) 代理人	100122884 弁理士 角田 芳末
		(74) 代理人	100113516 弁理士 磯山 弘信
		(72) 発明者	大木 登 東京都港区港南1-8-15 Wビル ソニー・エリクソン・モバイルコミュニケーションズ株式会社内
		Fターム(参考)	5B001 AA10 AB05 AC01 AD06 AE02 5J065 AA01 AB01 AC02 AD04 AD10 AG05 AH12 AH13 AH23 5K014 BA06 BA10 FA11

(54) 【発明の名称】 信号処理装置及び方法

(57) 【要約】

【課題】 受信した畳み込み符号のレート検出が簡単に行えるようにする。

【解決手段】 任意のデータレートのデータを誤り検出符号化及び誤り訂正符号化して送信されてきたデータを、最尤復号する場合に、受信データの平均値を計算し、その計算された平均値を利用して受信データを正規化する正規化手段41と、正規化手段の出力の中から複数のデータを所定の順番で選択し、データのレートが、選択したデータレートであるものとして、最尤復号処理を行う最尤復号手段と、最尤復号処理により得られる所定のメトリック値からその中の最小のメトリック値を引く演算手段と、演算手段での演算の結果得られる各レートでの状態0のメトリック値と誤り検出結果に基づいて、正しいデータレートを判定する判定手段と、判定手段により判定されたレートでの復号データを出力する出力手段とを備えた。

【選択図】 図1

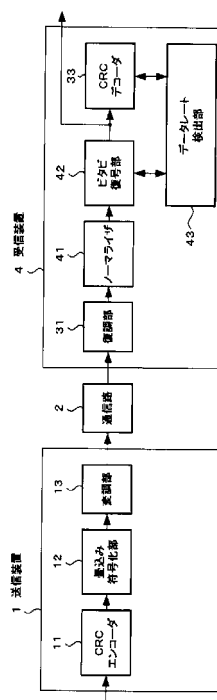


図 1
構成

【特許請求の範囲】**【請求項 1】**

所定の複数のデータレートの中の任意のデータレートのデータを誤り検出符号化及び誤り訂正符号化して送信されてきたデータを、最尤復号する信号処理装置において、受信データの平均値を計算し、その計算された平均値を利用して受信データを正規化する正規化手段と、
前記正規化手段の出力の中から前記複数のデータを所定の順番で選択し、前記データのレートが、選択したデータレートであるものとして、最尤復号処理を行う最尤復号手段と、前記最尤復号処理により得られる所定のメトリック値からその中での最小のメトリック値を引く演算手段と、
前記演算手段での演算の結果得られる各レートでのステート 0 のメトリック値と誤り検出結果に基づいて、正しいデータレートを判定する判定手段と、
前記判定手段により判定されたレートでの復号データを出力する出力手段とを備えることを特徴とする
信号処理装置。

10

【請求項 2】

請求項 1 記載の信号処理装置において、
前記正規化手段での受信データの平均値の計算は、先頭ビットからデータ長が最短となるデータレートでのテールビットの終了位置までのデータの絶対値の平均値を計算し、各入力データを計算された平均値で割り、さらに所定の定数をかけることを特徴とする
信号処理装置。

20

【請求項 3】

所定の複数のデータレートの中の任意のデータレートのデータを誤り検出符号化及び誤り訂正符号化して送信されてきたデータを、最尤復号する信号処理方法において、受信データの平均値を計算し、その計算された平均値を利用して受信データを正規化するステップと、
前記正規化ステップの出力の中から前記複数のデータを所定の順番で選択し、前記データのレートが、選択したデータレートであるものとして、最尤復号処理を行うステップと、前記最尤復号処理ステップにより得られる所定のメトリック値からその中での最小のメトリック値を引く算出ステップと、
前記算出ステップでの算出の結果得られる各レートでのステート 0 のメトリック値と誤り検出結果に基づいて、正しいデータレートを判定するステップと、
前記ステップにより判定されたレートでの復号データを出力する出力ステップとを備えることを特徴とする
信号処理方法。

30

【請求項 4】

請求項 3 記載の信号処理方法において、
前記正規化ステップでの受信データの平均値の計算は、先頭ビットからデータ長が最短となるデータレートでのテールビットの終了位置までのデータの絶対値の平均値を計算し、各入力データを計算された平均値で割り、さらに所定の定数をかけることを特徴とする
信号処理方法。

40

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、畳み込み符号化されたデータを最尤復号する信号処理装置及び方法に関し、特に送信されたデータのデータレートを検出する信号処理装置及び方法に関する。

【0002】**【従来の技術】**

従来、データレートが複数用意された内の、所定のデータレートで送信させて、受信側でそのデータレートを検出することが行われている。図 8 は、従来の受信装置 3 を含む、所

50

定の複数のデータレートのうち、任意のデータレートでデータが送受信される通信系の構成例を示している。

【0003】

送信装置1は、畳み込み符号化したデータを、所定の複数のデータレートのうちの任意のデータレートで、通信路2を介して受信装置3に送信する。

【0004】

図9は、ここで送受信されるデータのトランスポートフォーマットの例を示している。このフォーマットによれば、データストリームにCRC (Cyclic Redundancy Check) 符号が付加されているが、データレートに応じて、データストリームの長さは可変するため、終端のビット (CRCの最後のビット) n_{end} は、データレートにより異なる。なお、以下の説明では、CRCの最後のビットを終端ビット n_{end} と称する。

10

【0005】

例えば、図9に示すように、4つのデータレート R_1 , R_2 , R_3 , R_4 (データレート $R_1 < \text{データレート } R_2 < \text{データレート } R_3 < \text{データレート } R_4$) が存在する場合において、データレート $R_1 \sim R_4$ のときのそれぞれの終端ビット n_{end} は、先頭ビット S から数えて、第 E_1 番目のビット (図9 (a))、第 E_2 番目のビット (図9 (b))、第 E_3 番目のビット (図9 (c))、または第 E_4 番目のビット (図9 (d)) となる。

【0006】

なお、データレート $R_1 \sim R_3$ の場合のトランスポートフォーマットにおいて、データレート $R_1 \sim R_3$ の終端ビット n_{end} である、第 E_1 番目のビット、第 E_2 番目のビット、または第 E_3 番目のビットから、データレート R_4 の終端ビット n_{end} である第 E_4 番目のビットに相当するビットまでは、何もデータがないエンpty区間となる。

20

【0007】

受信装置3は、送信装置1から、通信路2を介して送信されてきたデータ (図9) に対して、ビタビ復号処理を施す。受信装置3はまた、受信データのデータレートを検出し、復号データを、検出したデータレートで、受信装置に接続されたデータ処理装置 (図示せず) に出力する。

【0008】

次に、図8に示した送信装置1および受信装置3の構成について説明する。

【0009】

送信装置1は、CRC (Cyclic Redundancy Check) エンコーダ11、畳み込み符号化部12、および変調部13を有している。CRCエンコーダ11は、送信されるデータのCRCパリティビットを、データストリームに付加し、畳み込み符号化部12に供給する。

30

【0010】

畳み込み符号化部12は、CRCエンコーダ11からのデータに対し、畳み込み符号化を行って、変調部13に供給する。変調部13は、畳み込み符号化部12からのデータを変調し、通信路2を介して受信装置3に送信する。

【0011】

受信装置3は、復調部31、ビタビ復号部32、CRCデコーダ33、およびデータレート検出部34を有している。復調部31は、受信データを復調して、ビタビ復号部32に供給する。

40

【0012】

ビタビ復号部32は、データレート検出部34に制御され、復調部31からのデータに対して、ビタビ復号処理を施し、その結果得られたデータ (復号データ) を、CRCデコーダ33に供給する。

【0013】

ビタビ復号部22は、このとき算出した最大パスマトリック値、最小パスマトリック値、およびゼロステートパスマトリック値を、データレート検出部24に供給する。

【0014】

ビタビ復号部22は、ビタビ復号処理の結果得られた復号データを、データレート検出部

50

24が検出したデータレートで、図示せぬ装置に出力する。

【0015】

CRCデコーダ23は、データレート検出部24に制御され、ビタビ復号部22からのデータに対して、CRC判定を行い、その判定結果を、データレート検出部24に供給する。

【0016】

データレート検出部24は、ビタビ復号部22およびCRCデコーダ23を制御して、ビタビ復号やCRC判定を行わせるとともに、ビタビ復号部22からの、最大パスメトリック値、最小パスメトリック値、およびゼロステートパスメトリック値、並びにCRCデコーダ23からのCRC判定結果に基づいて、受信データのデータレートを検出する。

10

【0017】

次に、受信データのデータレートを検出する場合の受信装置3の動作を、図10のフローチャートを参照して説明する。なお、ここでは、図9に示したように、4つのデータレート R_i ($i = 1, 2, 3, 4$)が存在するものとする。

【0018】

ステップS1において、データレート検出部34は、内蔵する、カウンタ i の値を、値1に、レジスタ S_{min} の値を、所定の値 $D1$ に、そしてレジスタ t_r の値を、値0に、それぞれ初期設定する。

【0019】

ステップS2において、データレート検出部34は、ビタビ復号部32を制御して、先頭ビット S から、カウンタ i の値で識別されるデータレート R_i の終端ビット n_{end} までの最大パスメトリック値、最小パスメトリック値、およびゼロステートパスメトリック値を算出させる。

20

【0020】

これにより、ビタビ復号部32は、加算、比較、および選択という、いわゆるACS (Add Compare Select) 処理を実行して、最大パスメトリック値、最小パスメトリック値、およびゼロステートパスメトリック値を算出する。ビタビ復号部22は、算出したこれらのデータを、データレート検出部34に供給する。

【0021】

受信装置3 (データレート検出部34) は、あり得るデータレート R_i を、予め認識しており、カウンタ i の値に基づいて、データレート R_i を識別することができるようになされている。

30

【0022】

この例の場合、カウンタ i の値が値1、値2、値3、または値4 (最大値) のとき ($i = 1, 2, 3, 4$)、データレート R_1, R_2, R_3, R_4 がそれぞれ識別され、先頭ビット S から、第E1番目 (図9(a))、第E2番目 (図9(b))、第E3番目 (図9(c))、または第E4番目 (図9(d)) のビットまでのそれぞれの、最大パスメトリック値、最小パスメトリック値、およびゼロステートパスメトリック値が算出される。

【0023】

次に、ステップS3において、データレート検出部34は、ステップS2で、ビタビ復号部32から供給された、最大パスメトリック値、最小パスメトリック値、およびゼロステートパスメトリック値に基づいて、〔数1〕式を演算し、 S 値を算出する。

40

【0024】

【数1】

$$S \text{ 値} = 10 \text{ Log}((a_0 - a_{min}) / ((a_{max} - a_{min})))$$

【0025】

なお、式中、 a_{max} は、最大パスメトリック値、 a_{min} は、最小パスメトリック値、および a_0 は、ゼロステートパスメトリック値である。また S 値の最大値は、値0で、最小値は、マイナス無限大である。

【0026】

50

ステップ S 4 において、データレート検出部 3 4 は、ステップ S 3 で、算出した S 値が、閾値 D 1 以下であるか否かを判定する。

【 0 0 2 7 】

カウンタ i の値で識別されるデータレート R_i が、受信データの真のデータレートである場合、このときビタビ復号部 2 2 で算出されるゼロステートパスメトリック値は、十分に小さい値となるため、〔数 1〕式に示す S 値は、小さい値となる。一方、データレート R_i が、受信データの真のデータレートでない場合、このとき算出されるゼロステートパスメトリック値は、十分に小さい値とはならないので、S 値は、小さい値とはならない。すなわち、算出された S 値が、閾値 D 1 以下であるか否かを判定することにより、カウンタ i の値で識別されるデータレート R_i が、受信データの真のデータレートであることができるか否か（真のデータレートである可能性があるか否か）を判定することができる。

10

【 0 0 2 8 】

なお、閾値 D 1 は、真のデータレートの S 値が、閾値 D 1 より大きいと判定されないように、比較的大きな値となっている。

【 0 0 2 9 】

ステップ S 4 で、S 値が、閾値 D 1 以下であると判定された場合、すなわち、このときのカウンタ i の値で識別されるデータレート R_i が、受信データの真のデータレートであることができる場合（真のデータレートである可能性がある場合）、ステップ S 5 に進む。

20

【 0 0 3 0 】

ステップ S 5 において、データレート検出部 3 4 は、ビタビ復号部 3 2 を制御して、トレースバック処理を実行させ、先頭ビット S から、カウンタ i の値で識別されるデータレート R_i の終端ビット n_{end} （例えば、カウンタ i の値が値 1 である場合、第 E 1 番目のビット）までのデータストリームを生成させる。そしてステップ S 6 において、データレート検出部 3 4 は、CRC デコーダ 3 3 を制御して、このとき生成されたデータの CRC 判定を行わせる。

【 0 0 3 1 】

これにより、ビタビ復号部 3 2 は、先頭ビット S から、データレート R_i の終端ビット n_{end} までのデータストリームを生成し、CRC デコーダ 3 3 に供給する。

30

【 0 0 3 2 】

CRC デコーダ 3 3 は、ビタビ復号部 3 2 から供給された復号データ（先頭データ S から、データレート R_i の終端ビット n_{end} までの復号データ）を生成多項式で割り、その余りを求める。

【 0 0 3 3 】

カウンタ i の値で識別されるデータレート R_i が、受信データの真のデータレートである場合、求められた余りは 0 となる可能性が高いが、データレート R_i が、受信データの真のデータレートでない場合、余りは 0 とならない可能性が高い。

【 0 0 3 4 】

CRC デコーダ 3 3 は、求めた余りを、CRC 計算結果として、データレート検出部 3 4

40

に通知する。

【 0 0 3 5 】

ステップ S 7 において、データレート検出部 3 4 は、CRC デコーダ 3 3 からの CRC 計算結果に基づいて、受信データにエラーが存在するか否かを判定する。すなわち、このときのカウンタ i の値で示されるデータレート R_i を、受信データのデータレートとした場合における CRC 計算結果により、受信データにエラーが存在するか否かが判定される。CRC 計算結果が、0 でない場合（データレート R_i が真のデータレートでない場合）、エラーが存在すると判定され、CRC 計算結果が、0 である場合（真のデータレートである可能性がある場合）、エラーが存在しないと判定される。

【 0 0 3 6 】

50

ステップS7で、エラーが存在しないと判定された場合、ステップS8に進み、データレート検出部34は、ステップS3で算出したS値が、レジスタS_{min}の値以下であるか否かを判定する。なお、レジスタS_{min}には、値D1が初期設定されるので、ステップS4で、最初にYESと判定されたS値は、当然レジスタS_{min}以下となる。

【0037】

ステップS8で、S値が、レジスタS_{min}の値以下であると判定された場合、ステップS9に進み、データレート検出部34は、レジスタS_{min}の値を、今回算出したS値に置き換える。すなわち、ステップS8での判定は、今回算出されたS値が、これまで算出されたS値の中で最小であるか否かを判定するものである。

【0038】

データレート検出部34はまた、このとき、レジスタt_rの値を、このときのカウンタiの値で置き換える。

【0039】

ステップS4で、S値が閾値D1以下ではないと判定されたとき、ステップS7で、エラーが存在すると判定されたとき、ステップS8で、S値が、レジスタS_{min}の値以下ではないと判定されたとき、またはステップS9で、レジスタS_{min}およびレジスタt_rの値が置き換えられたとき、ステップS10に進む。

【0040】

ステップS10において、データレート検出部24は、カウンタiの値が、最大値(値4)であるか否かを判定し、最大値ではないと判定した場合、ステップS11に進み、カウンタiの値を1だけインクリメントして、ステップS2に戻り、それ以降の処理を実行する。

【0041】

ステップS10で、カウンタiの値が、最大値であると判定された場合、ステップS12に進み、データレート検出部24は、レジスタt_rの値で識別されるデータレートR_iを、受信データの真のデータレートとして検出する。そしてデータレート検出部24は、ピタビ復号部32を制御して、復号データを、検出したデータレートR_iで出力させる。その後、処理は終了する。

【0042】

特許文献1(特開2002-76923号公報)には、ここまで説明したデータレート検出処理が記載されている。

【0043】

【特許文献1】

特開2002-76923号公報

【0044】

【発明が解決しようとする課題】

以上のようにして、レートが可変の場合における、受信データのレート検出が行われるが、この場合、S値を算出するのに上述した〔数1〕式を使用すると、Log(対数)や割り算を使用した演算であるため、計算量が大きく、例えばハードウェア化した場合には回路規模や消費電力が大きくなるという問題があった。

【0045】

本発明はかかる点に鑑みてなされたものであり、受信データのレート検出が簡単な処理で行えるようにすることを目的とする。

【0046】

【課題を解決するための手段】

本発明の信号処理装置は、所定の複数のデータレートの内の任意のデータレートのデータを誤り検出符号化及び誤り訂正符号化して送信されてきたデータを、最尤復号する信号処理装置において、受信データの平均値を計算し、その計算された平均値を利用して受信データを正規化する正規化手段と、正規化手段の出力の中から複数のデータを所定の順番で選択し、データのレートが、選択したデータレートであるものとして、最尤復号処理を行

10

20

30

40

50

う最尤復号手段と、最尤復号処理により得られる所定のメトリック値からその中での最小のメトリック値を引く演算手段と、演算手段での演算の結果得られる各レートでのステート0でメトリック値と誤り検出結果に基づいて、正しいデータレートを判定する判定手段と、判定手段により判定されたレートでの復号データを出力する出力手段とを備えることを特徴とするものである。

【0047】

本発明の信号処理方法は、所定の複数のデータレートの中の任意のデータレートのデータを誤り検出符号化及び誤り訂正符号化して送信されてきたデータを、最尤復号する信号処理方法において、受信データの平均値を計算し、その計算された平均値を利用して受信データを正規化するステップと、正規化ステップの出力の中から前記複数のデータを所定の順番で選択し、データのレートが、選択したデータレートであるものとして、最尤復号処理を行うステップと、最尤復号処理ステップにより得られる所定のメトリック値からその中での最小のメトリック値を引く算出ステップと、算出ステップでの算出の結果得られる各レートでのステート0でメトリック値と誤り検出結果に基づいて、正しいデータレートを判定するステップと、判定ステップにより判定されたレートでの復号データを出力する出力ステップとを備えることを特徴とするものである。

10

【0048】

このようにしたことで、データレート検出処理のために必要な計算量を少なくすることができる。

【0049】

20

【発明の実施の形態】

以下、図1～図7を参照して本発明の一実施の形態について説明する。なお、本実施の形態で説明する図1～図7において、従来例として説明した図8～図10に対応する部分には同一符号を付す。

【0050】

本例においては、従来例として説明したシステムと同様に、畳み込み符号化したデータを、所定の複数のデータレートの内、任意のデータレートでデータが送受信される通信系に適用したものである。即ち、本例の場合には、図9に示すように終端ビット n_{end} の位置が、先頭ビット S から数えて、第 $E1$ 番目のビット(図9(a))、第 $E2$ 番目のビット(図9(b))、第 $E3$ 番目のビット(図9(c))、または第 $E4$ 番目のビット(図9(d))となる、4種類のデータレート $R1$ 、 $R2$ 、 $R3$ 、 $R4$ (データレート $R1 <$ データレート $R2 <$ データレート $R3 <$ データレート $R4$)が存在するデータフォーマットとしてある。

30

【0051】

図1は、本例の受信装置4を含む通信系の構成例を示している。送信装置1側の構成については従来例で説明した構成と同じである。即ち、送信装置1は、畳み込み符号化したデータを、所定の複数のデータレートのうちの任意のデータレートで、通信路2を介して受信装置4に送信する。

【0052】

送信装置1は、CRC(Cyclic Redundancy Check)エンコーダ11、畳み込み符号化部12、および変調部13を有している。CRCエンコーダ11は、送信されるデータのCRCパリティビットを、データストリームに付加し、畳み込み符号化部12に供給する。

40

【0053】

畳み込み符号化部12は、CRCエンコーダ11からのデータに対し、畳み込み符号化を行って、変調部13に供給する。変調部13は、畳み込み符号化部12からのデータを変調し、通信路2を介して受信装置4に送信する。

【0054】

受信装置4は、送信装置1から、通信路2を介して送信されてきたデータに対して、ビット復号処理を施す。受信装置4はまた、受信データのデータレートを検出し、復号データを、検出したデータレートで、受信装置に接続されたデータ処理装置(図示せず)に出力

50

する。

【0055】

受信装置4の構成としては、復調部31と、復調部31で復調された信号を正規化するノーマライザ41と、ノーマライザ41の出力をビタビ復号するビタビ復号部42と、ビタビ復号部42が出力するデータのCRCデコードを行うCRCデコーダ33と、受信データのデータレートを検出するデータレート検出部43とを備える。

【0056】

復調部31は、受信データを復調して、ノーマライザ41に供給する。ノーマライザ41での正規化処理としては、受信データの平均値を計算し、その計算された平均値を利用して受信データを正規化する。具体的には、例えば、先頭ビットSからデータ長が最短となるデータレートでの終端ビット n_{end} までのデータの絶対値の平均値を求める。そして、各入力データを求められた平均値で割り、さらに適切な定数Aをかける。このように正規化処理を行うことで、ノーマライザ41の出力は、受信信号レベルが変動しても、デコード処理単位でのデータの平均値がAに正規化される。

10

【0057】

ノーマライザ41で正規化された復調データは、ビタビ復号部42でビタビ復号される。

【0058】

図2は、ビタビ復号部42の構成例を示した図である。ビタビ復号部42に入力したデータは、ブランチメトリック計算回路52に供給されて、ブランチ毎のメトリックをブランチメトリック計算回路52で計算する。

20

【0059】

そして、ブランチメトリック計算回路52が出力するブランチメトリックと、ステートメトリック記憶回路55に記憶された各ステート毎のパスメトリックとをACS回路53に供給して、加算し比較する。ACS回路53での加算及び比較で得られた各ステート毎のパスメトリックは、メトリック再設定回路54で、最小のパスメトリックを探し、その探した最小のパスメトリック値を、各ステートのパスメトリック値から引く正規化演算処理を行って、各ステートのパスメトリック値を再設定する。このように再設定することで、最小のパスメトリック値が常に0になる。

【0060】

再設定回路54が出力する各ステート毎のパスメトリック値は、メトリック記憶回路55に記憶されて、ACS回路53に供給される。ACS回路53でのパス選択情報は、パスメモリ回路56に記憶される。

30

【0061】

ACS回路53では、ブランチメトリック計算回路52から供給されるブランチメトリックと、メトリック記憶回路55に記憶された各ステート毎のパスメトリックとに基づいて、各ステートに合流する2本のそれぞれのパスに対し、ブランチメトリックとパスメトリックを加算して比較し、この比較結果にもと尤度の高いものを選択して、各ステート毎の新パスメトリックとする。その選択内容を、パス選択情報としてパスメモリ回路56に供給し、最小のメトリックのステートの番号を最尤ステート情報としてパスメモリ回路56に供給する。パスメモリ回路56は、ACS回路53が出力するパス選択情報を記憶し、同時にACS回路53が出力する最尤ステート情報に基づいて、最尤パスに対応する情報の内、打ち切り長と呼ばれる一定の長さ以前の情報を復号データとして出力する。

40

【0062】

具体的なパスの選択処理状態の例を図3のトレリスに示すと、例えばステートS0, S1, S2, S3の4つのステートが存在するとすると、各タイムスロット毎に全てのステートには合流する2本のパスが存在する。そこで、あるステートに合流する2本のそれぞれのパスに対し、受信信号とパスとのハミング距離(ブランチメトリック)と、それまでのブランチメトリックの累積和(ステートのパスメトリック)とをACS回路53で加算して比較し、この比較結果に基づいて尤度の高いものが選択される。ここで、各ステートS0~S3のメトリック値は、そのままでは図3に示すように累積されて加算されていき、

50

徐々に大きな値になっていくが、最小の値であるパスを順に辿ることで、最尤パスが選ばれ、正しい復号ができる。

【0063】

ここで本例の場合には、既に説明したように、メトリック再設定回路54で、最小のパスメトリックを探し、その探した最小のパスメトリック値を、各ステートのパスメトリック値から引くことで、パスメトリック値の値が累積加算されることがないようにしてある。なお、図3はパス選択の原理を示したトレリスであり、各ステートのメトリック値として、そのタイミングでの最小値を引く処理はしてない状態で示してある。従って、図3の例の場合には、メトリック値は累積加算された状態で示してあるが、既に説明したように本例の演算処理を行うことで、4つのステートの内の最小値は0になる。

10

【0064】

このように、本例のビタビ復号部42(図1)でのビタビ復号処理として、1ステップ毎の復号処理の際に、加算、比較、および選択処理であるACS(Add Compare Select)演算処理の後に得られる、各ステートのパスメトリック値から最小のパスメトリック値を探し、その値を各ステートのパスメトリック値から引くようにしてある。この結果、先頭ビットから順にACS演算処理でパスメトリック値を求めていく際に、パスメトリックの絶対値が大きくなっていくのを避けることができる。即ち、どの終端ビット n_{end} であっても、最小メトリック値減算後の最大メトリック値(〔数1〕式の $(a_{max} - a_{min})$)に大きな差がなくなる。

【0065】

このように本例の受信装置4は、ノーマライザ41での正規化とビタビ復号部42での最小パスメトリック値の減算により、様々な通信路環境あるいはどの終端ビット n_{end} であっても、〔数1〕式の $(a_{max} - a_{min})$ に大きな差がなくなる。よって、S値とD値もしくは各終端ビット n_{end} 間のS値の比較において $(a_{max} - a_{min})$ を考慮する必要がなくなる。また、〔数1〕式に付与された \log は単純増加関数であり、最終的にS値は最小メトリック値減算後のゼロステートパスメトリック値 a_0 ($= a_0 - a_{min}$)として問題なくなる。

20

【0066】

そこで本例の受信装置4では、ゼロステートパスメトリック値 a_0 のみをデータレート検出部43に供給する。データレート検出部43では、ビタビ復号部42及びCRCデコーダ33を制御して、ビタビ復号やCRC判定を行わせるとともに、ビタビ復号部42からの、ゼロステートパスメトリック値 a_0 並びにCRCデコーダ33からのCRC判定結果に基づいて、受信データのデータレートを検出する処理を行う。

30

【0067】

次に、本例の受信装置4での受信データのデータレート検出処理を、図4のフローチャートを参照して説明する。この図4のフローチャートにおいて、従来例として説明した図10のフローチャートと同じ処理が行われるステップには、同じステップ番号を付与してある。また、この例でも、図9に示したように、4つのデータレート R_i ($i = 1, 2, 3, 4$)が存在するものとする。

【0068】

ステップS1において、データレート検出部43は、内蔵する、カウンタ i の値を、値1に、レジスタ S_{min} の値を、所定の値D1に、そしてレジスタ t_r の値を、値0に、それぞれ初期設定する。

40

【0069】

ステップS2において、ビタビ復号部42は、ノーマライザ41で正規化されたデータに対し、加算、比較、及び選択といった、既に説明したACS処理を順次実行し、ACS処理後に得られる各ステートのパスメトリック値から最小のパスメトリック値を探し、その値を各ステートのパスメトリック値から引く。さらに、ビタビ復号部42は、データレート検出部43の制御を受け、カウンタ i の値で識別されるデータレート R_i の終端ビット n_{end} では、ゼロステートパスメトリック値 a_0 をデータレート検出部43に供給する。

50

【 0 0 7 0 】

受信装置 4 内のデータレート検出部 4 3 は、あり得るデータレート R_i を、予め認識しており、カウンタ i の値に基づいて、データレート R_i を識別することができるようになされている。

【 0 0 7 1 】

この例の場合、カウンタ i の値が値 1、値 2、値 3、または値 4（最大値）のとき（ $i = 1, 2, 3, 4$ ）、データレート R_1, R_2, R_3, R_4 がそれぞれ識別され、先頭ビット S から、第 E 1 番目（図 9（a））、第 E 2 番目（図 9（b））、第 E 3 番目（図 9（c））、または第 E 4 番目（図 9（d））のビットまでのそれぞれの、最大パスマトリック値、最小パスマトリック値、およびゼロステートパスマトリック値が算出される。

10

【 0 0 7 2 】

次に、ステップ S 1 4 において、データレート検出部 4 3 は、ステップ S 1 3 で、ビタビ復号部 4 2 から供給された、ゼロステートパスマトリック値 a_0 に基づいて、次式の演算を行って、 S 値を算出する。

【 0 0 7 3 】

【数 2】

S 値 = a_0

【 0 0 7 4 】

つまり、本例の場合には S 値はビタビ復号部 4 2 から供給された a_0 値そのものである。この S 値を用いて、以降の処理を行う。以降の処理ステップについては、従来例で説明した処理ステップと同じであるが、説明を繰り返しておく。即ち、ステップ S 4 において、データレート検出部 4 3 は、ステップ S 1 4 で、算出した S 値が、閾値 D_1 以下であるか否かを判定する。

20

【 0 0 7 5 】

カウンタ i の値で識別されるデータレート R_i が、受信データの真のデータレートである場合、このときビタビ復号部 4 2 で算出されるゼロステートパスマトリック値は、十分に小さい値となるため、〔数 2〕式に示す S 値は、小さい値となる。一方、データレート R_i が、受信データの真のデータレートでない場合、このとき算出されるゼロステートパスマトリック値は、十分に小さい値とはならないので、 S 値は、小さい値とはならない。すなわち、算出された S 値が、閾値 D_1 以下であるか否かを判定することにより、カウンタ i の値で識別されるデータレート R_i が、受信データの真のデータレートであることができるか否か（真のデータレートである可能性があるか否か）を判定することができる。

30

【 0 0 7 6 】

なお、閾値 D_1 は、真のデータレートの S 値が、閾値 D_1 より大きいと判定されないように、比較的大きな値となっている。

【 0 0 7 7 】

ステップ S 4 で、 S 値が、閾値 D_1 以下であると判定された場合、すなわち、このときのカウンタ i の値で識別されるデータレート R_i が、受信データの真のデータレートであることができる場合（真のデータレートである可能性がある場合）、ステップ S 5 に進む。

40

【 0 0 7 8 】

ステップ S 5 において、データレート検出部 4 3 は、ビタビ復号部 4 2 を制御して、トレースバック処理を実行させ、先頭ビット S から、カウンタ i の値で識別されるデータレート R_i の終端ビット n_{end} （例えば、カウンタ i の値が値 1 である場合、第 E 1 番目のビット）までのデータストリームを生成させる。そしてステップ S 6 において、データレート検出部 4 3 は、CRC デコーダ 3 3 を制御して、このとき生成されたデータの CRC 判定を行わせる。

【 0 0 7 9 】

これにより、ビタビ復号部 4 2 は、先頭ビット S から、データレート R_i の終端ビット n

50

e_{nd} までのデータストリームを生成し、CRCデコーダ23に供給する。

【0080】

CRCデコーダ33は、ビタビ復号部42から供給された復号データ（先頭データSから、データレート R_i の終端ビット $n_{e_{nd}}$ までの復号データ）を生成多項式で割り、その余りを求める。

【0081】

カウンタ i の値で識別されるデータレート R_i が、受信データの真のデータレートである場合、求められた余りは0となる可能性が高いが、データレート R_i が、受信データの真のデータレートでない場合、余りは0とならない可能性が高い。

【0082】

CRCデコーダ33は、求めた余りを、CRC計算結果として、データレート検出部43に通知する。

【0083】

ステップS7において、データレート検出部43は、CRCデコーダ33からのCRC計算結果に基づいて、受信データにエラーが存在するか否かを判定する。すなわち、このときのカウンタ i の値で示されるデータレート R_i を、受信データのデータレートとした場合におけるCRC計算結果により、受信データにエラーが存在するか否かが判定される。CRC計算結果が、0でない場合（データレート R_i が真のデータレートでない場合）、エラーが存在すると判定され、CRC計算結果が、0である場合（真のデータレートである可能性がある場合）、エラーが存在しないと判定される。

【0084】

ステップS7で、エラーが存在しないと判定された場合、ステップS8に進み、データレート検出部43は、ステップS14で算出したS値が、レジスタ S_{min} の値以下であるか否かを判定する。なお、レジスタ S_{min} には、値D1が初期設定されるので、ステップS4で、最初にYESと判定されたS値は、当然レジスタ S_{min} 以下となる。

【0085】

ステップS8で、S値が、レジスタ S_{min} の値以下であると判定された場合、ステップS9に進み、データレート検出部43は、レジスタ S_{min} の値を、今回算出したS値に置き換える。すなわち、ステップS8での判定は、今回算出されたS値が、これまで算出されたS値の中で最小であるか否かを判定するものである。

【0086】

データレート検出部43はまた、このとき、レジスタ t_r の値を、このときのカウンタ i の値で置き換える。

【0087】

ステップS4で、S値が閾値D1以下ではないと判定されたとき、ステップS7で、エラーが存在すると判定されたとき、ステップS8で、S値が、レジスタ S_{min} の値以下ではないと判定されたとき、またはステップS9で、レジスタ S_{min} およびレジスタ t_r の値が置き換えられたとき、ステップS10に進む。

【0088】

ステップS10において、データレート検出部43は、カウンタ i の値が、最大値（値4）であるか否かを判定し、最大値ではないと判定した場合、ステップS11に進み、カウンタ i の値を1だけインクリメントして、ステップS13に戻り、それ以降の処理を実行する。

【0089】

ステップS10で、カウンタ i の値が、最大値であると判定された場合、ステップS12に進み、データレート検出部43は、レジスタ t_r の値で識別されるデータレート R_i を、受信データの真のデータレートとして検出する。そしてデータレート検出部43は、ビタビ復号部42を制御して、復号データを、検出したデータレート R_i で出力させる。その後、処理は終了する。

【0090】

10

20

30

40

50

以上説明したように、本例の受信装置での受信処理を行うことで、受信データのデータレート検出に必要なS値が、簡単な処理で得られる効果を有する。即ち、従来は〔数1〕式に示した複雑な演算を行ってS値を得る必要があったが、本例では、ノーマライザ41での正規化処理と、ピタビ復号部42での最小パスメトリック値の減算により、S値をピタビ復号部42から供給される最小メトリック値減算後のゼロステートパスメトリック値とすることができ、データレート検出の計算量を小さくすることができる。

【0091】

なお、本例の処理（数2式）と、従来の処理（数1式）では、データレートの検出能力は、ほとんど差がない。図5は、縦軸をブロックエラーレート（Block Error Rate:BLER）、横軸を基地局からの送信パワーで示してあり、240Hzのフェージング状態で測定した例としてある。ここでのブロックエラーレートは、レジスタtrが初期値0のまま、データレート検出処理が失敗する確率である。特性aは、本例の処理（数2式）により算出されたS値のエラーレートで、特性bは、従来の処理（数1式）により算出されたS値のエラーレートであり、それぞれの特性にはほとんど違いがない。

10

【0092】

図6は、縦軸をFDR（Fault Detection Rate）、横軸を基地局からの送信パワーで示してあり、240Hzのフェージング状態で測定した例としてある。FDRは、送信したデータレートと検出したデータレートが異なる確率である。但し、レジスタtrが初期値0の場合を除いてある。特性cは、本例の処理（数2式）により算出されたS値のエラーレートで、特性dは、従来の処理（数1式）により算出されたS値のエラーレートであり、この場合にも、それぞれの特性にはほとんど違いがない。

20

【0093】

なお、本例のように、ノーマライザでの処理とピタビ復号部での最小パスメトリック値の減算を行うことで、その部分の回路規模は若干増えるが、S値の算出のための回路規模については大幅に小さくなる。

【0094】

ノーマライザは、パラメータAを適切な値に設定すれば、後段のピタビ復号部でのダイナミックレンジを減らすことができる。もしノーマライザがなければ、あり得る入力レンジ全てに対応した広いダイナミックレンジを確保する必要がある。さらに本処理の際に量子化、リミッタを行うことによりデータのビット幅を少なくすることも可能であり、一層ピタビ復号部42の回路規模を少なくすることが可能となる。

30

【0095】

ここまで説明した一連の処理は、ハードウェアにより実現させることもできるが、ソフトウェアにより実現させることもできる。一連の処理をソフトウェアにより実現する場合には、そのソフトウェアを構成するプログラムをコンピュータ装置などのデータ処理装置にインストールして、そのプログラムをコンピュータ装置などで実行することで、上述した受信装置4が機能的に実現される。

【0096】

図7は、上述のような受信装置4として機能するコンピュータ101の構成例を示すブロック図である。CPU（Central Processing Unit）111にはバス115を介して入出力インタフェース116が接続されており、CPU111は、入出力インタフェース116を介して、ユーザから、キーボード、マウスなどよりなる入力部118から指令が入力されると、例えば、ROM（Read Only Memory）112、ハードディスク114、またはドライブ120に装着される磁気ディスク131、光ディスク132、光磁気ディスク133、若しくは半導体メモリ134などの記録媒体に格納されているプログラムを、RAM（Random Access Memory）113にロードして実行する。これにより、上述した各種の処理（例えば、図4のフローチャートにより示される処理）が行われる。さらに、CPU111は、その処理結果を、例えば、入出力インタフェース116を介して、LCD（Liquid Crystal Display）などよりなる表示部117に必要なに応じて出力する。なお、プログラムは、ハードディスク114やROM112に予め記憶しておき、コンピュータ10

40

50

1 と一体的にユーザに提供したり、磁気ディスク 1 3 1、光ディスク 1 3 2、光磁気ディスク 1 3 3、半導体メモリ 1 3 4 等のパッケージメディアとして提供したり、衛星、ネットワーク等から通信部 1 1 9 を介してハードディスク 1 1 4 に提供することができる。

【0097】

なお、本明細書において、記録媒体により提供されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0098】

【発明の効果】

本発明によると、受信データの平均値を計算し、その平均値を利用して受信データを正規化し、復調のデータレートを所定の順番で選択し、データのデータレートが、選択したデータレートであるものとして、最尤復号処理を実行し、その最尤復号処理において A C S 演算後に各メトリック値からその中での最小のメトリック値を引き、その結果得られる各レートでのステート 0 のメトリック値と誤り検出結果に基づいて、正しいデータを判定するので、データレート検出処理に必要な計算量を少なくすることができる。従って、データレート検出に必要な回路規模を小さくすることができ、そのための消費電力についても低減できる。また、データレートが検出される速度を高速化することができる効果を有する。

【図面の簡単な説明】

【図 1】本発明の一実施の形態による構成例を示すブロック図である。

【図 2】本発明の一実施の形態によるビタビ復号部の構成例を示すブロック図である。

【図 3】ビタビ復号の復号トレリスの例を示す説明図である。

【図 4】本発明の一実施の形態によるデータレート検出処理例を示すフローチャートである。

【図 5】本発明の一実施の形態によるブロックエラーレート (B L E R) の一例を示す特性図である。

【図 6】本発明の一実施の形態による送信したデータレートと検出したデータレートが異なる確率の一例を示す特性図である。

【図 7】コンピュータ装置の一例を示すブロック図である。

【図 8】従来例の構成例を示すブロック図である。

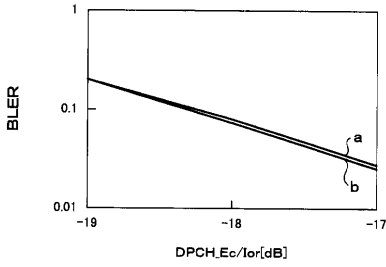
【図 9】データレートの種類の例を示す説明図である。

【図 10】従来例のデータレート検出処理例を示したフローチャートである。

【符号の説明】

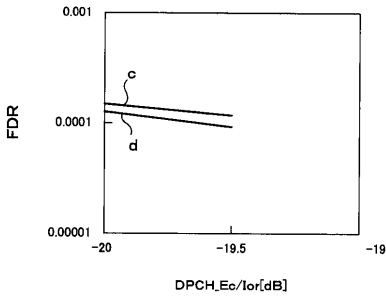
1 ... 送信装置、2 ... 通信路、3, 4 ... 受信装置、11 ... C R C エンコーダ、12 ... 畳込み符号化部、13 ... 変調部、31 ... 復調部、32 ... ビタビ復号部、33 ... C R C デコーダ、34 ... データレート検出部、41 ... ノーマライザ、42 ... ビタビ復号部、43 ... データレート検出部、52 ... ブランチメトリック計算回路、53 ... A C S 回路 (加算、比較及び選択回路)、54 ... メトリック再設定回路、55 ... メトリック記憶回路、56 ... パスメモリ回路、111 ... 中央制御ユニット、112 ... R O M、113 ... R A M、114 ... ハードディスクドライブ、115 ... バスライン、116 ... 入出力インターフェース、117 ... 表示部、118 ... 入力部、119 ... 通信部、120 ... ドライブ、131 ... 磁気ディスク、132 ... 光ディスク、133 ... 光磁気ディスク、134 ... 半導体メモリ

【図5】



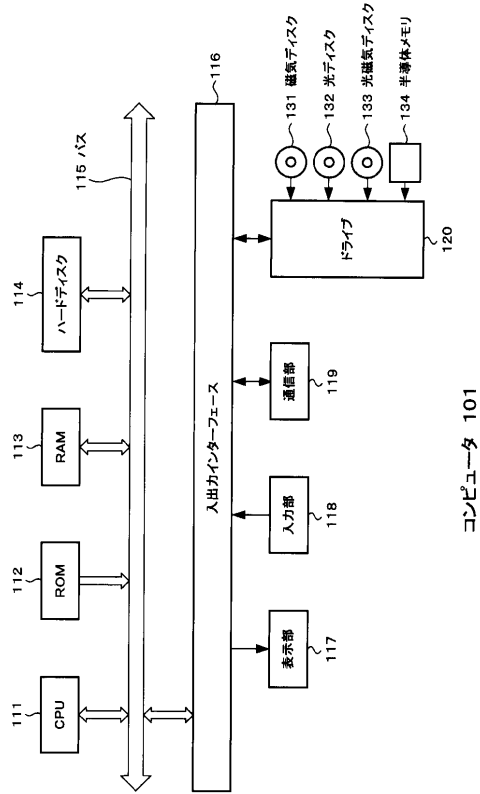
BLER特性(240Hzのフェーディング状態)

【図6】

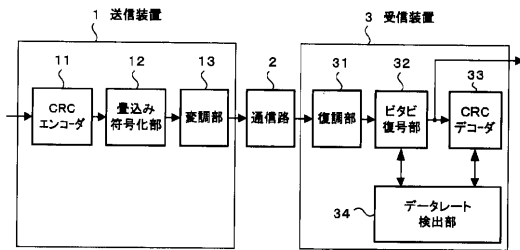


FDR特性(240Hzのフェーディング状態)

【図7】

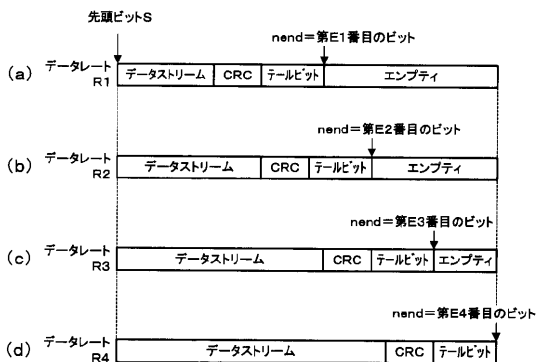


【図8】



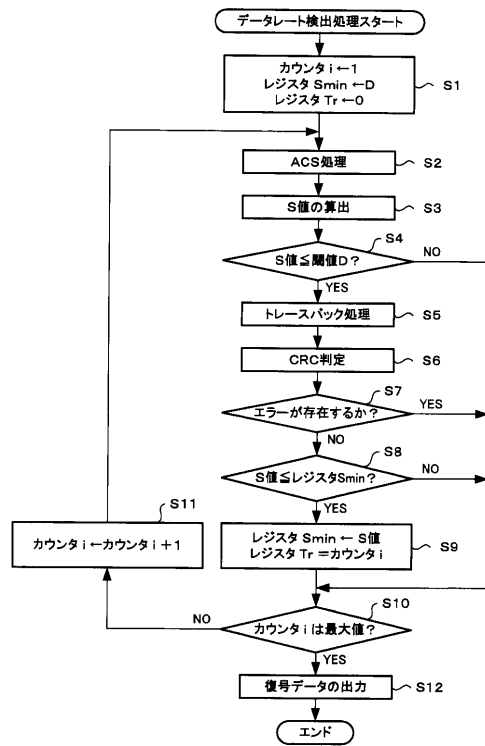
従来の構成例

【図9】



データレートの例

【図10】



従来のデータレート検出処理例