

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ H01L 29/78	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월11일 10-0500096 2005년06월29일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0034338 2002년06월19일	(65) 공개번호 (43) 공개일자	10-2003-0035800 2003년05월09일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 JP-P-2001-00332172 2001년10월30일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시카이가이사
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고

(72) 발명자 타카하시 히데키
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시 덴키 가부
시카이가이사 나이

아오노 신지
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시 덴키 가부
시카이가이사 나이

(74) 대리인 권태복
이화익

심사관 : 임동우

(54) 반도체장치 및 그 제조방법

요약

내압을 안정화하는 효과가 우수한 채널스톱 구조를 구비한 반도체장치 및 그 제조방법을 얻는다. N⁻형 실리콘 기판(1)의 상면 상에는 실리콘 산화막(2)이 형성되어 있다. 실리콘 산화막(2)으로부터 노출되어 있는 부분의 N⁻형 실리콘 기판(1)의 상면(3) 내에는, N⁺형 불순물 도입영역(4)이 형성되어 있다. N⁻형 실리콘 기판(1)의 상면(3) 내에는, N⁺형 불순물 도입영역(4)보다도 깊은 트렌치(5)가 형성되어 있다. 트렌치(5)의 내벽 상에는 실리콘 산화막(6)이 형성되어 있다. 트렌치(5) 내부를 충전하여 폴리실리콘막(7)이 형성되어 있다. N⁻형 실리콘 기판(1)의 상면(3) 상에는 알루미늄 전극(8)이 형성되어 있다. 알루미늄 전극(8)은, 폴리실리콘막(7)의 상면 및 N⁻형 실리콘 기판(1)의 상면(3)에 접촉되어 있다. 알루미늄 전극(8)은 실리콘 산화막(2) 상에 연장되어 형성되어 있어, 필드 플레이트를 구성하고 있다.

대표도

도 6

색인어

반도체장치, 파워 디바이스, 패널스톱, 내압, 불순물 도입영역

명세서

도면의 간단한 설명

도 1은 파워 디바이스가 형성된 칩의 구조를 모식적으로 나타낸 평면도이다.

도 2는 도 1에 나타낸 칩의 에지 부근의 구조를 확대하여 나타낸 평면도이다.

- 도 3은 도 1에 나타난 칩 내에 형성되어 있는 파워 디바이스의 구조를 나타낸 단면도이다.
- 도 4는 도 1에 나타난 칩 내에 형성되어 있는 가드링 구조를 나타낸 단면도이다.
- 도 5는 도 1에 나타난 칩 내에 형성되어 있는 필드 플레이트 구조를 나타낸 단면도이다.
- 도 6은 본 발명의 실시예 1에 관한 채널스톱 구조를 나타낸 단면도이다.
- 도 7은 본 발명의 실시예 1에 관한 채널스톱 구조의 형성방법을 공정순으로 나타낸 단면도이다.
- 도 8은 본 발명의 실시예 1에 관한 채널스톱 구조의 형성방법을 공정순으로 나타낸 단면도이다.
- 도 9는 본 발명의 실시예 1에 관한 채널스톱 구조의 형성방법을 공정순으로 나타낸 단면도이다.
- 도 10은 본 발명의 실시예 1에 관한 채널스톱 구조의 형성방법을 공정순으로 나타낸 단면도이다.
- 도 11은 시뮬레이션에 사용한 구조를 나타낸 단면도이다.
- 도 12는 시뮬레이션에 사용한 구조를 나타낸 단면도이다.
- 도 13은 시뮬레이션에 사용한 구조를 나타낸 단면도이다.
- 도 14는 시뮬레이션에 사용한 구조를 나타낸 단면도이다.
- 도 15는 도 12에 나타난 구조에 대응시켜, $Q_{ss} = -1E12$, $VCES = 500V$ 시의 포텐셜 분포를 도시한 도면이다.
- 도 16은 도 13에 나타난 구조에 대응시켜, $Q_{ss} = -1E12$, $VCES = 500V$ 시의 포텐셜 분포를 도시한 도면이다.
- 도 17은 도 14에 나타난 구조에 대응시켜, $Q_{ss} = -1E12$, $VCES = 500V$ 시의 포텐셜 분포를 도시한 도면이다.
- 도 18은 본 발명의 실시예 2에 관한 채널스톱 구조를 나타낸 단면도이다.
- 도 19는 본 발명의 실시예 3에 관한 채널스톱 구조를 나타낸 단면도이다.
- 도 20은 본 발명의 실시예 3에 관한 채널스톱 구조의 형성방법을 공정순으로 나타낸 단면도이다.
- 도 21은 본 발명의 실시예 3에 관한 채널스톱 구조의 형성방법을 공정순으로 나타낸 단면도이다.
- 도 22는 본 발명의 실시예 3에 관한 채널스톱 구조의 형성방법을 공정순으로 나타낸 단면도이다.
- 도 23은 본 발명의 실시예 3에 관한 채널스톱 구조의 형성방법을 공정순으로 나타낸 단면도이다.
- 도 24는 본 발명의 실시예 3에 관한 채널스톱 구조의 형성방법을 공정순으로 나타낸 단면도이다.
- 도 25는 본 발명의 실시예 3에 관한 채널스톱 구조의 형성방법을 공정순으로 나타낸 단면도이다.
- 도 26은 제 1의 종래의 채널스톱 구조를 나타낸 단면도이다.
- 도 27은 제 2의 종래의 채널스톱 구조를 나타낸 단면도이다.
- 도 28은 제 3의 종래의 채널스톱 구조를 나타낸 단면도이다.
- 도 29는 제 4의 종래의 채널스톱 구조를 나타낸 단면도이다.
- 도 30은 제 5의 종래의 채널스톱 구조를 나타낸 단면도이다.

* 도면의 주요부분에 대한 부호의 설명 *

1: N⁻형 실리콘 기판

2, 6, 10, 12, 22, 25: 실리콘 산화막

4: N⁺형 불순물 도입영역 5, 21: 트렌치

7, 11, 23: 폴리실리콘막 8, 13, 26: 알루미늄 전극

15, 20: P형 불순물 도입영역 24: 소스영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체장치 및 그 제조방법에 관한 것으로, 특히, 파워 디바이스의 채널스톱 구조 및 그것의 제조방법에 관한 것이다.

파워 MOSFET나 절연게이트형 바이폴라 트랜지스터 등의 파워 디바이스가 형성된 칩의 주연 영역에는, 반도체장치의 내압을 유지하기 위해, 주접합으로부터 연장되어 온 공핍층이 칩의 주연 영역에까지 연장되어 형성되는 것을 억제하기 위한 채널스톱 구조가 형성되어 있다. 최근의 조사에 의해, 반도체장치의 내압의 안정화를 도모하기 위해서는, 채널스톱 구조가 중요한 것이 밝혀져 왔다.

도 26은, 제 1의 종래의 채널스톱 구조를 나타낸 단면도이다. 칩의 에지(151) 부근(주연 부분)에 있어서의 N⁻형 실리콘 기판(150)의 상면 내에는, 인이나 비소 등의 불순물이 고농도로 도입된 N⁺형 불순물 도입영역(152)이 형성되어 있다.

도 27은, 제 2의 종래의 채널스톱 구조를 나타낸 단면도이다. N⁻형 실리콘 기판(150)의 상면 상에는, 칩의 주연 부분을 제외하고, 실리콘 산화막(153)이 형성되어 있다. 실리콘 산화막(153)으로부터 노출되어 있는 부분의 N⁻형 실리콘 기판(150)의 상면(154) 내에는, N⁺형 불순물 도입영역(152)이 형성되어 있다. N⁻형 실리콘 기판(150)의 상면(154) 상에는, 알루미늄 전극(155)이 형성되어 있다. 알루미늄 전극(155)은 실리콘 산화막(153) 상에 연장되어 형성되어 있고, 필드 플레이트를 구성하고 있다. 이러한 채널스톱 구조는, 예를 들면, 플레이너형의 바이폴라 트랜지스터가 형성되어 있는 반도체장치에 있어서 채용되고 있다.

도 28은, 제 3의 종래의 채널스톱 구조를 나타낸 단면도이다. N⁻형 실리콘 기판(150)의 상면 상에는, 칩의 주연 부분을 제외하고, 실리콘 산화막(156)이 형성되어 있다. 실리콘 산화막(156)으로부터 노출되어 있는 부분의 N⁻형 실리콘 기판(150)의 상면(157) 내에는, N⁺형 불순물 도입영역(152)이 형성되어 있다. N⁻형 실리콘 기판(150)의 상면(157) 상에는, 폴리실리콘막(158)이 형성되어 있다. 폴리실리콘막(158)은 실리콘 산화막(156) 상에 연장되어 형성되어 있고, 제 1 필드 플레이트를 구성하고 있다. N⁻형 실리콘 기판(150)의 상면(157)의 일부(최주연 부분)는, 폴리실리콘막(158)으로부터 노출되어 있다.

또한, 실리콘 산화막(156) 상에 형성되어 있는 부분의 폴리실리콘막(158) 위, 및 폴리실리콘막(158)이 형성되어 있지 않은 부분의 실리콘 산화막(156) 상에는, 실리콘 산화막(159)이 형성되어 있다. N⁻형 실리콘 기판(150)의 상면(157)의 최주연 부분 상에는, 알루미늄 전극(160)이 형성되어 있다. 알루미늄 전극(160)은, 폴리실리콘막(158)에도 접촉하고 있고, 또한, 실리콘 산화막(159) 상에 연장되어 형성되어, 제 2 필드 플레이트를 구성하고 있다. 이러한 2중의 필드 플레이트를 갖는 채널스톱 구조는, 예를 들면, 폴리실리콘으로 이루어진 게이트 전극을 갖는 플레이너형의 MOSFET이 형성되어 있는 반도체장치에 있어서 채용되고 있다.

도 29는, 제 4의 종래의 채널스톱 구조를 나타낸 단면도이다. N⁻형 실리콘 기판(150)의 상면 상에는, 칩의 주연 부분을 제외하고, 실리콘 산화막(161)이 형성되어 있다. 실리콘 산화막(161)의 에지(151)측의 단부는, 막두께가 얇게 되어 있다. 실리콘 산화막(161)으로부터 노출되어 있는 부분의 N⁻형 실리콘 기판(150)의 상면(162) 내에는, N⁺형 불순물 도입영역(152)이 형성되어 있다. N⁻형 실리콘 기판(150)의 상면(162) 상에는, 폴리실리콘막(163)이 형성되어 있다. 폴리실리콘막(163)은 실리콘 산화막(161) 상에 연장되어 형성되어 있고, 계단형의 제 1 필드 플레이트를 구성하고 있다. N⁻형 실리콘 기판(150)의 상면(162)의 최주연 부분은, 폴리실리콘막(163)으로부터 노출되어 있다.

또한, 실리콘 산화막(161) 상에 형성되어 있는 부분의 폴리실리콘막(163) 위, 및 폴리실리콘막(163)이 형성되어 있지 않은 부분의 실리콘 산화막(161) 상에는, 실리콘 산화막(164)이 형성되어 있다. N⁻형 실리콘 기판(150)의 상면(162)의 최주연 부분 상에는, 알루미늄 전극(165)이 형성되어 있다. 알루미늄 전극(165)은, 폴리실리콘막(163)에도 접촉하고 있고, 또한, 실리콘 산화막(164) 상에 연장되어 형성되어, 제 2 필드 플레이트를 구성하고 있다. 폴리실리콘으로 이루어진 게이트 전극을 갖는 플레이너형의 MOSFET가 형성되어 있는 반도체장치에 있어서, 최근에는, 도 29에 나타낸 2중의 필드 플레이트를 갖는 채널스톱 구조가 채용되고 있다.

도 30은, 제 5의 종래의 채널스톱 구조를 나타낸 단면도이다(일본국 특개평 8-264787호 공보 참조). P⁺형 기판(200) 상에는, P⁻형 에피택셜층(201)이 형성되어 있다. P⁻형 에피택셜층(201)의 상면 상에는, 칩의 에지(202) 부분을 제외하고, 필드산화막(205)이 형성되어 있다. 필드산화막(205)으로부터 노출되어 있는 부분의 P⁻형 에피택셜층(201)의 상면 내에는, P형 확산층(207)이 형성되어 있다.

P형 확산층(207)이 형성되어 있는 부분의 P⁻형 에피택셜층(201)의 상면 내에는, P형 확산층(207)보다도 깊은 트렌치(203)가 형성되어 있다. 트렌치(203)의 내벽 위, 및 필드산화막(205)으로부터 노출되어 있는 부분의 P⁻형 에피택셜층(201)의 상면 상에는, 필드산화막(205)보다도 막두께가 얇은, 산화물로 이루어진 절연층(204)이 형성되어 있다. 또한, 절연층(204)이 형성된 트렌치(203) 내부를 충전하고, 또한, 필드산화막(205) 상에 연장되어 필드 플레이트를 구성하도록, 도프된 폴리실리콘막(208)이 형성되어 있다. 또한, 도프된 폴리실리콘막(208) 및 필드 산화막(205)을 덮어, BPSG층(206)이 형성되어 있다.

상기한 공보에 있어서, 이러한 채널스톱 구조는, 능동부에 있어서 P⁻형 에피택셜층(201)의 상면 내에 형성된 트렌치와, 이 트렌치의 내벽 상에 형성된 게이트 산화막과, 트렌치 내부를 충전하여 형성된 도프된 폴리실리콘으로 이루어진 게이트 전극을 갖는(즉, 트렌치형의 절연게이트를 갖는) 트랜지스터가 형성되어 있는 반도체장치에 채용되고 있다.

상기한 공보에는, P채널형의 MOSFET에서의 「채널링」이라는 하는 문제에 관해 기재되어 있다. 구체적으로는, 「채널링은 산화막 및 그것의 바로 아래의 기판 상면 부분 중의 고정된 전하의 양에 좌우된다. 이 종류의 고정전하는 산화공정에서 공핍화된다. 그러나, 이 공핍화가 반전(채널링)을 가능하게 한다.」 「이것은 산화공정중에 기판 주표면에서 붕소가 분리하는 것에 기인하는 것으로, 이 붕소가 원인으로 기판 주표면의 P형 전하가 적어지는 것이다.」 「붕소를 도우펀트한 경우에 이것이 문제가 되는 것을 알았다.」 고 기재되어 있다.

그리고, 채널링의 해결책으로서 상기한 도 30에 나타낸 구조가 도시되어 있으며, 필드산화막(205)의 막두께보다도 절연층(204)의 막두께를 얇게 함으로써, P⁻형 에피택셜층(201)의 상부로부터 절연층(204)으로의 붕소의 공핍화가, 필드 산화막(205)으로의 공핍화보다도 적어지고, 이것에 의해 채널링이 억제되는 내용이 기재되어 있다.

발명이 이루고자 하는 기술적 과제

그렇지만, 상기한 제 1~제 4의 종래의 채널스톱 구조에 따르면, 주접합으로부터 연장되어 온 공핍층이 칩의 주연 영역에까지 연장되어 형성되는 것을 억제하는 효과가 불충분하며, 그 결과, 반도체장치의 내압을 안정화하는 효과가 불충분하다고 하는 문제가 있었다.

또한, 상기한 제 5의 종래의 채널스톱 구조에 관해, 상기 공보에는, P⁻형 에피택셜층(201) 내에 P형 확산층(207)이 형성되어 있는 경우에 관해서만 기재되어 있기 때문에, N형 실리콘 기판(N형 에피택셜층을 포함한다) 내부에 N형 확산층을 형성한 경우에, 동일한 효과를 얻을 수 있는지 아닌지가 불분명하고 하는 문제가 있었다. 특히, P형과는 달리 N형의 경우는, 산화공정에서 N형 불순물이 실리콘 기판 표면으로 분리되기 때문에, 산화공정에 의한 채널링은 고려할 수 없다.

본 발명은 이러한 문제를 해결하기 위해 이루어진 것으로, 트렌치형의 절연게이트를 갖는 트랜지스터를 구비하고, N형 반도체 기판을 사용한 반도체장치에 있어서, 내압을 안정화하는 효과가 우수한 채널스톱 구조를 구비한 반도체장치 및 그것의 제조방법을 얻는 것을 목적으로 하는 것이다.

발명의 구성 및 작용

본 발명의 일면에 따른 반도체장치는, N형 반도체 기판과, 반도체 기판의 주표면 내에 형성되어 반도체 기판과의 사이에서 주접합을 구성하는 P형의 제 1 불순물 도입영역을 갖는 트랜지스터와, 반도체 기판의 주연부에 형성된 채널스톱 구조를 구비한 반도체장치에 있어서, 채널스톱 구조는, 반도체 기판의 주표면 내에 형성된 제 1 트렌치를 갖는 것으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치는, 상기한 반도체장치에 있어서, 채널스톱 구조는, 제 1 트렌치가 형성되어 있는 부분의 반도체 기판의 주표면 내에 형성된 N형의 제 2 불순물 도입영역을 더 갖는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치는, 상기한 반도체장치에 있어서, 채널스톱 구조는, 제 1 트렌치의 내벽 상에 형성된 제 1 절연막과, 제 1 트렌치 내부를 충전하여 형성된 제 1 도전막을 더 갖는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치는, 상기한 반도체장치에 있어서, 채널스톱 구조는, 절연막을 통해 반도체 기판의 주표면 상에 형성되고, 제 1 도전막 및 반도체 기판의 주표면에 접촉하며, 주접합을 향해 연장되는 제 2 도전막을 더 갖는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치는, 상기한 반도체장치에 있어서, 제 1 도전막의 재질은 폴리실리콘인 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치는, 상기한 반도체장치에 있어서, 채널스톱 구조는, 절연막을 통해 반도체 기판의 주표면 상에 형성되고, 제 1 도전막 및 반도체 기판의 주표면에 접촉하며, 주접합을 향해 연장되는 제 2 도전막과, 절연막을 통해 제 2 도전막 상에 형성되고, 제 1 도전막 및 반도체 기판의 주표면에 접촉하며, 주접합을 향해 연장되는 제 3 도전막을 더 갖는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치는, 상기한 반도체장치에 있어서, 트랜지스터는, 반도체 기관의 주표면 내에 형성되고, 트랜지스터의 소스 또는 에미터로서 기능하는 N형의 제 3 불순물 도입영역과, 제 3 불순물 도입영역이 형성되어 있는 부분의 반도체 기관의 주표면 내에 형성된 제 2 트렌치와, 제 2 트렌치의 내벽 상에 형성되고, 트랜지스터의 게이트 절연막으로서 기능하는 제 2 절연막과, 제 2 트렌치 내부를 충전하여 형성되고, 트랜지스터의 게이트 전극으로서 기능하는 제 4 도전막을 더 갖고 있고, 채널스톱 구조는, 반도체 기관의 주표면 내에 형성된 P형의 제 4 불순물 도입영역을 더 갖는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치는, 상기한 반도체장치에 있어서, 제 1 트렌치의 개구폭과 제 2 트렌치의 개구폭과는 서로 같은 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치는, 상기한 반도체장치에 있어서, 제 1 도전막의 재질과 제 4 도전막의 재질과는 서로 같은 것을 특징으로 하는 것이다.

또한, 본 발명의 일면에 따른 반도체장치의 제조방법은, (a) 트랜지스터가 형성되는 제 1 영역과, 채널스톱 구조가 형성되는 제 2 영역을 갖는 N형의 반도체 기관을 준비하는 공정과, (b) 반도체 기관과의 사이에서 주접합을 구성하는 P형의 제 1 불순물 도입영역을 제 1 영역에 있어서의 반도체 기관의 주표면 내에 형성하는 공정과, (c) N형의 제 2 불순물 도입영역을 제 2 영역에 있어서의 반도체 기관의 주표면 내에 형성하는 공정과, (d) 제 2 불순물 도입영역이 형성되어 있는 부분의 반도체 기관의 주표면 내에 제 1 트렌치를 형성하는 공정을 구비한 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치의 제조방법은, 상기한 반도체장치의 제조방법에 있어서, (e) 제 1 트렌치의 내벽 상에 제 1 절연막을 형성하는 공정과, (f) 공정 (e)보다도 나중에 실행되고, 제 1 트렌치 내부를 충전하여 제 1 도전막을 형성하는 공정을 더 구비한 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치의 제조방법은, 상기한 반도체장치의 제조방법에 있어서, (g) 제 1 도전막 및 반도체 기관의 주표면에 접촉하고, 주접합을 향해 연장되는 제 2 도전막을 절연막을 통해 제 2 영역에 있어서의 반도체 기관의 주표면 상에 형성하는 공정을 더 구비한 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치의 제조방법은, 상기한 반도체장치의 제조방법에 있어서, (h) 트랜지스터의 소스 또는 에미터로서 기능하는 N형의 제 3 불순물 도입영역을 제 1 영역에 있어서의 반도체 기관의 주표면 내에 형성하는 공정과, (i) 제 3 불순물 도입영역이 형성되어 있는 부분의 반도체 기관의 주표면의 일부를 파내려 가는 것에 의해, 제 2 트렌치를 형성하는 공정과, (j) 트랜지스터의 게이트 절연막으로서 기능하는 제 2 절연막을 제 2 트렌치의 내벽 상에 형성하는 공정과, (k) 공정 (j)보다도 나중에 실행되고, 제 2 트렌치 내부를 충전하여 트랜지스터의 게이트 전극으로서 기능하는 제 4 도전막을 형성하는 공정과, (l) P형의 제 4 불순물 도입영역을 제 2 영역에 있어서의 반도체 기관의 주표면 내에 형성하는 공정을 더 구비한 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치의 제조방법은, 상기한 반도체장치의 제조방법에 있어서, 공정 (b)와 공정 (l)과는 동일한 공정에 의해 실행되는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치의 제조방법은, 상기한 반도체장치의 제조방법에 있어서, 공정 (c)와 공정 (h)와는 동일한 공정에 의해 실행되는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치의 제조방법은, 상기한 반도체장치의 제조방법에 있어서, 공정 (d)와 공정 (i)와는 동일한 공정에 의해 실행되는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치의 제조방법은, 상기한 반도체장치의 제조방법에 있어서, 공정 (e)와 공정 (j)와는 동일한 공정에 의해 실행되는 것을 특징으로 하는 것이다.

또한, 본 발명의 또 다른 일면에 따른 반도체장치의 제조방법은, 상기한 반도체장치의 제조방법에 있어서, 공정 (f)와 공정 (k)와는 동일한 공정에 의해 실행되는 것을 특징으로 하는 것이다.

(실시예)

실시예 1:

도 1은, 파워 디바이스가 형성된 칩(100)의 구조를 모식적으로 나타낸 평면도이다. 칩(100) 상의 소정 개소에 게이트 패드(101)가 형성되어 있고, 게이트 패드(101)는 게이트 배선(102)에 접속되어 있다. 게이트 배선(102)은, 칩(100)의 주연을 따라 프레임 형태로 형성된 배선 102a와, 배선 102a의 프레임에 의해 둘러싸이는 영역(103) 내에서 소정방향(지면의 상하 방향)으로 연장되고, 양단이 배선 102a에 연결된 등간격이며 평행하게 배치된 복수의 배선 102b를 구비하고 있다. 배선 102a는, 칩(100)의 에지(104)의 약간 내측에 형성되어 있다.

도 2는, 도 1에 나타난 영역 X, 즉 칩(100)의 에지(104) 부근의 구조를 확대하여 나타낸 평면도이다. 영역 AR1은, 파워 디바이스가 형성되어 있는 영역이다. 에지(104)측에서 영역 AR1에 인접하는 영역 AR2는, 주접합의 전계를 완화하기 위한 구조가 형성되어 있는 영역이다. 에지(104)를 포함하는 영역 AR3는 채널스톱 구조가 형성되어 있는 영역이다.

도 3은, 도 2에 나타난 영역 AR1 내부에 형성되어 있는 파워 디바이스의 구조를 나타낸 단면도이다. 도 3에는, 서로 인접하는 2개의 파워 MOSFET이 도시되어 있다. 또한, 도 3에는, 파워 디바이스의 일례로서 파워 MOSFET를 나타내었지만, 절연게이트형 바이폴라 트랜지스터 등의 다른 파워 디바이스가 형성되어 있더라도 된다.

도 3에 나타난 바와 같이, 파워 MOSFET는, (a) N⁻형 실리콘 기판(1)의 상면에 형성되어 N⁻형 실리콘 기판(1)과의 사이에서 주접합을 구성하는 붕소 등의 불순물이 도입된 p형 불순물 도입영역(20)과, (b) P형 불순물 도입영역(20)보다도 얇고 N⁻형 실리콘 기판(1)의 상면 내부에 형성된 N⁺형의 소스 영역(바이폴라 트랜지스터의 경우는 에미터 영역이 된다)(24)과, (c) 소스영역(24)이 형성되어 있는 부분의 N⁻형 실리콘 기판(1)의 상면 내에서, P형 불순물 도입영역(20)보다도 깊게 형성된 트렌치(21)와, (d) 트렌치(21)의 내벽 상에 형성되고, 파워 MOSFET의 게이트 절연막으로서 기능하는 실리콘 산화막(22)과, (e) 트렌치(21) 내부를 충전하여 형성된 폴리실리콘막(23)을 구비하고 있다. 폴리실리콘막(23)은, 파워 MOSFET의 게이트 전극으로서 기능하며, 도 1에 나타난 배선 102b에 대응한다. 이때, 도 3에는 N 채널의 파워 MOSFET가 도시되어 있지만, P 채널의 파워 MOSFET가 형성되어 있더라도 된다.

또한, N⁻형 실리콘 기판(1)의 상면 상에는, 폴리실리콘막(23)의 상면을 덮어 실리콘 산화막(25)이 형성되어 있다. 소스영역(24)의 상면의 일부는, 실리콘 산화막(25)으로부터 노출되어 있다. N⁻형 실리콘 기판(1)의 상면 상에는, 실리콘 산화막(25)을 덮어, 알루미늄 전극(26)이 형성되어 있다. 알루미늄 전극(26)은, 실리콘 산화막(25)으로부터 노출되어 있는 부분의 소스영역(24)의 상면에 접촉되어 있다.

도 4는, 도 2에 나타난 영역 AR2 내부에 형성되어 있는 구조의 제 1 예로서, 가드링 구조를 나타낸 단면도이다. N⁻형 실리콘 기판(1)의 상면 내부에는, 복수의 P형 불순물 도입영역(112)이 서로 이격되어 형성되어 있다. 또한, N⁻형 실리콘 기판(1)의 상면 상에는, 복수의 실리콘 산화막(111)이 서로 이격되어 형성되어 있다.

도 5는, 도 2에 나타난 영역 AR2 내부에 형성되어 있는 구조의 제 2 예로서, 필드 플레이트 구조를 나타낸 단면도이다. N⁻형 실리콘 기판(1)의 상면 상에는, 실리콘 산화막(114)이 형성되어 있다. 또한, 실리콘 산화막(114)으로부터 노출되어 있는 부분의 N⁻형 실리콘 기판(1)의 상면 상에 있어서, P형 불순물 도입영역(20) 상에는 폴리실리콘막(115)이 형성되어 있다. 폴리실리콘막(115)은 실리콘 산화막(114) 상에도 연장되어 형성되어, 필드 플레이트를 구성하고 있다. N⁻형 실리콘 기판(1) 상에는, 폴리실리콘막(115) 및 실리콘 산화막(114)을 덮어 실리콘 산화막(116)이 형성되어 있다. 또한, 실리콘 산화막(116)으로부터 노출되어 있는 부분의 N⁻형 실리콘 기판(1) 상에는, 알루미늄 전극(117)이 형성되어 있고, 알루미늄 전극(117)은 실리콘 산화막(116) 상에도 연장되어 있다.

도 6은, 도 2에 나타난 영역 AR3 내부에 형성되어 있는 본 발명의 실시예 1에 관한 채널스톱 구조를 나타낸 단면도이다. N⁻형 실리콘 기판(1)의 상면 상에는, 칩의 주연 부분을 제외하고, 실리콘 산화막(2)이 형성되어 있다. 실리콘 산화막(2)으로부터 노출되어 있는 부분의 N⁻형 실리콘 기판(1)의 상면(3) 내부에는, N⁺형 불순물 도입영역(4)이 형성되어 있다.

N⁻형 실리콘 기판(1)의 상면(3) 내에는, N⁺형 불순물 도입영역(4)보다도 깊은 트렌치(5)가 형성되어 있다. 트렌치(5)의 내벽(측벽 및 저벽) 상에는, 박막형의 실리콘 산화막(6)이 형성되어 있다. 또한, 실리콘 산화막(6)이 형성된 트렌치(5) 내부를 충전하여, 폴리실리콘막(7)이 형성되어 있다. N⁻형 실리콘 기판(1)의 상면(3) 상에는, 알루미늄 전극(8)이 형성되어 있다. 알루미늄 전극(8)은, 폴리실리콘막(7)의 상면 및 N⁻형 실리콘 기판(1)의 상면(3)에 접촉하고 있다. 또한, 알루미늄 전극(8)은 실리콘 산화막(2) 상에 연장되어 형성되어 있어, 필드 플레이트를 구성하고 있다.

도 7~도 10은, 본 실시예 1에 관한 채널스톱 구조의 형성방법을 공정순으로 나타낸 단면도이다. 도 7을 참조하여, 우선, N⁻형 실리콘 기판(1)을 준비한다. 도 8을 참조하여, 다음에, CVD법에 의해, N⁻형 실리콘 기판(1)의 상면 상의 전체면에, 실리콘 산화막을 형성한다. 다음에, 사진제판법 및 이방성 드라이에칭법에 의해, 이 실리콘 산화막을 패터닝한다. 이에 따라, 실리콘 산화막(2)이 형성되어, N⁻형 실리콘 기판(1)의 상면(3)이 노출된다. 다음에, 실리콘 산화막(2)을 에칭마스크로 사용하여, 이온주입법에 의해, 인이나 비소 등의 불순물을 N⁻형 실리콘 기판(1)의 상면(3) 내부에 주입한다. 다음에, 주입된 불순물을 열확산시킴으로써, N⁻형 실리콘 기판(1)의 상면(3) 내부에 N⁺형 불순물 도입영역(4)을 형성한다.

도 9를 참조하여, 다음에, 사진제판법 및 이방성 드라이에칭법에 의해, N⁻형 실리콘 기판(1)의 상면(3) 내에, N⁺형 불순물 도입영역(4)보다도 깊은 트렌치(5)를 형성한다. 도 10을 참조하여, 다음에, 트렌치(5)의 내벽을 열산화함에 의해, 실리콘 산화막(6)을 형성한다. 다음에, CVD법에 의해, 트렌치(5)의 내부를 충전할 수 있는 막두께로 전체면에 폴리실리콘막을 형성한다. 다음에, N⁻형 실리콘 기판(1)의 상면(3)이 노출할 때까지, 폴리실리콘막을 에칭에 의해 제거한다. 이것에 의해, 트렌치(5) 내부에 형성되어 있던 부분의 폴리실리콘막만이 에칭되지 않고 남아, 트렌치(5) 내부를 충전하는 폴리실리콘막(7)이 형성된다.

다음에, 스퍼터링법에 의해 알루미늄막을 전체면에 형성하고, 사진제판법 및 이방성 드라이에칭법에 의해 이 알루미늄막을 패터닝한다. 이에 따라 알루미늄 전극(8)이 형성되어, 도 6에 나타난 구조가 얻어진다.

이하, 본 실시예 1에 관한 채널스톱 구조의 효과에 관해 검증한 시뮬레이션 결과에 대해 서술한다. 도 11~도 14는, 시뮬레이션에 사용한 구조를 나타낸 단면도이다.

도 11에 나타난 구조는, 도 26에 나타난 종래의 채널스톱 구조에 대응하는 구조이다. N⁻형 실리콘 기판(50)의 상면 내에는, 주접합을 구성하는 P형 불순물 도입영역(52)과, N⁺형 불순물 도입영역(152)에 대응하는 N⁺형 불순물 도입영역(53)이 형성되어 있다. P형 불순물 도입영역(52)과 N⁺형 불순물 도입영역(53)과는, 서로 50 μ m의 거리를 두고 형성되어 있다. N⁺형 불순물 도입영역(53)의 불순물 농도는 5E13 cm⁻³이다. N⁻형 실리콘 기판(50)의 상면 상에는, P형 불순물 도입영역(52)에 접촉하는 전극(54)과, N⁺형 불순물 도입영역(53)에 접촉하는 전극(55)이 형성되어 있고, 양 전극 사이에는 실리콘 산화막(51)이 형성되어 있다. 또한, N⁻형 실리콘 기판(50)의 이면에는, 전극(56)이 형성되어 있다.

도 12에 나타낸 구조는, 도 27에 나타낸 종래의 채널스톱 구조에 대응하는 구조이다. 도 11에 나타낸 전극(55) 대신에, 실리콘 산화막(51) 상에 연장되어 필드 플레이트를 구성하는 전극(60)이 형성되어 있다.

도 13에 나타낸 구조는, 도 29에 나타낸 종래의 채널스톱 구조에 유사한 구조이다. 도 11에 나타낸 실리콘 산화막(51) 대신에, N⁺형 불순물 도입영역(53)측의 단부에 박막부(70a)를 갖는 실리콘 산화막(70)이 형성되어 있다. 그리고, 도 11에 나타낸 전극(55) 대신에, 실리콘 산화막(70) 상에 연장되어 필드 플레이트를 구성하는 계단형의 전극(71)이 형성되어 있다.

도 14에 나타낸 구조는, 본 실시예 1에 관한 채널스톱 구조에 대응하는 구조이다. N⁺형 불순물 도입영역(53)이 형성되어 있는 부분의 N⁻형 실리콘 기판(50)의 상면 내에, 도 6에 나타낸 트렌치(5), 실리콘 산화막(6), 폴리실리콘막(7)에 각각 대응하는 트렌치(80), 실리콘 산화막(81), 폴리실리콘막(82)이 형성되어 있다. 또한, 도 11에 나타낸 전극(55) 대신에, 실리콘 산화막(51) 상에 연장되어 필드 플레이트를 구성하는 전극(60)이 형성되어 있다.

도 11~14에 나타낸 각 구조에 관해, N⁻형 실리콘 기판(50) 표면의 전하량 Q_{ss}를 3단계(0, -1E11, -1E12)로 변화시켜, 각 상태에서의 내압 VCES를 각각 측정하였다. 도 11~14에는, 시뮬레이션의 결과도 더불어 나타내고 있다.

각 도면에 나타낸 시뮬레이션 결과로부터 알 수 있듯이, Q_{ss}가 0 또는 -1E11의 경우는, 모든 구조에서 VCES는 거의 동일하다. 이것은, Q_{ss}가 0 또는 -1E11의 경우는, 주접합의 공핍층의 곡률에 의해 내압이 결정되기 때문이다.

한편, Q_{ss}가 -1E12인 경우는, 도 11에 나타낸 종래 구조에서 VCES가 극단적으로 저하되어 있다. 이것은, 주접합의 공핍층이 N⁺형 불순물 도입영역(53)에까지 연장되어 N⁺형 불순물 도입영역(53)의 전계가 높아진 것에 기인하여, 내압이 저하되었기 때문이다. 반대로, 도 12, 도 13에 나타낸 종래구조에 관해서는, Q_{ss}가 -1E12인 경우에 VCES가 상승하고 있다. 이것은, 주접합의 공핍층의 연장이 필드 플레이트에 의해 억제되었기 때문이다. 또한, 계단형의 전극(71)이 형성되어 있는 도 13에 나타낸 종래구조의 쪽이, 도 12에 나타낸 종래구조보다도 VCES의 상승의 정도가 큰 것도 알 수 있다.

도 14에 나타낸 구조에 관해서는, Q_{ss}가 -1E12인 경우, 도 12, 도 13에 나타낸 종래구조보다도 VCES가 높아지고 있다. 도 12와 도 14를 비교하면 알 수 있듯이, 실리콘 산화막(81) 및 폴리실리콘막(82)이 내부에 형성된 트렌치(80)를 추가함으로써, VCES가 70V 정도로 높아지고 있다. 즉, 이 시뮬레이션 결과는, 트렌치(5)를 형성함으로써, 주접합으로부터의 공핍층의 연장이 억제된 것을 나타내고 있다.

본 실시예 1에 관한 반도체장치의 효과를 더욱 상세히 검증한다. 도 15~도 17은, 각각 도 12~도 14에 나타낸 구조에 대응시켜, Q_{ss}=-1E12, VCES=500V시의 포텐셜 분포를 도시한 도면이다. 도 15를 참조하여, 도 12에 나타낸 구조에서는, 전극(60)에 의한 필드 플레이트에 의해, 전계가 억제되어 있는 것을 알 수 있다. 도 16을 참조하여, 도 13에 나타낸 구조에서는, 전극(71)에 의한 필드 플레이트에 의해, 전계가 억제되고 있는 것을 알 수 있다. 그렇지만, 도 12, 도 13에 나타낸 구조에서는 어느것이나, 표면만에서 전계가 억제되고 있다. 이것에 대해, 도 17을 참조하여, 도 14에 나타낸 구조에서는, 전극(60)에 의한 필드 플레이트와, 트렌치(80)에 의해, 전계가 3차원적으로 억제되어 있는 것을 알 수 있다. 이때, 종래기술의 설명에서 서술한 특개평 8-264787호 공보에 기재된 반도체장치에서는, P⁻형 에피택셜층(201)의 상면에 있어서의 채널링을 대상으로 하고 있고, 채널링은 실리콘과 절연층의 계면을 따라 진행하기 때문에, 본 실시예 1에 관한 반도체장치와 같은 3차원적 효과는 개시되어 있지 않다.

이와 같이 본 실시예 1에 관한 반도체장치 및 그 제조방법에 따르면, N⁻형 실리콘 기판(1)을 사용하여 형성된 채널스톱 구조는, N⁺형 불순물 도입영역(4) 뿐만 아니라, 트렌치(5)를 갖고 있다. 그 때문에, 주접합으로부터 칩의 에지(104)를 향해 연장되어 온 공핍층을 트렌치(5)에 의해 3차원적으로 억제할 수 있어, 반도체장치의 내압의 안정화를 도모할 수 있다.

실시예 2:

도 18은, 본 발명의 실시예 2에 관한 채널스톱 구조를 나타낸 단면도이다. N⁻형 실리콘 기판(1)의 상면 상에는, 칩의 주연 부분을 제외하고, 실리콘 산화막(10)이 형성되어 있다. 실리콘 산화막(10)에서 노출되어 있는 부분의 N⁻형 실리콘 기판(1)의 상면(3) 내에는, N⁺형 불순물 도입영역(4)이 형성되어 있다. N⁻형 실리콘 기판(1)의 상면(3) 내에는, N⁺형 불순물 도입영역(4)보다도 깊은 트렌치(5)가 형성되어 있다. 트렌치(5)의 내벽 상에는, 박막형의 실리콘 산화막(6)이 형성되어 있다. 또한, 실리콘 산화막(6)이 형성된 트렌치(5) 내부를 충전하여, 폴리실리콘막(11)이 형성되어 있다. 폴리실리콘막(11)은, N⁻형 실리콘 기판(1)의 상면(3) 위 및 주접합을 향해 실리콘 산화막(10) 상으로 연장되어 형성되고 있어, 제 1 필드 플레이트를 구성하고 있다. N⁻형 실리콘 기판(1)의 상면(3)의 일부(최주연 부분)는, 폴리실리콘막(11)으로부터 노출되어 있다.

또한, 실리콘 산화막(10) 상에 형성되어 있는 부분의 폴리실리콘막(11) 위 및, 폴리실리콘막(11)이 형성되어 있지 않은 부분의 실리콘 산화막(10) 상에는, 실리콘 산화막(12)이 형성되어 있다. N⁻형 실리콘 기판(1)의 상면(3)의 최주연 부분 상에는, 알루미늄 전극(13)이 형성되어 있다. 알루미늄 전극(13)은, 폴리실리콘막(11)에도 접촉하고 있으며, 또한, 주접합을 향해 실리콘 산화막(12) 상에 연장되어 형성되고, 제 2 필드 플레이트를 구성하고 있다.

이와 같이 본 실시예 2에 관한 반도체장치에 의하면, 채널스톱 구조에는, 제 1 필드 플레이트로서 기능하는 폴리실리콘막(11)이 형성되어 있다. 그 때문에, 상기 실시예 1에 관한 채널스톱 구조와 비교하면, 주접합으로부터 칩의 에지(104)를 향해 연장되어 온 공핍층을 억제하는 효과가 높아져, 반도체장치의 내압의 안정화를 더욱 도모할 수 있다.

실시예 3:

도 19는, 본 발명의 실시예 3에 관한 채널스톱 구조를 나타낸 단면도이다. 본 실시예 3에 관한 채널스톱 구조는, 도 18에 나타낸 상기 실시예 2에 관한 채널스톱 구조에, P형 불순물 도입영역(15)을 추가한 것이다. P형 불순물 도입영역(15)은, N⁻형 실리콘 기판(1)의 상면(3) 내에 있어서, N⁺형 불순물 도입영역(4)보다도 깊고, 또한 트렌치(5)보다도 얇게 형성되어 있다.

도 20~도 25는, 본 실시예 3에 관한 채널스톱 구조의 형성방법을 공정순으로 나타낸 단면도이다. 이때, 이하의 설명에서는 적절히 도 3을 참조한다. 도 20을 참조하여, 우선, N⁻형 실리콘 기판(1)을 준비한다. 다음에, 상기한 실시예 1과 같은 방법에 의해, N⁻형 실리콘 기판(1)의 상면 상에 실리콘 산화막(10)을 형성한다.

다음에, 이온주입법에 의해, 인이나 비소 등의 불순물을 N⁻형 실리콘 기판(1)의 상면(3) 내에 주입한다. 이때, 소정의 개구 패턴을 갖는 포토레지스트를, 사진제판법에 의해 영역 AR1 내부에 있어서 N⁻형 실리콘 기판(1)의 상면 상에 미리 형성해 두는 것에 의해, 파워 MOSFET의 소스영역(24)을 형성하기 위한 이온주입도 더불어 행해진다. 다음에, 주입된 불순물을 열확산시킴으로써, N⁻형 실리콘 기판(1)의 상면 내에, 깊이가 서로 같은 N⁺형 불순물 도입영역(4) 및 소스영역(24)을 형성한다. 그후, 포토레지스트를 제거한다.

도 21을 참조하여, 다음에, 보론 등의 불순물을 N⁻형 실리콘 기판(1)의 상면(3) 내에 주입한다. 이때, 소정의 개구 패턴을 갖는 포토레지스트를, 사진제판법에 의해 N⁻형 실리콘 기판(1)의 상면 상에 미리 형성해 두는 것에 의해, 파워 MOSFET의 P형 불순물 도입영역(20)을 형성하기 위한 이온주입도 더불어 행해진다. 다음에, 주입된 불순물을 열확산시킴으로써, N⁻형 실리콘 기판(1)의 상면 내에, 깊이가 서로 같은 P형 불순물 도입영역(15, 20)을 형성한다. 그후, 포토레지스트를 제거한다.

도 22를 참조하여, 다음에, 사진제판법 및 이방성 드라이에칭법에 의해, N⁻형 실리콘 기판(1)의 상면(3) 내에, P형 불순물 도입영역(15)보다도 깊은 트렌치(5)를 형성한다. 또한, 이것과 동시에, 영역 AR1 내에 있어서의 N⁻형 실리콘 기판(1)의 상면 내에, P형 불순물 도입영역(20)보다도 깊은 트렌치(21)를 더불어 형성한다. 트렌치(5)의 개구폭과 트렌치(21)의 개구폭을 같게 하는 것에 의해, 양 트렌치(5, 21)의 깊이를 서로 같게 할 수 있다.

도 23을 참조하여, 다음에, 트렌치(5)의 내벽을 열산화함에 의해, 실리콘 산화막(6)을 형성한다. 또한, 이것과 함께, 트렌치(21)의 내벽을 열산화함에 의해, 실리콘 산화막(22)을 더불어 형성한다.

도 24를 참조하여, 다음에, CVD법에 의해, 트렌치(5, 21)의 내부를 충전할 수 있는 막두께로 전체면에 폴리실리콘막을 형성한다. 다음에, 사진제판법 및 이방성 드라이에칭법에 의해, 이 폴리실리콘막을 패터닝한다. 이것에 의해, 영역 AR3 내에 있어서 폴리실리콘막(11)이 형성되는 동시에, 영역 AR1 내에 있어서 폴리실리콘막(23)이 형성된다.

도 25를 참조하여, 다음에, CVD법에 의해 전체면에 실리콘 산화막을 형성한다. 다음에, 사진제판법 및 이방성 드라이에칭법에 의해, 이 실리콘 산화막을 패터닝한다. 이에 따라, 영역 AR3 내에 있어서 실리콘 산화막(12)이 형성되는 동시에, 영역 AR1 내에 있어서 실리콘 산화막(25)이 형성된다.

다음에, 스퍼터링법에 의해 알루미늄막을 전체면에 형성한다. 다음에, 사진제판법 및 이방성 드라이에칭법에 의해, 이 알루미늄막을 패터닝한다. 이것에 의해, 영역 AR3 내에 있어서 알루미늄 전극(13)이 형성되어, 도 19에 나타낸 구조를 얻을 수 있는 동시에, 영역 AR1 내에서 알루미늄 전극(26)이 형성되어, 도 3에 나타낸 구조를 얻을 수 있다.

이와 같이 본 실시예 3에 관한 반도체장치의 제조방법에 따르면, 도 3에 나타낸 파워 MOSFET를 제조하는 일련의 공정에 있어서, 추가의 공정을 수반하지 않고 도 19에 나타낸 채널스톱 구조를 더불어 형성할 수 있다. 그 때문에, 파워 MOSFET의 제조공정과는 별도의 공정으로 채널스톱 구조를 형성하는 경우와 비교하면, 제조비용의 저감을 도모할 수 있다.

발명의 효과

본 발명의 일면에 관한 발명에 따르면, 채널스톱 구조는, 반도체 기판의 주표면 내에 형성된 제 1 트렌치를 갖고 있다. 그 때문에, 주접합으로부터 반도체 기판의 주연부를 향해 연장되어 온 공핍층을 제 1 트렌치에 의해 억제할 수 있어, 반도체 장치의 내압의 안정화를 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 채널스톱 구조는, 제 1 트렌치 뿐만 아니라, 반도체 기판의 주표면 내에 형성된 N형의 제 2 불순물 도입영역을 갖고 있다. 그 때문에, 주접합으로부터 반도체 기판의 주연부를 향해 연장되어 온 공핍층을 더 억제할 수 있어, 반도체 장치의 내압의 안정화를 더욱 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 제 1 트렌치 내부에는 제 1 절연막을 통해 제 1 도전막이 형성되어 있기 때문에, 주접합으로부터 연장되어 온 공핍층을 억제하는 효과가 높아져, 반도체 장치의 내압의 안정화를 더욱 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 채널스톱 구조는, 필드 플레이트로서 기능하는 제 2 도전막을 갖고 있기 때문에, 주접합으로부터 연장되어 온 공핍층을 억제하는 효과가 높아져, 반도체 장치의 내압의 안정화를 더욱 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 제 1 도전막의 재질이 폴리실리콘이기 때문에, 제 1 트렌치 내부를 충전하는 도전막을 용이하게 제조할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 채널스톱 구조는, 어느것이나 필드 플레이트로서 기능하는 제 2 및 제 3 도전막을 갖고 있기 때문에, 주접합으로부터 연장되어 온 공핍층을 억제하는 효과가 높아져, 반도체장치의 내압의 안정화를 더욱 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 트랜지스터의 구성요소와 채널스톱 구조의 구성요소가 서로 같기 때문에, 트랜지스터를 제조하는 일련의 공정에 있어서, 추가의 공정을 수반하지 않고 채널스톱 구조를 더불어 형성할 수 있다. 그 때문에, 트랜지스터의 제조공정과는 별도의 공정으로 채널스톱 구조를 형성하는 경우와 비교하면, 제조비용의 저감을 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 깊이가 서로 같은 제 1 및 제 2 트렌치를 동일한 공정에 의해 형성하는 것이 가능해진다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 제 1 도전막과 제 4 도전막을 동일한 공정에 의해 형성하는 것이 가능해진다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 채널스톱 구조는, N형의 제 2 불순물 도입영역 뿐만 아니라, 반도체 기판의 주표면 내에 형성된 제 1 트렌치를 갖고 있다. 그 때문에, 주접합으로부터 반도체 기판의 주연부를 향해 연장되어 온 공핍층을, 제 1 트렌치에 의해 억제할 수 있어, 반도체장치의 내압의 안정화를 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 제 1 트렌치 내부에는 제 1 절연막을 통해 제 1 도전막이 형성되어 있기 때문에, 주접합으로부터 연장되고 온 공핍층을 억제하는 효과가 높아져, 반도체장치의 내압의 안정화를 더욱 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 채널스톱 구조는, 필드 플레이트로서 기능하는 제 2 도전막을 갖고 있기 때문에, 주접합으로부터 연장되어 온 공핍층을 억제하는 효과가 높아져, 반도체장치의 내압의 안정화를 더욱 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 트랜지스터의 구성요소와 채널스톱 구조의 구성요소가 서로 같기 때문에, 트랜지스터를 제조하는 일련의 공정에 있어서, 추가의 공정을 수반하지 않고 채널스톱 구조를 더불어 형성할 수 있다. 그 때문에, 트랜지스터의 제조공정과는 별도의 공정으로 채널스톱 구조를 형성하는 경우와 비교하면, 제조비용의 저감을 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 공정 (b)과 공정 (l)을 별도의 공정으로 실행하는 경우와 비교하면, 제조비용의 저감을 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 공정 (c)과 공정 (h)을 별도의 공정으로 실행하는 경우와 비교하면, 제조비용의 저감을 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 공정 (d)와 공정 (i)를 별도의 공정으로 실행하는 경우와 비교하면, 제조비용의 저감을 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 공정 (e)와 공정 (j)를 별도의 공정으로 실행하는 경우와 비교하면, 제조비용의 저감을 도모할 수 있다.

또한, 본 발명의 또 다른 일면에 관한 발명에 따르면, 공정 (f)와 공정 (k)를 별도의 공정으로 실행하는 경우와 비교하면, 제조비용의 저감을 도모할 수 있다.

(57) 청구의 범위

청구항 1.

N형의 반도체 기판과,

상기 반도체 기판의 주표면 내에 형성되어 상기 반도체 기판과의 사이에서 주접합을 구성하는 P형의 제 1 불순물 도입영역을 갖는 트랜지스터와,

상기 반도체 기판의 주연부에 형성되고, 상기 주접합으로부터 상기 주연부에 향하여 연장되어 온 공핍층을 억제하기 위한 채널스톱 구조를 구비한 반도체장치에 있어서,

상기 채널스톱 구조는,

상기 반도체 기판의 상기 주표면 내에 형성된 제 1 트렌치를 갖고,

상기 제 1 트렌치가 형성되어 있는 부분의 상기 반도체 기판의 상기 주표면 내에 형성된 N형의 제 2 불순물 도입영역을 더 갖는 것을 특징으로 하는 반도체장치.

청구항 2.

삭제

청구항 3.

(a) 트랜지스터가 형성되는 제 1 영역과, 채널스톱 구조가 형성되는 제 2 영역을 갖는 N형의 반도체 기판을 준비하는 공정과,

(b) 상기 반도체 기판과의 사이에서 주접합을 구성하는 P형의 제 1 불순물 도입영역을, 상기 제 1 영역에 있어서의 상기 반도체 기판의 주표면 내에 형성하는 공정과,

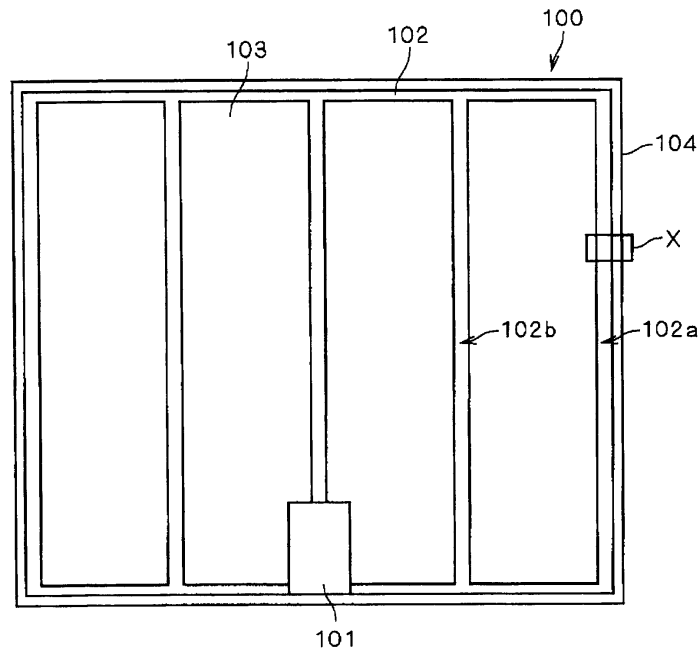
(c) N형의 제 2 불순물 도입영역을 상기 제 2 영역에 있어서의 상기 반도체 기판의 상기 주표면 내에 형성하는 공정과,

d) 상기 제 2 불순물 도입영역이 형성되어 있는 부분의 상기 반도체 기판의 상기 주표면 내에 제 1 트렌치를 형성하는 공정을 구비하고,

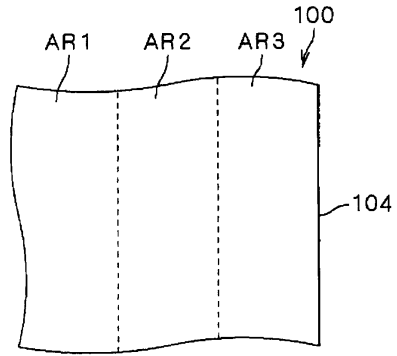
상기 채널스톱 구조는, 상기 주접합으로부터 상기 제 2 영역에 향하여 연장되어 온 공핍층을 억제하는 것을 특징으로 하는 반도체장치의 제조방법.

도면

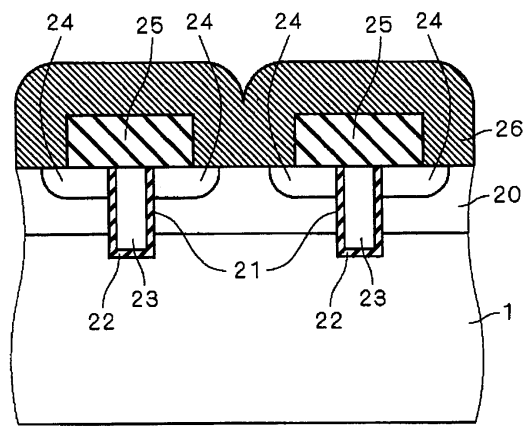
도면1



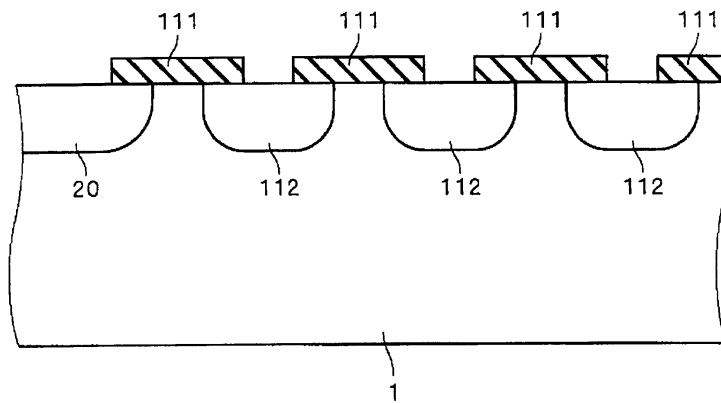
도면2



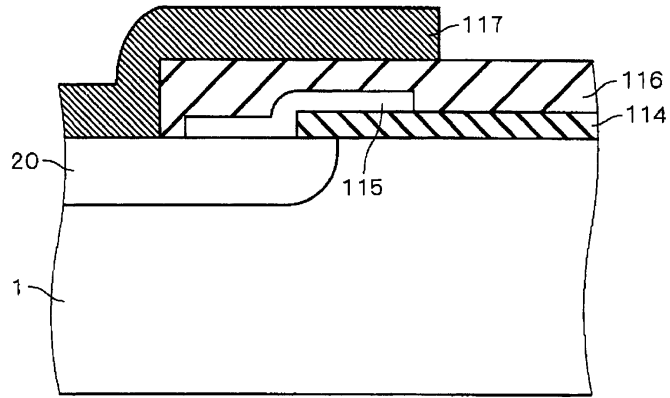
도면3



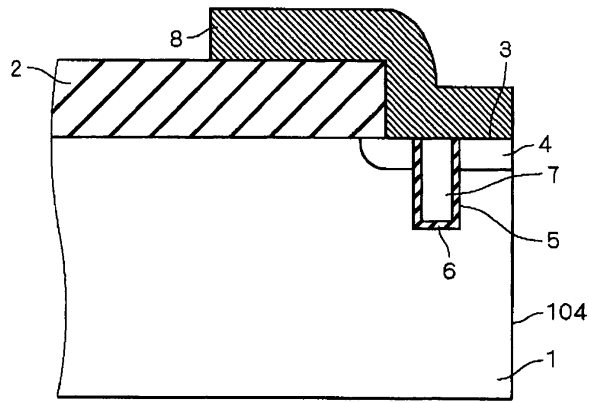
도면4



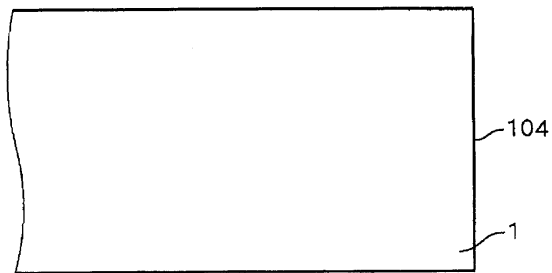
도면5



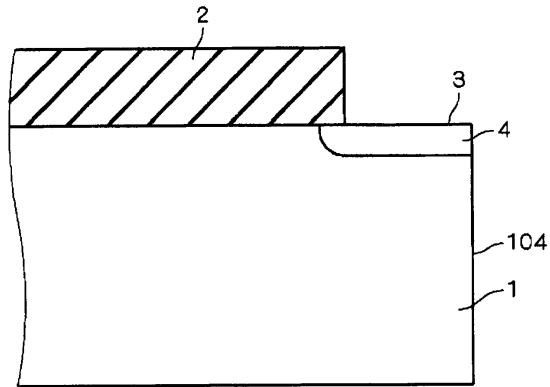
도면6



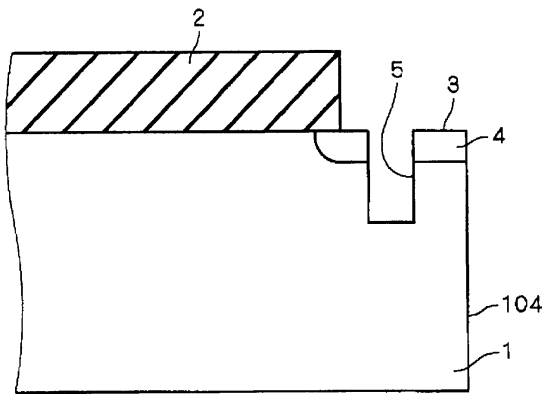
도면7



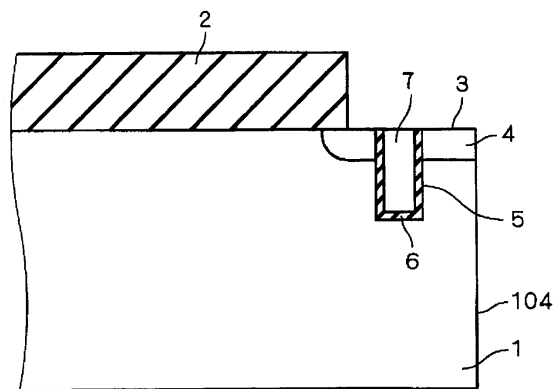
도면8



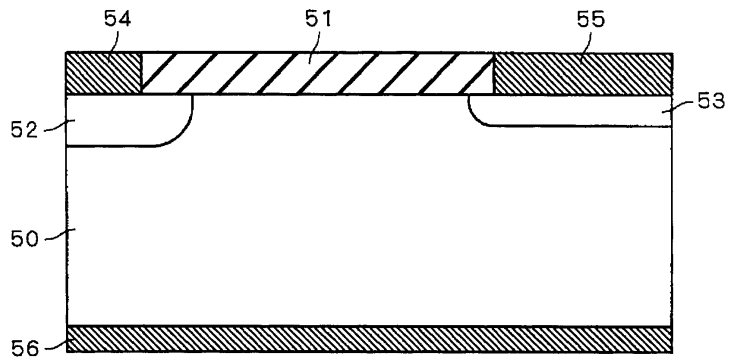
도면9



도면10

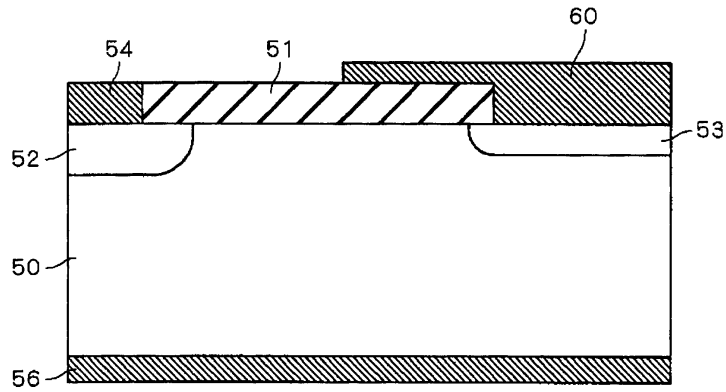


도면11



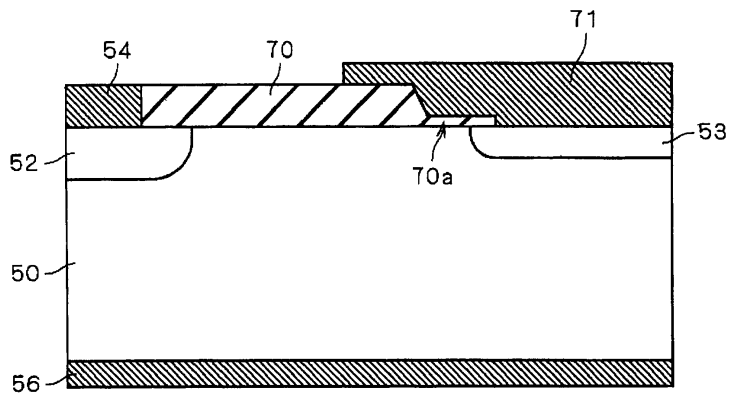
Q_{ss}	VCES
0	418V
-1E11	448V
-1E12	77.7V

도면12



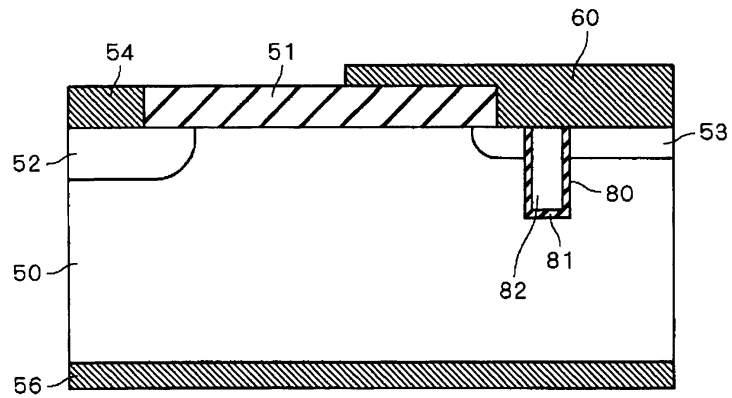
Q_{ss}	VCES
0	418V
-1E11	448V
-1E12	532V

도면13



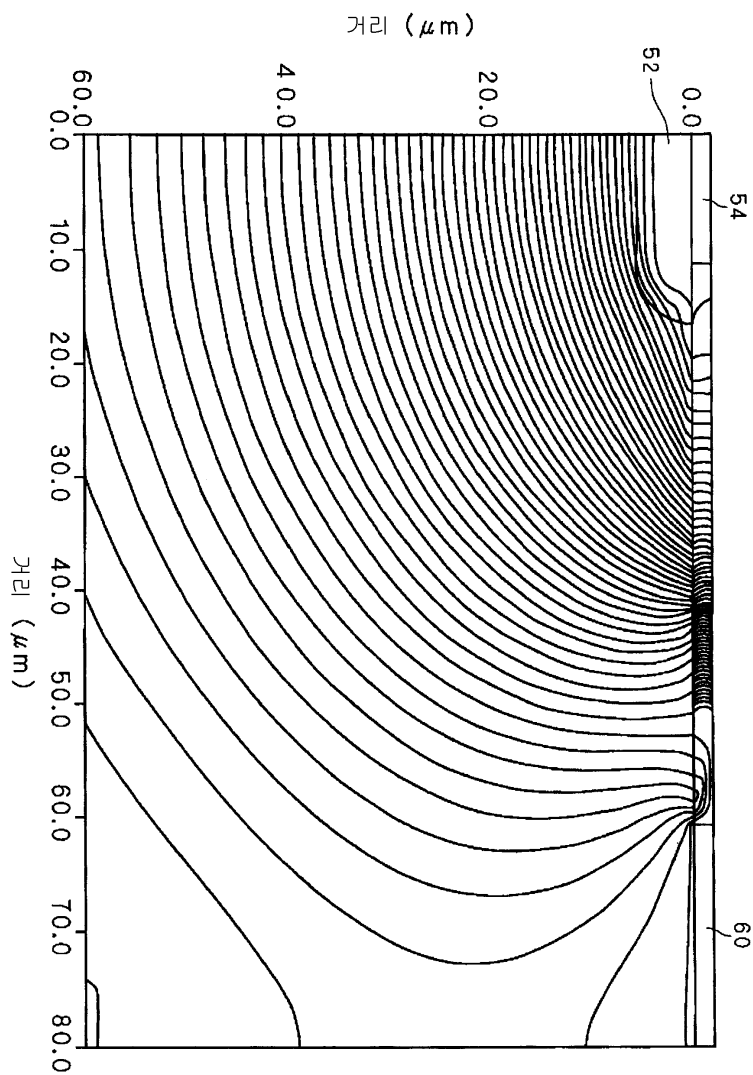
Q_{ss}	VCES
0	417V
-1E11	445V
-1E12	589V

도면14

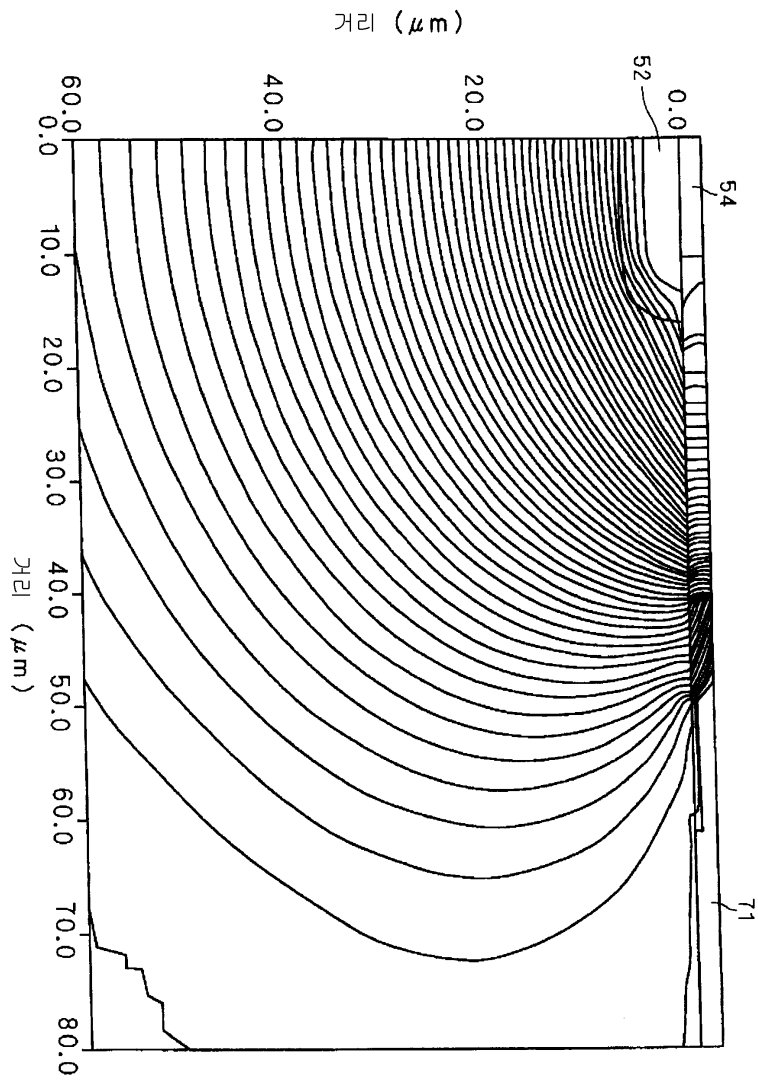


Q_{ss}	V _{CES}
0	415V
-1E11	443V
-1E12	605V

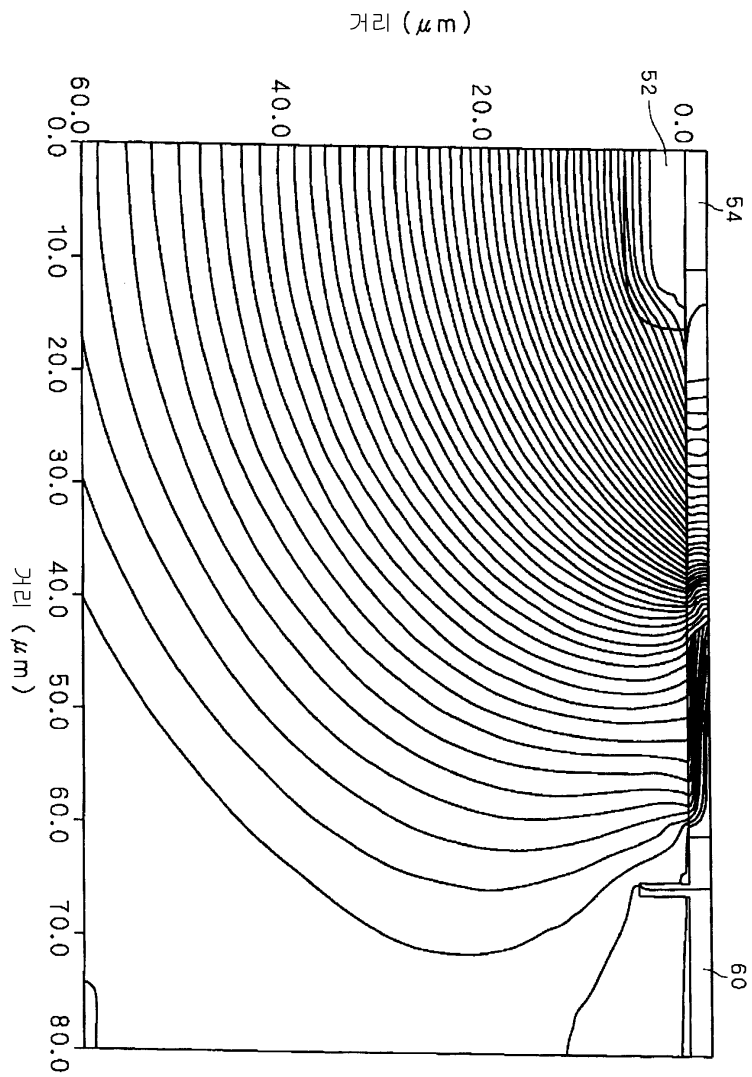
도면15



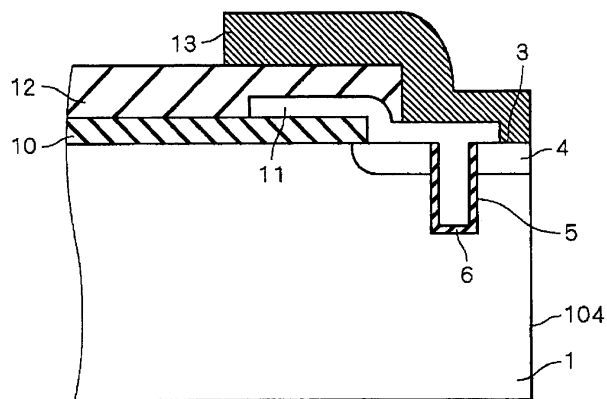
도면16



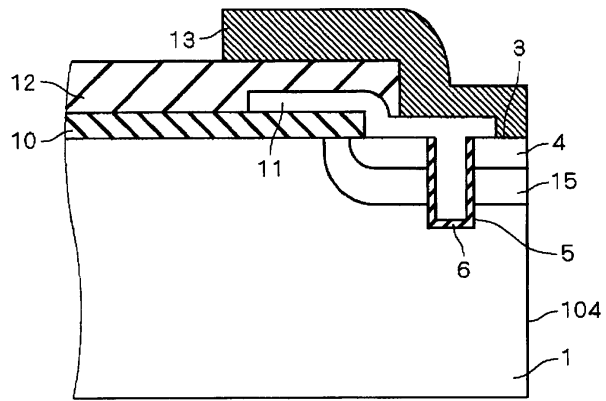
도면17



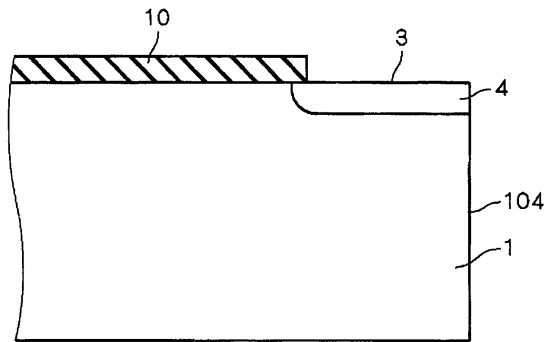
도면18



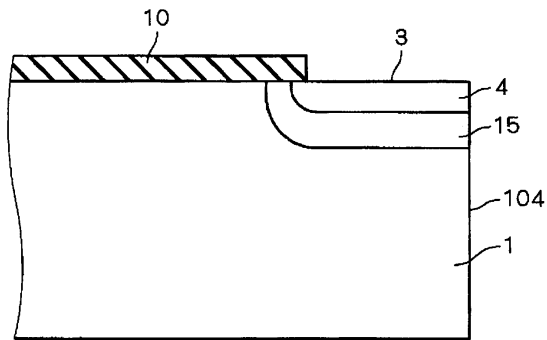
도면19



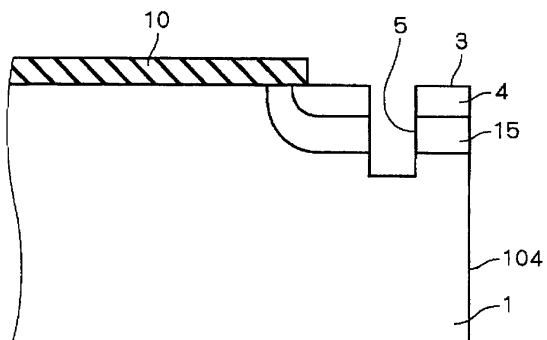
도면20



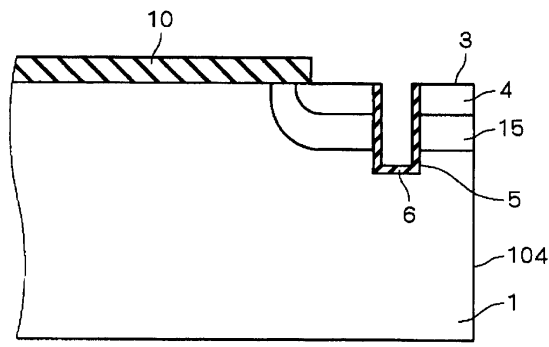
도면21



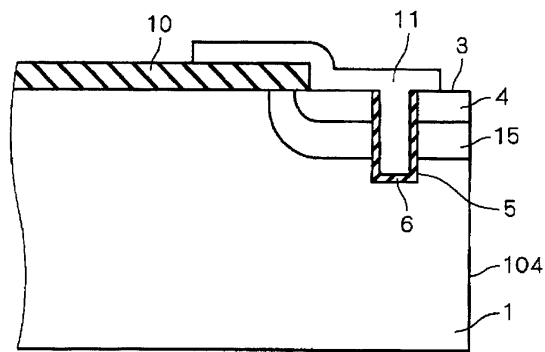
도면22



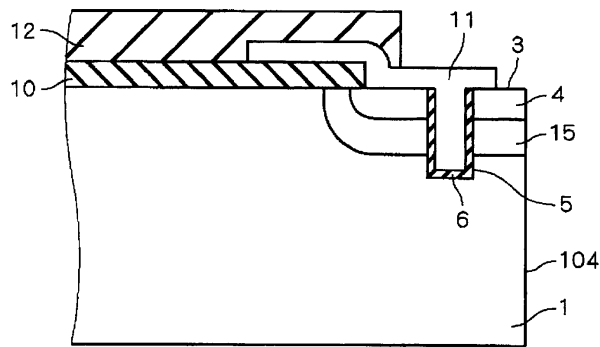
도면23



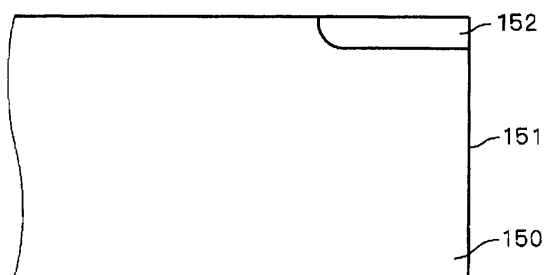
도면24



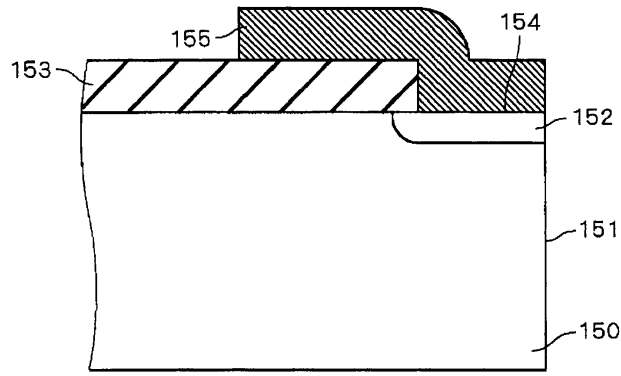
도면25



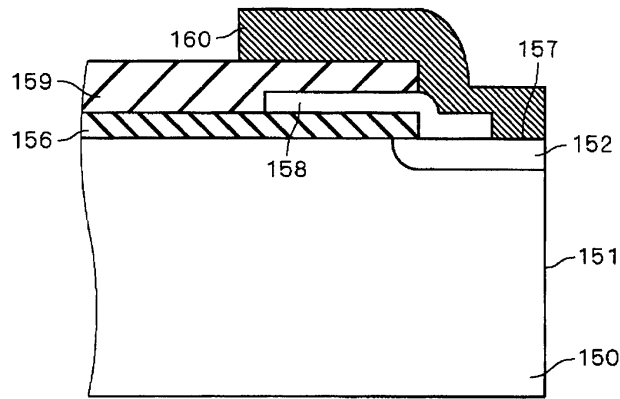
도면26



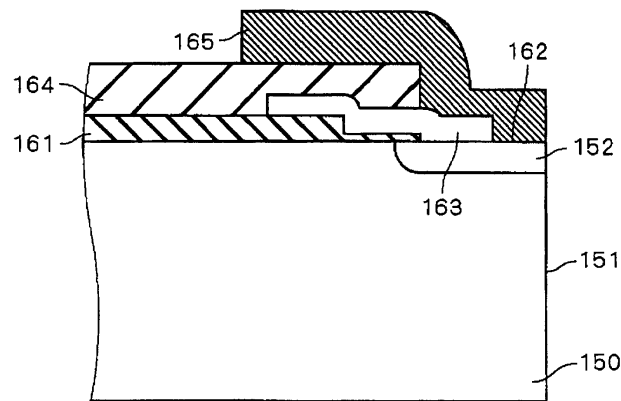
도면27



도면28



도면29



도면30

