

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年11月25日(25.11.2021)



(10) 国際公開番号

WO 2021/235170 A1

(51) 国際特許分類:

H01F 27/06 (2006.01)

(21) 国際出願番号:

PCT/JP2021/016382

(22) 国際出願日:

2021年4月22日(22.04.2021)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2020-089503 2020年5月22日(22.05.2020) JP

(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 1 0 番 1 号 Kyoto (JP).

(72) 発明者: 樋口 太郎(HIGUCHI Tarou); 〒6178555
京都府長岡京市東神足 1 丁目 1 0 番 1 号 株
式会社村田製作所内 Kyoto (JP). 今西 由浩
(IMANISHI Yoshihiro); 〒6178555 京都府長岡
京市東神足 1 丁目 1 0 番 1 号 株式会社村
田製作所内 Kyoto (JP). 本多 宏之(HONDA

Hiroyuki); 〒6178555 京都府長岡京市東神足 1
丁目 1 0 番 1 号 株式会社村田製作所内 Kyoto
(JP). 坂根 亜紀子(SAKANE Akiko); 〒6178555
京都府長岡京市東神足 1 丁目 1 0 番 1 号 株
式会社村田製作所内 Kyoto (JP).

(74) 代理人: 峯 岸 武 司 (MINEGISHI Takeshi);
〒1110053 東京都台東区浅草橋 3 丁目 3 4 番 1
0 号 パールクレストビル 4 0 1 Tokyo (JP).

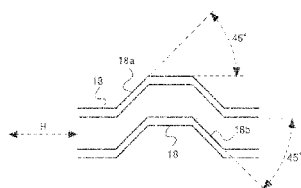
(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: INDUCTOR MOUNTING STRUCTURE

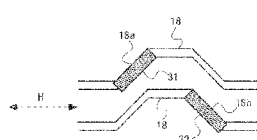
(54) 発明の名称: インダクタの実装構造

[図5]

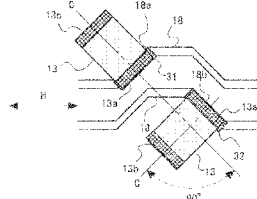
(a)



(b)



(c)



(57) Abstract: Provided is an inductor mounting structure which enables each inductor to be mounted in a state where occurrence of crosstalk and a stub effect exhibited by a mounting land are suppressed and signal transmission characteristics are less likely to degrade. A first Bias-T inductor 13 is mounted on a circuit board 15 such that the axial direction C is oriented perpendicularly to a first mounting land 31, and that one electrode terminal 13a is connected to the first mounting land 31. In addition, a second Bias-T inductor 13 is mounted on a circuit board 15 near the first Bias-T inductor 13 such that the axial direction C is inclined by 90° with respect to the axial direction C of the first Bias-T inductor 13 and is oriented perpendicularly to a second mounting land 32, and that one electrode terminal 13a is connected to the second mounting land 32 with the one electrode terminal 13a being placed along the second mounting land 32.

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: クロストークの発生および実装ランドが奏するスタブ効果が抑制されて、信号伝送特性の劣化がし難い状態で、各インダクタを実装できるインダクタの実装構造を提供する。第1のBias-Tインダクタ13は、軸心方向Cが第1実装ランド31に垂直に向けられ、一方の電極端子13aが第1実装ランド31に沿った状態で、一方の電極端子13aが第1実装ランド31に接続されて、回路基板15に実装される。また、第2のBias-Tインダクタ13は、軸心方向Cが第1のBias-Tインダクタ13の軸心方向Cに対して90°傾けられ、かつ、第2実装ランド32に垂直に向けられて、一方の電極端子13aが第2実装ランド32に沿った状態で、一方の電極端子13aが第2実装ランド32に接続されて、第1のBias-Tインダクタ13の近傍における回路基板15に実装される。

明 細 書

発明の名称： インダクタの実装構造

技術分野

[0001] 本発明は、回路基板における複数本の信号配線パターンへのインダクタの実装構造に関するものである。

背景技術

[0002] 従来、1本の同軸ケーブルに信号と直流バイアス電源とを重畳させて通信を行うP o C (Power Over Coax.) と呼ばれる信号伝送技術がある。この技術を使った信号伝送回路には、Bias-Tインダクタと呼ばれる信号電源分離用インダクタが用いられ、このインダクタにより、信号線を伝搬する信号と、バイアス供給源から信号線へ供給される直流バイアス電源とが分離される。

[0003] 最近、このP o Cと呼ばれる信号伝送技術により伝送される信号が多く、図1に示す回路ブロック図のように、1つの信号伝送用I C 1に、複数本の同軸ケーブル2によって伝送される信号が入出力される。したがって、1つの信号伝送用I C 1に接続される複数本の信号ライン3の各々に、Bias-Tインダクタ4を設ける必要があり、複数個のBias-Tインダクタ4が信号伝送用I C 1と共に1つの回路基板5に実装される。各Bias-Tインダクタ4は一方の端子が信号ライン3、他方の端子が信号伝送用I C 1への電源供給ラインに接続される。なお、各信号ライン3は、直流電源遮断用のコンデンサ6を介して信号伝送用I C 1に接続される。

[0004] 通常、2本以上の信号ラインを含むP o C信号伝送のシステムにおけるBias-Tインダクタは、図2 (a) や図2 (b) に示すように互いに近接して同じ向きに、各インダクタ4が信号ラインを形成する各信号配線パターン3に配置される。なお、図2において図1と同一または相当する部分には同一符号を付して説明する。また、回路基板5上における部品レイアウトの問題を回避するため、図2 (c) に示すように各インダクタ4が離れた位置に配置される場合もある。

[0005] 一方、回路基板 5 の小型化の観点から、Bias-T インダクタ 4 の回路基板 5 における実装領域を可能な限り小さくする必要がある。この場合、近接配置される複数のインダクタ 4 間におけるクロストークが問題となる。

[0006] 特許文献 1 には、このようなクロストークを抑制するため、複数のインダクタを並設したインダクタアレイにおいて、隣接する各インダクタの磁束の流れ方向が互いに直交するよう、各インダクタを配置する技術が開示されている。

先行技術文献

特許文献

[0007] 特許文献1：特開平 8 - 2 5 0 3 3 3 号公報

発明の概要

発明が解決しようとする課題

[0008] 図 2 (a), (b) に示すように各インダクタ 4 が近接配置される場合において、特許文献 1 に開示された技術を適用して、図 3 に示すように、各インダクタ 4 の回路基板 5 への実装の向きを互いに直交させることは可能である。しかしながら、一方のインダクタ 4 を他方のインダクタ 4 に直交配置させるには、信号配線パターン 3 に垂直に実装ランド 7 を設け、インダクタ 4 の一方の電極端子をその実装ランド 7 に接続させる必要がある。したがって、これらのインダクタ 4 を、P o C 信号伝送システムにおける信号電源分離用インダクタとして用いて、図 1 に示すように高速信号伝送用の信号配線パターン 3 にシャントに接続する場合、実装ランド 7 が信号配線パターン 3 にスタブとして接続された状態になり、信号伝送特性の劣化につながる。

[0009] また、各インダクタ間のクロストーク対策として、コイル巻線を磁性体で覆った磁気シールド構造を有したインダクタ部品を用いることも、考えられる。しかしながら、磁気シールド構造を有したインダクタ部品は、コイル巻線を覆うシールド構造体の分だけ部品サイズが大型化し、回路基板 5 の小型化が図れない。

[0010] また、磁性体で外周がモールドされたフェライトビーズインダクタのように閉磁路構造を有したインダクタ部品を用いることも、考えられる。しかしながら、閉磁路構造を有したインダクタ部品は、小型化は可能であるが、一般的に直流重畳特性が悪いため、図1に示すP o C信号伝送システムにおいて直流電流を伝送する用途には向いていない。

課題を解決するための手段

[0011] 本発明はこのような課題を解消するためになされたもので、
延伸方向の一方側に延伸方向に対して 22.5° から 67.5° の角度を持って傾く第1傾斜辺を有して回路基板上に形成される第1の信号配線パターンと、
延伸方向の他方側に延伸方向に対して 22.5° から 67.5° の角度を持って傾く第2傾斜辺を有して回路基板上に第1の信号配線パターンに並んで形成される第2の信号配線パターンと、
延伸方向に延伸する第1の信号配線パターンと第1傾斜辺とが交差する角に一端が接して第1傾斜辺に沿って形成された第1実装ランドと、
軸心方向が第1実装ランドに垂直に向けられ、一方の電極端子が第1実装ランドに沿って配置された状態で、一方の電極端子が第1実装ランドに接続されて、回路基板に実装される第1のインダクタと、
延伸方向に延伸する第2の信号配線パターンと第2傾斜辺とが交差する角に一端が接して第2傾斜辺に沿って形成された第2実装ランドと、
軸心方向が第1のインダクタの軸心方向に対して $90^{\circ} \pm 45^{\circ}$ の方向に傾けられ、かつ、第2実装ランドに垂直に向けられて、一方の電極端子が第2実装ランドに沿って配置された状態で、一方の電極端子が第2実装ランドに接続されて、第1のインダクタの近傍における回路基板に実装される第2のインダクタと
を備えるインダクタの実装構造を構成した。

[0012] 本構成によれば、第1のインダクタと第2のインダクタとは、互いの軸心方向が $90^{\circ} \pm 45^{\circ}$ の方向に傾けられた状態で、回路基板に実装される。

したがって、第1のインダクタが形成する磁束の流れ方向と、第2のインダクタとが形成する磁束の流れ方向とは、ほぼ直交する。このため、第1のインダクタと第2のインダクタとは、回路基板に近接して実装されても、第1のインダクタが形成する磁束と第2のインダクタが形成する磁束とが結合し難くなり、クロストークの発生が抑制される。

[0013] また、第1のインダクタは、軸心方向が第1実装ランドに垂直に向けられ、一方の電極端子が第1実装ランドに沿って配置された状態で、一方の電極端子が第1実装ランドに接続されて、回路基板に実装される。また、第1実装ランドは、延伸方向に延伸する第1の信号配線パターンと第1傾斜辺とが交差する角に一端が接して、第1傾斜辺に沿って形成される。

[0014] したがって、第1のインダクタは、一方の電極端子と第1実装ランドとに沿って回路基板に実装され、第1実装ランドは第1傾斜辺に沿って形成される。このため、第1実装ランドの幅が第1傾斜辺の幅からはみ出る量は、第1実装ランドが信号配線パターンに直角に形成される場合に比較して遙かに抑制され、僅かな量となる。しかも、第1実装ランドは、その一端が、第1の信号配線パターンと第1傾斜辺とが交差する角に接して、形成される。このため、第1実装ランドの幅がその一端で第1傾斜辺の幅からはみ出る態様は、第1の信号配線パターンの直線部に沿って形成された第1実装ランドが第1の信号配線パターンの直線部において階段状にはみ出る態様と異なり、その角において、第1実装ランドの拡幅した一端が第1の信号配線パターンの端部と斜めに接することで、第1実装ランドと第1の信号配線パターンの両者の間に生じる幅の差が少ない状態で、両者が連なる態様となる。

[0015] この結果、第1実装ランドの幅が第1傾斜辺の幅より大きくなることで第1実装ランドが奏するスタブ効果は抑制され、第1のインダクタが第1の信号配線パターンにシャントに接続される場合であっても、信号伝送特性は劣化し難くなる。

[0016] また、第2のインダクタは、軸心方向が第2実装ランドに垂直に向けられて、一方の電極端子が第2実装ランドに沿って配置された状態で、一方の電

極端子が第2実装ランドに接続されて、回路基板に実装される。また、第2実装ランドは、延伸方向に延伸する第2の信号配線パターンと第2傾斜辺とが交差する角に一端が接して、第2傾斜辺に沿って形成される。

[0017] したがって、上記の第1の実装ランドと同様に、第2実装ランドの幅が第2傾斜辺の幅からはみ出る量は、僅かな量となる。しかも、第2実装ランドの幅がその一端で第2傾斜辺の幅からはみ出る態様は、第2の信号配線パターンと第2傾斜辺とが交差する角において、第2実装ランドの拡幅した一端が第2の信号配線パターンの端部と斜めに接することで、第2実装ランドと第2の信号配線パターンの両者の間に生じる幅の差が少ない状態で、両者が連なる態様となる。このため、第2実装ランドの幅が第2傾斜辺の幅より大きくなることで第2実装ランドが奏するスタブ効果も抑制され、第2のインダクタが第2の信号配線パターンにシャントに接続される場合においても、信号伝送特性は劣化し難くなる。

[0018] また、第1傾斜辺は、第1の信号配線パターンの延伸方向の一方側に、延伸方向に対して 22.5° から 67.5° の角度を持って傾いて、回路基板上に形成される。第2傾斜辺は、第1の信号配線パターンに並んで形成される第2の信号配線パターンの延伸方向の他方側に、延伸方向に対して 22.5° から 67.5° の角度を持って傾いて、回路基板上に形成される。

[0019] このため、第1傾斜辺および第2傾斜辺の各傾斜角度は、第1のインダクタと第2のインダクタとの各軸心方向を $90^{\circ} \pm 45^{\circ}$ に傾いた状態を保ちながら、第1の信号配線パターンおよび第2の信号配線パターンに伝送される各高周波信号の信号伝送特性の劣化を抑制できる角度に設定される。この結果、磁気シールド構造を有することなく、クロストークの発生を抑制でき、しかも、閉磁路構造を有することで直流重畳特性が悪化することのない、インダクタンスの実装構造が提供される。

[0020] また、本発明は、
回路基板上に並んで形成される第1の信号配線パターンおよび第2の信号配線パターンと、

第1の信号配線パターンの形成方向に沿って形成された第1実装ランドと、軸心方向が第1実装ランドに垂直に向けられ、一方の電極端子が第1実装ランドに沿って配置された状態で、一方の電極端子が第1実装ランドに接続されて回路基板に実装される、インダクタンス値が $0.7[\mu\text{H}] \sim 3.3[\mu\text{H}]$ の第1のインダクタと、

第2の信号配線パターンの形成方向に沿って形成された第2実装ランドと、第1のインダクタとの軸心間隔が $2[\text{mm}] \sim 8[\text{mm}]$ 離れた位置に設けられ、軸心方向が第2実装ランドに垂直に向けられ、一方の電極端子が第2実装ランドに沿って配置された状態で、一方の電極端子が第2実装ランドに接続されて回路基板に実装される、インダクタンス値が第1のインダクタと同じ $0.7[\mu\text{H}] \sim 3.3[\mu\text{H}]$ の第2のインダクタとを備えるインダクタの実装構造を構成した。

[0021] 本構成によれば、インダクタンス値が同じ $0.7[\mu\text{H}] \sim 3.3[\mu\text{H}]$ の第1のインダクタと第2のインダクタとの軸心間隔を $2[\text{mm}] \sim 8[\text{mm}]$ 離れた位置にして、それぞれの一方の電極端子を、第1の信号配線パターンおよび第2の信号配線パターンに沿って形成された第1実装ランドおよび第2実装ランドにそれぞれ接続することで、クロストークの発生、および、実装ランドが奏するスタブ効果が抑制されて、信号伝送特性の劣化がし難い状態で、各インダクタを回路基板に実装することができる。

発明の効果

[0022] 本発明によれば、複数のインダクタが近接配置される場合においても、クロストークの発生、および、実装ランドが奏するスタブ効果が抑制されて、信号伝送特性の劣化がし難い状態で、各インダクタを実装することのできるインダクタの実装構造が提供される。

図面の簡単な説明

[0023] [図1] 2本以上の信号ラインを含む一般的なP o C信号伝送システムのブロック図である。

[図2] 2本以上の信号ラインを含むP o C信号伝送システムにおける一般的な

インダクタの実装構造を示す平面図である。

[図3] 2本以上の信号ラインを含むP o C信号伝送システムにおける一般的なインダクタの実装構造に従来技術を適用して得られるインダクタの実装構造を示す平面図である。

[図4] 本発明の第1実施形態によるインダクタの実装構造が適用されるP o C信号伝送システムの概略構成を示すブロック図である。

[図5] 第1実施形態によるインダクタの実装構造の好ましい態様を示す平面図である。

[図6] 第1実施形態によるインダクタの実装構造の許容される第1態様を示す平面図である。

[図7] 第1実施形態によるインダクタの実装構造の許容される第2態様を示す平面図である。

[図8] 第1実施形態によるインダクタの実装構造でスタブ効果が抑制されることを説明するための図である。

[図9] (a) は、従来技術を適用して得られる図3に示すインダクタの実装構造における信号伝送特性を測定する際の基板実装図、(b) は、その信号伝送特性を測定した結果を示すグラフである。

[図10] 図6に示すインダクタの実装構造における信号配線パターンを好ましい状態にした第1実施形態によるインダクタの実装構造を示す平面図である。

[図11] 第1実施形態の第2変形例によるインダクタの実装構造を示す平面図である。

[図12] 本発明の第2実施形態によるインダクタの実装構造を示す平面図である。

[図13] 第2実施形態によるインダクタの実装構造において、望ましいインダクタ間の軸心間隔を見いだすために各軸心間隔で行った各信号伝送特性測定時の基板実装図である。

[図14] (a) は、図13に示す各軸心間隔で行った各信号伝送特性測定を1

、 $5[\mu\text{H}]$ のインダクタについて行った結果を示すグラフ、(b)は、図13に示す各軸心間隔で行った各信号伝送特性測定を $2[\mu\text{H}]$ のインダクタについて行った結果を示すグラフである。

発明を実施するための形態

[0024] 次に、本発明によるインダクタの実装構造を実施するための形態について、説明する。

[0025] 図4は、本発明の第1実施形態によるインダクタの実装構造が適用されるP○C信号伝送システム11の概略構成を示すブロック図である。

[0026] P○C信号伝送システム11は、同軸ケーブルによって構成される1本の信号線12に信号と直流バイアス電源とを重畳させるP○C伝送技術を使っている。このP○C信号伝送システム11は、信号電源分離用インダクタであるBias-Tインダクタ13を用いて、信号線12を伝搬する信号と、バイアス供給源14から信号線12へ供給されるDC5[V]の直流バイアス電源とを分離している。Bias-Tインダクタ13は、信号線12から信号が漏れるのを阻止しつつ、バイアス供給源14から出力される直流バイアス電源を信号線12へ通す。

[0027] 本実施形態のP○C信号伝送システム11は、被制御側の各回路基板15に形成されるSerDes (Serializer Deserializer : サードス) 回路16と、制御側の回路基板15に形成されるSerDes回路17との間にそれぞれ信号線12が配線され、各信号線12に信号が伝送される。SerDes回路16、17は、複数本の信号線20、22を経由して送られて来た平行信号をシリアル信号にシリアルライズ (Serialize) して1本の信号線12へ送出し、1本の信号線12を経由して送られて来たシリアル信号をデシリアルライズ (Deserialize) して平行信号に変換し、複数本の信号線20、22へ送出する回路である。

[0028] バイアス供給源14から出力される直流バイアス電源は、SerDes回路17に直接供給されると共に、SerDes回路17側の各Bias-Tインダクタ13を通じて各信号線12を伝搬する。各信号線12を伝搬した直流バイアス電源は

、SerDes回路16側の各Bias-Tインダクタ13を通して各信号線12から分離して、各SerDes回路16へ供給される。各SerDes回路16、17と各信号線12との間にはそれぞれコンデンサC1が直列に接続され、信号線12を伝搬する直流バイアス電源の各SerDes回路16、17への入力、コンデンサC1によって阻止されている。各信号線12を伝搬する高周波の信号はコンデンサC1を経由して各SerDes回路16、17へ伝えられる。各Bias-Tインダクタ13は、信号線12の端部に設けられる図示しない同軸ケーブルコネクタとコンデンサC1との間の各信号配線パターン18に接続されている。各Bias-Tインダクタ13の理想的なインピーダンスの周波数特性は、直流では0[Ω]、高周波ではハイインピーダンスを示す特性である。

[0029] 被制御側の各SerDes回路16には例えば車載カメラのイメージセンサ19が複数本の信号線20を介して接続され、各SerDes回路16は、イメージセンサ19から複数本の信号線20を介して入力される広帯域の映像信号をシリアルライズして各信号線12へ送出する。この際、各SerDes回路16は、シリアルライザ (Serializer) 回路として働き、パラレル信号をシリアル信号に変換して出力する送信器 (Tx) となる。

[0030] 制御側のSerDes回路17には例えば車載される各ディスプレイ21が複数本の信号線22を介して接続され、SerDes回路17は、各信号線12を介して各SerDes回路16から送られてくるシリアル映像信号をデシリアルライズして、複数本の信号線22を介して各ディスプレイ21へ出力する。この際、SerDes回路17は、デシリアルライザ (Deserializer) 回路として働き、シリアル信号を元のパラレル信号に変換して受信する受信器 (Rx) となる。

[0031] また、SerDes回路17から各SerDes回路16側へ、各信号線12を逆方向へ制御信号が伝搬し、各イメージセンサ19がディスプレイ21側の回路によって制御される。この際、SerDes回路17はシリアルライザ回路として働き、パラレル信号をシリアル信号に変換して出力する送信器 (Tx) となる。また、各SerDes回路16は、デシリアルライザ (Deserializer) 回路として働き、シリアル信号を元のパラレル信号に変換して受信する受信器 (Rx) と

なる。

[0032] 図5は、2個のBias-Tインダクタ13が実装される制御側の回路基板15における、本発明の第1実施形態によるインダクタの実装構造を示す平面図であり、軸心方向Cが直交した各Bias-Tインダクタ13の各信号配線パターン18への実装構造を示している。同図(a)は、各Bias-Tインダクタ13の実装前における各信号配線パターン18の形状、同図(b)は、各信号配線パターン18に第1実装ランド31、第2実装ランド32が形成された状態、同図(c)は、回路基板15に各Bias-Tインダクタ13が実装された状態を示す。

[0033] 同図(a)に示すように、図の上方に位置する第1の信号配線パターン18は、その延伸方向Hの一方側に延伸方向Hに対して 45° の角度を持って傾く第1傾斜辺18aを有して、回路基板15上に形成されている。図の下方に位置する第2の信号配線パターン18は、その延伸方向Hの他方側に延伸方向Hに対して 45° の角度を持って傾く第2傾斜辺18bを有して、回路基板15上に第1の信号配線パターン18に並んで形成されている。

[0034] 同図(b)に示すように、第1傾斜辺18aには第1実装ランド31が第1傾斜辺18aに沿って形成される。第1実装ランド31の一端は、延伸方向Hに延伸する第1の信号配線パターン18と第1傾斜辺18aとが交差する角に接している。また、第2傾斜辺18bには第2実装ランド32が第2傾斜辺18bに沿って形成される。第2実装ランド32の一端は、延伸方向Hに延伸する第2の信号配線パターン18と第2傾斜辺18bとが交差する角に接している。

[0035] 同図(c)に示すように、図の上方に位置する第1のBias-Tインダクタ13は、その軸心方向Cが第1実装ランド31に垂直に向けられ、一方の電極端子13aが第1実装ランド31に沿って配置された状態で、一方の電極端子13aが第1実装ランド31に接続されて、回路基板15に実装される。第1のBias-Tインダクタ13の軸心方向Cは、詳細には、第1実装ランド31の形成方向に垂直に向けられ、一方の電極端子13aの形成方向が第1実

装ランド31の形成方向に沿って配置される。ここで、第1実装ランド31の形成方向とは、矩形形状をした第1実装ランド31が延伸する方向であり、その矩形形状の長辺に平行な方向を意味する。同様に、電極端子13aの形成方向とは、矩形形状をした電極端子13aが延伸する方向であり、その矩形形状の長辺に平行な方向を意味する。

[0036] また、図の下方に位置する第2のBias-Tインダクタ13は、その軸心方向Cが第1のBias-Tインダクタ13の軸心方向Cに対して 90° の方向に傾けられ、かつ、第2実装ランド32に垂直に向けられて、一方の電極端子13aが第2実装ランド32に沿って配置された状態で、一方の電極端子13aが第2実装ランド32に接続されて、第1のBias-Tインダクタ13の近傍における回路基板15に実装される。第2のBias-Tインダクタ13の軸心方向Cは、詳細には、第2実装ランド32の形成方向に垂直に向けられて、一方の電極端子13aの形成方向が第2実装ランド32の形成方向に沿って配置される。ここで、第2実装ランド32の形成方向とは、矩形形状をした第2実装ランド32が延伸する方向であり、その矩形形状の長辺に平行な方向を意味する。第1および第2の各Bias-Tインダクタ13は、他方の電極端子13bが図4に示すように電源ラインに接続される。

[0037] 図6は、各Bias-Tインダクタ13の軸心方向Cが直交した図5に示すインダクタの実装構造において、各Bias-Tインダクタ13の軸心方向Cを互いに離れる方向に 22.5° ずつ回転させて、各Bias-Tインダクタ13の軸心方向Cが $90^\circ + 45^\circ (= 135^\circ)$ 傾けられた状態における、本発明の第1実施形態によるインダクタの実装構造を示している。本発明の第1実施形態によるインダクタの実装構造は、各Bias-Tインダクタ13の軸心方向Cが図6に示すように最大で $90^\circ + 45^\circ (= 135^\circ)$ 傾けられる。同図(a)は、その状態のときに用いられる、各Bias-Tインダクタ13の実装前における各信号配線パターン18の形状、同図(b)は、同図(a)に示す各信号配線パターン18に第1実装ランド31、第2実装ランド32が形成された状態、同図(c)は、同図(b)に示す各実装ランド31、32に各Bia

s-Tインダクタ 13 が実装された状態を示す。

[0038] 同図 (a) に示すように、図の上方に位置する第 1 の信号配線パターン 18 は、第 1 傾斜辺 18 a が、延伸方向 H の一方側に延伸方向 H に対して最大 67.5° の角度を持って傾く。図の下方に位置する第 2 の信号配線パターン 18 は、第 2 傾斜辺 18 b が、延伸方向 H の他方側に延伸方向 H に対して最大 67.5° の角度を持って傾く。

[0039] 同図 (b) に示すように、第 1 傾斜辺 18 a には第 1 実装ランド 31 が第 1 傾斜辺 18 a に沿って形成される。このときも、第 1 実装ランド 31 の一端は、延伸方向 H に延伸する第 1 の信号配線パターン 18 と第 1 傾斜辺 18 a とが交差する角に接している。また、第 2 傾斜辺 18 b には第 2 実装ランド 32 が第 2 傾斜辺 18 b に沿って形成される。このときも、第 2 実装ランド 32 の一端は、延伸方向 H に延伸する第 2 の信号配線パターン 18 と第 2 傾斜辺 18 b とが交差する角に接している。

[0040] 同図 (c) に示すように、図の上方に位置する第 1 の Bias-T インダクタ 13 は、その軸心方向 C が、図 5 (c) に示す状態から反時計方向に最大で 22.5° 傾けられる。このときも、その軸心方向 C は、第 1 実装ランド 31 に垂直に向けられ、一方の電極端子 13 a が第 1 実装ランド 31 に沿って配置された状態で、一方の電極端子 13 a が第 1 実装ランド 31 に接続されて、回路基板 15 に実装される。また、図の下方に位置する第 2 の Bias-T インダクタ 13 は、その軸心方向 C が、図 5 (c) に示す状態から時計方向に最大で 22.5° 傾けられることで、第 1 の Bias-T インダクタ 13 の軸心方向 C に対して最大で $90^\circ + 45^\circ (= 135^\circ)$ の方向に傾けられる。このときも、その軸心方向 C は、第 2 実装ランド 32 に垂直に向けられて、一方の電極端子 13 a が第 2 実装ランド 32 に沿って配置された状態で、一方の電極端子 13 a が第 2 実装ランド 32 に接続されて、第 1 の Bias-T インダクタ 13 の近傍における回路基板 15 に実装される。

[0041] 図 7 は、各 Bias-T インダクタ 13 の軸心方向 C が直交した図 5 に示すインダクタの実装構造において、各 Bias-T インダクタ 13 の軸心方向 C を互いに

近付く方向に 22.5° ずつ回転させて、各Bias-Tインダクタ13の軸心方向Cが $90^\circ - 45^\circ (= 45^\circ)$ 傾けられた状態における、本発明の第1実施形態によるインダクタの実装構造を示している。本発明の第1実施形態によるインダクタの実装構造は、各Bias-Tインダクタ13の軸心方向Cが図7に示すように最小で $90^\circ - 45^\circ (= 45^\circ)$ 傾けられる。同図(a)は、その状態のときに用いられる、各Bias-Tインダクタ13の実装前における各信号配線パターン18の形状、同図(b)は、同図(a)に示す各信号配線パターン18に第1実装ランド31、第2実装ランド32が形成された状態、同図(c)は、同図(b)に示す各実装ランド31、32に各Bias-Tインダクタ13が実装された状態を示す。

[0042] 同図(a)に示すように、図の上方に位置する第1の信号配線パターン18は、第1傾斜辺18aが、延伸方向Hの一方側に延伸方向Hに対して最小で 22.5° の角度を持って傾く。図の下方に位置する第2の信号配線パターン18は、第2傾斜辺18bが、延伸方向Hの他方側に延伸方向Hに対して最小で 22.5° の角度を持って傾く。

[0043] 同図(b)に示すように、第1傾斜辺18aには第1実装ランド31が第1傾斜辺18aに沿って形成される。このときも、第1実装ランド31の一端は、延伸方向Hに延伸する第1の信号配線パターン18と第1傾斜辺18aとが交差する角に接している。また、第2傾斜辺18bには第2実装ランド32が第2傾斜辺18bに沿って形成される。このときも、第2実装ランド32の一端は、延伸方向Hに延伸する第2の信号配線パターン18と第2傾斜辺18bとが交差する角に接している。

[0044] 同図(c)に示すように、図の上方に位置する第1のBias-Tインダクタ13は、その軸心方向Cが、図5(c)に示す状態から時計方向に最大 22.5° 傾けられる。このときも、その軸心方向Cは、第1実装ランド31に垂直に向けられ、一方の電極端子13aが第1実装ランド31に沿って配置された状態で、一方の電極端子13aが第1実装ランド31に接続されて、回路基板15に実装される。また、図の下方に位置する第2のBias-Tインダク

タ 1 3 は、その軸心方向 C が、図 5 (c) に示す状態から反時計方向に最大 22.5° 傾けられることで、第 1 の Bias-T インダクタ 1 3 の軸心方向 C に対して最小の $90^{\circ} - 45^{\circ}$ ($= 45^{\circ}$) の方向に傾けられる。このときも、その軸心方向 C は、第 2 実装ランド 3 2 に垂直に向けられて、一方の電極端子 1 3 a が第 2 実装ランド 3 2 に沿って配置された状態で、一方の電極端子 1 3 a が第 2 実装ランド 3 2 に接続されて、第 1 の Bias-T インダクタ 1 3 の近傍における回路基板 1 5 に実装される。

[0045] このような本実施形態によるインダクタの実装構造によれば、第 1 の Bias-T インダクタ 1 3 と第 2 の Bias-T インダクタ 1 3 とは、互いの軸心方向 C が $90^{\circ} \pm 45^{\circ}$ の範囲内の方向に傾けられた状態で、回路基板 1 5 に実装される。したがって、第 1 の Bias-T インダクタ 1 3 が形成する磁束の流れ方向と、第 2 の Bias-T インダクタ 1 3 とが形成する磁束の流れ方向とは、ほぼ直交する。このため、第 1 の Bias-T インダクタ 1 3 と第 2 の Bias-T インダクタ 1 3 とは、回路基板 1 5 に近接して実装されても、第 1 の Bias-T インダクタ 1 3 が形成する磁束と第 2 の Bias-T インダクタ 1 3 が形成する磁束とが結合し難くなり、クロストークの発生が抑制される。

[0046] また、第 1 の Bias-T インダクタ 1 3 は、軸心方向 C が第 1 実装ランド 3 1 に垂直に向けられ、一方の電極端子 1 3 a が第 1 実装ランド 3 1 に沿って配置された状態で、一方の電極端子 1 3 a が第 1 実装ランド 3 1 に接続されて、回路基板 1 5 に実装される。また、第 1 実装ランド 3 1 は、延伸方向 H に延伸する第 1 の信号配線パターン 1 8 と第 1 傾斜辺 1 8 a とが交差する角に一端が接して、第 1 傾斜辺 1 8 a に沿って形成される。

[0047] したがって、第 1 の Bias-T インダクタ 1 3 は、一方の電極端子 1 3 a と第 1 実装ランド 3 1 とが沿って回路基板 1 5 に実装され、第 1 実装ランド 3 1 は第 1 傾斜辺 1 8 a に沿って形成される。このため、第 1 実装ランド 3 1 の幅が第 1 傾斜辺 1 8 a の幅からはみ出る量は、図 3 に示すように実装ランド 7 が直線状の信号配線パターン 3 に直角に形成される場合に比較して遙かに抑制され、僅かな量となる。しかも、第 1 実装ランド 3 1 は、その一端が、

第1の信号配線パターン18と第1傾斜辺18aとが交差する角に接して、形成される。

[0048] このため、図8(b)に示す、第1実装ランド31の幅 w_1 がその一端で第1傾斜辺18aの幅 w_2 からはみ出る態様は、図8(a)に示すように、第1の信号配線パターン18の直線部に沿って形成された第1実装ランド31の幅 w_1 が、その両端で、第1の信号配線パターン18の直線部において第1の信号配線パターン18の幅 w_3 から階段状にはみ出る態様と異なる。つまり、図8(b)に示すように、第1の信号配線パターン18と第1傾斜辺18aとが交差する角18cにおいて、第1実装ランド31の第1の信号配線パターン18の幅 w_3 より拡幅した一端が第1の信号配線パターン18の端部と斜めに接することで、第1実装ランド31と第1の信号配線パターン18の両者の間に生じる幅の差が少ない状態で、両者が連なる態様となる。

[0049] この結果、第1実装ランド31の幅 w_1 が第1傾斜辺18aの幅 w_2 より大きくなることで第1実装ランド31が奏するスタブ効果は抑制され、第1のBias-Tインダクタ13が第1の信号配線パターン18に図4に示すようにシャントに接続される場合であっても、信号伝送特性は劣化し難くなる。

[0050] これに対し、図3に示したインダクタの実装構造では、信号伝送特性が劣化し易い。例えば、図9(a)に示すように、高速信号伝送用の信号配線パターン3を回路基板5に形成し、各インダクタ4の回路基板5への実装の向きを互いに直交させて、図3に示したインダクタの実装構造を構成し、その信号伝送特性を測定すると、図9(b)のグラフに示される結果が得られる。

[0051] 図9(a)で上方に位置する、信号配線パターン3の延伸方向に軸心方向Cが平行に配置されるインダクタ4は、その一方の端子4aが、信号配線パターン3に直角に形成される実装ランド7に接続されている。他方の端子4bは、スルーホール5aを介して回路基板5の内層に大きな面積でいわゆるベタに形成されたグランドパターンに接続されている。図9(a)で下方に

位置する、信号配線パターン3の延伸方向に軸心方向Cが垂直に配置されるインダクタ4は、その一方の端子4aが、信号配線パターン3に沿って形成されている図示しない実装ランドに接続されている。他方の端子4bは、スルーホール5aを介して回路基板5の内層に形成されたグランドパターンに接続されている。各インダクタ4の一方の端子4aと各ポート1, 3との間には、直流電源遮断用のコンデンサ6が設けられている。

[0052] このようなインダクタの実装構造における信号の透過特性 S_{21} は、図9(b)のグラフに示すように信号の高周波領域で劣化する。これは、信号配線パターン3に直角に形成される実装ランド7がスタブとして作用しているためと、考えられる。同グラフの横軸は周波数[MHz]、縦軸は透過特性 S_{21} [dB]である。透過特性 S_{21} は、ポート1に入力された信号がポート2に通過してくる信号の特性で、挿入損失を表す。また、特性線aは、各インダクタ4を未実装状態(W/Oインダクタ)としたときの特性、特性線bは、各インダクタ4を、長辺が5[mm]で短辺が4[mm]の5040サイズのインダクタとしたときの特性、特性線cは、各インダクタ4を、長辺が2[mm]で短辺が1.2[mm]の2012サイズのインダクタとしたときの特性を表す。特性線bに示される5040サイズで大きなサイズのインダクタ4の方が、特性線cに示される2012サイズの小さなインダクタ4よりも、点線の楕円8に示される高周波領域で、透過特性 S_{21} が特に悪化する。

[0053] また、本実施形態における第2のBias-Tインダクタ13は、図5～図7に示すように、軸心方向Cが第2実装ランド32に垂直に向けられて、一方の電極端子13aが第2実装ランド32に沿って配置された状態で、一方の電極端子13bが第2実装ランド32に接続されて、回路基板15に実装される。また、第2実装ランド32は、延伸方向Hに延伸する第2の信号配線パターン18と第2傾斜辺18bとが交差する角に一端が接して、第2傾斜辺18bに沿って形成される。

[0054] したがって、上記の第1の実装ランド31と同様に、第2実装ランド32の幅が第2傾斜辺18bの幅からはみ出る量は、僅かな量となる。しかも、

第2実装ランド32の幅がその一端で第2傾斜辺18bの幅からはみ出る態様は、第2の信号配線パターン18と第2傾斜辺18bとが交差する角において、第2実装ランド32の第2の信号配線パターン18の幅より拡幅した一端が第2の信号配線パターン18の端部と斜めに接することで、図8(b)に示す場合と同じように、第2実装ランド32と第2の信号配線パターン18の両者の間に生じる幅の差が少ない状態で、両者が連なる態様となる。このため、第2実装ランド32の幅が第2傾斜辺18bの幅より大きくなることで第2実装ランド32が奏するスタブ効果も抑制され、第2のBias-Tインダクタ13が第2の信号配線パターン18に図4に示すようにシャントに接続される場合においても、信号伝送特性は劣化し難くなる。

[0055] また、第1傾斜辺18aは、第1の信号配線パターン18の延伸方向Hの一方側に、延伸方向Hに対して 22.5° から 67.5° の角度を持って傾いて、回路基板15上に形成される。第2傾斜辺18bは、第1の信号配線パターン18に並んで形成される第2の信号配線パターン18の延伸方向Hの他方側に、延伸方向Hに対して 22.5° から 67.5° の角度を持って傾いて、回路基板15上に形成される。

[0056] このため、第1傾斜辺18aおよび第2傾斜辺18bの各傾斜角度は、第1のBias-Tインダクタ13と第2のBias-Tインダクタ13との各軸心方向Cを $90^{\circ} \pm 45^{\circ}$ に傾いた状態を保ちながら、第1の信号配線パターン18および第2の信号配線パターン18に伝送される各高周波信号の信号伝送特性の劣化を抑制できる角度に設定される。この結果、磁気シールド構造を有することなく、クロストークの発生を抑制でき、しかも、閉磁路構造を有することで直流重畳特性が悪化することのない、インダクタンスの実装構造が提供される。

[0057] また、図5に示す各Bias-Tインダクタ13が直交するインダクタの実装構造によれば、第1のBias-Tインダクタ13が形成する磁束の流れ方向と、第2のBias-Tインダクタ13とが形成する磁束の流れ方向とは、直交する。このため、第1のBias-Tインダクタ13と第2のBias-Tインダクタ13とは、

回路基板 15 に近接して実装されても、第 1 の Bias-T インダクタ 13 が形成する磁束と第 2 の Bias-T インダクタ 13 が形成する磁束とがより結合し難くなり、クロストークの発生がより抑制されるようになる。また、第 1 傾斜辺 18 a および第 2 傾斜辺 18 b の 45° の傾斜角度は、第 1 の Bias-T インダクタ 13 と第 2 の Bias-T インダクタ 13 との各軸心方向 C を 90° に傾いた状態を保ちながら、第 1 の信号配線パターン 18 および第 2 の信号配線パターン 18 に伝送される各高周波信号の信号伝送特性の劣化を、図 6 に示す 45° 以上傾斜させられる場合に比べ、より抑制できる角度に設定される。

[0058] 高周波設計上、信号配線パターン 18 における屈曲部・湾曲部の角度、すなわち、第 1 傾斜辺 18 a および第 2 傾斜辺 18 b の各傾斜角度は、図 5 および図 7 に示されるように、 45° 以下が望ましい。このため、図 6 に示すインダクタの実装構造においても、図 10 に示すように、図の上方に位置する第 1 の配線パターン 18 を反時計方向に 22.5° 傾斜させて、第 1 の配線パターン 18 と第 1 傾斜辺 18 a とが成す角度を 45° に設定することが望ましい。また、図の下方に位置する第 2 の配線パターン 18 を時計方向に 22.5° 傾斜させて、第 2 の配線パターン 18 と第 2 傾斜辺 18 b とが成す角度を 45° に設定することが望ましい。なお、同図において、図 6 と同一または相当する部分には同一符号を付してその説明は省略する。

[0059] なお、上記の第 1 実施形態によるインダクタの実装構造において、回路基板 15 が、内層にグランド層が形成されて両面に部品が実装される両面基板に形成され、インダクタの実装構造を構成する、第 1 の信号配線パターン 18、第 2 の信号配線パターン 18、第 1 実装ランド 31、第 2 実装ランド 32、第 1 の Bias-T インダクタ 13 および第 2 の Bias-T インダクタ 13 が、回路基板 15 の両面にそれぞれ形成されるように構成してもよい。

[0060] このような第 1 実施形態の第 1 変形例の構成によれば、第 1 の Bias-T インダクタ 13 および第 2 の Bias-T インダクタ 13 間におけるクロストークの発生、および、各実装ランド 31、32 が奏するスタブ効果が抑制されて、信号伝送特性の劣化がし難くなる、複数の信号配線パターン 18 へのインダク

タの実装構造が、回路基板 15 の両面に構成される。回路基板 15 の各面に形成されるインダクタの実装構造は、回路基板 15 の内層にベタに形成されるグラウンド層によって相互のクロストークが軽減される。このため、回路基板 15 の表面と裏面との両面が有効活用されて、上記効果が奏されるより多くの Bias-T インダクタ 13 の実装構造が同じ大きさの回路基板 15 に構成され、図 1 に示すような 4 本の信号ラインに対しても、回路基板 15 の小型化を図りながら上記効果が奏されるより多くの Bias-T インダクタ 13 の実装構造が得られる。

[0061] また、上記の第 1 実施形態および第 1 変形例によるインダクタの実装構造では、Bias-T インダクタ 13 が 2 本の信号配線パターン 18 に接続される場合について、説明した。しかし、より多くの Bias-T インダクタ 13 がより多くの信号配線パターン 18 に接続されるように構成してもよい。

[0062] 図 11 は、4 本の信号配線パターン 18_1 , 18_2 , 18_3 , 18_4 に 4 つの Bias-T インダクタ 13_1 , 13_2 , 13_3 , 13_4 が接続される、上記の第 1 実施形態の第 2 変形例によるインダクタの実装構造を示す平面図である。なお、同図において、図 5 ～図 7 と同一または相当する部分には同一符号を付してその説明は省略する。

[0063] この第 2 変形例によるインダクタの実装構造は、4 本の信号配線パターン 18_1 , 18_2 , 18_3 , 18_4 に 4 つの Bias-T インダクタ 13_1 , 13_2 , 13_3 , 13_4 が接続される点だけが、上記の第 1 実施形態によるインダクタの実装構造と相違する。2 本の信号配線パターン 18_1 , 18_2 に 2 つの Bias-T インダクタ 13_1 , 13_2 が接続される構成は、上述した第 1 の実施形態における第 1 および第 2 の各信号配線パターン 18, 18 に第 1 および第 2 の各 Bias-T インダクタ 13, 13 が接続されるインダクタの実装構造と同様である。

[0064] すなわち、第 2 変形例によるインダクタの実装構造は、延伸方向 H の一方側に延伸方向 H に対して 22.5° から 67.5° の角度を持って傾く第 3 傾斜辺 $18a$ を有して、第 2 の信号配線パターン 18_2 に並んで回路基板 15 上に形成される第 3 の信号配線パターン 18_3 と、延伸方向 H の他方側に延伸

方向Hに対して 22.5° から 67.5° の角度を持って傾く第4傾斜辺18bを有して、回路基板15上に第3の信号配線パターン18₃に並んで形成される第4の信号配線パターン18₄とを備える。

[0065] 第3傾斜辺18aには第3実装ランド31が第3傾斜辺18aに沿って形成されている。この第3実装ランド31は、延伸方向Hに延伸する第3の信号配線パターン18₃と第3傾斜辺18aとが交差する角に一端が接して、形成されている。第3のBias-Tインダクタ13₃は、軸心方向Cが第2のBias-Tインダクタ13₂の軸心方向に対して $90^{\circ} \pm 45^{\circ}$ の方向に傾けられ、かつ、第3実装ランド31に垂直に向けられて、一方の電極端子13aが第3実装ランド31に沿って配置された状態で、一方の電極端子13aが第3実装ランド31に接続されて、第2のBias-Tインダクタ13₂の近傍における回路基板15に実装される。

[0066] また、第4傾斜辺18bには第4実装ランド32が第4傾斜辺18bに沿って形成されている。この第4実装ランド32は、延伸方向Hに延伸する第4の信号配線パターン18₄と第4傾斜辺18bとが交差する角に一端が接して、形成されている。第4のBias-Tインダクタ13₄は、軸心方向Cが第3のBias-Tインダクタ13₃の軸心方向Cに対して $90^{\circ} \pm 45^{\circ}$ の方向に傾けられ、かつ、第4実装ランド32に垂直に向けられて、一方の電極端子13aが第4実装ランド32に沿って配置された状態で、一方の電極端子13aが第4実装ランド32に接続されて、第3のBias-Tインダクタ13₃の近傍における回路基板15に実装される。

[0067] このような第1実施形態の第2変形例の構成によれば、第1の信号配線パターン18₁および第2の信号配線パターン18₂に並ぶ第3の信号配線パターン18₃および第4の信号配線パターン18₄にも、クロストークの発生、および、各実装ランド31、32が奏するスタブ効果が抑制されて、信号伝送特性の劣化がし難い状態で、第3および第4の各Bias-Tインダクタ13₃、13₄を、第1および第2の各Bias-Tインダクタ13₁、13₂に並設して実装することができる。さらに、この考えを拡張することで、4本以上の信号配

線パターン 18 に各Bias-Tインダクタ 13 を実装する場合にも、同様に本技術を適用することで、同様な作用効果が奏されるインダクタの実装構造が提供される。

[0068] 図 12 は、本発明の第 2 実施形態によるインダクタの実装構造を示す平面図である。同図 (a) は、各Bias-Tインダクタ 13 が平行な各信号配線パターン 18 に接続されたときの第 2 実施形態によるインダクタの実装構造、同図 (b) は、各Bias-Tインダクタ 13 が曲げ部を有する各信号配線パターン 18 に接続されたときの第 2 実施形態によるインダクタの実装構造を示す。同図において図 5 ～図 7 と同一または相当する部分には同一符号を付して説明する。

[0069] 同図 (a) および (b) において、回路基板 15 上に並んで形成される第 1 の信号配線パターン 18 および第 2 の信号配線パターン 18 には、第 1 の信号配線パターン 18 の形成方向に沿って形成された第 1 実装ランド 31 と、第 2 の信号配線パターン 18 の形成方向に沿って形成された第 2 実装ランド 32 とが形成されている。図の上方に位置する第 1 のBias-Tインダクタ 13 は、軸心方向 C が第 1 実装ランド 31 に垂直に向けられ、一方の電極端子 13a が第 1 実装ランド 31 に沿って配置された状態で、一方の電極端子 13a が第 1 実装ランド 31 に接続されて、回路基板 15 に実装される。また、図の下方に位置する第 2 のBias-Tインダクタ 13 は、軸心方向 C が第 2 実装ランド 32 に垂直に向けられ、一方の電極端子 13a が第 2 実装ランド 32 に沿って配置された状態で、一方の電極端子 13a が第 2 実装ランド 32 に接続されて、回路基板 15 に実装される。第 1 および第 2 の各Bias-Tインダクタ 13 の他方の電極端子 13b は、図 4 に示すように電源ラインに接続される。

[0070] 第 1 および第 2 の各Bias-Tインダクタ 13 は、図 4 に示されるような、サージ回路を用いて構成される P o C 信号伝送システムに使われ得る、インダクタンス値が $0.7[\mu\text{H}] \sim 3.3[\mu\text{H}]$ の範囲内で、同じ値に設定される。また、第 1 および第 2 の各Bias-Tインダクタ 13 は、軸心間隔が $2[\text{mm}]$

]～8[m m]離れた位置に設けられる。

[0071] このような第2実施形態によるインダクタの実装構造によれば、インダクタンス値が同じ0.7[μ H]～3.3[μ H]の第1のBias-Tインダクタ13と第2のBias-Tインダクタ13との軸心間隔を2[m m]～8[m m]離れた位置にして、それぞれの一方の電極端子13aを、第1の信号配線パターン18および第2の信号配線パターン18に沿って形成された第1実装ランド31および第2実装ランド32にそれぞれ接続することで、第1の実施形態によるインダクタの実装構造と同様に、クロストークの発生、および、実装ランド31, 32が奏するスタブ効果が抑制されて、信号伝送特性の劣化がし難い状態で、各Bias-Tインダクタ13を回路基板15に実装することができる。また、クロストークを意識した最適な部品配置に各Bias-Tインダクタ13を実装することができ、回路基板15の小型化に寄与することができる。

[0072] このことは、次の実験により確認することができた。すなわち、図13(a), (b), (c)に示すように、各信号配線パターン18を回路基板15に形成し、各インダクタ13の軸心間隔をそれぞれ0[m m], 4[m m], 8[m m]離れた位置にして構成した各インダクタの実装構造について、それらの信号伝送特性を測定すると、図14のグラフに示される結果が得られた。

[0073] 図13の各分図(a), (b), (c)における各インダクタ13は、その一方の端子13aが、信号配線パターン18に沿って形成されている図示しない実装ランドに接続されている。他方の端子13bは、スルーホール15aを介して回路基板5の内層に形成されたグランドパターンに接続されている。各インダクタ13の一方の端子13aと各ポート1, 3との間には、直流電源遮断用のコンデンサC1が設けられている。

[0074] 図14(a)のグラフは、図13(a), (b), (c)に示す実装構造の信号伝送特性をインダクタンス値が1.5[μ H]の各インダクタ13について測定した結果、図14(b)のグラフは、図13(a), (b), (c)に示す実装構造の信号伝送特性をインダクタンス値が2.2[μ H]の各イ

ンダクタ 1 3 について測定した結果を示す。

[0075] 信号伝送特性の測定は、隣り合うポート 1, 3 間で信号の漏れる量を評価するクロストーク特性 S_{31} を測定することで行った。各グラフの横軸は周波数 [MHz]、縦軸はクロストーク特性 S_{31} [dB] である。また、各グラフにおける一点鎖線の特性線 d は各インダクタ 1 3 の軸心間隔を図 1 3 (a) のように 0 [mm]、点線の特性線 e は各インダクタ 1 3 の軸心間隔を図 1 3 (b) のように 4 [mm]、実線の特性 f は各インダクタ 1 3 の軸心間隔を図 1 3 (c) のように 8 [mm] にしたときの測定結果である。

[0076] 各グラフに示される測定結果のうち、周波数が 50 [MHz] 以上の測定結果は、各インダクタ 1 3 のクロストークによるものではなく、回路基板 1 5 自体によるクロストークで測定されるものであるため無視し、50 [MHz] 以下の測定結果に着目する。周波数が 50 [MHz] 以下で、クロストークが -50 [dB] 以下になるのは、図 1 4 (a) に示す測定結果、および、図 1 4 (b) に示す測定結果ともに、軸心間隔を図 1 3 (b), (c) のように 4 [mm] 以上にしたときである。インダクタンス値を上げるためにインダクタ 1 3 の巻き数を多くすれば、各インダクタ 1 3 の軸心間隔をさらに遠くする必要があり、また、逆に、インダクタンス値を下げるためにインダクタ 1 3 の巻き数を少なくすれば、各インダクタ 1 3 の軸心間隔を近くすることができる。

[0077] サーデス回路を用いて構成される P o C 信号伝送システムに使われ得るインダクタンス値は上記のように $0.7 [\mu\text{H}] \sim 3.3 [\mu\text{H}]$ の範囲内である。このため、インダクタンス値が $1.5 [\mu\text{H}]$ のときにとるべき軸心間隔は上記のように 4 [mm] であるので、インダクタンス値が $1.5 [\mu\text{H}]$ の約半分の $0.7 [\mu\text{H}]$ のときにとるべき軸心間隔は 4 [mm] の半分の 2 [mm]、インダクタンス値が $1.5 [\mu\text{H}]$ の約 2 倍の $3.3 [\mu\text{H}]$ のときにとるべき軸心間隔は 4 [mm] の 2 倍の 8 [mm] となる。したがって、軸心間隔を 2 [mm] $\sim$ 8 [mm] とすることで、 $0.7 [\mu\text{H}] \sim 3.3 [\mu\text{H}]$ のインダクタンス値の範囲内で、適切に各インダクタ 1 3 間のクロストークを軽減することがで

き、上述した作用効果が奏される。この結果、本実施形態によるインダクタの実装構造によれば、2本以上の信号線を用いたP o C信号伝送システムの設計に際して、設計前段階から回路の最適化が図れるため、設計を出戻ってし直すことがなくなる。

[0078] また、上述した第1の実施形態によるインダクタの実装構造で、軸心方向Cを $90^{\circ} \pm 45^{\circ}$ の方向に傾けることのできない第5のBias-Tインダクタ13と第6のBias-Tインダクタ13とが存在しても、それらのインダクタンス値を $0.7[\mu\text{H}] \sim 3.3[\mu\text{H}]$ とし、軸心間隔を $2[\text{mm}] \sim 8[\text{mm}]$ 離れた位置に設けて、第5の信号配線パターン18および第6の信号配線パターン18に第5実装ランド31および第6実装ランド32を介して、第2の実施形態によるインダクタの実装構造のように各Bias-Tインダクタ13を接続することで、各Bias-Tインダクタ13間のクロストークの発生、および、各実装ランド31、32が奏するスタブ効果が抑制されて、信号伝送特性の劣化がし難い状態で、各Bias-Tインダクタ13を回路基板15に実装することができる。

[0079] すなわち、上述した第1および第2の信号配線パターン18、または、それらに加えて第3および第4の信号配線パターン18を備える第1の実施形態並びに第1および第2の変形例によるインダクタの実装構造において、回路基板15上に第2の信号配線パターン18に並んで形成される第5の信号配線パターン18および第6の信号配線パターン18と、第5の信号配線パターン18の形成方向に沿って形成された第5実装ランド31と、第6の信号配線パターン18の形成方向に沿って形成された第6実装ランド32とをさらに形成する。そして、その構造に、インダクタンス値が $0.7[\mu\text{H}] \sim 3.3[\mu\text{H}]$ の第5のBias-Tインダクタ13と、インダクタンス値が第5のBias-Tインダクタ13と同じ $0.7[\mu\text{H}] \sim 3.3[\mu\text{H}]$ の第6のBias-Tインダクタ13とを設ける。その際、第5のBias-Tインダクタ13は、軸心方向Cが第5実装ランド31に垂直に向けられ、一方の電極端子13aが第5実装ランド31に沿って配置された状態で、一方の電極端子13aが第5実装

ランド31に接続されて回路基板15に実装される。第6のBias-Tインダクタ13は、第5のBias-Tインダクタ13との軸心間隔が2[m m]~8[m m]離れた位置に設けられ、軸心方向Cが第6実装ランド32に垂直に向けられ、一方の電極端子13aが第6実装ランド32に沿って配置された状態で、一方の電極端子13aが第6実装ランド32に接続されて回路基板15に実装される。

[0080] このようにインダクタの実装構造を構成すれば、上記のように、第1の実施形態によるインダクタの実装構造で、軸心方向Cを $90^{\circ} \pm 45^{\circ}$ の方向に傾けることのできない第5のBias-Tインダクタ13と第6のBias-Tインダクタ13とが存在しても、第1の実施形態によるインダクタの実装構造と同様な作用効果が奏される。

産業上の利用可能性

[0081] 上述した各実施形態および各変形例によるインダクタの実装構造は、図4に示すように、信号線12が複数本接続されるシリアルライザ回路およびデシリアルライザ回路が形成される回路基板15に構成される。このため、2本以上の信号線12を含むP o C信号伝送システム11におけるBias-Tインダクタ13に適したインダクタの実装構造が提供される。

[0082] また、上述した各実施形態および各変形例では、前述したように、シリアルライザ回路が、車載カメラの映像信号をパラレル信号からシリアル信号に変換し、デシリアルライザ回路が、シリアル信号に変換された車載カメラの映像信号をパラレル信号に変換する。このため、車載カメラの映像信号を伝送する2本以上の信号線12を含む、P o C信号伝送を用いた車載システムにおけるBias-Tインダクタ13に適した、インダクタの実装構造が提供される。

符号の説明

[0083] 11…P o C信号伝送システム
12, 20, 22…信号線
13, 13₁, 13₂, 13₃, 13₄…Bias-Tインダクタ（信号電源分離用インダクタ）

1 4 …バイアス供給源

1 5 …回路基板

1 6, 1 7 …SerDes回路（シリアルライザ回路、デシリアルライザ回路）

1 8、1 8₁, 1 8₂, 1 8₃, 1 8₄ …信号配線パターン

1 8 a …第1 傾斜辺

1 8 b …第2 傾斜辺

1 9 …イメージセンサ

2 1 …ディスプレイ

3 1 …第1 実装ランド

3 2 …第2 実装ランド

C 1 …コンデンサ

請求の範囲

- [請求項1] 延伸方向の一方側に前記延伸方向に対して 22.5° から 67.5° の角度を持って傾く第1傾斜辺を有して回路基板上に形成される第1の信号配線パターンと、
- 前記延伸方向の他方側に前記延伸方向に対して 22.5° から 67.5° の角度を持って傾く第2傾斜辺を有して前記回路基板上に前記第1の信号配線パターンに並んで形成される第2の信号配線パターンと、
- 前記延伸方向に延伸する前記第1の信号配線パターンと前記第1傾斜辺とが交差する角に一端が接して前記第1傾斜辺に沿って形成された第1実装ランドと、
- 軸心方向が前記第1実装ランドに垂直に向けられ、一方の電極端子が前記第1実装ランドに沿って配置された状態で、一方の電極端子が前記第1実装ランドに接続されて、前記回路基板に実装される第1のインダクタと、
- 前記延伸方向に延伸する前記第2の信号配線パターンと前記第2傾斜辺とが交差する角に一端が接して前記第2傾斜辺に沿って形成された第2実装ランドと、
- 軸心方向が前記第1のインダクタの軸心方向に対して $90^{\circ} \pm 45^{\circ}$ の方向に傾けられ、かつ、前記第2実装ランドに垂直に向けられて、一方の電極端子が前記第2実装ランドに沿って配置された状態で、一方の電極端子が前記第2実装ランドに接続されて、前記第1のインダクタの近傍における前記回路基板に実装される第2のインダクタとを備えるインダクタの実装構造。
- [請求項2] 前記第1の信号配線パターンは、前記第1傾斜辺が前記延伸方向の一方側に前記延伸方向に対して 45° の角度を持って傾き、
- 前記第2の信号配線パターンは、前記第2傾斜辺が前記延伸方向の他方側に前記延伸方向に対して 45° の角度を持って傾き、

前記第2のインダクタは、軸心方向が前記第1のインダクタの軸心方向に対して 90° の方向に傾けられている

ことを特徴とする請求項1に記載のインダクタの実装構造。

[請求項3]

前記回路基板は、内層にグランド層が形成されて両面に部品が実装される両面基板に形成され、

前記第1の信号配線パターン、前記第2の信号配線パターン、前記第1実装ランド、前記第2実装ランド、前記第1のインダクタおよび前記第2のインダクタは前記回路基板の両面にそれぞれ形成されることを特徴とする請求項1または請求項2に記載のインダクタの実装構造。

[請求項4]

前記延伸方向の一方側に前記延伸方向に対して 22.5° から 67.5° の角度を持って傾く第3傾斜辺を有して、前記第2の信号配線パターンに並んで前記回路基板上に形成される第3の信号配線パターンと、

前記延伸方向の他方側に前記延伸方向に対して 22.5° から 67.5° の角度を持って傾く第4傾斜辺を有して前記回路基板上に前記第3の信号配線パターンに並んで形成される第4の信号配線パターンと、

前記延伸方向に延伸する前記第3の信号配線パターンと前記第3傾斜辺とが交差する角に一端が接して前記第3傾斜辺に沿って形成された第3実装ランドと、

軸心方向が前記第2のインダクタの軸心方向に対して $90^\circ \pm 45^\circ$ の方向に傾けられ、かつ、前記第3実装ランドに垂直に向けられて、一方の電極端子が前記第3実装ランドに沿って配置された状態で、一方の電極端子が前記第3実装ランドに接続されて、前記第2のインダクタの近傍における前記回路基板に実装される第3のインダクタと、

前記延伸方向に延伸する前記第4の信号配線パターンと前記第4傾

斜辺とが交差する角に一端が接して前記第4傾斜辺に沿って形成された第4実装ランドと、

軸心方向が前記第3のインダクタの軸心方向に対して $90^{\circ} \pm 45^{\circ}$ の方向に傾けられ、かつ、前記第4実装ランドに垂直に向けられて、一方の電極端子が前記第4実装ランドに沿って配置された状態で、一方の電極端子が前記第4実装ランドに接続されて、前記第3のインダクタの近傍における前記回路基板に実装される第4のインダクタとを備える請求項1から請求項3のいずれか1項に記載のインダクタの実装構造。

[請求項5]

回路基板上に並んで形成される第1の信号配線パターンおよび第2の信号配線パターンと、

前記第1の信号配線パターンの形成方向に沿って形成された第1実装ランドと、

軸心方向が前記第1実装ランドに垂直に向けられ、一方の電極端子が前記第1実装ランドに沿って配置された状態で、一方の電極端子が前記第1実装ランドに接続されて前記回路基板に実装される、インダクタンス値が $0.7[\mu\text{H}] \sim 3.3[\mu\text{H}]$ の第1のインダクタと、

前記第2の信号配線パターンの形成方向に沿って形成された第2実装ランドと、

前記第1のインダクタとの軸心間隔が $2[\text{mm}] \sim 8[\text{mm}]$ 離れた位置に設けられ、軸心方向が前記第2実装ランドに垂直に向けられ、一方の電極端子が前記第2実装ランドに沿って配置された状態で、一方の電極端子が前記第2実装ランドに接続されて前記回路基板に実装される、インダクタンス値が前記第1のインダクタと同じ $0.7[\mu\text{H}] \sim 3.3[\mu\text{H}]$ の第2のインダクタと

を備えるインダクタの実装構造。

[請求項6]

回路基板上に前記第2の信号配線パターンに並んで形成される第5の信号配線パターンおよび第6の信号配線パターンと、

前記第5の信号配線パターンの形成方向に沿って形成された第5実装ランドと、

軸心方向が前記第5実装ランドに垂直に向けられ、一方の電極端子が前記第5実装ランドに沿って配置された状態で、一方の電極端子が前記第5実装ランドに接続されて前記回路基板に実装される、インダクタンス値が $0.7[\mu\text{H}] \sim 3.3[\mu\text{H}]$ の第5のインダクタと、

前記第6の信号配線パターンの形成方向に沿って形成された第6実装ランドと、

前記第5のインダクタとの軸心間隔が $2[\text{mm}] \sim 8[\text{mm}]$ 離れた位置に設けられ、軸心方向が前記第6実装ランドに垂直に向けられ、一方の電極端子が前記第6実装ランドに沿って配置された状態で、一方の電極端子が前記第6実装ランドに接続されて前記回路基板に実装される、インダクタンス値が前記第5のインダクタと同じ $0.7[\mu\text{H}] \sim 3.3[\mu\text{H}]$ の第6のインダクタと

を備える請求項1から請求項4のいずれか1項にインダクタの実装構造。

[請求項7]

前記回路基板は、信号と直流バイアス電源とが重畳して伝送される1本のケーブルが複数本接続されるシリアルライザ回路またはデシリアルライザ回路が形成される回路基板であり、

前記信号配線パターンは、前記ケーブルによって伝送される信号を前記シリアルライザ回路またはデシリアルライザ回路に伝搬する信号配線パターンであり、

前記インダクタは、一方の前記電極端子が前記信号配線パターンに接続され、他方の電極端子が前記シリアルライザ回路またはデシリアルライザ回路に直流バイアス電源を供給する電源ラインに接続される

ことを特徴とする請求項1から請求項6のいずれか1項に記載のインダクタの実装構造。

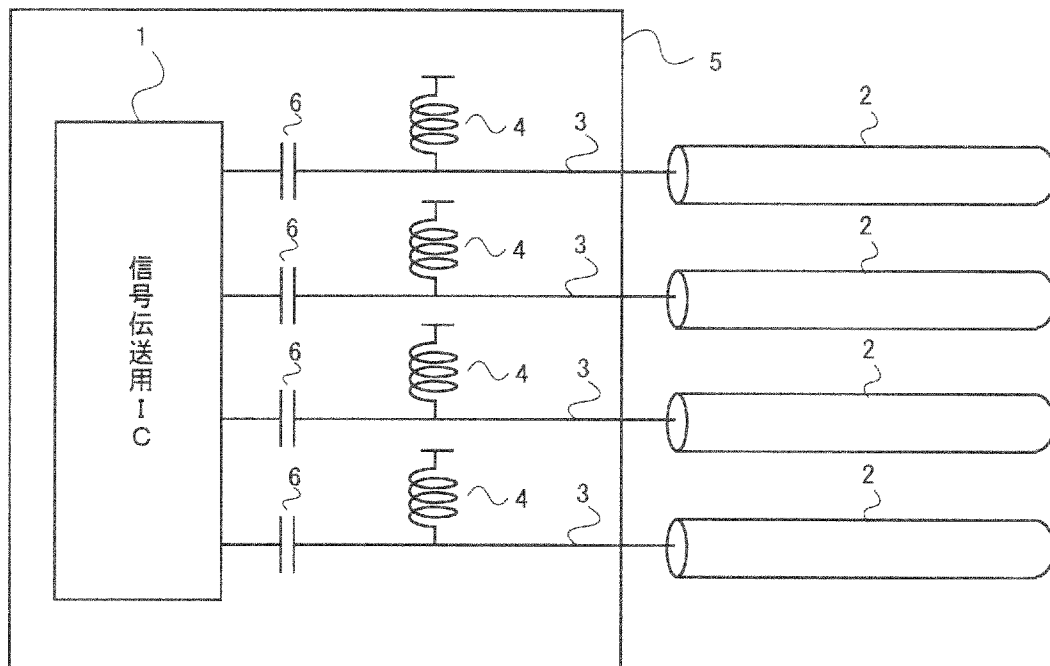
[請求項8]

前記シリアルライザ回路は、車載カメラの映像信号をパラレル信号か

らシリアル信号に変換し、前記デシリアライザ回路は、シリアル信号に変換された車載カメラの映像信号をパラレル信号に変換することを特徴とする請求項 7 に記載のインダクタの実装構造。

[図1]

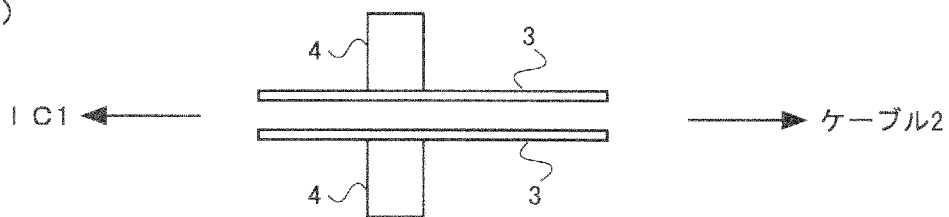
図 1



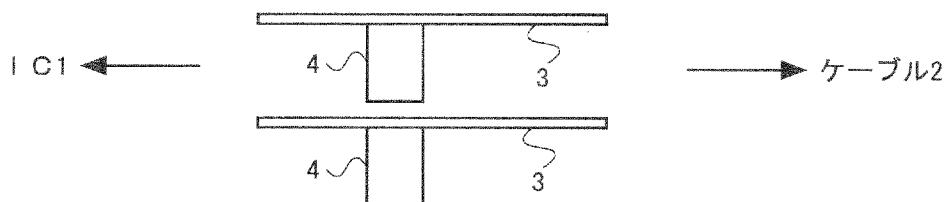
[図2]

図 2

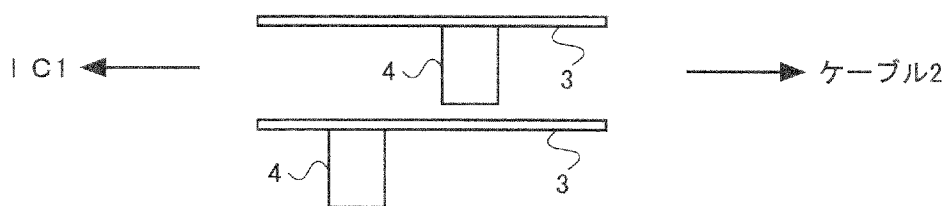
(a)



(b)

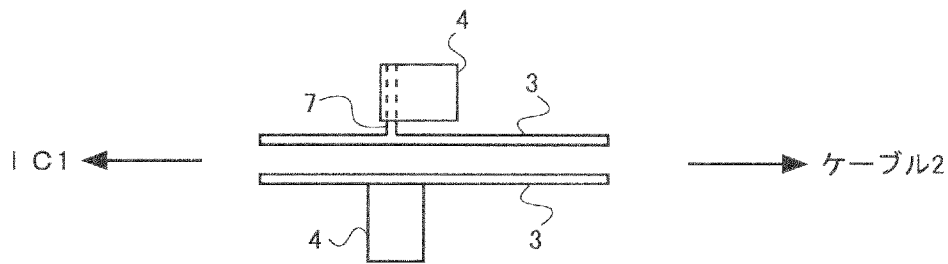


(c)



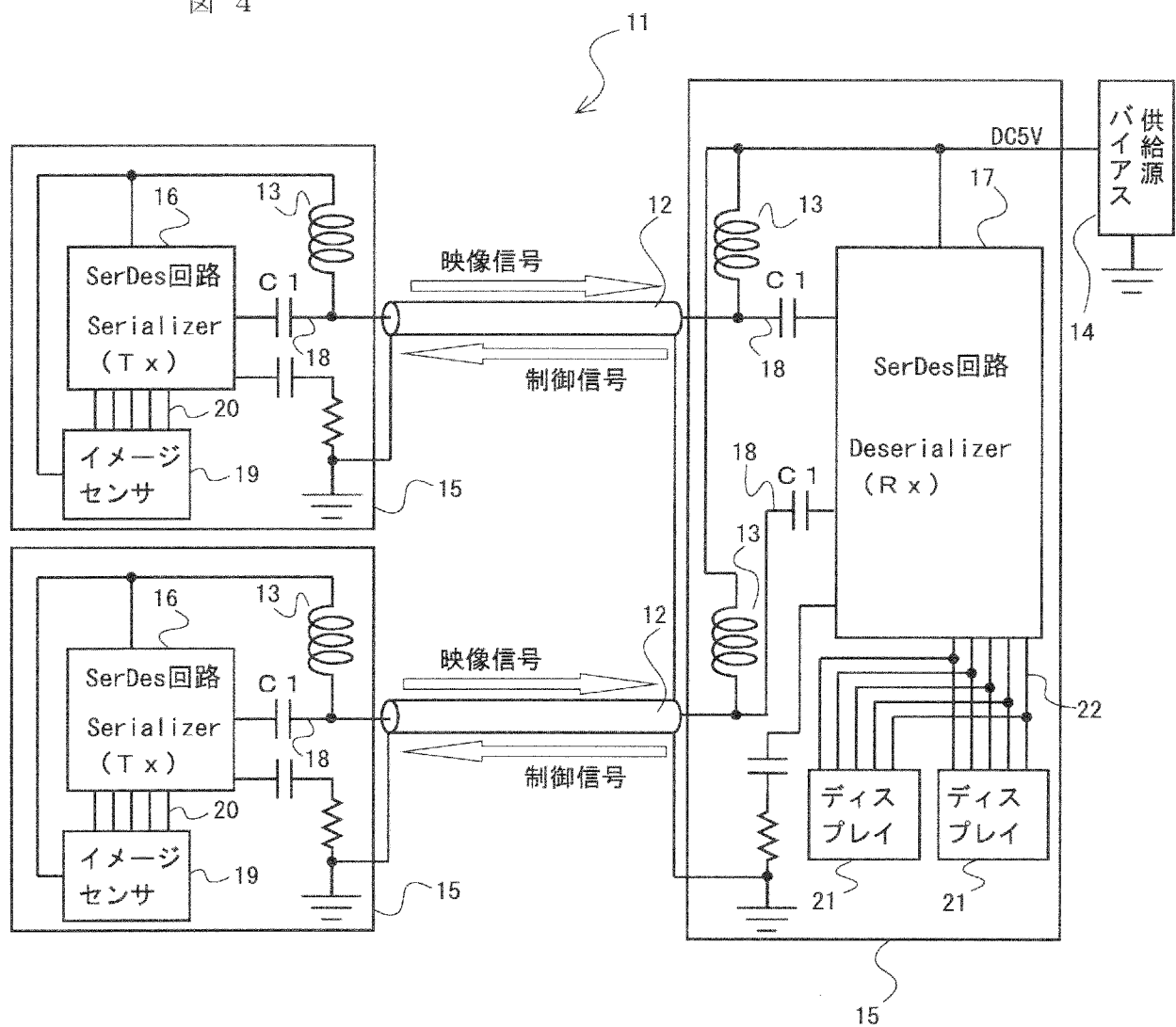
[図3]

図 3



[図4]

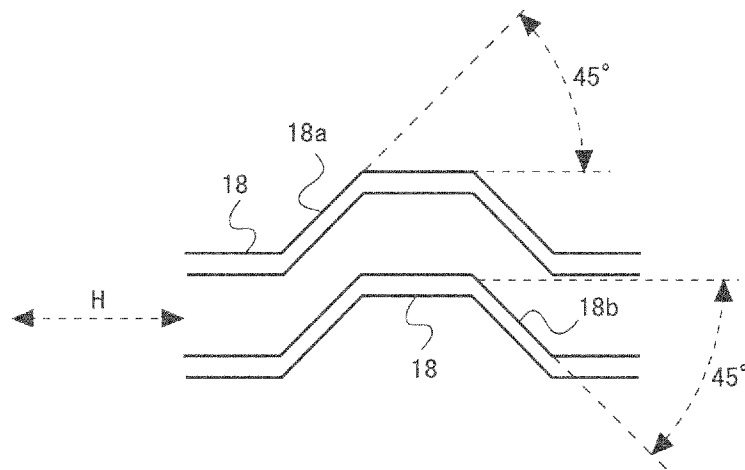
図 4



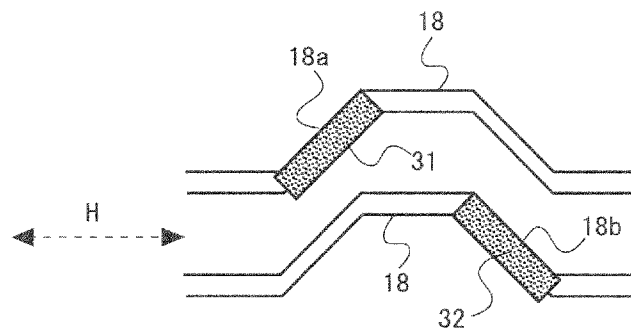
[図5]

図 5

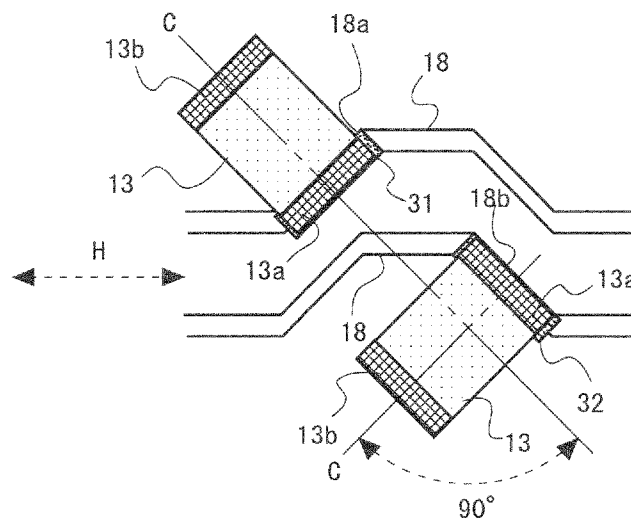
(a)



(b)



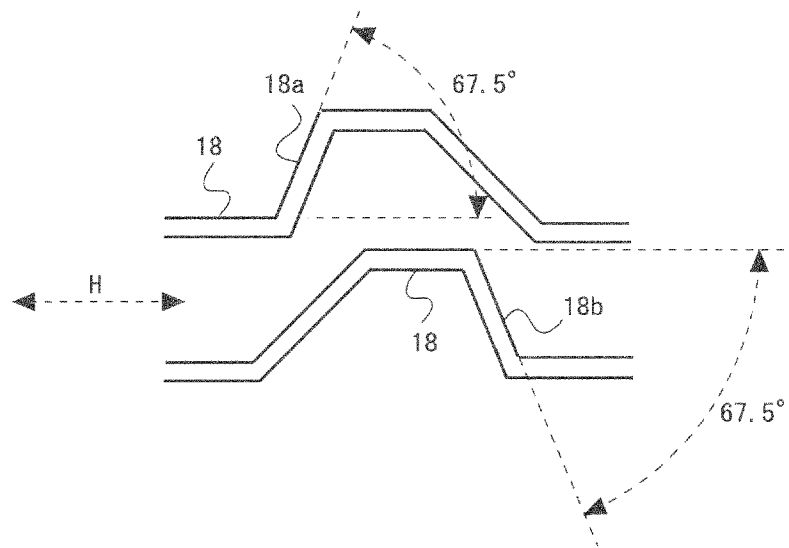
(c)



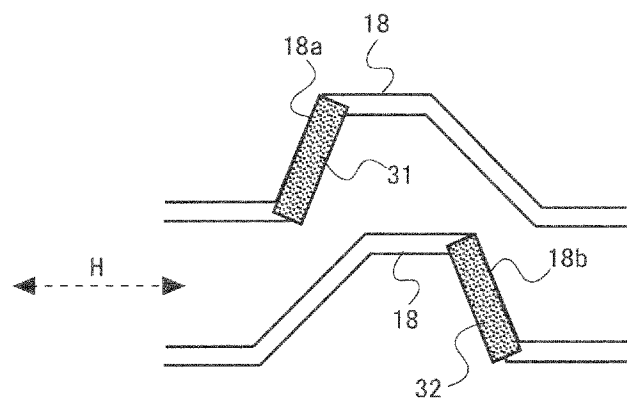
[図6]

図 6

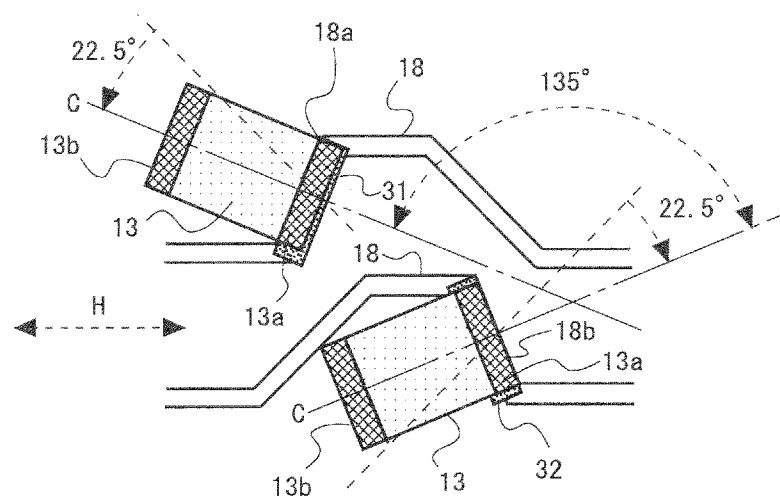
(a)



(b)



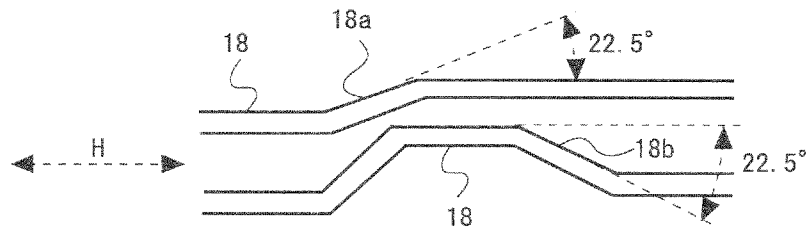
(c)



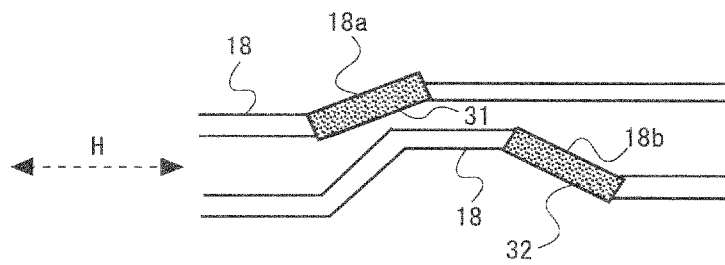
[図7]

図 7

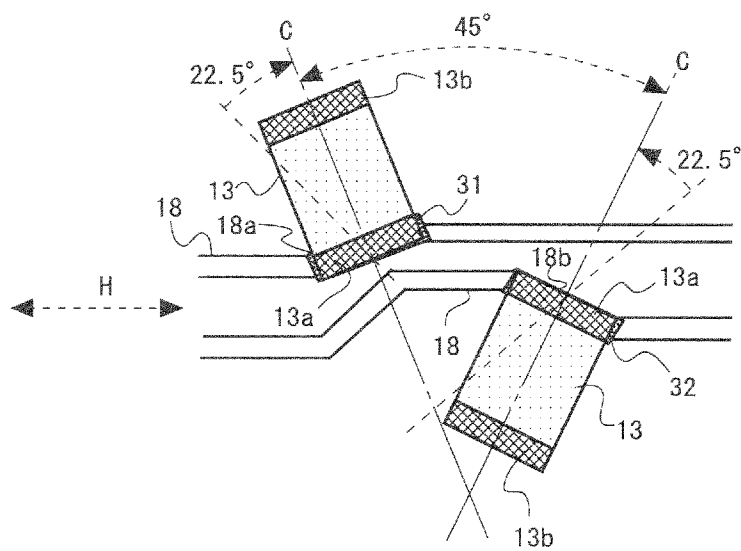
(a)



(b)



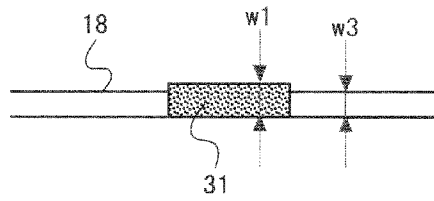
(c)



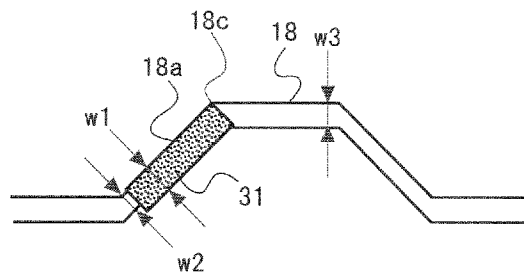
[図8]

図 8

(a)



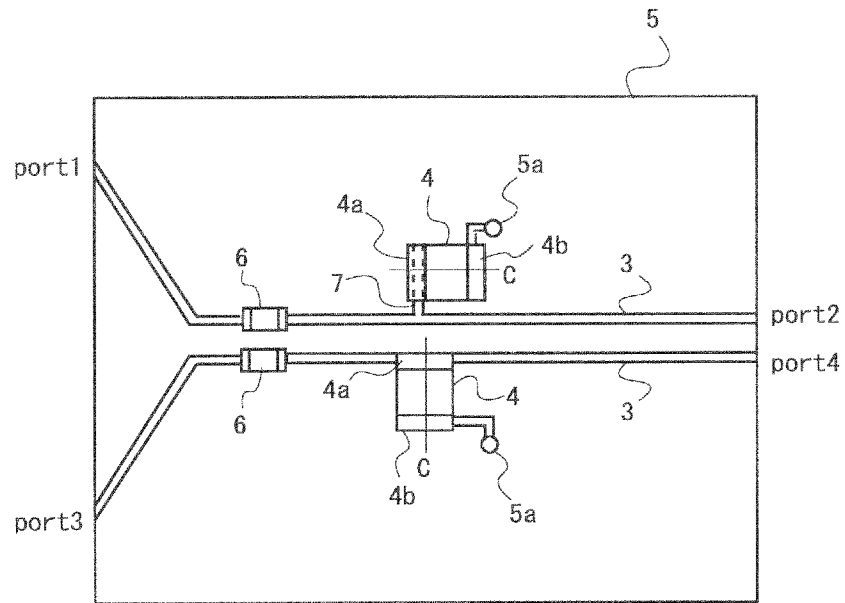
(b)



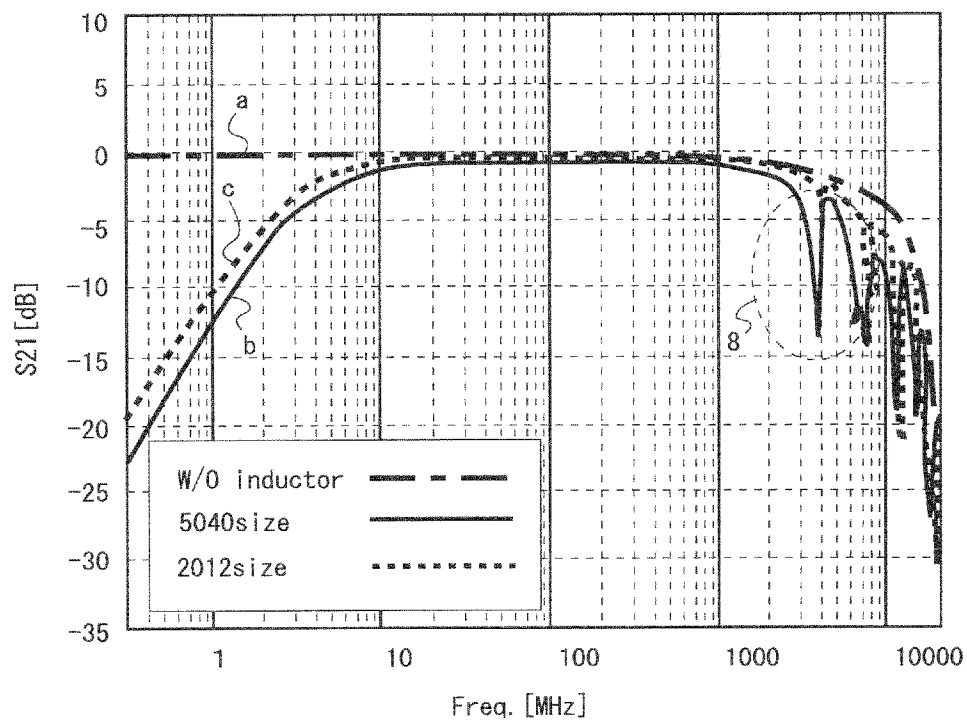
[図9]

図 9

(a)



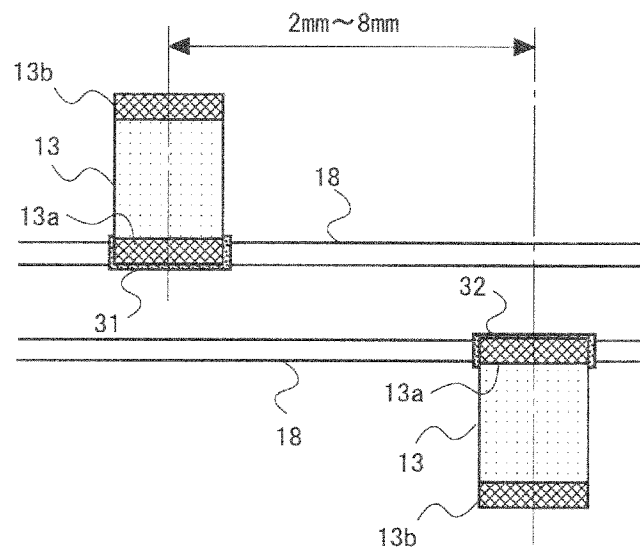
(b)



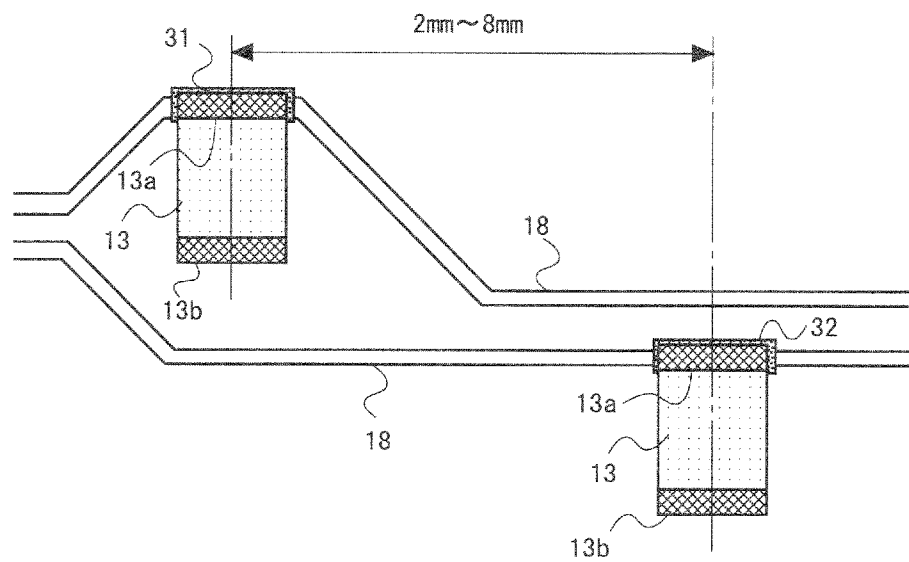
[図12]

図 1 2

(a)



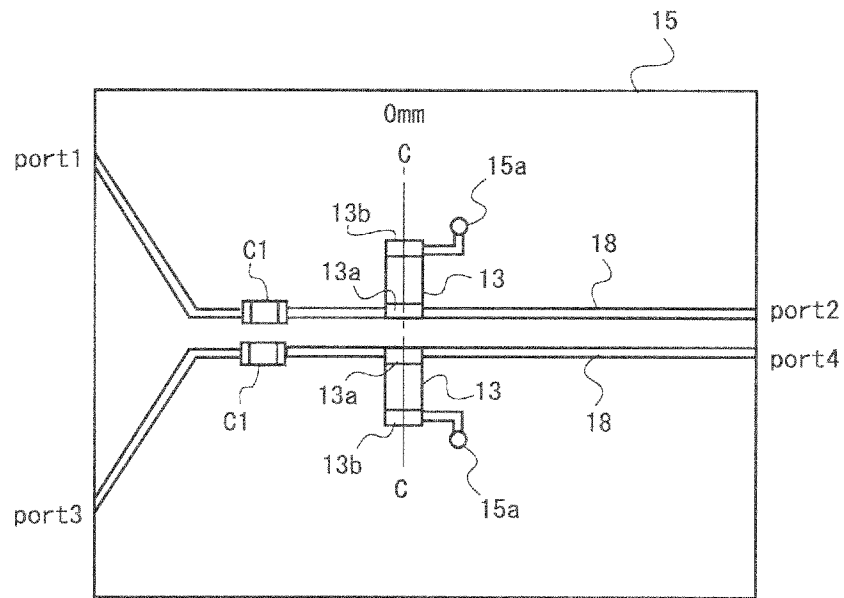
(b)



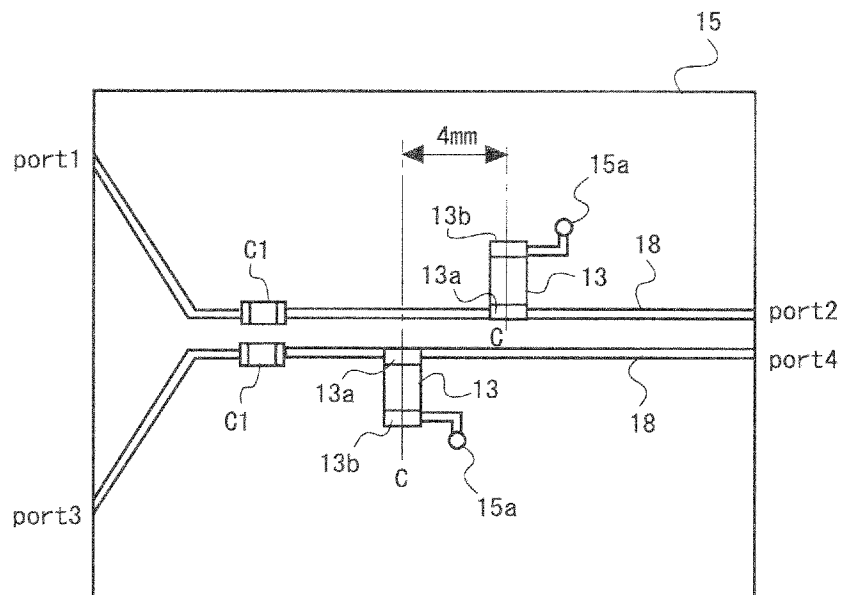
[図13]

図 13

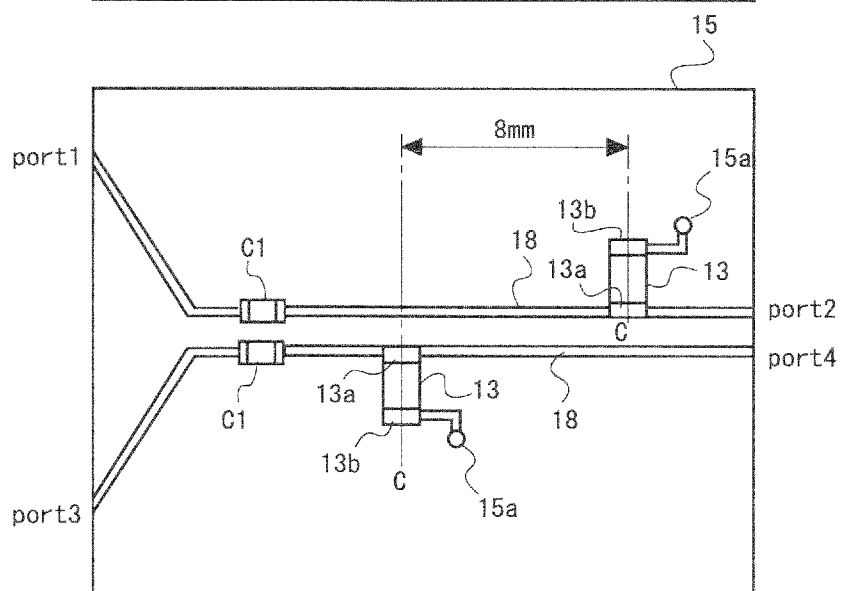
(a)



(b)



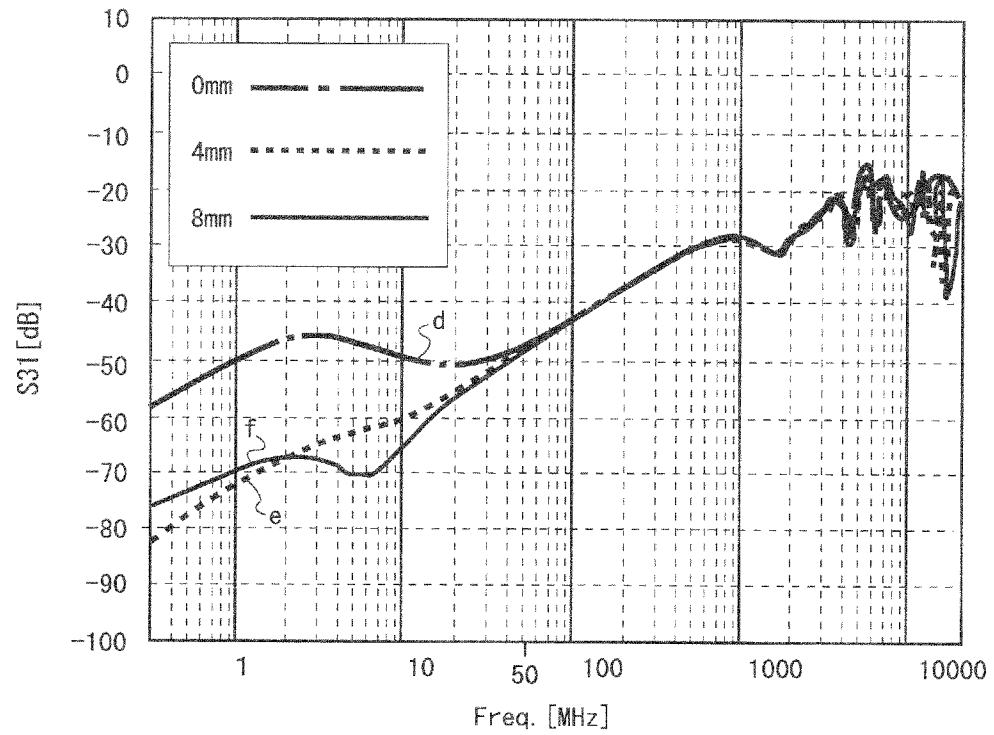
(c)



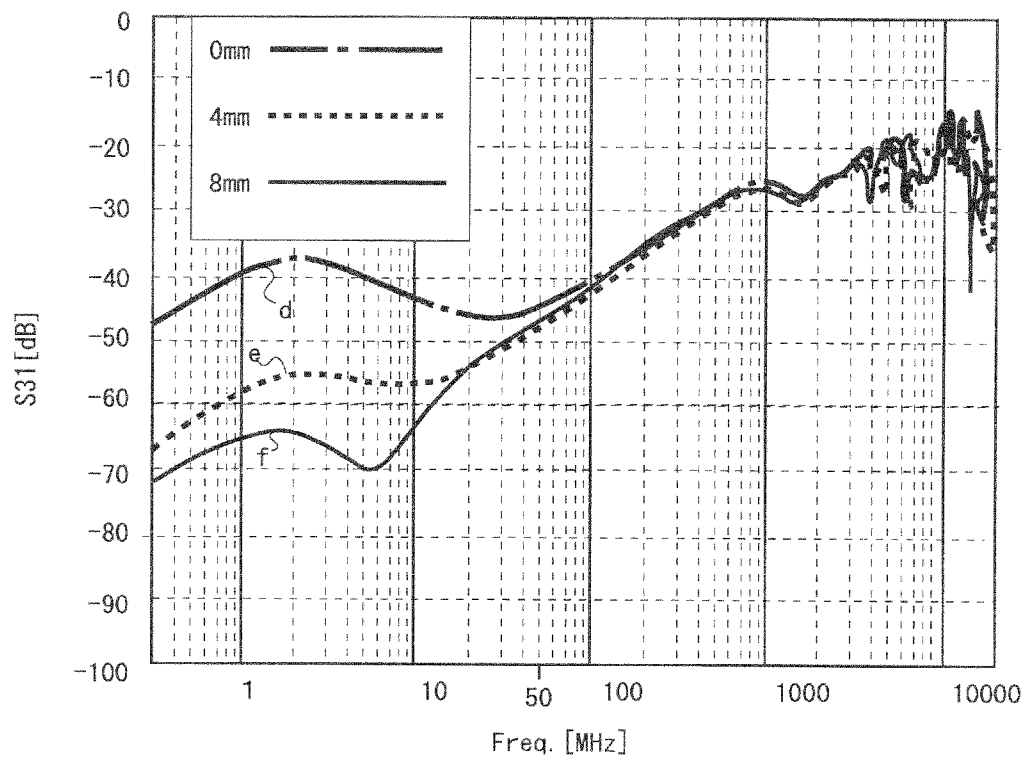
[図14]

図 1 4

(a)

 $1.5[\mu\text{H}]$ 

(b)

 $2.2[\mu\text{H}]$ 

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/016382

A. CLASSIFICATION OF SUBJECT MATTER

H01F 27/06 (2006.01) i

FI: H01F27/06 103

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01F27/06, H05K1/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-110422 A (MURATA MANUFACTURING CO., LTD.) 12 April 2002 (2002-04-12) paragraphs [0060]-[0064], fig. 1, 2, 16	1-8
A	JP 2016-152392 A (MURATA MANUFACTURING CO., LTD.) 22 August 2016 (2016-08-22) paragraphs [0047]-[0062], fig. 3, 4	1-8
A	JP 2008-294269 A (SHARP CORP.) 04 December 2008 (2008-12-04) paragraphs [0043], [0053]-[0059], fig. 1, 5, 6	1-8
A	JP 2017-135142 A (ALPINE ELECTRONICS, INC.) 03 August 2017 (2017-08-03) paragraphs [0019]-[0025], [0028], fig. 1	1-8

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
11 June 2021 (11.06.2021)

Date of mailing of the international search report
22 June 2021 (22.06.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/016382

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2002-110422 A	12 Apr. 2002	(Family: none)	
JP 2016-152392 A	22 Aug. 2016	(Family: none)	
JP 2008-294269 A	04 Dec. 2008	(Family: none)	
JP 2017-135142 A	03 Aug. 2017	US 2017/0215275 A1 paragraphs [0027]- [0033], [0036], fig. 1 EP 3200567 A1 CN 106998619 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01F 27/06(2006.01)i FI: H01F27/06 103														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01F27/06, H05K1/18 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2002-110422 A（株式会社村田製作所）12.04.2002（2002 - 04 - 12） 段落0060-0064, 図1, 2, 16	1-8												
A	JP 2016-152392 A（株式会社村田製作所）22.08.2016（2016 - 08 - 22） 段落0047-0062, 図3, 4	1-8												
A	JP 2008-294269 A（シャープ株式会社）04.12.2008（2008 - 12 - 04） 段落0043, 0053-0059, 図1, 5, 6	1-8												
A	JP 2017-135142 A（アルパイン株式会社）03.08.2017（2017 - 08 - 03） 段落0019-0025, 0028, 図1	1-8												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 11.06.2021	国際調査報告の発送日 22.06.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 木下 直哉 5D 3858 電話番号 03-3581-1101 内線 3551													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/016382

引用文献			公表日	パテントファミリー文献	公表日
JP	2002-110422	A	12.04.2002	(ファミリーなし)	
JP	2016-152392	A	22.08.2016	(ファミリーなし)	
JP	2008-294269	A	04.12.2008	(ファミリーなし)	
JP	2017-135142	A	03.08.2017	US 2017/0215275 A1	
				段落0027-0033, 0036, 図1	
				EP 3200567 A1	
				CN 106998619 A	