



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2017-0128456  
(43) 공개일자 2017년11월22일

- (51) 국제특허분류(Int. Cl.)  
G06F 3/044 (2006.01) G02F 1/1333 (2006.01)  
G02F 1/1343 (2006.01) H01L 27/32 (2006.01)  
H01L 29/786 (2006.01)
- (52) CPC특허분류  
G06F 3/044 (2013.01)  
G02F 1/1333 (2013.01)
- (21) 출원번호 10-2017-7029143
- (22) 출원일자(국제) 2016년03월04일  
심사청구일자 없음
- (85) 번역문제출일자 2017년10월11일
- (86) 국제출원번호 PCT/IB2016/051214
- (87) 국제공개번호 WO 2016/147074  
국제공개일자 2016년09월22일
- (30) 우선권주장  
JP-P-2015-053661 2015년03월17일 일본(JP)  
JP-P-2015-053765 2015년03월17일 일본(JP)
- (71) 출원인  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자  
히라카타 요시하루  
일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
쿠보타 다이스케  
일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
(뒷면에 계속)
- (74) 대리인  
황의만

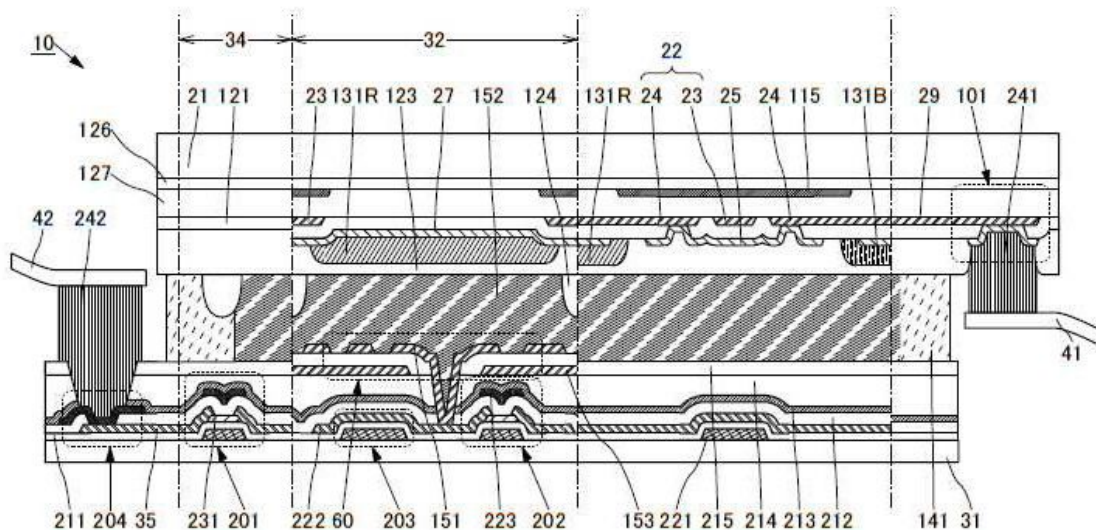
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 터치 패널

(57) 요약

얇은 터치 패널, 시인성이 높은 터치 패널, 가벼운 터치 패널, 또는 소비전력이 낮은 터치 패널을 제공한다. 정전 용량 터치 센서에 포함되는 한 쌍의 도전층은 복수의 개구를 포함하는 메시 형상을 갖는다. 또한, 터치 센서에 포함되는 한 쌍의 도전층은 터치 패널에 포함되는 한 쌍의 기판 사이에 제공되고, 정전위를 공급할 수 있는 투광성 도전층은 표시 소자를 구동하는 회로와 한 쌍의 도전층과의 사이에 제공된다.

대표도



(52) CPC특허분류

*G02F 1/1343* (2013.01)

*H01L 27/323* (2013.01)

*H01L 27/3262* (2013.01)

*H01L 29/7869* (2013.01)

*G06F 2203/04112* (2013.01)

(72) 발명자

**오카자키 켄이치**

일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

**야마자키 순페이**

일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

## 명세서

### 청구범위

#### 청구항 1

터치 패널로서,

제 1 기관;

제 1 도전층;

제 2 도전층;

제 3 도전층;

제 4 도전층;

제 5 도전층;

절연층; 및

표시 소자

를 포함하고,

상기 제 1 도전층, 상기 제 2 도전층, 및 상기 제 3 도전층은 동일한 면 위에서 서로 이격되어 있고,

상기 제 2 도전층은 평면시에 있어서 상기 제 1 도전층과 상기 제 3 도전층 사이에 있고,

상기 제 1 도전층 및 상기 제 4 도전층은 서로 전기적으로 접속되고,

상기 제 3 도전층 및 상기 제 4 도전층은 서로 전기적으로 접속되고,

상기 제 2 도전층 및 상기 제 4 도전층은 상기 절연층을 그 사이에 개재하여 서로 중첩되는 영역을 갖고,

상기 제 1 도전층은 복수의 개구를 포함하는 메시 형상을 갖고,

상기 개구, 상기 표시 소자, 및 상기 제 5 도전층은 서로 중첩되는 영역을 갖고,

상기 제 5 도전층은 상기 제 1 도전층과 상기 표시 소자 사이에 있고,

상기 제 5 도전층은 가시광을 투과하는, 터치 패널.

#### 청구항 2

제 1 항에 있어서,

상기 제 5 도전층은 금속 산화물을 포함하는, 터치 패널.

#### 청구항 3

제 1 항에 있어서,

상기 제 4 도전층 및 상기 제 5 도전층은 동일한 막을 가공함으로써 형성되는, 터치 패널.

#### 청구항 4

제 1 항에 있어서,

상기 표시 소자는 액정을 포함하는, 터치 패널.

#### 청구항 5

제 1 항에 있어서,

착색층을 더 포함하고,

상기 착색층, 상기 개구, 상기 표시 소자, 및 상기 제 5 도전층은 서로 중첩되는 영역을 갖는, 터치 패널.

#### **청구항 6**

제 1 항에 있어서,

상기 제 5 도전층은 정전위가 공급되는 단자에 전기적으로 접속되는, 터치 패널.

#### **청구항 7**

제 1 항에 있어서,

상기 제 1 도전층 위의 제 2 기판을 더 포함하고,

상기 제 1 도전층, 상기 제 2 도전층, 상기 제 3 도전층, 상기 제 4 도전층, 및 상기 제 5 도전층은 상기 제 2 기판 위에 형성되는, 터치 패널.

#### **청구항 8**

제 1 항에 있어서,

상기 표시 소자에 전기적으로 접속되는 트랜지스터를 더 포함하고,

상기 트랜지스터는 반도체층을 포함하고,

상기 반도체층 및 상기 제 5 도전층은 동일한 금속 원소를 함유하는 산화물을 포함하는, 터치 패널.

#### **청구항 9**

제 8 항에 있어서,

상기 트랜지스터는 제 1 게이트 전극 및 제 2 게이트 전극을 포함하고,

상기 반도체층은 상기 제 1 게이트 전극과 상기 제 2 게이트 전극 사이에 있고,

상기 제 1 게이트 전극 및 상기 제 2 게이트 전극 중 하나는 상기 금속 원소를 함유하는 산화물을 포함하는, 터치 패널.

#### **청구항 10**

제 1 항에 있어서,

상기 표시 소자에 전기적으로 접속되는 트랜지스터를 더 포함하고,

상기 트랜지스터는 반도체층을 포함하고,

상기 반도체층 및 상기 제 5 도전층은 동일한 금속을 함유하는 산화물 반도체를 포함하는, 터치 패널.

#### **청구항 11**

제 10 항에 있어서,

상기 트랜지스터는 제 1 게이트 전극 및 제 2 게이트 전극을 포함하고,

상기 반도체층은 상기 제 1 게이트 전극과 상기 제 2 게이트 전극 사이에 있고,

상기 제 1 게이트 전극 및 상기 제 2 게이트 전극 중 하나는 상기 반도체층과 동일한 금속을 함유하는 산화물 반도체를 포함하는, 터치 패널.

#### **청구항 12**

터치 패널로서,

제 1 기판;

제 1 도전층;

제 2 도전층;

제 3 도전층;

제 4 도전층;

제 5 도전층;

제 1 절연층;

상기 제 1 절연층 위에 질화 실리콘을 포함하는 제 2 절연층; 및

표시 소자

를 포함하고,

상기 제 1 도전층, 상기 제 2 도전층, 및 상기 제 3 도전층은 동일한 면 위에서 서로 이격되어 있고,

상기 제 2 도전층은 평면시에 있어서 상기 제 1 도전층과 상기 제 3 도전층 사이에 있고,

상기 제 1 도전층 및 상기 제 4 도전층은 서로 전기적으로 접속되고,

상기 제 3 도전층 및 상기 제 4 도전층은 서로 전기적으로 접속되고,

상기 제 2 도전층 및 상기 제 4 도전층은 상기 제 1 절연층 및 상기 제 2 절연층을 그 사이에 개재하여 서로 중첩되는 영역을 갖고,

상기 제 1 도전층은 복수의 개구를 포함하는 메시 형상을 갖고,

상기 개구, 상기 표시 소자, 및 상기 제 5 도전층은 서로 중첩되는 영역을 갖고,

상기 제 5 도전층은 상기 제 1 도전층과 상기 표시 소자 사이에 있고,

상기 제 5 도전층은 가시광을 투과하는, 터치 패널.

### 청구항 13

제 12 항에 있어서,

상기 제 5 도전층은 금속 산화물을 포함하는, 터치 패널.

### 청구항 14

제 12 항에 있어서,

상기 제 4 도전층 및 상기 제 5 도전층은 동일한 막을 가공함으로써 형성되는, 터치 패널.

### 청구항 15

제 12 항에 있어서,

상기 표시 소자는 액정을 포함하는, 터치 패널.

### 청구항 16

제 12 항에 있어서,

착색층을 더 포함하고,

상기 착색층, 상기 개구, 상기 표시 소자, 및 상기 제 5 도전층은 서로 중첩되는 영역을 갖는, 터치 패널.

### 청구항 17

제 12 항에 있어서,

상기 제 5 도전층은 정전위가 공급되는 단자에 전기적으로 접속되는, 터치 패널.

**청구항 18**

제 12 항에 있어서,

상기 제 1 도전층 위의 제 2 기관을 더 포함하고,

상기 제 1 도전층, 상기 제 2 도전층, 상기 제 3 도전층, 상기 제 4 도전층, 및 상기 제 5 도전층은 상기 제 2 기관 위에 형성되는, 터치 패널.

**청구항 19**

제 12 항에 있어서,

상기 표시 소자에 전기적으로 접속되는 트랜지스터를 더 포함하고,

상기 트랜지스터는 반도체층을 포함하고,

상기 반도체층 및 상기 제 5 도전층은 동일한 금속을 함유하는 산화물 반도체를 포함하는, 터치 패널.

**청구항 20**

제 12 항에 있어서,

상기 트랜지스터는 제 1 게이트 전극 및 제 2 게이트 전극을 포함하고,

상기 반도체층은 상기 제 1 게이트 전극과 상기 제 2 게이트 전극 사이에 있고,

상기 제 1 게이트 전극 및 상기 제 2 게이트 전극 중 하나는 상기 반도체층과 동일한 금속을 함유하는 산화물 반도체를 포함하는, 터치 패널.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 일 형태는 입력 장치에 관한 것이다. 본 발명의 일 형태는 표시 장치에 관한 것이다. 본 발명의 일 형태는 입출력 장치에 관한 것이다. 본 발명의 일 형태는 터치 패널에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상술한 기술 분야에 한정되지 않는다. 본 명세서 등에 기재된 본 발명의 일 형태의 기술 분야의 예에는 반도체 장치, 표시 장치, 발광 장치, 전력 저장 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치, 입출력 장치, 이들의 구동 방법, 및 이들의 제작 방법이 포함된다.

[0003] 본 명세서 등에서 반도체 장치는 반도체 특성을 이용함으로써 기능할 수 있는 장치를 일반적으로 의미한다. 트랜지스터 등의 반도체 소자, 반도체 회로, 연산 장치, 및 기억 장치는 각각 반도체 장치의 일 형태이다. 촬상 장치, 표시 장치, 액정 표시 장치, 발광 장치, 입력 장치, 입출력 장치, 전기 광학 장치, 발전 장치(박막 태양 전지, 유기 박막 태양 전지 등을 포함함), 및 전자 기기는 각각 반도체 장치를 포함하여도 좋다.

**배경 기술**

[0004] 근년에 들어, 위치 입력 수단으로서 터치 센서가 제공된 표시 장치가 실용화되고 있다. 터치 센서가 제공된 표시 장치는 터치 패널, 터치 스크린 등(이하, 간결하게 터치 패널이라고도 말함)이라고 불린다. 예를 들어, 스마트폰이나 태블릿 단말은 터치 패널이 제공된 휴대 정보 단말의 예이다.

[0005] 표시 장치 중 하나로서, 액정 소자가 제공된 액정 표시 장치가 있다. 예를 들어, 화소 전극이 매트릭스로 배열되고, 트랜지스터를 화소 전극 각각에 접속하는 스위칭 소자로서 사용한 액티브 매트릭스 액정 표시 장치가 주목을 받고 있다.

[0006] 예를 들어, 화소 전극 각각에 접속되는 스위칭 소자로서, 채널 형성 영역에 금속 산화물을 사용하는 트랜지스터를 포함하는 액티브 매트릭스 액정 표시 장치가 이미 알려져 있다(특허문헌 1 및 특허문헌 2).

[0007] 액정 표시 장치는 투과형 및 반사형의 2종류에 크게 나뉘져 있는 것이 알려져 있다.

[0008] 투과형 액정 표시 장치에서, 냉음극 형광 램프 또는 LED 등의 백라이트를 사용하고, 액정의 광학 변조 작용을 사용하여 액정을 통하여 백라이트로부터의 광을 통과하여 액정 표시 장치 외부로 출력하는 상태와, 광을 출력하지 않는 상태를 선택하여 명과 암의 화상을 표시한다. 또한, 이러한 표시를 조합하여 화상을 표시한다.

[0009] 반사형 액정 표시 장치에서, 액정의 광학 변조 작용을 사용하여 외광, 즉, 입사광이 화소 전극에서 반사되고 장치 외부로 출력하는 상태와, 장치 외부로 입사광을 출력하지 않는 상태를 선택하여 명과 암의 화상을 표시한다. 또한, 이러한 표시를 조합하여 화상을 표시한다.

**선행기술문헌**

**특허문헌**

- [0010] (특허문헌 0001) 일본 특허공개공보 제2007-123861호
- (특허문헌 0002) 일본 특허공개공보 제2007-096055호

**발명의 내용**

**해결하려는 과제**

- [0011] 유저 인터페이스로서 스크린을 손가락, 스타일러스 등으로 터치하여 데이터를 입력하는 기능을 가진 표시 패널이 제공된 터치 패널이 요구되고 있다.
- [0012] 또한, 두께 및 무게가 저감되며 터치 패널을 사용한 전자 기기가 요구되고 있다. 그러므로, 터치 패널 자체의 두께 및 무게의 저감이 요구되고 있다.
- [0013] 예를 들어, 터치 패널에서, 표시 패널의 시인 측(표시면 측)에 터치 센서를 제공할 수 있다.
- [0014] 예를 들어, 표시 패널의 표시면 측과 중첩되도록 정전 용량 터치 센서가 제공된 터치 패널에서, 표시 패널의 화소 또는 배선과 터치 센서의 전극 또는 배선과의 사이의 거리가 감소되면, 터치 센서는 표시 패널이 터치 센서에 의하여 구동될 때 발생하는 노이즈의 영향을 받을 수 있고, 이로 인하여 터치 패널의 검출 감도가 저감될 경우가 있다.
- [0015] 본 발명의 일 형태의 하나의 목적은 얇은 터치 패널을 제공하는 것이다. 다른 목적은 시인성이 높은 터치 패널을 제공하는 것이다. 다른 목적은 가벼운 터치 패널을 제공하는 것이다. 다른 목적은 낮은 전력소비의 터치 패널을 제공하는 것이다.
- [0016] 다른 목적은 신규 입력 장치를 제공하는 것이다. 다른 목적은 신규 입출력 장치를 제공하는 것이다.

**과제의 해결 수단**

- [0017] 본 발명의 일 형태는 제 1 기관, 제 1 도전층, 제 2 도전층, 제 3 도전층, 제 4 도전층, 제 5 도전층, 절연층, 및 표시 소자를 포함하는 터치 패널이다. 제 1 도전층, 제 2 도전층, 및 제 3 도전층은 동일한 면 위에서 서로 이격되어 있다. 제 2 도전층은 평면시에 있어서 제 1 도전층과 제 3 도전층 사이에 제공된다. 제 1 도전층은 제 4 도전층에 전기적으로 접속된다. 제 2 도전층은 제 4 도전층에 전기적으로 접속된다. 제 3 도전층 및 제 4 도전층은 절연층을 개재(介在)하여 서로 중첩되는 영역을 갖는다. 제 1 도전층은 복수의 개구를 포함하는 메시 형상을 갖는다. 개구, 표시 소자, 및 제 5 도전층은 서로 중첩되는 영역을 갖는다. 제 5 도전층은 제 1 도전층과 표시 소자 사이에 위치한다. 제 5 도전층은 가시광을 투과하는 기능을 갖는다.
- [0018] 상기에 있어서, 제 5 도전층은 금속 산화물을 함유하는 것이 바람직하다.
- [0019] 상기에 있어서, 제 4 도전층 및 제 5 도전층은 동일한 막을 가공함으로써 형성되는 것이 바람직하다.
- [0020] 상기에 있어서, 표시 소자는 액정을 함유하는 것이 바람직하다.
- [0021] 상기에 있어서, 착색층이 제공되고, 착색층, 개구, 표시 소자, 및 제 5 도전층은 서로 중첩되는 영역을 갖는 것이 바람직하다.
- [0022] 상기에 있어서, 제 5 도전층은 정전위(定電位)가 공급되는 단자에 전기적으로 접속되는 것이 바람직하다.

[0023] 상기에 있어서, 제 2 기관이 제 1 도전층 위쪽에 제공되고, 제 1 도전층, 제 2 도전층, 제 3 도전층, 제 4 도전층, 및 제 5 도전층이 제 2 기관 위에 형성되는 것이 바람직하다.

[0024] 상기에 있어서, 표시 소자와 전기적으로 접속되는 트랜지스터가 제공되고, 트랜지스터가 반도체층을 포함하고, 또한 반도체층과 제 5 도전층은 동일한 금속 원소(들)를 함유하는 산화물을 포함하는 것이 바람직하다. 이 경우, 트랜지스터가 제 1 게이트 전극 및 제 2 게이트 전극을 포함하고, 반도체층이 제 1 게이트 전극과 제 2 게이트 전극 사이에 위치하고, 제 1 게이트 전극 및 제 2 게이트 전극 중 하나가 동일한 금속 원소(들)를 함유하는 산화물을 포함하는 것이 바람직하다.

[0025] 상기에 있어서, 표시 소자와 전기적으로 접속되는 트랜지스터가 제공되고, 트랜지스터가 반도체층을 포함하고, 또한 반도체층과 제 5 도전층은 동일한 산화물 반도체를 포함하는 것이 바람직하다. 이 경우, 트랜지스터가 제 1 게이트 전극 및 제 2 게이트 전극을 포함하고, 반도체층이 제 1 게이트 전극과 제 2 게이트 전극 사이에 위치하고, 제 1 게이트 전극 및 제 2 게이트 전극 중 하나가 산화물 반도체를 함유하는 것이 바람직하다.

**발명의 효과**

[0026] 본 발명의 일 형태에 의하여, 얇은 터치 패널을 제공할 수 있다. 또는, 시인성이 높은 터치 패널을 제공할 수 있다. 또는, 가벼운 터치 패널을 제공할 수 있다. 또는, 소비전력이 낮은 터치 패널을 제공할 수 있다.

**도면의 간단한 설명**

[0027] 도 1의 (A) 및 (B)는 실시형태의 터치 패널 모듈의 구조예를 나타낸 것.

- 도 2는 실시형태의 터치 패널 모듈의 구조예를 나타낸 것.
- 도 3은 실시형태의 터치 패널 모듈의 구조예를 나타낸 것.
- 도 4는 실시형태의 터치 패널 모듈의 구조예를 나타낸 것.
- 도 5는 실시형태의 터치 패널 모듈의 구조예를 나타낸 것.
- 도 6은 실시형태의 터치 패널 모듈의 구조예를 나타낸 것.
- 도 7은 실시형태의 터치 패널 모듈의 구조예를 나타낸 것.
- 도 8은 실시형태의 터치 패널 모듈의 구조예를 나타낸 것.
- 도 9는 실시형태의 터치 패널 모듈의 구조예를 나타낸 것.
- 도 10은 실시형태의 터치 패널 모듈의 구조예를 나타낸 것.
- 도 11은 실시형태의 터치 패널 모듈의 구조예를 나타낸 것.
- 도 12는 실시형태의 터치 패널 모듈의 구조예를 나타낸 것.
- 도 13은 실시형태의 터치 패널 모듈의 구조예를 나타낸 것.
- 도 14의 (A) 내지 (C)는 실시형태의 터치 센서의 구조예를 나타낸 것.
- 도 15의 (A) 및 (B)는 실시형태의 터치 센서의 구조예를 나타낸 것.
- 도 16의 (A) 내지 (C)는 실시형태의 터치 센서의 구조예를 나타낸 것.
- 도 17의 (A) 및 (B)는 실시형태의 터치 센서의 구조예를 나타낸 것.
- 도 18의 (A) 및 (B)는 실시형태의 터치 센서의 구조예를 나타낸 것.
- 도 19의 (A) 및 (B)는 실시형태의 터치 센서의 구조예를 나타낸 것.
- 도 20의 (A) 내지 (G)는 실시형태의 터치 패널의 구조예를 나타낸 것.
- 도 21의 (A) 및 (B)는 실시형태의 터치 센서의 블록도 및 타이밍 차트.
- 도 22는 실시형태의 터치 센서의 회로도.
- 도 23의 (A) 및 (B)는 각각 실시형태의 터치 센서가 제공된 화소를 도시한 것.

도 24의 (A) 및 (B)는 실시형태의 터치 센서와 화소의 동작을 도시한 것.

도 25는 실시형태의 표시 모듈을 도시한 것.

도 26의 (A) 내지 (H)는 각각 실시형태의 전자 기기를 도시한 것.

**발명을 실시하기 위한 구체적인 내용**

- [0028] 실시형태를 도면을 참조하여 자세히 기재한다. 다만, 본 발명은 아래의 기재에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 다양하게 변경 및 수정될 수 있다는 것은 통상의 기술자는 용이하게 이해할 수 있다. 그러므로, 본 발명은 아래의 실시형태의 내용에 한정되어 해석되어서는 안 된다.
- [0029] 또한, 아래에 기재된 발명의 구성에서 동일한 부분 또는 유사한 기능을 갖는 부분은 다른 도면에서 동일한 부호로 나타내며, 이러한 부분의 기재는 반복하지 않는다. 또한, 유사한 기능을 갖는 부분에는 동일한 해치 패턴을 적용하고, 이 부분을 특별히 부호로 나타내지 않는 경우가 있다.
- [0030] 또한 본 명세서에서 기재하는 각 도면에서 각 구성 요소의 크기, 층 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 그러므로, 본 발명의 실시형태는 이러한 스케일에 한정되지 않는다.
- [0031] 또한 본 명세서 등에서 "제 1" 및 "제 2" 등과 같은 서수는 구성 요소들 사이의 혼동을 피하기 위하여 사용되는 것이며, 수를 한정하는 것이 아니다.
- [0032] 또한, "막" 및 "층"이라는 용어는 서로 교체될 수 있는 경우가 있다. 예를 들어, "도전층"이라는 용어 대신에 "도전막"이라는 용어를 사용할 수 있고, '절연막'이라는 용어 대신에 '절연층'이라는 용어를 사용할 수 있다.
- [0033] (실시형태 1)
- [0034] 본 실시형태에서, 본 발명의 일 형태의 입력 장치(터치 센서)의 구조에, 및 본 발명의 일 형태의 입력 장치와 표시 장치(표시 패널)를 포함하는 입출력 장치(터치 패널)의 구조예를 도면을 참조하여 기재한다.
- [0035] 이하의 기재에서, 본 발명의 일 형태의 터치 센서로서 정전 용량 터치 센서가 사용된다.
- [0036] 또한, 본 명세서 등에서, 터치 패널은 표시면에 화상 등을 표시하거나 출력하는 기능 및 손가락이나 스타일러스 등의 물체의 표시면으로의 접촉 또는 근접을 검지할 수 있는 터치 센서로서의 기능을 갖는다. 그러므로, 터치 패널은 입출력 장치의 일 형태이다.
- [0037] 본 명세서 등에서는, FPC(flexible printed circuit) 또는 TCP(tape carrier package)와 같은 커넥터가 터치 패널의 기판에 접착된 구조, 또는 기판에 COG(chip on glass) 방법에 의하여 직접 집적 회로(IC)가 실장된 구조를 터치 패널 모듈 또는 단순히 터치 패널이라고 부르는 경우가 있다.
- [0038] 본 발명의 일 형태에 사용할 수 있는 정전 용량 터치 센서는 한 쌍의 도전층을 포함한다. 용량 소자가 상기 한 쌍의 도전층에 형성된다. 한 쌍의 도전층의 용량은 한 쌍의 도전층으로 물체가 접촉되거나 근접되면 변화된다. 이 효과를 이용하여 검출을 행할 수 있다.
- [0039] 정전 용량 터치 센서의 예에는, 표면형 정전 용량 터치 센서 및 투영형 정전 용량 터치 센서가 있다. 투영형 정전 용량 터치 센서의 예는 자기 용량 터치 센서 및 상호 용량 터치 센서가 있다. 상호 용량 터치 센서를 사용하면 다점을 동시에 검출할 수 있으므로 바람직하다.
- [0040] 터치 센서에 포함되는 한 쌍의 도전층은 각각 개구를 갖는 것이 바람직하다. 한 쌍의 도전층은 복수의 개구를 갖는 메시 형상을 갖는 것이 더 바람직하다. 개구와 표시 소자는 서로 중첩되는 것이 바람직하다. 이와 같은 구조에 의하여 표시 소자로부터의 발광이 개구를 통하여 외부로 사출될 수 있으므로, 터치 센서에 포함된 한 쌍의 도전층은 투광성을 가질 필요가 없다. 따라서, 투광성 도전성 재료보다 저항이 낮은 금속 또는 합금과 같은 재료를 터치 센서에 포함되는 한 쌍의 도전층을 위한 재료로서 사용할 수 있다. 이것은 검출 신호 지연 등의 영향을 저감하고, 터치 패널의 검출 감도를 향상시킨다. 또한, 이와 같은 구조는 휴대형 장치뿐만 아니라 텔레비전 등의 대형 표시 장치에도 적용할 수 있다.
- [0041] 터치 센서에 포함되는 한 쌍의 도전층보다 시인 측에 가까운 위치에 가시광을 차단하기 위한 차광층을 제공하는 것이 바람직하다. 이로써, 금속과 같은 가시광을 반사하는 재료를 터치 센서에 포함되는 도전층에 사용하더라도, 도전층에 의한 외광의 반사로 인한 시인성의 저하를 억제할 수 있다.
- [0042] 또한, 터치 센서에 포함되는 한 쌍의 도전층이 평면시에서 2개의 표시 소자 사이의 영역과 중첩되도록 제공되는

것이 바람직하다. 터치 센서에 포함되는 한 쌍의 도전층은 표시 소자로부터의 광의 광로 외의 영역에 제공되기 때문에 원리적으로 모아레(moire)는 발생되지 않는다. 여기서, 모아레는 2 이상의 주기성 패턴을 서로 중첩하는 경우에 생기는 간섭 무늬를 의미한다. 결과적으로, 매우 높은 표시 품위를 가진 터치 패널을 얻을 수 있다.

[0043] 본 발명의 일 형태에 따른 터치 패널의 표시 소자로서 예를 들어 액정 소자, MEMS(micro electro mechanical systems)를 이용한 광학 소자, 유기 EL(electroluminescence) 소자 또는 발광 다이오드(LED) 등의 발광 소자, 전기 영동 소자 등, 다양한 표시 소자가 사용될 수 있다.

[0044] 여기서, 표시 소자로서 액정 소자가 포함되는 투과형 또는 반사형 액정 표시 장치는 터치 패널에 사용되는 것이 바람직하다.

[0045] 또한, 터치 센서에 포함되는 한 쌍의 도전층은 터치 패널에 포함되는 한 쌍의 기판 사이에 제공되는 것이 바람직하다. 특히, 터치 센서에 포함되는 도전층이 복수의 개구를 갖는 것이 바람직하다. 이와 같은 도전층은 표면 면적이 작다. 그러므로, 예를 들어 터치 센서에 포함되는 도전층으로서 개구가 없는 투과성 도전막이 사용되는 경우에 비하여 표시 소자의 구동 시의 전기적인 노이즈가 도전층에 전송되기 어렵다. 즉, 표시 소자 및 터치 센서에 포함되는 도전막 둘 다는 한 쌍의 기판 사이에 제공되고, 높은 검출 감도를 달성한다. 결과적으로, 높은 검출 감도를 갖는 얇은 터치 패널을 제공할 수 있다.

[0046] 또한, 표시 소자와 터치 센서에 포함되는 한 쌍의 도전층을 구동하기 위한 회로와의 사이에 정전위를 공급할 수 있는 도전층이 제공되는 것이 더 바람직하다. 이와 같은 도전층은 실드층으로서 기능할 수 있다. 구체적으로, 상기 도전층은 상기 표시 소자를 구동하기 위한 회로로부터의 노이즈가 터치 센서로 전송되는 것을 억제할 수 있다. 도전층은 터치 센서의 구동 시의 노이즈가 표시 소자, 표시 소자를 구동하기 위한 회로, 회로에 포함되는 배선 등으로 전송되는 것을 억제할 수도 있다. 그러므로, 예를 들어 상이한 타이밍으로 표시 소자와 터치 센서를 구동함으로써 노이즈의 영향을 억제하는 등의 대책을 취하지 않고, 표시 소자 및 터치 센서를 동시에 구동할 수 있고(동기화되어 구동될 수 있고) 또는 독립적으로 구동할 수 있다. 결과적으로, 예를 들어, 표시 소자의 구동 주파수(프레임 레이트라고도 함)를 증가함으로써 원활한 동영상을 표시할 수 있다. 또한, 터치 센서의 구동 주파수를 증가함으로써 검지 정도(精度)를 높일 수 있다. 표시 소자의 구동 주파수 및 터치 센서의 구동 주파수는 각각 자유로이 설정할 수 있다. 예를 들어, 상황에 따라 어느 한쪽 또는 양쪽의 구동 주파수가 낮은 기간을 제공함으로써 소비전력을 저감할 수 있다.

[0047] 또한, 상기 도전층과 터치 센서에 포함되는 한 쌍의 도전층의 일부는 동일한 도전막을 가공함으로써 형성되는 것이 바람직하다. 예를 들어, 한 쌍의 도전층의 교차부의 브릿지로서 사용되는 도전층과, 실드층으로서 사용되는 도전층은 동일한 도전막을 가공함으로써 형성된다.

[0048] 실드층으로서 기능하는 도전층은 투과성 도전성 재료를 사용하여 형성되는 것이 바람직하다. 또는 저항이 저감된 산화물 반도체가 바람직하게 사용된다. 예를 들어, 도전성 금속 산화물을 사용할 수 있다. 이와 같은 재료의 사용에 의하여 금속을 사용하는 경우에 일어나는 산화의 영향 없이 신뢰성이 높은 터치 패널을 제공할 수 있다.

[0049] 본 발명의 일 형태의 더 구체적인 구조예는 도면을 참조하여 아래에서 기재한다.

[0050] [구조예]

[0051] 도 1의 (A)는 본 발명의 일 형태에 따른 터치 패널 모듈(10)의 사시 개략도이다. 도 1의 (B)는 한 쌍의 기판이 분리된 터치 패널 모듈(10)의 사시 개략도이다. 터치 패널 모듈(10)에서, 기판(31) 및 기판(21)은 서로 접촉되어 있다. 터치 센서(22)는 기판(21) 측에 제공된다.

[0052] 기판(21)에는 FPC(41)가 제공된다. 또한, 터치 센서(22)는 기판(21)의 표시 패널 측의 표면에 제공되어 있다. 터치 센서(22)는 도전층(23), 도전층(24), 도전층(25) 등을 포함한다. 또한, 터치 센서(22)는 이들 도전층들을 FPC(41)에 전기적으로 접속하는 배선(29)을 포함한다. FPC(41)는 외부로부터 터치 센서(22)로 신호를 출력하는 기능을 갖는다. 또한, FPC(41)는 터치 센서(22)로부터 외부로 신호를 공급하는 기능을 갖는다. 또한, FPC(41)가 없는 기판을 단순히 표시 패널이라고 부른다.

[0053] 또한, 터치 센서(22)가 형성된 기판(21)은 터치 센서 기판 또는 터치 센서 모듈로서 단체로 사용할 수도 있다. 예를 들어, 이와 같은 기판을 표시 패널의 표시면 측에 접착하여 터치 패널을 형성할 수 있다.

[0054] 터치 센서(22)는 복수의 도전층(23), 복수의 도전층(24), 및 복수의 도전층(25)을 포함한다. 도전층(23) 각각은 한 방향으로 연장된 형상을 갖는다. 복수의 도전층(23)은 연장된 방향과 교차되는 방향으로 배열되어 있다.

도전층(24) 각각은 2개의 인접된 도전층(23) 사이에 위치한다. 도전층(25) 각각은 도전층(23)의 연장된 방향과 교차되는 방향으로 인접한 2개의 도전층(24)을 전기적으로 접속한다. 즉, 도전층(23)의 연장된 방향과 교차되는 방향으로 배열되는 도전층(24) 중 몇 개는 도전층(25)에 의하여 서로 전기적으로 접속되어 있다.

- [0055] 여기서, 도전층(23)과 도전층(25)은 서로 중첩되는 영역이 있다. 도전층(23)과 도전층(25) 사이에 절연층이 제공된다.
- [0056] 서로 인접된 도전층(23)과 도전층(24)에 용량 소자가 형성된다. 예를 들어, 투영형 정전 용량 방식의 구동 방법을 채용하는 경우, 도전층(23) 및 도전층(24) 중 한쪽이 송신 측 전극으로서 사용되고, 다른 쪽이 수신 측 전극으로서 사용할 수 있다.
- [0057] 또한 여기서, 2개의 도전층(24)은 도전층(25)에 의하여 서로 전기적으로 접속된다. 또는, 도전층(24)이 도전층(23)과 마찬가지로 한 방향으로 연장되는 형상을 갖고, 도전층(23)과 도전층(24) 사이에 절연층을 제공하고, 도전층(25)이 제공되지 않는 구조를 채용할 수 있다. 이 경우, 도전층(23)과 도전층(24)은 서로 부분적으로 중첩된다.
- [0058] 또한, 예를 들어, 도전층(23), 도전층(24), 및 도전층(25)과 같은 도전막, 즉 터치 패널의 배선 및 전극의 재료로서 저항값이 낮은 재료를 바람직하게 사용할 수 있다. 예를 들어, 은, 구리, 또는 알루미늄 등의 금속이 사용되어도 좋다. 또는, 매우 작은 폭(예를 들어, 수nm의 직경)을 갖는 다수의 도전체를 포함하는 금속 나노 와이어를 사용하여도 좋다. 이러한 금속 나노 와이어의 예에는 Ag 나노 와이어, Cu 나노 와이어, 및 Al 나노 와이어가 포함된다. Ag 나노 와이어를 사용하는 경우, 89% 이상의 광 투과율 및 40ohm/square 이상 100ohm/square 이하의 시트 저항률을 달성할 수 있다. 또한, 이와 같은 금속 나노와이어는 높은 투과율을 제공하기 때문에 금속 나노와이어는 표시 소자의 전극, 예를 들어 화소 전극 또는 공통 전극에 사용되어도 좋다.
- [0059] 표시부(32)는 기판(31) 위에 제공된다. 표시부(32)는 매트릭스로 배열된 복수의 화소(33)를 포함한다. 각 화소(33)는 복수의 부화소 회로를 포함한다. 각 부화소 회로는 표시 소자에 전기적으로 접속된다. 표시부(32)의 화소(33)에 전기적으로 접속되는 회로(34)는 기판(31) 위에 제공되는 것이 바람직하다. 예를 들어, 게이트 드라이버로서 기능하는 회로는 회로(34)로서 사용할 수 있다. FPC(42)는 외부로부터 표시부(32) 및 회로(34) 중 적어도 하나로 신호를 공급하는 기능을 갖는다. 소스 드라이버로서 기능하는 IC는 기판(31) 또는 FPC(42)에 실장되는 것이 바람직하다. IC는 COG 방식 의하여 기판에 실장될 수 있다. 또는, IC가 실장된 FPC(42), TAB, TCP 등은 기판(31)에 접촉할 수 있다.
- [0060] 본 발명의 일 형태의 터치 패널 모듈은, 터치 동작 시의 터치 센서(22)에 의한 용량에서의 변화에 기초하여 위치 정보를 출력할 수 있다. 또한, 표시부(32)는 화상을 표시할 수 있다.
- [0061] [단면 구조에 1]
- [0062] 터치 패널 모듈(10)의 단면 구조예를 도면을 참조하여 아래에서 기재한다. 아래에 예로서 기재된 터치 패널 모듈(10)은 표시 소자로서 횡전계 방식의 액정 소자가 사용된 모듈이다.
- [0063] 도 2는 터치 패널 모듈(10)의 단면 개략도이다. 도 2는 도 1의 (A)의 FPC(42)를 포함하는 영역, 회로(34)를 포함하는 영역, 표시부(32)를 포함하는 영역, FPC(41)를 포함하는 영역 등의 단면을 도시한 것이다.
- [0064] 기판(21) 및 기판(31)은 접착층(141)에 의하여 서로 접착되어 있다. 기판(21), 기판(31), 및 접착층(141)에 의하여 둘러싸인 영역은 액정(152)이 밀봉되어 있다.
- [0065] 도전층(23) 및 도전층(24)을 포함하는 터치 센서(22), 접속부(101), 배선(29), 표시 소자(60), 트랜지스터(201), 트랜지스터(202), 용량 소자(203), 접속부(204), 배선(35) 등이 기판(31)과 기판(21) 사이에 제공된다.
- [0066] 절연층(211), 절연층(212), 절연층(213), 및 절연층(214) 등의 절연층이 기판(31) 위에 제공된다. 절연층(211)의 일부는 각 트랜지스터의 게이트 절연층으로서 기능하고, 다른 일부는 용량 소자(203)의 유전체로서 기능한다. 절연층(212), 절연층(213), 및 절연층(214)은 각 트랜지스터, 용량 소자(203) 등을 덮도록 제공된다. 절연층(214)은 평탄화층으로서 기능한다. 또한, 여기서 절연층(212), 절연층(213), 절연층(214)의 3층의 절연층이 트랜지스터 등을 덮도록 제공되는 예를 기재하였지만, 본 발명은 이 예에 한정되지 않고, 4층 이상의 절연층, 단층의 절연층, 또는 2층의 절연층이 제공되어도 좋다. 평탄화층으로서 기능하는 절연층(214)은 필요가 없으면 제공하지 않아도 된다.
- [0067] 도전층(221), 도전층(222), 도전층(223), 반도체층(231), 도전층(151) 등은 기판(31) 위에 제공된다. 여기서,

동일한 도전막을 가공하여 얻어진 복수의 층은 동일한 부호에 의하여 나타내는 경우가 있다.

- [0068] 도전층(221)은 각 트랜지스터의 게이트 전극, 용량 소자(203)의 한쪽 전극, 배선 등에 사용될 수 있다. 도전층(222)은 각 트랜지스터의 소스 전극 또는 드레인 전극, 용량 소자(203)의 다른 쪽 전극, 배선 등에 사용될 수 있다. 도전층(223)은 각 트랜지스터의 또 하나의 게이트 전극, 배선 등에 사용될 수 있다. 반도체층(231)은 트랜지스터의 반도체층 등에 사용될 수 있다.
- [0069] 도 2는 표시부(32)의 예로서 하나의 부화소의 단면을 도시한 것이다. 예를 들어, 상기 부화소는 적색을 나타내는 부화소, 녹색을 나타내는 부화소, 또는 청색을 나타내는 부화소이기 때문에 풀컬러 표시를 실현할 수 있다. 도 2에 도시된 부화소는 예를 들어 트랜지스터(202), 용량 소자(203), 표시 소자(60), 및 착색층(131R)을 포함한다. 여기서, 상기 부화소는 트랜지스터(202), 용량 소자(203), 배선 등을 포함한다.
- [0070] 도 2는 트랜지스터(201)가 제공된 회로(34)의 예를 도시한 것이다.
- [0071] 도 2에 도시된 예에서, 트랜지스터(201) 및 트랜지스터(202) 각각은 채널이 형성되는 반도체층(231)이 2개의 게이트 전극(도전층(221 및 223)) 사이에 제공되는 구성을 갖는다. 이러한 트랜지스터는 높은 전계 효과 이동을 가질 수 있어, 다른 트랜지스터보다 높은 온 상태 전류를 가질 수 있다. 결과적으로 고속 동작이 가능한 회로를 얻을 수 있다. 또한, 회로부가 차지하는 면적을 축소할 수 있다. 사이즈 또는 선명도의 증가 때문에 배선의 개수가 증가된 표시 패널 또는 터치 패널이라도 높은 온 상태 전류를 갖는 트랜지스터를 사용함으로써 배선에서의 신호 지연을 저감할 수 있고, 표시의 불균일을 저감할 수 있다.
- [0072] 여기서, 도 2 등은 간이화를 위하여 트랜지스터(202), 용량 소자(203) 등이 표시 소자(60)의 아래에 있는 예를 나타낸 것이다. 반사형 액정 표시 장치인 경우, 트랜지스터, 용량 소자, 또는 회로에 포함된 배선 등과 표시 소자(60)는 이와 같이 서로 중첩하도록 제공함으로써 개구율을 높일 수 있다. 투과형 액정 표시 장치의 경우, 발광 재료를 함유한 층이 표시 소자(60)의 아래에 제공되고, 트랜지스터(202), 용량 소자(203) 등이 표시 소자(60) 아래에 제공되지 않는 구성을 사용하는 것이 바람직하다.
- [0073] 또한, 반사형 액정 표시 장치의 경우, 도전층(151)은 부화소의 개구율이 높아지기 때문에 도 2에 도시된 바와 같이 트랜지스터(202)의 반도체층(231)과 중첩되도록 제공되는 것이 바람직하다. 이 경우, 도전층(223)은 도전층(151)과 반도체층(231) 사이에 바람직하게 제공된다. 도전층(223)은 반도체층(231)에 대한 도전층(151)의 전계의 영향을 막고, 오작동을 억제한다. 도전층(223)이 제공되지 않는 경우, 예를 들어 반도체층(231) 및 도전층(151)은 도 3에 도시된 바와 같이 서로 중첩되지 않도록 제공되는 것이 바람직하다.
- [0074] 또한 회로(34)에 포함되는 트랜지스터 및 표시부(32)에 포함되는 트랜지스터는 같은 구조를 가져도 좋다. 회로(34)에 포함되는 복수의 트랜지스터는 같은 구조를 가져도 좋고 상이한 구조를 가져도 좋다. 표시부(32)에 포함되는 복수의 트랜지스터는 같은 구조를 가져도 좋고 상이한 구조를 가져도 좋다.
- [0075] 트랜지스터들을 덮는 절연층(212) 및 절연층(213) 중 적어도 하나에 물 또는 수소 등의 불순물이 용이하게 확산되지 않는 재료를 사용하는 것이 바람직하다. 즉, 절연층(212) 또는 절연층(213)은 배리어막으로서 기능할 수 있다. 이와 같은 구조는 외부로부터 트랜지스터로의 불순물의 확산을 효과적으로 억제할 수 있고, 신뢰성이 높은 터치 패널을 제공할 수 있다.
- [0076] 도 2에 도시된 예에서, FFS(fringe field switching) 모드를 사용한 액정 소자를 표시 소자(60)로서 사용하였다. 표시 소자(60)는 도전층(151), 액정(152), 및 도전층(153)을 포함한다. 액정의 배향은 도전층(151)과 도전층(153) 사이에서 발생하는 전계에 의하여 제어될 수 있다.
- [0077] 도전층(153)은 절연층(214) 위에 제공된다. 절연층(215)은 도전층(153)을 덮어 제공되고, 도전층(151)은 절연층(215) 위에 제공된다. 도전층(151)은 절연층(212) 내지 절연층(215)에 제공된 개구에서 트랜지스터(202)의 소스 및 드레인 중 하나에 전기적으로 접속되어 있다.
- [0078] 도전층(151)의 상면 형상(평면 형상이라고도 함)은 빗 형상 또는 슬릿 slit)을 포함한다. 도전층(153)은 도전층(151)과 중첩되도록 제공된다. 착색층(131R) 등과 중첩되는 영역에서, 도전층(151)은 도전층(153) 위에 제공되지 않는 부분이 있다.
- [0079] 도 2에서, 도전층(151)은 화소 전극으로서 기능하고, 도전층(153)은 공통 전극으로서 기능한다. 또는, 위층에 제공되고 상면 형상이 빗 형상 또는 슬릿을 포함하는 도전층(151)은 공통 전극으로서 사용되어도 좋고, 아래층에 제공되는 도전층(153)은 화소 전극으로서 사용되어도 좋다. 이 경우, 도전층(153)은 트랜지스터(202)의 소

스 및 드레인 중 하나에 전기적으로 접속된다.

- [0080] 절연층(126), 차광층(115), 절연층(127), 도전층(23), 도전층(24), 도전층(25), 배선(29), 절연층(121), 절연층(123), 스페이서(124), 착색층(131R), 착색층(131B) 등이 기관(21)의 기관(31) 측에 제공되어 있다.
- [0081] 도 2에서, 도전층(23) 및 도전층(24)의 교차부의 단면을 도시하였다. 도전층(23) 및 도전층(24)은 같은 면에 제공되어 있다. 절연층(121)은 도전층(25)과 도전층들(23 및 24)과의 사이에 제공된다. 도전층(25)의 일부는 도전층(23)과 중첩된다. 도전층(23)이 사이에 제공된 2개의 도전층(24)은 절연층(121)에 제공된 개구를 통하여 도전층(25)에 전기적으로 접속된다.
- [0082] 착색층(131R) 등은 도전층(27)의 기관(31) 측에 제공된다. 절연층(123)은 착색층(131R) 등을 덮도록 제공된다.
- [0083] 도 2에서 표시 소자(60)는 도전층(151), 도전층(153)의 일부, 및 이들 위에 위치하는 액정(152)을 포함한다.
- [0084] 액정(152)의 배향을 제어하기 위한 배향막은 액정(152)과 접촉하는 도전층(151), 절연층(214) 등의 표면에 제공되어도 좋다.
- [0085] 도 2의 구조에서, 도전층(23)은 표시 소자(60)와 중첩되지 않도록 제공된다. 바꿔 말하면 도전층(23)은 표시 소자(60)가 도전층(23)의 개구와 중첩되도록 제공된다. 더 바꿔 말하면, 도전층(23)은 2개의 인접한 부화소의 2개의 도전층(151) 사이의 영역과 중첩되어 제공된다. 여기서는 도전층(23)의 예를 도시하였지만, 도전층(24) 및 도전층(25)도 표시 소자(60)와 중첩되지 않도록 제공되는 것이 바람직하다.
- [0086] 예를 들어, 표시 소자(60)가 반사형 액정 소자인 경우에는 예를 들어 도전층(151) 및 도전층(153) 중 하나 또는 양쪽 모두가 가시광을 반사하는 재료를 사용하여 형성될 수 있다. 그들 중 양쪽을 가시광을 반사하는 재료를 사용하여 형성하면 개구율을 높일 수 있다. 도전층(153)을 가시광을 반사하는 재료를 사용하여 형성하고, 도전층(151)을 가시광을 투과하는 재료를 사용하여도 형성하여도 좋다. 이와 같은 구조를 가짐으로써 표시 소자(60)는 반사형 액정 소자가 될 수 있다.
- [0087] 한편, 표시 소자(60)가 투과형 액정 소자인 경우, 도전층(151) 및 도전층(153) 중 하나 또는 양쪽 모두를 가시광을 투과하는 재료를 사용하여 형성할 수 있다. 그들 중 양쪽을 가시광을 투과하는 재료를 사용하여 형성하면, 개구율이 높아진다. 도전층(153)을 가시광을 투과하는 재료를 사용하고, 도전층(151)을 가시광을 차단하는 재료를 사용하여 형성하여도 좋다.
- [0088] 표시 소자(60)가 투과형 액정 소자인 경우, 예를 들어 도시하지 않은 2개의 편광판이 표시부를 그들 사이에 개재하여 제공된다. 편광판보다 외측에 제공된 백라이트로부터의 광은 편광판을 통하여 들어온다. 이때, 액정(152)의 배향은 도전층(151)과 도전층(153) 사이에 인가되는 전압에 의하여 제어되어 광의 광학 변조를 제어할 수 있다. 바꿔 말하면, 편광판을 통하여 사출되는 광의 강도를 제어할 수 있다. 입사광의 특정된 파장 영역 외의 광은 착색층(131R)에 의하여 흡수되어 예를 들어 적색광이 발광된다.
- [0089] 편광판에 더하여 예를 들어 원 편광판을 사용할 수 있다. 원 편광판으로서, 예를 들어, 직선 편광판 및 1/4 파장 위상 차판을 사용할 수 있다. 원 편광판으로, 시야각 의존을 저감할 수 있다.
- [0090] 여기서, 표시 소자(60)로서, 한 쌍의 전극이 표시 패널 모듈(10)의 두께 방향과 실질적으로 수직인 방향에 제공되고, 두께 방향에 실질적으로 수직인 방향에서 액정(152)에 전계가 인가된다. 전극들의 배열은 이에 한정되지 않고, 두께 방향에 전계가 인가되는 방법을 채용하여도 좋다.
- [0091] 표시 소자(60)에 사용할 수 있는 액정 소자로서 다양한 모드를 사용한 액정 소자를 사용할 수 있다. 예를 들어, VA(vertical alignment) 모드, TN(twisted nematic) 모드, IPS(in-plane switching) 모드, FFS(fringe field switching) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, 또는 AFLC(antiferroelectric liquid crystal) 모드 등을 사용할 수 있다.
- [0092] 또한, 예를 들어 수직 배향(VA) 모드를 이용한 투과형 액정 표시 장치 등의 노멀리 블랙형 액정 표시 장치를 터치 패널 모듈(10)로서 사용하여도 좋다. 상기 수직 배향 모드로서, 일부 예들, 예를 들어, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, 또는 ASV(advanced super view) 모드가 사용될 수 있다.
- [0093] 액정 소자는 액정의 광학 변조 작용을 이용하여 광의 투과 또는 비투과를 제어한다. 또한, 액정의 광학 변조 작용은 액정에 인가되는 전계(수평 방향의 전계, 수직 방향의 전계, 및 경사 방향의 전계를 포함함)에 의하여

제어된다. 액정 소자에 사용되는 액정으로서, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는 조건에 따라 콜레스테릭(cholesteric)상, 스멕틱(smectic)상, 큐빅(cubic)상, 키랄 네마틱(chiral nematic)상, 또는 등방(isotropic)상 등을 나타낸다.

- [0094] 액정 재료로서, 포지티브형 액정 및 네거티브형 액정 중 어느 것을 사용하여도 좋고, 사용하는 모드 또는 설계에 따라 적절한 액정 재료를 사용할 수 있다.
- [0095] 또는, 수평 전계 방식을 채용하는 경우, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정을 사용하여도 좋다. 블루상은, 콜레스테릭 액정의 온도가 상승되면서 콜레스테릭상이 등방상으로 전이하기 직전에 발현하는, 액정상 중 하나이다. 블루상은 좁은 온도 범위에서만 나타나기 때문에, 온도 범위를 향상시키기 위하여, 수중량% 이상의 키랄제를 혼합한 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정 및 키랄제를 포함하는 액정 조성물은 짧은 응답 시간 및 광학적 등방성을 갖는다. 또한, 블루상을 나타내는 액정 및 키랄제를 포함하는 액정 조성물은 시야각 의존성이 작다. 배향막을 제거할 필요가 없기 때문에 러빙 처리가 필요하지 않고, 이에 따라 러빙 처리에 기인하는 정전기 방전 대미지를 방지할 수 있고, 제작 공정에서의 액정 표시 장치의 불량 및 대미지를 감소할 수 있다.
- [0096] 도전층(27)은 표시부(32) 중 도전층(25)이 제공되지 않는 영역을 덮도록 제공된다.
- [0097] 도 2 등에 도시된 바와 같이, 도전층(25) 및 도전층(27)은 동일한 막을 가공함으로써 바람직하게 형성된다.
- [0098] 도전층(25) 및 도전층(27)은 가시광을 투과하는 도전성 재료를 사용하여 바람직하게 형성된다.
- [0099] 가시광을 투과하는 도전층(25) 및 도전층(27)은 예를 들어 금속 산화물을 함유하는 도전성 재료를 포함한다. 예를 들어, 금속 산화물은 나중에 기재하는 투광성 도전성 재료들을 사용할 수 있다.
- [0100] 또는, 도전층(25) 및 도전층(27)은 다른 도전층 또는 반도체층과 동일한 금속 원소를 함유하는 금속 산화물을 사용하여 바람직하게 형성된다. 특히, 산화물 반도체가 터치 패널 모듈(10)의 트랜지스터의 반도체층에 사용되는 경우, 산화물 반도체에 함유된 금속 원소를 함유한 도전성 산화물이 바람직하게 사용된다.
- [0101] 도전층(27)으로의 도전성 금속 산화물의 사용은 표면의 산화를 억제하므로, 터치 패널 모듈(10)의 신뢰성을 높게 할 수 있다.
- [0102] 도 2에서, 도전층(27)은 도전층(23) 및 도전층(24) 등과 중첩되도록 제공되어 있다. 도전층(27)에 공통 전위, 접지 전위, 또는 상기 외의 임의의 정전위를 인가함으로써, 도전층(23) 및 도전층(24)을 구동할 때 기관(31) 측에 발생하는 전기적 노이즈를 차단할 수 있다. 또한, 기관(31) 측에 제공된 부화소 회로를 구동할 때 기관(21) 측에 발생하는 전기적 노이즈를 차단할 수 있다.
- [0103] 이때, 액정(152)의 스위칭에 영향을 미치지 않는 정전위가 도전층(27)에 공급되어도 좋다. 예를 들어, 접지 전위, 공통 전위, 또는 임의의 정전위를 사용할 수 있다. 도전층(27) 및 도전층(153)은 예를 들어 동일한 전위로 하여도 좋다.
- [0104] 도전층(27)에 적절한 전위를 공급함으로써, 도전층(151)과 도전층(153) 사이에 발생하는 전계의 방향(전기력선의 방향)의 상기 두께 방향의 성분을 저감할 수 있고, 전계는 상기 두께 방향에 실질적으로 수직인 방향(횡방향)에 효과적으로 인가될 수 있다. 이로써, 액정(152)의 배향 결함을 억제할 수 있고, 광 누설 등의 불량을 막을 수 있다.
- [0105] 접속부(204)는 기관(31)의 단부 근처의 영역에 제공된다. 접속부(204)는 접속층(242)을 통하여 FPC(42)에 전기적으로 접속된다. 도 2는 배선(35)의 일부와 도전층(223)을 적층함으로써 형성된 접속부(204)의 예를 도시한 것이다. 접속부(101)는 기관(21)의 단부 근처의 영역에 제공된다. 접속부(101)는 접속층(241)을 통하여 FPC(41)에 전기적으로 접속된다. 도 2에 도시된 구성의 예에서는, 배선(29)의 일부, 및 도전층(25)을 형성하기 위하여 사용된 도전막을 가공하여 형성된 도전층을 적층함으로써 접속부(101)가 형성된다.
- [0106] 도 2에서, 예로, 배선으로서 기능하는 도전층(221) 및 배선으로서 기능하는 도전층(222)의 교차부의 단면 구조를 도시하였다. 예를 들어, 도전층(221)을 주사선으로서 기능하는 배선 및 용량선으로서 기능하는 배선 중 하나 또는 양쪽으로서 사용할 수 있고, 도전층(222)을 신호선으로서 기능하는 배선으로서 사용할 수 있다.
- [0107] 손가락 또는 스타일러스 등의 피검지체가 접촉될 기관은 기관(21) 위에 제공되어도 좋다. 또한, 편광판 또는 원 편광판은 기관(21)과 상기 그 위의 기관 사이에 제공되는 것이 바람직하다. 이 경우, 보호층(세라믹 코트

등)은 상기 기판 위에 제공되는 것이 바람직하다. 보호층은 산화 실리콘, 산화 알루미늄, 산화 이트륨, 또는 YSZ(yttria-stabilized zirconia) 등의 무기 절연 재료를 사용하여 형성될 수 있다. 또는, 기판에 강화 유리를 사용하여도 좋다. 여기서 사용될 수 있는 강화 유리는 이온 교환 방법, 열 템퍼링 방법 등에 의하여 물리적 또는 화학적 처리를 행하고, 압축 응력이 인가된 표면을 갖는다.

- [0108] 절연층(123)은 착색층(131R) 등에 포함되는 안료 등의 불순물이 액정(152)으로 확산되는 것을 막는 오버코트의 기능을 갖는다.
- [0109] 스페이서(124)는 절연층(123) 위에 제공되고, 기판(21)과 기판(31) 사이의 일정 거리를 유지하는 기능을 갖는다. 도 2는 스페이서(124)가 기판(31) 측의 구조물(예를 들어, 도전층(151) 및 절연층(214))과 접촉하지 않는 예를 도시하였지만, 스페이서(124)는 그들과 접촉하여도 좋다. 또한, 도 2는 스페이서(124)가 기판(21) 측에 제공된 예를 도시하였지만, 스페이서(124)는 기판(31) 측에 제공되어도 좋다. 예를 들어, 스페이서(124)는 2개의 인접된 부화소의 2개의 도전층(151) 사이에 제공되어도 좋다. 또는, 스페이서(124)로서 입상 스페이서를 사용하여도 좋다. 입상 스페이서에 실리카와 같은 재료를 사용할 수 있지만, 유기 수지 또는 고무와 같은 탄성을 갖는 재료를 사용하는 것이 바람직하다. 입상 스페이서는 수직 방향으로 찌그러질 경우가 있다.
- [0110] 스페이서(124) 및 도전층(23)(또는 도전층(24) 또는 도전층(25))은 도 2에 도시된 바와 같이 서로 중첩하도록 제공되는 것이 바람직하다. 이와 같은 구조에서, 표시 소자(60)가 제공되는 부분에 스페이서(124)는 제공되지 않아, 예를 들어 스페이서(124)로 인한 광의 흡수, 굴절, 또는 산란이 일어나지 않기 때문에 광의 추출 효율을 향상시킬 수 있다.
- [0111] 본 발명의 일 형태의 터치 패널 모듈(10)에서, 인접하는 부화소들 사이의 혼색을 막는 차광층(115)이 도전층(23) 및 도전층(24)보다 기판(21)에 가까운 위치에 제공되어 있다. 따라서, 차광층(115)은 도전층(23) 및 도전층(24)에 의한 외광의 반사로 인하여 일어나는 시인성의 저하를 막을 수 있다. 이와 같은 이유로, 도전층(23) 및 도전층(24)은 가시광을 반사하는 재료를 사용하여 형성할 수 있다. 또는, 가시광을 투과하는 재료를 사용한 경우에도 도전층(23) 또는 도전층(24)이 제공된 부분과 도전층(23) 또는 도전층(24)이 제공되지 않은 부분 사이의 경계가 시인되지 않기 때문에 시인성을 향상시킬 수 있다.
- [0112] 한편, 도전층(27)이 가시광을 투과하는 재료를 사용하여 형성되기 때문에 표시 소자(60), 착색층(131R) 등을 통과한 광은 도전층(27)을 통하여 외부로 사출된다.
- [0113] 도 2에 절연층(123)이 착색층(131R) 등을 덮도록 제공된 구조가 도시되었지만, 절연층(123)은 생략되어도 좋다. 이와 같은 구조는 터치 패널 모듈(10)을 제조하는 데 필요한 포토마스크, 및 패터닝 공정을 생략할 수 있다.
- [0114] 도 2에 착색층(131R)보다 기판(21)에 가까운 위치에 도전층(27)을 제공한 경우를 도시하였지만, 이들이 서로 중첩되도록 제공되기만 하면 상기 구조에 한정되지 않는다.
- [0115] 도 3의 터치 패널 모듈(10)에서, 도전층(27)은 착색층(131R)보다 기판(31)에 가까운 위치에 제공된다.
- [0116] 도 4 및 도 5에 도시된 터치 패널 모듈 각각에서, 도전층(27)은 절연층(123)보다 기판(31)에 가까운 위치에 제공된다.
- [0117] 도 4는 절연층(123)에 제공되는 개구의 형성이 도 5와 상이하다.
- [0118] 도 4에서, 도전층(25)과 절연층(123)이 서로 중첩되지 않도록 도전층(25)이 제공되는 위치 및 그 근방을 포함하여 절연층(123)에 개구가 형성된다.
- [0119] 한편, 도 5에서는 절연층(123)의 일부가 도전층(25)과 절연층(121) 사이에 제공되도록 절연층(123)이 가공된다. 이 구조에서, 도전층(25) 및 도전층(24)은 절연층(121) 및 절연층(123)에 제공된 개구를 통하여 서로 전기적으로 접속된다.
- [0120] 도 6은 착색층(131R) 등이 도전층(27)보다 기판(21)에 가까운 위치에 제공되는 예이다. 도 6에 도시된 구조에서, 절연층(127)은 착색층(131R)을 덮도록 제공된다. 착색층(131R) 등의 단차가 절연층(127)에 의하여 덮일 때, 도전층(23) 및 도전층(24) 등이 형성되는 표면의 평탄성이 높아져, 검출 감도의 균일성을 높일 수 있다.
- [0121] 이상이 단면 구조예 1의 기재이다.
- [0122] [단면 구조예 2]
- [0123] 상기 구조와 부분적으로 상이한 단면 구조예를 기재한다. 구체적으로, 도전층(25) 및 도전층(27)에 산화물 도

전체를 사용한 단면 구조예를 기재하였다.

- [0124] 도 7은 주로 도전층(25) 및 도전층(27) 등을 덮는 절연층(122)이 제공되는 점에서 도 2와 다르다.
- [0125] 도전층(25) 및 도전층(27)은 저저항 산화물 반도체를 포함하는 것이 바람직하다. 특히, 터치 패널 모듈(10)의 트랜지스터의 반도체층에 산화물 반도체가 사용되는 경우, 도전층(25) 및 도전층(27)은 반도체층에 사용되는 산화물 반도체층보다 저항률이 낮은 산화물 반도체를 사용하여 형성하는 것이 바람직하다.
- [0126] 도전층(27)의 저항률은 예를 들어, 나중에 기재하는 산화물 반도체의 저항률을 제어하는 방법에 의하여 저감할 수 있다.
- [0127] 이 경우, 수소를 많이 함유하는 절연층은 도전층(25) 및 도전층(27)을 덮는 절연층(122)으로서 사용되는 것이 바람직하다. 특히, 절연층(122)은 질화 실리콘을 함유하는 절연막을 포함하는 것이 바람직하다.
- [0128] 도전층(27)으로서 도전성 금속 산화물 또는 저저항 산화물 반도체를 사용함으로써 그 표면의 산화가 억제되어, 신뢰성이 높은 터치 패널 모듈(10)을 제공할 수 있다.
- [0129] 도 8, 도 9, 도 10, 및 도 11은 각각 도 3, 도 4, 도 5, 도 6에 절연층(122)을 추가한 예를 나타낸 것이다. 도 8, 도 9, 도 10, 및 도 11의 각각에서, 도전층(25) 및 도전층(27)은 트랜지스터의 반도체층 및 도전층(223)과 동일한 금속을 함유하는 산화물 반도체를 포함한다.
- [0130] 이상이 단면 구조예 2의 기재이다.
- [0131] [변형예]
- [0132] 튜브 게이트 트랜지스터를 포함하는, 본 발명의 일 형태의 터치 패널의 예를 도 12 및 도 13에 각각 도시하였다.
- [0133] 도 12의 터치 패널 모듈은 주로 트랜지스터(301) 및 트랜지스터(302)의 구조가 도 2와 다르다. 트랜지스터의 구조 외의 구조는 도 2와 대부분 같기 때문에, 동일한 부분은 동일한 부호에 의하여 나타내고, 공통된 부분의 자세한 기재는 생략한다.
- [0134] 도 13의 터치 패널 모듈은 튜브 게이트 트랜지스터가 도 7에 도시된 구조에 사용된 예를 나타낸다.
- [0135] 도 12 및 도 13은 각각 표시 소자(60)가 FFS 모드를 사용하는 액정 소자인 예를 도시한 것이다. 액정 소자(60)는 도전층(151), 액정(152), 및 도전층(153)을 포함한다.
- [0136] 트랜지스터(301) 및 트랜지스터(302)는 각각 버퍼층(300) 위의 반도체층, 게이트 절연층으로서 기능하는 절연층, 게이트 전극으로서 기능하고 게이트 절연층을 개재하여 반도체층과 중첩되는 도전층, 게이트 전극으로서 기능하는 도전층을 덮는 절연층, 소스 전극으로서 기능하는 도전층, 및 드레인 전극으로서 기능하는 도전층을 포함한다. 게이트 전극과 중첩되지 않는 반도체층의 영역은 게이트 전극이 중첩되는 채널 형성 영역보다 저항률이 낮은 것이 바람직하다.
- [0137] 산화물 반도체층을 사용하는 경우, 게이트 전극과 중첩되지 않는 반도체층의 영역이 채널 형성 영역보다 저항이 낮게 되도록, 불순물 원소(회가스, 질소, 인, 붕소, 수소 등)를 상기 게이트 전극과 중첩되지 않는 반도체층에 추가하는 것이 바람직하다. 회가스로서 헬륨, 아르곤 등을 사용할 수 있다. 불순물을 추가하기 위하여, 플라즈마를 사용한 방법, 이온 주입법 등을 사용할 수 있다. 이온 주입법은 게이트 전극을 마스크로서 사용하여 불순물을 첨가하여 산화물 반도체층의 일부의 저항을 저감할 수 있기 때문에 바람직하다.
- [0138] 용량 소자(203)는 게이트 전극으로서 기능하는 도전층, 소스 전극 또는 드레인 전극으로서 기능하는 도전층, 및 이들 사이에 유전체로서 제공되는 절연층을 포함한다. 접속부(204)는 배선(35)의 일부 및 도전층(223)을 적층하여 형성된다. 도전층(223)은 산소 가스를 포함하는 분위기하에서 스퍼터링법에 의하여 형성되므로, 도전층(223)이 형성되는 절연층(212)에 산소 또는 과잉 산소가 첨가된다. 또한, 과잉 산소는 트랜지스터(301) 및 트랜지스터(302)의 산화물 반도체층의 산소 빈자리를 채우기 때문에 신뢰성이 높은 트랜지스터를 제공할 수 있다. 과잉 산소가 절연층(212) 및/또는 산화물 반도체층에 공급되는 경우, 절연층(213)은 산소의 투과를 억제할 수 있는 재료를 사용하여 형성하는 것이 바람직하다.
- [0139] 버퍼층(300)은 산화 실리콘 또는 금속 산화물 등의 절연 재료를 사용하여 형성된다. 버퍼층(300)에 사용되는 금속 산화물로서, 알루미늄, 인듐, 갈륨, 아연 등 중 하나 이상이 함유되는 산화물이 사용된다. 버퍼층(300)을 위하여, 물 및 수소 등의 불순물이 확산되기 어려운 재료를 사용하는 것이 바람직하다. 바꿔 말하면, 버퍼층(300)은 배리어막으로서 기능할 수 있다. 이러한 구조는 외부로부터 트랜지스터(301) 및 트랜지스터(302)에 불

순물이 확산되는 것을 효과적으로 억제할 수 있으므로, 신뢰성이 높은 터치 패널을 제공할 수 있다.

- [0140] 이상이 변형예의 기재이다.
- [0141] [구성 요소]
- [0142] 상술한 구성 요소를 아래에서 기재한다.
- [0143] 터치 패널에 포함되는 기관으로서 평단면을 갖는 기관을 사용할 수 있다. 표시 소자로부터의 빛이 추출되는 층의 기관은 상기 빛을 투과시키는 재료를 사용하여 형성된다. 예를 들어, 유리, 석영, 세라믹, 사파이어, 유기 수지 등의 재료를 사용할 수 있다.
- [0144] 얇은 기관을 사용함으로써, 터치 패널의 무게 및 두께를 감소할 수 있다. 가요성을 가질 정도로 얇은 기관을 사용함으로써 플렉시블 터치 패널을 얻을 수 있다.
- [0145] 유리로서는, 예를 들어, 무알칼리 유리, 바륨 붕규산 유리, 알루미늄 붕규산 유리 등을 사용할 수 있다.
- [0146] 가요성을 갖고 가시광을 투과시키는 재료의 예에는 가요성 유리, 폴리에틸렌테레프탈레이트(PET) 및 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스터 수지, 폴리아크릴로나이트릴 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카보네이트(PC) 수지, 폴리에테르설폰(PES) 수지, 폴리아마이드 수지, 사이클로올레핀 수지, 폴리스타이렌 수지, 폴리아마이드이미드 수지, 폴리염화바이닐 수지, 및 폴리테트라플루오로에틸렌(PTFE) 수지가 포함된다. 특히, 열팽창 계수가 낮은 재료가 바람직하고, 예를 들어 폴리아마이드 이미드 수지, 폴리이미드 수지, 또는 PET가 적합하게 사용될 수 있다. 유기 수지에 유리 섬유가 함침(含浸)된 기관 또는 유기 수지에 무기 필러(filler)를 섞음으로써 열팽창 계수가 저감된 기관이 사용될 수도 있다. 이와 같은 재료를 사용한 기관은 가볍기 때문에, 이 기관을 사용한 터치 패널도 가볍게 할 수 있다.
- [0147] 발광이 추출되지 않는 기관은, 투광성을 갖지 않아도 되기 때문에, 상술한 기관에 더하여, 금속 기관, 세라믹 기관, 반도체 기관 등을 사용할 수 있다. 열전도도가 높은 금속 재료 및 합금 재료는, 밀봉 기관 전체에 열을 용이하게 전도할 수 있기 때문에 터치 패널의 국부적인 온도 상승을 방지할 수 있어, 바람직하다. 가요성 및 굽힘성을 얻기 위해서는 금속 기관의 두께를 10 μm 이상 200 μm 이하로 하는 것이 바람직하고, 20 μm 이상 50 μm 이하로 하는 것이 더 바람직하다.
- [0148] 금속 기관의 재료에 특별한 제한은 없지만, 예를 들어, 알루미늄, 구리, 니켈 등의 금속, 또는 알루미늄 합금 또는 스테인리스강 등의 합금을 사용하는 것이 바람직하다.
- [0149] 표면을 산화시키거나, 표면에 절연막을 제공함으로써 절연 처리가 실시된 기관을 사용하는 것이 바람직하다. 예를 들어, 스핀 코팅법 또는 딥(dipping)법 등의 도포법, 전착법, 증착법, 또는 스퍼터링법에 의하여 절연막을 형성하여도 좋다. 산소 분위기에서의 노출 또는 가열, 또는 양극 산화법 등에 의하여 기관 표면에 산화물막을 형성하여도 좋다.
- [0150] 가요성 기관 위에, 터치 패널 표면이 대미지로부터 보호되는 하드코트층(예를 들어 질화 실리콘층), 가압을 분산할 수 있는 층(예를 들어 아라미드 수지층) 등이 적층되어도 좋다. 또한, 수분 등으로 인한 표시 소자의 수명 저하를 억제하기 위하여, 투수성이 낮은 절연막이 가요성 기관 위에 적층되어도 좋다. 예를 들어, 질화 실리콘, 산화질화 실리콘, 산화 알루미늄, 또는 질화 알루미늄과 같은 무기 절연 재료를 사용할 수 있다.
- [0151] 기관은 복수의 층을 적층함으로써 형성되어도 좋다. 유리층이 사용될 때, 물 및 산소에 대한 배리어성은 향상되어, 신뢰성이 높은 터치 패널을 제공할 수 있다.
- [0152] 예를 들어, 표시 소자에 가까운 측으로부터 유리층, 접착층, 및 유기 수지층을 적층한 기관을 사용할 수 있다. 유리층의 두께는 20 μm 이상 200 μm 이하, 바람직하게는 25 μm 이상 100 μm 이하로 한다. 이와 같은 두께로 함으로써, 유리층은 물 및 산소에 대한 높은 배리어성과 높은 가요성의 양쪽을 가질 수 있다. 유기 수지층의 두께는 10 μm 이상 200 μm 이하이고, 20 μm 이상 50 μm 이하인 것이 바람직하다. 이러한 유기 수지층을 제공함으로써, 유리층의 크랙 또는 깨짐의 발생을 억제할 수 있어 기계적 강도를 향상시킬 수 있다. 이러한 유리 재료와 유기 수지의 복합 재료를 포함하는 기관을 사용하여, 신뢰성이 높은 가요성 터치 패널을 제공할 수 있다.
- [0153] [트랜지스터]
- [0154] 트랜지스터는 게이트 전극으로서 기능하는 도전층, 반도체층, 소스 전극으로서 기능하는 도전층, 드레인 전극으로서 기능하는 도전층, 및 게이트 절연층으로서 기능하는 절연층을 포함한다. 상술한 기체는 보텀 게이트 트랜

지스터가 사용된 경우이다.

- [0155] 또한, 본 발명의 일 형태의 터치 패널에 포함되는 트랜지스터의 구조에 특별한 한정은 없다. 예를 들어, 순 스테거(forward staggered) 트랜지스터 또는 역 스테거(inverted staggered) 트랜지스터를 사용하여도 좋다. 톱 게이트 트랜지스터를 사용하여도 좋고, 또는 보텀 게이트 트랜지스터를 사용하여도 좋다. 트랜지스터에 사용하는 반도체 재료에 특별한 제한은 없고 예를 들어, 산화물 반도체, 실리콘, 또는 저마늄을 사용하여도 좋다.
- [0156] 트랜지스터에 사용되는 반도체 재료의 결정성은 특별히 한정되지 않고, 비정질 반도체 또는 결정성을 갖는 반도체(미결정 반도체, 다결정 반도체, 단결정 반도체, 또는 부분적으로 결정 영역을 포함한 반도체)를 사용하여도 좋다. 결정성을 갖는 반도체를 사용하면, 트랜지스터 특성의 열화를 억제할 수 있어 바람직하다.
- [0157] 트랜지스터의 반도체층의 반도체 재료로서는, 예를 들어, 14족 원소, 화합물 반도체, 또는 산화물 반도체를 사용할 수 있다. 대표적으로는, 실리콘을 함유한 반도체, 갈륨 비소를 함유한 반도체, 또는 인듐을 함유한 산화물 반도체 등을 사용할 수 있다.
- [0158] 특히 실리콘보다 넓은 밴드 갭을 갖는 산화물 반도체를 사용하는 것이 바람직하다. 실리콘보다 밴드 갭이 넓고 캐리어 밀도가 낮은 반도체 재료는 트랜지스터의 오프 상태에서의 누설 전류를 저감할 수 있어 바람직하게 사용된다.
- [0159] 예를 들어, 상기 산화물 반도체로서 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 산화물 반도체는 In-M-Zn계 산화물(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, Hf 또는 Nd 등의 금속을 나타냄)을 포함하는 것이 더 바람직하다.
- [0160] 반도체층으로서, 복수의 결정 부분들을 포함하고 그 결정 부분들의 c-축들이 반도체층이 형성되는 면 또는 반도체층의 상면에 실질적으로 수직으로 배향되고, 인접하는 결정 부분들 사이에 결정립계(grain boundary)가 관찰되지 않는 산화물 반도체막을 사용하는 것이 특히 바람직하다.
- [0161] 그러한 산화물 반도체에는 결정립계가 없으므로 표시 패널이 굽혀질 때 응력에 의하여 일어나는 산화물 반도체막에서의 크랙의 발생이 억제된다. 그러므로, 굽혀진 상태에서 사용되는 가요성 터치 패널 등에 이와 같은 산화물 반도체를 적합하게 사용할 수 있다.
- [0162] 또한, 이와 같은 결정성을 가진 산화물 반도체를 반도체층에 사용함에 의하여, 전기 특성의 변동이 억제된, 신뢰성이 높은 트랜지스터를 제공할 수 있게 된다.
- [0163] 상기 트랜지스터의 낮은 오프 상태 전류에 의하여, 실리콘의 밴드갭보다 밴드갭이 큰 산화물 반도체를 사용한 트랜지스터는, 트랜지스터와 직렬로 접속된 용량 소자에 축적된 전하를 장시간 유지할 수 있다. 이와 같은 트랜지스터를 화소에 사용하면, 각 표시 영역에 표시된 화상의 계조를 유지하면서, 구동 회로의 동작을 정지할 수 있다. 결과적으로 매우 낮은 소비전력을 갖는 표시 장치를 얻을 수 있다.
- [0164] 반도체층은, 예를 들어 적어도 인듐, 아연, 및 M(M은 Al, Ti, Ga, Y, Zr, La, Ce, Sn, 또는 Hf 등의 금속)을 함유하는 In-M-Zn 산화물로 표기되는 막을 포함하는 것이 바람직하다. 상기 산화물 반도체를 포함하는 트랜지스터의 전기적 특성의 편차를 저감시키기 위하여, 산화물 반도체는 인듐, 아연, 및 M에 더하여 스테빌라이저(stabilizer)를 포함하는 것이 바람직하다.
- [0165] 스테빌라이저의 예로서, M으로서 사용될 수 있는 금속을 포함하여, 갈륨, 주석, 하프늄, 알루미늄, 및 지르코늄이 있다. 또한, 다른 스테빌라이저로서, 란타넘, 세륨, 프라세오디뮴, 네오디뮴, 사마륨, 유로퓸, 가돌리늄, 터븀, 디스프로슘, 홀뮴, 어븀, 툴륨, 이터븀, 또는 루테튬 등의 란타노이드를 들 수 있다.
- [0166] 반도체층에 포함되는 산화물 반도체로서 다음 중 임의의 것을 사용할 수 있다, 예를 들어 In-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, 및 In-Hf-Al-Zn계 산화물.
- [0167] 또한 여기서, 예를 들어 "In-Ga-Zn계 산화물"이란, In, Ga, 및 Zn을 주성분으로서 포함하는 산화물을 의미하고, In:Ga:Zn의 비율에 한정은 없다. 또한, In-Ga-Zn계 산화물은 In, Ga, 및 Zn에 더하여 다른 금속 원소가 포함되어도 좋다.

- [0168] 반도체층 및 도전층은 상술한 산화물에 함유되는 동일한 금속 원소를 포함하여도 좋다. 반도체층 및 도전층에 동일한 금속 원소를 사용함으로써, 제조 비용을 저감할 수 있다. 예를 들어, 동일한 금속 조성의 금속 산화물 타깃을 사용하면, 제조 비용을 저감할 수 있고, 반도체층 및 도전층을 가공하는 데 동일한 에칭 가스 또는 동일한 에칭액을 사용할 수 있다. 반도체층 및 도전층은 동일한 금속 원소를 가져도 조성이 상이한 경우가 있다. 예를 들어, 트랜지스터 및 용량 소자의 제작 공정 중에 막 내의 금속 원소가 탈리되어 상이한 금속 조성이 될 수 있다.
- [0169] 반도체층이 In-M-Zn 산화물일 경우, Zn 및 O를 고려하지 않을 때, In 및 M의 비율은 In 및 M의 합산이 100atomic%로 간주될 때 다음과 같이, In의 원자수비가 25atomic%보다 높고 M의 원자수비가 75atomic% 미만이고, 더 바람직하게는 In의 원자수비가 34atomic%보다 높고 M의 원자수비가 66atomic% 미만인 것이 바람직하다.
- [0170] 반도체층의 에너지 갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 이러한 에너지 갭이 넓은 산화물 반도체를 사용함으로써 트랜지스터의 오프 상태 전류를 저감시킬 수 있다.
- [0171] 반도체층의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하이다.
- [0172] 반도체층이 In-M-Zn 산화물(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, Hf 또는 Nd을 나타냄)인 경우, In-M-Zn 산화물의 막을 형성하기 위하여 사용되는 스퍼터링 타깃의 금속 원소의 원자 비율이  $In \geq M$  및  $Zn \geq M$ 을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타깃의 금속 원소의 원자수비로서는 In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, 및 In:M:Zn=3:1:2가 바람직하다. 또한, 형성된 반도체층의 금속 원소의 원자수비는, 상기 스퍼터링 타깃의 금속 원소의 원자수비에서 오차로서  $\pm 40\%$ 의 범위 내에서 변동된다.
- [0173] 반도체층으로서 캐리어 밀도가 낮은 산화물 반도체막이 사용된다. 예를 들어, 반도체층은 캐리어 밀도가 낮은 (구체적으로,  $1 \times 10^{17}/\text{cm}^3$  이하, 바람직하게는  $1 \times 10^{15}/\text{cm}^3$  이하, 더 바람직하게는  $1 \times 10^{13}/\text{cm}^3$  이하, 더욱 바람직하게는  $1 \times 10^{11}/\text{cm}^3$  이하, 더욱더 바람직하게는  $1 \times 10^{10}/\text{cm}^3$  이하이고  $1 \times 10^{-9}/\text{cm}^3$  이상) 산화물 반도체이다. 이러한 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체라고 한다. 산화물 반도체는 낮은 불순물 농도, 낮은 결합 상태 밀도를 포함하므로, 안정된 특성을 갖는 산화물 반도체라고 할 수 있다.
- [0174] 또한, 상술한 기재에 한정되지 않고, 트랜지스터의 요구되는 반도체 특성 및 전기 특성(예를 들어, 전계 효과 이동도 및 문턱 전압)에 따라 적절한 조성을 갖는 재료를 사용하여도 좋다. 요구되는 트랜지스터의 반도체 특성을 얻기 위하여, 반도체층의 캐리어 밀도, 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 값으로 하는 것이 바람직하다.
- [0175] 14족에 속하는 원소 중 하나인 실리콘 또는 탄소가 반도체층에 함유되면, 반도체층에서 산소 빈자리가 증가되고, 반도체층이 n형이 된다. 따라서, 반도체층의 실리콘 또는 탄소의 농도(SIMS(secondary ion mass spectrometry)에 의하여 측정됨)는  $2 \times 10^{18} \text{ atoms}/\text{cm}^3$  이하, 바람직하게는  $2 \times 10^{17} \text{ atoms}/\text{cm}^3$  이하이다.
- [0176] 알칼리 금속 및 알칼리 토금속은 산화물 반도체에 결합될 때에 캐리어가 생성될 수 있고, 그 경우, 트랜지스터의 오프 상태 전류가 높아질 수 있다. 그러므로, SIMS로 측정되는 반도체층의 알칼리 금속 또는 알칼리 토금속의 농도는  $1 \times 10^{18} \text{ atoms}/\text{cm}^3$  이하, 바람직하게는  $2 \times 10^{16} \text{ atoms}/\text{cm}^3$  이하이다.
- [0177] 반도체층에 질소가 포함되어 있으면, 캐리어로서의 역할을 하는 전자가 발생하고, 캐리어 밀도가 증가하여, 반도체층은 n형화하기 쉽다. 따라서, 질소를 함유하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이와 같은 이유로, SIMS에 의하여 측정되는 질소 농도를 예를 들어,  $5 \times 10^{18} \text{ atoms}/\text{cm}^3$  이하로 설정하는 것이 바람직하다.
- [0178] 반도체층은 예를 들어 비단결정 구조를 가져도 좋다. 비단결정 구조의 예에는 CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 구조, 미결정 구조, 및 비정질 구조가 포함된다. 비단결정 구조 중, 비정질 구조는 결합 상태의 밀도가 가장 높은 한편, CAAC-OS는 결합 상태의 밀도가 가장 낮다.
- [0179] 반도체층은 예를 들어 비정질 구조일 수 있다. 비정질 구조를 갖는 산화물 반도체막은 예를 들어 원자 배열이 불규칙하며 결정 성분을 갖고 있지 않다. 또는, 비정질 구조를 갖는 산화물막은 예를 들어 완전한 비정질 구조를 갖고, 결정부를 갖고 있지 않다.

- [0180] 반도체층은 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역 중 2종 이상의 영역을 포함하는 혼합막일 수 있다. 혼합막은 예를 들어 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역 중 2종 이상을 포함하는 경우도 있다. 혼합막은 다음 중 2종 이상이 적층된 적층 구조를 가져도 좋다: 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역.
- [0181] 또는, 트랜지스터의 채널이 형성되는 반도체에 실리콘을 사용하는 것이 바람직하다. 실리콘으로서 비정질 실리콘을 사용하여도 좋지만, 결정성을 갖는 실리콘을 사용하는 것이 특히 바람직하다. 예를 들어, 미결정 실리콘, 다결정 실리콘, 단결정 실리콘 등을 사용하는 것이 바람직하다. 특히, 다결정 실리콘은 단결정 실리콘보다 낮은 온도로 형성될 수 있고, 비정질 실리콘보다 높은 전계 효과 이동도 및 높은 신뢰성을 갖는다. 이러한 다결정 반도체를 화소에 사용하면 화소의 개구율을 향상시킬 수 있다. 높은 선명도의 표시 패널인 경우에도 게이트 구동 회로 및 소스 구동 회로는 화소가 형성된 기판 위에 형성될 수 있고, 전자 기기의 구성 요소의 개수를 저감할 수 있다.
- [0182] [도전층]
- [0183] 트랜지스터의 게이트, 소스, 및 드레인, 그리고 터치 패널에 포함되는 배선 또는 전극으로서, 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 및 텅스텐 등의 금속 중 어느 것, 또는 이들 금속 중 어느 것을 주성분으로 함유하는 합금을 사용할 수 있다. 이들 재료 중 임의의 것을 함유하는 막을 포함하는 단층 구조 또는 다층 구조를 사용할 수 있다. 예를 들어, 이하의 구조를 들 수 있다, 실리콘을 함유하는 알루미늄막의 단층 구조, 타이타늄막 위에 알루미늄막이 적층된 2층 구조, 텅스텐막 위에 알루미늄막이 적층된 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막이 적층된 2층 구조, 타이타늄막 위에 구리막이 적층된 2층 구조, 텅스텐막 위에 구리막이 적층된 2층 구조, 타이타늄막 또는 질화 타이타늄막, 알루미늄막 또는 구리막, 및 타이타늄막 또는 질화 타이타늄막이 이 순서대로 적층된 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막, 알루미늄막 또는 구리막, 및 몰리브데넘막 또는 질화 몰리브데넘막이 이 순서대로 적층된 3층 구조. 산화 인듐, 산화 주석, 또는 산화 아연 등의 산화물을 사용하여도 좋다. 망가니즈를 함유한 구리는 에칭에 의한 형상 제어성이 높아지기 때문에 바람직하게 사용된다.
- [0184] 투광성 도전 재료로서는 산화 인듐, 인듐 주석 산화물, 인듐 아연 산화물, 산화 아연, 갈륨이 첨가된 산화 아연 등의 도전성 산화물, 또는 그래핀을 사용할 수 있다. 또는, 금, 은, 백금, 마그네슘, 니켈, 텅스텐, 크로뮴, 몰리브데넘, 철, 코발트, 구리, 팔라듐, 또는 타이타늄 등의 금속 재료 또는 이들 금속 재료 중 임의의 것을 함유한 합금 재료를 사용할 수 있다. 또는, 상기 금속 재료의 질화물(예를 들어, 질화 타이타늄) 등을 사용하여도 좋다. 금속 재료 또는 합금 재료(또는 그것의 질화물)를 사용하는 경우에는, 광을 투과할 수 있을 정도로 두께를 얇게 한다. 또는, 상기 재료 중 임의의 것의 적층을 도전층으로서 사용할 수 있다. 예를 들어, 은과 마그네슘의 합금, 및 인듐 주석 산화물이 적층된 막은 도전성을 높일 수 있어 바람직하게 사용된다.
- [0185] 또는, 도전층으로서, 반도체층과 마찬가지로 산화물 반도체를 사용하는 것이 바람직하다. 이 경우, 도전층이 반도체층의 채널이 형성되는 영역보다 낮은 전기 저항을 갖도록 형성되는 것이 바람직하다.
- [0186] 예를 들어, 이와 같은 도전층을 도전층(25), 도전층(27), 트랜지스터의 제 2 게이트 전극으로서 기능하는 도전층(223) 등으로서 사용할 수 있다. 또는 다른 투광성 도전층으로서 사용할 수 있다.
- [0187] <산화물 반도체의 저항률의 제어 방법>
- [0188] 반도체층 및 도전층으로서 각각 사용할 수 있는 산화물 반도체막은 막의 산소 빈자리 및/또는 막의 수소 또는 물과 같은 불순물의 농도에 의하여 저항률이 제어될 수 있는 반도체 재료를 포함한다. 따라서, 반도체층 및 도전층에 행해지는 처리는 각 산화물 반도체막의 저항률의 제어하기 위하여 다음으로부터 선택된다: 산소 빈자리 및/또는 불순물 농도가 증가되는 처리, 및 산소 빈자리 및/또는 불순물 농도가 저감되는 처리.
- [0189] 특히, 도전층으로서 사용되는 산화물 반도체막에 플라즈마 처리를 행하여 산화물 반도체막 내의 산소 빈자리 및/또는 수소 또는 물 등의 불순물을 증가시킴으로써, 산화물 반도체막은 높은 캐리어 밀도 및 낮은 저항률을 가질 수 있다. 또한, 수소를 함유하는 절연막으로부터 산화물 반도체막으로 수소를 확산시키도록 수소를 함유하는 절연막이 산화물 반도체막과 접촉되어 형성되어, 산화물 반도체막은 높은 캐리어 밀도 및 낮은 저항률을 가질 수 있다.

- [0190] 트랜지스터의 채널 영역으로서 기능하는 반도체층은 수소를 함유하는 절연막과 접촉하지 않는다. 산소를 포함하는 절연막, 즉 산소를 방출할 수 있는 절연막을 상기 절연막들 중 적어도 하나(의 절연막)에 사용함으로써, 반도체층으로 산소를 공급할 수 있다. 산소가 공급된 반도체층은 막 중 또는 계면에서의 산소 빈자리가 보충되기 때문에 높은 저항을 갖는다. 또한 산소를 방출할 수 있는 절연막으로서, 예를 들어 산화 실리콘막, 산화질화 실리콘막이 사용될 수 있다.
- [0191] 산화물 반도체막의 저항률을 저감하기 위하여, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 산화물 반도체막에 수소, 붕소, 인, 또는 질소를 주입하는 데 채용할 수 있다.
- [0192] 산화물 반도체막의 저항률을 저감하기 위하여, 플라즈마 처리를 산화물 반도체막에 행하여도 좋다. 플라즈마 처리를 위하여, 희가스(He, Ne, Ar, Kr, 또는 Xe), 수소, 및 질소 중 적어도 하나를 함유하는 가스가 대표적으로 사용된다. 구체적으로, Ar 분위기에서의 플라즈마 처리, Ar 및 수소의 혼합 가스 분위기에서의 플라즈마 처리, 암모니아 분위기에서의 플라즈마 처리, Ar 및 암모니아의 혼합 가스 분위기에서의 플라즈마 처리, 질소 분위기에서의 플라즈마 처리 등이 채용될 수 있다.
- [0193] 플라즈마 처리가 행해진 산화물 반도체막에서, 산소가 방출된 격자(또는 산소가 방출된 부분)에 산소 빈자리가 형성된다. 이 산소 빈자리는 캐리어를 발생시킬 수 있다. 또한, 수소가, 산화물 반도체막의 근방에 있는 절연막(구체적으로는, 산화물 반도체막의 하면 또는 상면에 접촉되는 절연막)으로부터 공급되면, 수소가 상기 산소 빈자리에 결합되어 캐리어로서 기능하는 전자가 발생될 수 있다.
- [0194] 산소 빈자리가 산소로 보충되고 수소 농도가 저감된 산화물 반도체막은 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막이라고 할 수 있다. 여기서, "실질적으로 진성"이라는 용어는, 산화물 반도체막이  $8 \times 10^{11}/\text{cm}^3$  미만, 바람직하게는  $1 \times 10^{11}/\text{cm}^3$  미만, 더 바람직하게는  $1 \times 10^{10}/\text{cm}^3$  미만의 캐리어 농도를 갖는다. 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은 캐리어 발생원이 적기 때문에 낮은 캐리어 밀도를 가질 수 있다. 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은 낮은 결합 상태의 밀도를 갖기 때문에 낮은 트랩 상태의 밀도를 가질 수 있다.
- [0195] 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은 오프 상태 전류가 매우 낮기 때문에, 소자의 채널 폭이  $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가  $10 \mu\text{m}$ 이더라도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V 내지 10V일 때, 오프 상태 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉  $1 \times 10^{-13}\text{A}$  이하일 수 있다. 따라서, 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막인 반도체층에 채널 영역이 형성되는 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높아질 수 있다.
- [0196] 예를 들어, 도전층으로서 사용되는 산화물 반도체막과 접촉하는 절연막으로서, 수소를 함유하는 절연막, 바꿔 말하면, 수소를 방출할 수 있는 절연막, 대표적으로 질화 실리콘막을 사용함으로써, 도전층으로 수소를 공급할 수 있다. 수소를 방출할 수 있는 절연막의 수소 농도는  $1 \times 10^{22}\text{atoms}/\text{cm}^3$  이상인 것이 바람직하다. 이와 같은 절연막은 도전층과 접촉되어 형성됨으로써 수소를 도전층에 효과적으로 함유시킬 수 있다. 이와 같이, 산화물 반도체막의 저항률은 반도체층 및 도전층과 접촉하는 절연막의 구성을 바꿈으로써 제어할 수 있다.
- [0197] 산화물 반도체막에 함유되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 되고, 또한 산소가 방출된 격자(또는 산소가 방출된 부분)에 산소 빈자리가 형성된다. 산소 빈자리에 수소가 들어감으로써, 캐리어로서의 역할을 하는 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자에 결합된 산소와 결합되면 캐리어로서의 역할을 하는 전자를 발생시킬 수 있다. 따라서, 수소를 함유하는 절연막과 접촉되어 형성되는 도전층은 반도체층보다 캐리어 밀도가 높은 산화물 반도체막이다.
- [0198] 트랜지스터의 채널 영역이 형성된 반도체층에서, 가능한 한 수소를 저감하는 것이 바람직하다. 구체적으로는, 반도체층에서 SIMS에 의하여 측정되는 수소의 농도는  $2 \times 10^{20}\text{atoms}/\text{cm}^3$  이하, 바람직하게는  $5 \times 10^{19}\text{atoms}/\text{cm}^3$  이하, 더 바람직하게는  $1 \times 10^{19}\text{atoms}/\text{cm}^3$  이하,  $5 \times 10^{18}\text{atoms}/\text{cm}^3$  미만, 더 바람직하게는  $1 \times 10^{18}\text{atoms}/\text{cm}^3$  이하, 더 바람직하게는  $5 \times 10^{17}\text{atoms}/\text{cm}^3$  이하, 더욱 바람직하게는  $1 \times 10^{16}\text{atoms}/\text{cm}^3$  이하로 설정된다.
- [0199] 도전층은 반도체층보다 높은 수소 농도 및/또는 산소 빈자리의 수(즉, 낮은 저항률)를 갖는 산화물 반도체막이다. 도전층의 수소 농도는  $8 \times 10^{19}\text{atoms}/\text{cm}^3$  이상, 바람직하게는  $1 \times 10^{20}\text{atoms}/\text{cm}^3$  이상, 더 바람직하게는  $5 \times 10^{20}\text{atoms}/\text{cm}^3$  이상이다. 도전층의 수소 농도는 반도체층의 수소 농도의 2배 이상, 바람직하게는 10배

이상이다. 도전층의 저항률은 바람직하게는 반도체막의 저항률의  $1 \times 10^{-8}$ 배 이상  $1 \times 10^{-1}$ 배 미만이다. 도전층의 저항률이 대표적으로  $1 \times 10^{-3} \Omega \text{cm}$  이상  $1 \times 10^4 \Omega \text{cm}$  미만, 더 바람직하게는  $1 \times 10^{-3} \Omega \text{cm}$  이상  $1 \times 10^{-1} \Omega \text{cm}$  미만이다.

- [0200] [절연층]
- [0201] 절연층, 오버코트, 스페이서 등에 사용될 수 있는 절연 재료의 예에는 아크릴 또는 에폭시 수지 등의 수지, 실록산 결합을 갖는 수지, 및 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 또는 산화 알루미늄 등의 무기 절연 재료가 포함된다.
- [0202] [접착층]
- [0203] 접착층에, 열 경화 수지, 광 경화 수지, 또는 2액형 경화 수지 등의 경화 수지를 사용할 수 있다. 예를 들어, 아크릴 수지, 우레탄 수지, 에폭시 수지, 또는 실리콘(silicone) 등의 실록산 결합을 갖는 수지를 사용할 수 있다.
- [0204] [접속층]
- [0205] 접속층으로서 ACF(anisotropic conductive film) 또는 ACP(anisotropic conductive paste) 등을 사용할 수 있다.
- [0206] [착색층]
- [0207] 착색층에 사용할 수 있는 재료의 예로서는, 금속 재료, 수지 재료, 안료 또는 염료가 함유된 수지 재료를 들 수 있다.
- [0208] 이상은 각 구성 요소에 관한 기재이다.
- [0209] [터치 센서의 구조예]
- [0210] 다음으로, 본 발명의 일 형태의 터치 패널 모듈(10)에 사용될 수 있는 터치 센서(22)의 구조예를 도면을 참조하여 기재한다.
- [0211] 도 14의 (A)는 터치 센서(22)의 일부의 상면 개략도(평면 개략도)이다. 도 14의 (B)는 도 14의 (A)의 일점쇄선으로 둘러싸인 영역을 확대한 상면 개략도이다.
- [0212] 도 14의 (A) 및 (B)에서 나타낸 바와 같이, 도전층(23)은 도전층(25)과 교차되는 부분의 폭이 작아지도록, 부분적으로 좁게 하는 것이 바람직하다. 이로써, 용량 소자(11)의 용량을 저감할 수 있다. 자기 용량 방식의 터치 센서를 사용하는 경우, 용량 소자(11)의 용량이 작을수록 검출 감도가 증가할 수 있다.
- [0213] 또한, 서로 인접한 도전층(23)과 도전층(24) 사이에, 이들 도전층들(23 및 24)로부터 전기적으로 절연된 도전층(26)을 제공하여도 좋다. 도전층(26)은 터치 센서(22)의 얇은 부분의 형성을 억제할 수 있다. 예를 들어, 도전층(23) 및 도전층(24)이 동일한 평면 위에 형성되고, 도전층(23) 및 도전층(24)과 마찬가지로 형성된 도전층(26)은 도전층의 형성 후에 형성되는 박막의 피복성을 증가시켜, 표면을 평탄화할 수 있다. 또한, 터치 센서(22)의 두께가 균일화됨으로써, 터치 센서(22)를 통하여 화소로부터 발광되는 광의 휘도 불균일이 저감되고, 터치 패널은 높은 표시 품질을 달성할 수 있다.
- [0214] 도 14의 (C)는 도전층(23) 및 도전층(24)을 상이한 평면에 형성하고, 도전층(25)을 제공하지 않는 경우를 나타낸 것이다. 이때, 도전층(26)은 도전층(23) 또는 도전층(24)이 형성되는 평면 위에 형성하여도 좋고, 도전층(23) 또는 도전층(24)이 형성되는 평면과 상이한 평면에 형성하여도 좋다. 또한, 도전층(26)은 필요가 없으면, 반드시 제공할 필요는 없다.
- [0215] 도 15의 (A)는 도 14의 (A) 내지 (C)에서의 개략도와 상이한 패턴을 갖는 터치 센서의 일부의 상면 개략도이다.
- [0216] 도 15의 (A)에 도시된 예에서는, 도전층(23)은 도전층(23) 및 도전층(24)의 교차부에서 도전층(24)보다 넓다.
- [0217] 도전층들(23)을 표시부의 긴 변 방향에 서로 평행하게 배치하고, 도전층들(24)을 짧은 변 방향에 서로 평행하게 배치한 경우, 예를 들어 도전층(23)의 저항값의 증대를 막기 위하여 도 15의 (A) 및 (B)에 도시된 바와 같이 도전층(23)의 폭을 도전층(24)보다 크게 하는 것이 효과적이다.
- [0218] 도 15의 (B)는 도전층(23)에 전기적으로 접속된 도전층(25)이 제공된 예를 도시한 것이다. 이와 같이 도전층

(25)에 의하여 브릿지가 형성되는 경우, 도전층(23)과 도전층(25) 사이의 접촉 저항이 검출 감도에 영향을 미치는 경우가 있다. 이러한 이유로, 브릿지 구조를 갖는 도전층 층의 폭을 크게 하는 것이 특히 효과적이다. 또한, 이때, 도전층들(23)은 표시부의 짧은 변 방향에 서로 평행하게 배치되는 도전층이어도 좋다.

- [0219] 도 16의 (A)는 복수의 도전층(23)과 복수의 도전층(24)을 포함하는 터치 센서(22)의 회로도의 일례를 나타낸 것이다. 도 16의 (A)는 간략화를 위하여 6개의 도전층(23)과 6개의 도전층(24)을 나타내었지만 도전층(23)의 수와 도전층(24)의 수는 이에 한정되지 않는다.
- [0220] 하나의 용량 소자(11)가 도전층들(23) 중 하나와 도전층들(24) 중 하나 사이에 형성된다. 그러므로, 용량 소자(11)는 매트릭스로 배열된다.
- [0221] 투영형 자기 용량 방식의 경우, 도전층(23) 및 도전층(24)의 각각에는 도전층(23) 및 도전층(24)이 주사되도록 펄스 전압이 인가되고, 이때 도전층(23) 또는 도전층(24)에 흐르는 전류의 값을 검지한다. 물체가 가까워지는 경우에는 전류의 크기가 변화되기 때문에 값들 사이의 차이를 검지함으로써 물체의 위치 정보를 얻을 수 있다. 투영형 상호 용량 방식의 경우에는, 도전층(23) 및 도전층(24) 중 한쪽에 도전층(23) 및 도전층(24) 중 한쪽이 주사되도록 펄스 전압이 인가되고, 다른 쪽에 흐르는 전류를 검지하여 물체의 위치 정보를 얻는다.
- [0222] 도전층(23) 및 도전층(24) 각각은 복수의 개구를 갖는 격자 형상 또는 메시 형상을 갖는 것이 바람직하다. 도 16의 (B)는 도전층(23)의 일부의 상면 형상의 예를 나타낸다.
- [0223] 도 16의 (B)에 도시된 도전층(23)은 횡방향으로 제공된 간격(P1), 종방향으로 제공된 간격(P2)을 갖는 격자 형상을 갖는다. 도 16의 (B)에서는 간격(P1)과 간격(P2)이 거의 같지만 이들은 상이한 간격으로 배치되어도 좋다. 예를 들어, 도 16의 (C)에 도시된 바와 같이 횡방향의 간격(P1)보다 종방향의 간격(P2)을 크게 하여도 좋고, 횡방향의 간격(P1)보다 종방향의 간격(P2)을 작게 하여도 좋다. 또한, 도전층(24)에 관해서도 마찬가지이다.
- [0224] 도전층(23) 또는 도전층(24)은 개구율(단위 면적당 도전층(23) 또는 도전층(24)의 개구 면적의 비율)이 20% 이상 100% 미만, 바람직하게는 30% 이상 100% 미만, 더 바람직하게는 50% 이상 100% 미만인 영역을 갖는 것이 바람직하다.
- [0225] 개구율은 간격(P1), 간격(P2) 및 도전층의 폭에 의하여 쉽게 산출할 수 있다. 또는, 영역(R)이 도 16의 (B)의 주기 단위라고 가정할 때, 영역(R)의 면적과 영역(R)에 포함되는 도전층(23)의 면적의 비율로부터 개구율을 산출할 수 있다. 여기서, 영역(R)은 도전층(23)의 주기 패턴의 주기 단위이다. 영역(R)을 종방향 및 횡방향으로 주기적으로 배열시킴으로써 도전층(23)의 패턴을 형성할 수 있다.
- [0226] 도전층(23) 및 도전층(24) 각각에 있어서, 격자의 폭을 예를 들어, 50nm 이상 100  $\mu\text{m}$  이하, 더 바람직하게는 1  $\mu\text{m}$  이상 50  $\mu\text{m}$  이하, 더욱 바람직하게는 1  $\mu\text{m}$  이상 20  $\mu\text{m}$  이하이다. 이와 같이 좁은 폭을 가진 격자는 후술한 것처럼 개구가 화소와 중첩되는 경우에 인접한 화소를 서로 가깝게 할 수 있다. 결과적으로, 터치 패널은 더 높은 선명도와 높은 개구율을 가질 수 있다.
- [0227] 도 17의 (A)는 도전층(23)과 도전층(24) 사이의 경계 부분을 확대한 상면 개략도이다.
- [0228] 도전층(23) 및 도전층(24) 각각은 격자 형상(메시 형상이라고도 함)을 갖는 것이 바람직하다. 즉, 도전층(23) 및 도전층(24)은 각각 복수의 개구(개구(23a) 및 개구(24a))를 갖는 것이 바람직하다. 개구와 화소는 나중에 기재하는 것처럼 서로 중첩되도록 제공되면, 화소의 표시 소자로부터의 발광이 도전층(23) 및 도전층(24)에 의하여 차광되거나, 도전층(23) 및 도전층(24)을 통한 투과로 인한 휘도의 저하가 일어나거나 하지 않는다. 그 결과, 터치 센서(22)는 화소의 개구율의 저하 및 광 추출 효율의 저하없이 터치 패널에 사용될 수 있다. 또한, 도전층(25)은 마찬가지로 화소와 중첩되지 않는 형상을 갖는 것이 바람직하다.
- [0229] 도 17의 (A)에 도시된 바와 같이 도전층(23)의 일부와 도전층(24)의 일부로 둘러싸인 개구(22a)는 이들의 경계 부분에서 형성되어도 좋다. 이와 같은 구성은 도전층(23)과 도전층(24)의 거리를 현저히 줄일 수 있고, 이들 사이의 용량을 크게 할 수 있다. 특히, 상호 용량 방식을 사용하는 경우에는 2개의 도전층의 거리를 줄여 이들 사이의 용량을 높이는 것이 바람직하다.
- [0230] 도 17의 (B)는 도전층(23) 및 도전층(24)의 교차부를 확대한 상면 개략도이다. 여기서, 인접한 2개의 도전층(24)이 도전층(25)과 서로 전기적으로 접속되는 예를 나타낸다. 도면에는 도시하지 않았지만, 절연층(121)은 도전층(25)과 도전층들(23 및 24)과의 사이에 제공된다. 도전층들(24 및 25)은 절연층(121)에 제공된 개구를

통하여 서로 전기적으로 접속된다. 도전층들(23 및 25)은 절연층(121)을 개재하여 서로 부분적으로 중첩된다.

- [0231] 도 18의 (A)는 도 17의 (B)의 구조에 도전층(27)이 중첩된 도면이다. 도 18의 (B)에서, 이 경우의 도전층(27) 및 도전층(25)을 파선에 의하여 나타내었다.
- [0232] 상술한 바와 같이, 도전층(27)에 개구(갭이라고도 함)가 제공될 수 있고, 개구 내에 도전층(25)이 제공될 수 있다. 따라서, 도전층(27) 및 도전층(25)은 동일한 도전막을 가공함으로써 형성될 수 있다.
- [0233] 도전층(27) 및 도전층(25)은 상이한 도전막을 가공하여 형성하는 경우, 도전층(27) 및 도전층(25)은 서로 중첩되어도 좋다.
- [0234] 도 19의 (A)는 도 17의 (A) 및 (B)와 도 18의 (A) 및 (B)와 상이한 패턴의 예를 나타낸다. 도 19의 (A)는 도전층(23) 및 도전층(24)의 교차부 근방의 상면 개략도이다. 도전층(24)은 도전층(25)과 브릿지된다. 도 19의 (B)에서 도전층(25) 및 도전층(27)은 파손으로 나타내어진다.
- [0235] 도 19의 (A) 및 (B)는 복수의 스트라이프 형상의 도전층(27)이 도전층(24)의 연장 방향으로 제공된 예를 나타낸다. 복수의 도전층(27)이 표시부의 외주부(예를 들어 회로(34)와 중첩되는 부분)에서 서로 전기적으로 중첩되고, 동일한 전위를 공급할 수 있는 구조가 바람직하다. 도전층(27)은 표시 소자와 중첩되는 부분은 넓고, 도전층(23)과 중첩되는 부분은 좁은 잘록한 형상을 갖는다. 도전층(27) 및 도전층(23)이 서로 중첩되는 면적을 작게 하면, 도전층(23)의 기생 용량이 저감될 수 있다.
- [0236] [도전층의 개구와 화소의 배치예]
- [0237] 도 20의 (A) 내지 (G)는 각각 표시면 측으로부터 보았을 때의 화소, 화소에 포함된 부화소, 및 도전층(23) 사이의 위치 관계를 나타낸 개략도이다. 도 20의 (A) 내지 (G)에서 예로서 도전층(23)을 나타내었지만, 도전층(24) 및 도전층(25)에도 마찬가지로 적용할 수 있다.
- [0238] 도 20의 (A)에서 나타낸 예에서 화소(33)는 부화소(33R), 부화소(33G), 및 부화소(33B)를 포함한다. 예를 들어, 부화소(33R), 부화소(33G), 및 부화소(33B)는 각각 적색, 녹색, 청색을 표시하는 기능을 갖는다. 화소(33)에 포함되는 부화소의 수 및 색은 이에 한정되지 않는다.
- [0239] 화소(33)에 포함되는 부화소는 각각 표시 소자를 갖는다. 상술한 액정 소자는 표시 소자로서 사용될 수 있다. 상술한 액정 소자 외에도, 유기 EL 소자 등의 발광 소자; 투과형, 반투과형, 또는 반사형의 액정 소자; 전기 영동 방식 또는 전자 분류체(電子粉流體, Electronic Liquid Powder(등록 상표)) 방식 등에 의하여 표시를 하는 표시 소자(전자 잉크); MEMS 셔터 표시 소자; 및 광 간섭 방식의 MEMS 표시 소자 등을 표시 소자의 예로서 포함한다. 부화소는 표시 소자에 더하여 트랜지스터, 용량 소자, 및 트랜지스터와 용량 소자를 전기적으로 접속하는 배선 등을 가져도 좋다.
- [0240] 도 20의 (A)에서 나타낸 구조에서, 도전층(23)의 복수의 개구 각각은 3개의 부화소(즉, 부화소(33R), 부화소(33G), 및 부화소(33B)) 중 임의의 하나와 중첩되도록 제공된다. 이와 같이, 도전층(23)의 개구는 하나의 부화소와 중첩되도록 제공되는 것이 바람직하다.
- [0241] 도 20의 (B)는 다른 색을 나타내는 2개의 인접한 부화소 사이에 도전층(23)을 제공하는 구조를 도시한 것이다. 도 20의 (B)에 도시된 바와 같이, 같은 색을 나타내는 2개의 부화소 사이에서 혼색이 일어나지 않기 때문에, 그들 사이에 도전층(23)을 제공하지 않는 부분을 포함하는 구조를 적용하여도 좋다.
- [0242] 도 20의 (C) 및 (D)는 각각 도 20의 (A) 및 (B)에 나타낸 구조에서 화소(33)가 부화소(33Y)를 더 포함하는 예를 도시한 것이다. 예를 들어, 황색을 표시할 수 있는 화소는 부화소(33Y)에 사용될 수 있다. 부화소(33Y) 대신에 백색을 표시할 수 있는 화소를 사용하여도 좋다. 화소(33)가 3색보다 많은 부화소를 포함하면, 소비전력을 저감할 수 있다.
- [0243] 도 20의 (A) 내지 (D)에서 나타낸 예에서, 각 색의 부화소는 스트라이프 패턴으로 배열된다. 또는, 도 20의 (E)에서 나타낸 바와 같이, 예를 들어 2색의 부화소가 한 방향으로 교대로 있어도 좋다.
- [0244] 또한, 화소(33)에 포함되는 부화소는 크기(예를 들어, 표시에 기여하는 영역의 면적)가 달라도 좋다. 예를 들어, 비교적 시감도가 낮은 청색의 부화소의 크기를 크게 설정할 수 있는 반면, 비교적 시감도가 높은 녹색 또는 적색의 부화소의 크기를 작게 설정할 수 있다.
- [0245] 도 20의 (F) 및 (G)는 부화소(33B)의 크기가 부화소(33R), 부화소(33G)보다 큰 예를 각각 나타낸 것이다. 여기

서는, 부화소(33R)와 부화소(33G)가 교대로 있는 예를 나타내었다. 하지만, 도 20의 (A) 및 다른 도면에 도시된 바와 같이, 각 색의 부화소가 스트라이프 패턴으로 배열되고, 서로 크기가 달라도 좋다.

- [0246] 도전층(23) 및 부화소들 사이의 위치 관계를 여기서 기재하였지만, 도전층(24) 및 도전층(25)에도 마찬가지로 적용할 수 있다. 이것은, 본 발명의 일 형태에 따른 터치 패널에서, 도전층(23)의 개구(23a)가 하나 이상의 부화소와 중첩되는 영역을 갖고, 도전층(24)의 개구(24a)가 하나 이상의 다른 부화소와 중첩되는 영역을 갖는다는 것이다. 각 부화소는 상술한 표시 소자를 포함하기 때문에 개구(23a) 및 개구(24a)는 각각 하나 이상의 표시 소자와 중첩되는 영역을 갖는다고 할 수 있다.
- [0247] 본 실시형태의 적어도 일부는 본 명세서에 기재된 임의의 실시형태와 적절히 조합하여 실시될 수 있다.
- [0248] (실시형태 2)
- [0249] 본 실시형태에서는, 본 발명의 일 형태에 따른 입력 장치 또는 입출력 장치의 구동 방법예를 도면을 참조하여 기재한다.
- [0250] [센서의 검지 방법예]
- [0251] 도 21의 (A)는 상호 용량 터치 센서의 구조를 도시한 블록도이다. 도 21의 (A)는 펄스 전압 출력 회로(601) 및 전류 검출 회로(602)를 도시한 것이다. 또한, 도 21의 (A)에서, 6개의 배선 X1 내지 X6은 펄스 전압이 인가되는 전극들(621)을 나타내고, 6개의 배선 Y1 내지 Y6은 전류의 변화를 검지하는 전극들(622)을 나타낸다. 도 21의 (A)에는 전극들(621 및 622)이 서로 중첩되어 형성되는 용량 소자(603)도 도시하였다. 또한, 전극(621 및 622) 사이에서 기능 치환이 가능하다.
- [0252] 펄스 전압 출력 회로(601)는 배선 X1 내지 X6에 순차적으로 펄스 전압을 인가하기 위한 회로이다. 배선 X1 내지 X6에 펄스 전압을 인가함으로써 용량 소자(603)의 전극들(621 및 622) 사이에 전계가 발생된다. 상기 전극들 사이의 전계가 차폐된 경우, 예를 들어 용량 소자(603)의 상호 용량에서 변화가 일어난다. 이 변화를 이용하여, 물체의 근접 또는 접촉을 검지할 수 있다.
- [0253] 전류 검출 회로(602)는 용량 소자(603)에서의 용량의 변화로 인하여 일어나는 배선 Y1 내지 Y6을 흐르는 전류의 변화를 검지하기 위한 회로이다. 물체의 근접 또는 접촉이 없으면 배선 Y1 내지 Y6에서 전류 값의 변화가 없지만, 물체의 근접 또는 접촉에 의하여 용량이 감소되면 전류 값의 감소가 검지된다. 또한, 전류 값의 검지에는 적분 회로 등을 사용한다.
- [0254] 도 21의 (B)는 도 21의 (A)에 도시된 상호 용량 터치 센서에서의 입출력 파형을 나타낸 타이밍 차트이다. 도 21의 (B)에서는 1프레임 기간에 각 행렬에서 물체의 검출이 수행된다. 도 21의 (B)는 물체가 검지되지 않은(비(非)터치) 기간과 물체가 검지된(터치) 기간을 나타낸 것이다. 검지된 배선 Y1 내지 Y6의 전류 값은 전압 값의 파형으로서 나타내어진다.
- [0255] 펄스 전압이 배선 X1 내지 X6에 순차적으로 인가되고, 이 펄스 전압에 따라 배선 Y1 내지 Y6의 파형이 변화된다. 물체의 근접 또는 접촉이 없을 때에는 배선 X1 내지 X6의 전압의 변화에 따라 배선 Y1 내지 Y6의 파형이 변화된다. 물체가 근접 또는 접촉되는 부분에서는 전류 값이 감소되기 때문에 전압 값의 파형이 변화된다.
- [0256] 이러한 식으로 상호 용량의 변화를 검지함으로써 물체의 근접 또는 접촉을 검지할 수 있다.
- [0257] 펄스 전압 출력 회로(601) 및 전류 검지 회로(602)가 전자 기기의 하우징 내의 기판에 실장되거나 또는 IC의 형태로 터치 패널에 실장되는 것이 바람직하다. 가요성을 갖는 터치 패널의 경우에는 터치 패널의 굽힘부에서는 기생 용량이 증가되어 노이즈의 영향이 증가될 수 있다. 이러한 관점에서, 노이즈의 영향을 덜 받는 구동 방법이 적용된 IC를 사용하는 것이 바람직하다. 예를 들어 시그널-노이즈비(S/N비)를 높일 수 있는 구동 방법이 적용된 IC를 사용하는 것이 바람직하다.
- [0258] 도 21의 (A)는 터치 센서로서 배선의 교차부에 용량 소자(603)만이 제공된 패시브 매트릭스형 터치 센서이지만, 트랜지스터 및 용량 소자를 포함하는 액티브 매트릭스형 터치 센서를 사용하여도 좋다. 도 22는 액티브 매트릭스형 터치 센서에 포함되는 센서 회로이다.
- [0259] 센서 회로는 용량 소자(603) 및 트랜지스터들(611, 612, 및 613)을 포함한다. 트랜지스터(613)의 게이트에는 신호(G2)가 입력된다. 전압 VRES가 트랜지스터(613)의 소스 및 드레인 중 하나에 인가되고, 용량 소자(603)의 하나의 전극 및 트랜지스터(611)의 게이트는 트랜지스터(613)의 소스 및 드레인 중 다른 하나에 전기적으로 접

속되어 있다. 트랜지스터(611)의 소스 및 드레인 중 하나는 트랜지스터(612)의 소스 및 드레인 중 하나에 전기적으로 접속되어 있고, 전압 VSS가 트랜지스터(611)의 소스 및 드레인 중 다른 하나에 인가된다. 트랜지스터(612)의 게이트에는 신호 G1이 입력되고, 배선 ML은 트랜지스터(612)의 소스 및 드레인 중 다른 하나에 전기적으로 접속되어 있다. 용량 소자(603)의 다른 하나의 전극에는 전압 VSS가 인가된다.

- [0260] 다음으로, 센서 회로의 동작에 대하여 기재한다. 먼저, 신호 G2로서 트랜지스터(613)를 온으로 하는 전위가 공급되어, 전압 VRES에 대응하는 전위가 트랜지스터(611)의 게이트에 접속되는 노드 n에 인가된다. 다음에, 신호 G2로서 트랜지스터(613)를 오프로 하는 전위가 인가됨으로써, 노드 n의 전위는 유지된다.
- [0261] 그리고, 손가락 등 물체의 근접 또는 접촉에 의하여 용량 소자(603)의 용량이 변화되고, 이에 따라 노드 n의 전위가 VRES에서 변화된다.
- [0262] 판독 동작에서 트랜지스터(612)를 온으로 하는 전위가 신호 G1로서 공급된다. 노드 n의 전위에 따라 트랜지스터(611)를 흐르는 전류, 즉 배선 ML을 흐르는 전류가 변화된다. 이 전류를 검지함으로써 물체의 근접 또는 접촉을 검출할 수 있다.
- [0263] 트랜지스터들(611, 612, 및 613)은 채널이 형성되는 반도체층에 산화물 반도체를 각각 포함하는 것이 바람직하다. 특히 트랜지스터(613)로서 이와 같은 트랜지스터를 사용함으로써, 노드 n의 전위가 장기간에 걸쳐 유지될 수 있고 노드 n에 VRES를 다시 공급하는 동작(리프레시 동작)의 빈도를 줄일 수 있어 바람직하다.
- [0264] [인셀형 터치 패널의 구조예]
- [0265] 표시 소자 등이 제공되는 기관과 상이한 기관 위에 터치 센서의 전극을 형성한 예를 위에서 기재하였지만, 표시 소자 등이 제공되는 기관 위에 터치 센서의 한 쌍의 전극 중 어느 하나 또는 둘 다를 형성하여도 좋다.
- [0266] 복수의 화소를 포함하는 표시부에 터치 센서를 포함하는 터치 패널의 구조예를 아래에서 기재한다. 여기서, 화소에 제공된 표시 소자로서 액정 소자를 사용하는 예를 나타낸다.
- [0267] 도 23의 (A)는 본 구조예에서의 터치 패널의 표시부에 제공된 화소 회로의 일부의 등가 회로도이다.
- [0268] 각 화소는 적어도 트랜지스터(3503) 및 액정 소자(3504)를 포함한다. 또한, 트랜지스터(3503)의 게이트가 배선(3501)과 전기적으로 접속되고 트랜지스터(3503)의 소스 및 드레인 중 하나가 배선(3502)과 전기적으로 접속된다.
- [0269] 화소 회로는 X 방향으로 연장되는 복수의 배선(예를 들어 배선(3510\_1) 및 배선(3510\_2)) 및 Y 방향으로 연장되는 복수의 배선(예를 들어 배선(3511))을 포함한다. 이들 배선들은 서로 교차하여 제공되고 용량이 이들 사이에 형성된다.
- [0270] 상기 화소 회로에 제공된 화소들 중에서, 서로 인접한 몇몇 화소들의 액정 소자의 전극 중 한쪽이 서로 전기적으로 접속되어 하나의 블록을 형성한다. 이 블록은 2종류로 분류된다: 섬 형상의 블록(예를 들어 블록(3515\_1) 또는 블록(3515\_2)) 및 Y 방향으로 연장된 선형의 블록(예를 들어 블록(3516)). 또한, 도 23의 (A) 및 (B)에는 화소 회로의 일부만 도시하였지만 실제로는 이들 2종류의 블록이 X 방향 및 Y 방향으로 반복적으로 배치된다.
- [0271] X 방향으로 연장되는 배선(3510\_1)(또는 배선(3510\_2))은 섬 형상의 블록(3515\_1)(또는 블록(3515\_2))과 전기적으로 접속된다. 도시하지 않았으나, X 방향으로 연장된 배선(3510\_1)은 선형의 블록들을 개재하여 X 방향을 따라 불연속적으로 제공되는 복수의 섬 형상의 블록(3515\_1)과 전기적으로 접속된다. 또한, Y 방향으로 연장되는 배선(3511)은 선형의 블록(3516)과 전기적으로 접속된다.
- [0272] 도 23의 (B)는 X 방향으로 연장된 복수의 배선(3510)과 Y 방향으로 연장된 복수의 배선(3511) 사이의 접속을 도시한 등가 회로도이다. X 방향으로 연장된 배선(3510) 각각에는 입력 전압 또는 공통 전위를 입력할 수 있다. 또한, 접지 전위를 Y 방향으로 연장된 배선(3511) 각각에 입력할 수 있고, 또는 배선(3511) 각각을 검지 회로와 전기적으로 접속할 수 있다.
- [0273] 상술한 터치 패널의 동작은 도 24의 (A) 및 (B)를 참조하여 기재한다.
- [0274] 여기서, 1 프레임 기간은 기록 기간 및 검지 기간으로 나누어진다. 기록 기간은 화상 데이터가 화소에 기록되는 기간이고, 도 23의 (A)에 도시된 배선(3501)(게이트선 또는 주사선이라고도 함)은 순차적으로 선택된다. 한편, 검지 기간은 터치 센서로 검지가 수행되는 기간이고, X 방향으로 연장된 배선(3510)은 순차적으로 선택되고 입력 전압이 입력된다.

- [0275] 도 24의 (A)는 기록 기간의 증가 회로도이다. 기록 기간에 있어서, 공통 전위가 X 방향으로 연장된 배선(3510) 및 Y 방향으로 연장된 배선(3511) 양쪽에 입력된다.
- [0276] 도 24의 (B)는 검지 기간의 어느 시점에서의 증가 회로도이다. 검지 기간에 있어서, Y 방향으로 연장된 배선(3511) 각각이 검출 회로와 전기적으로 접속된다. X 방향으로 연장된 배선(3510) 중 선택된 것에 입력 전압이 입력되고, X 방향으로 연장된 배선(3510) 중 선택되지 않은 것에 공통 전위가 입력된다.
- [0277] 또한, 여기서 기재한 구동 방법은 인셀 터치 패널뿐만 아니라 상술한 터치 패널에도 적용할 수 있고, 구동 방법 예에서 기재한 방법과 조합하여 사용될 수 있다.
- [0278] 상술한 바와 같이 화상이 기록되는 기간 및 터치 센서로 검지가 수행되는 기간을 독립적으로 제공하는 것이 바람직하다. 따라서, 화소에 데이터를 기록할 때 발생된 노이즈로 인하여 일어나는 터치 센서의 감도 저하를 억제할 수 있다.
- [0279] 본 실시형태의 적어도 일부는 본 명세서에서 기재하는 다른 실시형태 중 임의의 것을 적절히 조합하여 실시할 수 있다.
- [0280] (실시형태 3)
- [0281] 본 실시형태에서는, 본 발명의 일 형태에 따른 표시 장치, 또는 표시 시스템을 포함하는 표시 모듈 및 전자 기기에 대하여, 도 25 및 도 26의 (A) 내지 (H)를 참조하여 기재하겠다.
- [0282] 도 25에 도시된 표시 모듈(8000)에는 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)에 접속된 터치 패널(8004), 프레임(8009), 인쇄 기관(8010), 및 배터리(8011)가 제공되어 있다.
- [0283] 본 발명의 일 형태에 따른 터치 패널 모듈에는 예를 들어 터치 패널(8004)을 사용할 수 있다.
- [0284] 상부 커버(8001) 및 하부 커버(8002)의 형상 및 크기는, 터치 패널(8004)의 크기에 따라 적절히 변경될 수 있다.
- [0285] 터치 패널(8004)은, 저항 터치 패널 또는 정전 터치 패널일 수 있고, 표시 패널과 중첩되도록 형성되어도 좋다. 또는, 터치 패널(8004)의 대향 기관(밀봉 기관)은 터치 패널 기능을 가질 수 있다. 또는, 광학식 터치 패널을 형성하기 위하여 터치 패널(8004)의 각 화소에 포토센서가 제공되어도 좋다.
- [0286] 투과형 액정 소자인 경우, 도 25에 도시된 바와 같이 백라이트(8007)가 제공되어도 좋다. 백라이트(8007)는 광원(8008)을 포함한다. 도 25에서는 백라이트(8007) 위에 광원(8008)을 제공하였지만, 본 발명의 일 형태는 이 구조에 한정되지 않는다. 예를 들어, 백라이트(8007)의 단부에 광원(8008)이 제공되고, 광 확산판이 더 제공되는 구조를 채용하여도 좋다. 또한, 유기 EL 소자 등의 자기 발광의 발광 소자를 사용하는 경우 또는 반사형 패널 등을 채용하는 경우, 백라이트(8007)를 제공할 필요는 없다.
- [0287] 프레임(8009)은 표시 패널(8006)을 보호하고 인쇄 기관(8010)의 동작에 의하여 발생하는 전자기파를 차단하기 위한 전자 실드로서 기능한다. 프레임(8009)은 방열판으로서도 기능할 수 있다.
- [0288] 인쇄 기관(8010)에는, 전원 회로와, 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로가 제공된다. 전원 회로에 전력을 공급하기 위한 전원으로서, 외부 상용 전원, 또는 별도로 제공된 배터리(8011)를 사용하는 전원을 사용하여도 좋다. 배터리(8011)는 상용 전원을 사용하는 경우에는 생략할 수 있다.
- [0289] 터치 패널(8004)에, 편광판, 위상차판, 또는 프리즘 시트 등의 부재를 추가적으로 제공하여도 좋다.
- [0290] 도 26의 (A) 내지 (H)는 전자 기기를 도시한 것이다. 이들 전자 기기는 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 갖는 센서), 마이크론(5008) 등을 포함할 수 있다.
- [0291] 도 26의 (A)는 상술한 구성 요소에 더하여 스위치(5009), 적외선 포트(5010) 등을 포함할 수 있는 모바일 컴퓨터를 도시한 것이다. 도 26의 (B)는 상술한 구성 요소에 더하여 제 2 표시부(5002), 기록 매체 관독부(5011) 등을 포함할 수 있는 기록 매체가 제공된 휴대형 화상 재생 장치(예를 들어 DVD 플레이어)를 도시한 것이다. 도 26의 (C)는 상술한 구성 요소에 더하여 제 2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 포함할 수 있는 고글형 디스플레이를 도시한 것이다. 도 26의 (D)는 상술한 구성 요소에 더하여 기록 매체 관독부(5011) 등

을 포함할 수 있는 휴대형 게임기를 도시한 것이다. 도 26의 (E)는 상술한 구성 요소에 더하여 안테나(5014), 셔터 버튼(5015), 활상부(5016) 등을 포함할 수 있고 텔레비전 수신 기능을 가진 디지털 카메라를 도시한 것이다. 도 26의 (F)는 상술한 구성 요소에 더하여 제 2 표시부(5002), 기록 매체 관독부(5011) 등을 포함할 수 있는 휴대형 게임기를 도시한 것이다. 도 26의 (G)는 상술한 구성 요소에 더하여 신호를 송신 및 수신 가능한 충전기(5017) 등을 포함할 수 있는 휴대형 텔레비전 수신기를 도시한 것이다. 도 26의 (H)는 상술한 구성 요소에 더하여 밴드(5018), 클래스프(clasp)(5019) 등을 포함할 수 있는 손목시계형 정보 단말을 도시한 것이다. 베젤로서 기능하는 하우스(5000)에 탑재된 표시부(5001)는 비(非)직사각형의 표시 영역을 포함한다. 표시부(5001)는 시각을 나타내는 아이콘(5020) 및 기타 아이콘(5021) 등을 표시할 수 있다.

[0292] 도 26의 (A) 내지 (H)에 도시된 전자 기기는, 예를 들어 다양한 정보(정지 화상, 동영상, 및 텍스트 화상)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 및 시간 등을 표시하는 기능, 다양한 소프트웨어(프로그램)로 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능으로 다양한 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능으로 다양한 데이터를 송수신하는 기능, 및 기억 매체에 저장된 프로그램 또는 데이터를 관독하고 표시부에 프로그램 또는 데이터를 표시하는 기능 등 다양한 기능을 가질 수 있다. 또한, 복수의 표시부를 포함하는 전자 기기는, 다른 표시부에 주로 텍스트 정보를 표시하는 동안 하나의 표시부에서 주로 화상 정보를 표시하는 기능, 복수의 표시부에 시차(視差)를 고려하여 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한, 활상부를 포함하는 전자 기기는, 정지 화상을 촬영하는 기능, 동화상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기억 매체(외부 기억 매체 또는 카메라에 통합된 기억 매체)에 저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 26의 (A) 내지 (H)에 도시된 전자 기기에 제공할 수 있는 기능은 상기에 한정되지 않고, 이 전자 기기는 다양한 기능을 가질 수 있다.

[0293] 본 실시형태에서 기재된 전자 기기는 어떠한 정보를 표시하기 위한 표시부를 포함함으로써 특징지어진다. 상기 실시형태에서 기재한 표시 장치는 표시부에 채용될 수 있다.

[0294] 본 실시형태의 적어도 일부는 본 명세서에서 기재하는 다른 실시형태 중 어느 것을 적절히 조합하여 실시할 수 있다.

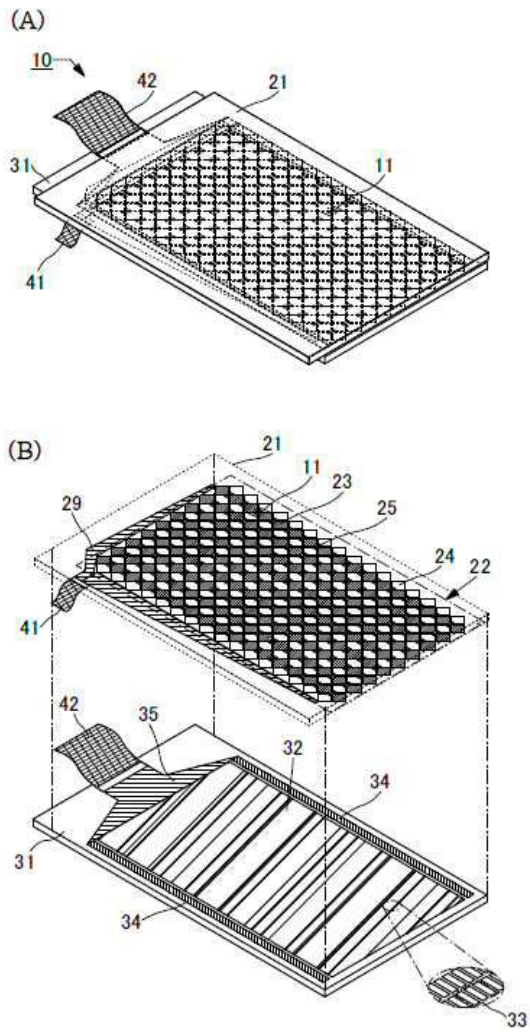
**부호의 설명**

[0295] 10: 터치 패널 모듈, 11: 용량 소자, 21: 기관, 22: 터치 센서, 22a: 개구, 23a: 개구, 24a: 개구, 23: 도전층, 24: 도전층, 25: 도전층, 26: 도전층, 27: 도전층, 29: 배선, 31: 기관, 32: 표시부, 33: 화소, 33B: 부화소, 33G: 부화소, 33R: 부화소, 33Y: 부화소, 34: 회로, 35: 배선, 41: FPC, 42: FPC, 60: 표시 소자, 101: 접속부, 115: 차광층, 121: 절연층, 122: 절연층, 123: 절연층, 124: 스페이서, 126: 절연층, 127: 절연층, 131B: 착색층, 131R: 착색층, 141: 접촉층, 151: 도전층, 152: 액정, 153: 도전층, 201: 트랜지스터, 202: 트랜지스터, 203: 용량 소자, 204: 접속부, 211: 절연층, 212: 절연층, 213: 절연층, 214: 절연층, 215: 절연층, 221: 도전층, 222: 도전층, 223: 도전층, 231: 반도체층, 241: 접속층, 242: 접속층, 300: 버퍼층, 301: 트랜지스터, 302: 트랜지스터, 601: 펄스 전압 출력 회로, 602: 전류 검지 회로, 603: 용량 소자, 611: 트랜지스터, 612: 트랜지스터, 613: 트랜지스터, 621: 전극, 622: 전극, 3501: 배선, 3502: 배선, 3503: 트랜지스터, 3504: 액정 소자, 3510: 배선, 3510\_1: 배선, 3510\_2: 배선, 3511: 배선, 3515\_1: 블록, 3515\_2: 블록, 3516: 블록, 5000: 하우스, 5001: 표시부, 5002: 표시부, 5003: 스피커, 5004: LED 램프, 5005: 조작 키, 5006: 접속 단자, 5007: 센서, 5008: 마이크로폰, 5009: 스위치, 5010: 적외선 포트, 5011: 기록 매체 관독부, 5012: 지지부, 5013: 이어폰, 5014: 안테나, 5015: 셔터 버튼, 5016: 활상부, 5017: 충전기, 5018: 밴드, 5019: 클래스프, 5020: 아이콘, 5021: 아이콘, 8000: 표시 모듈, 8001: 상부 커버, 8002: 하부 커버, 8003: FPC, 8004: 터치 패널, 8006: 표시 패널, 8007: 백라이트, 8008: 광원, 8009: 프레임, 8010: 인쇄 기관, 8011: 배터리

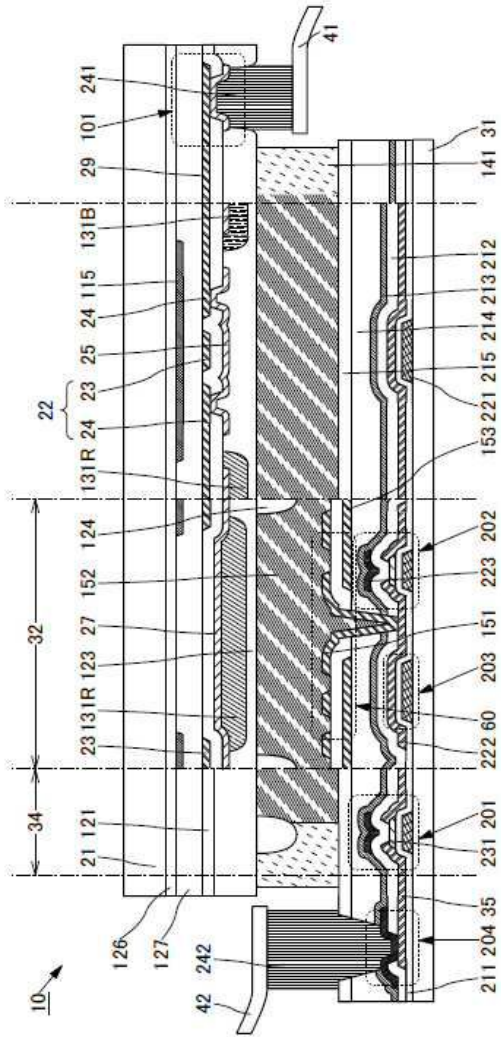
본 출원은 2015년 3월 17일에 일본 특허청에 출원된 일련 번호 2015-053661의 일본 특허 출원, 및 2015년 3월 17일에 일본 특허청에 출원된 일련 번호 2015-053765에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

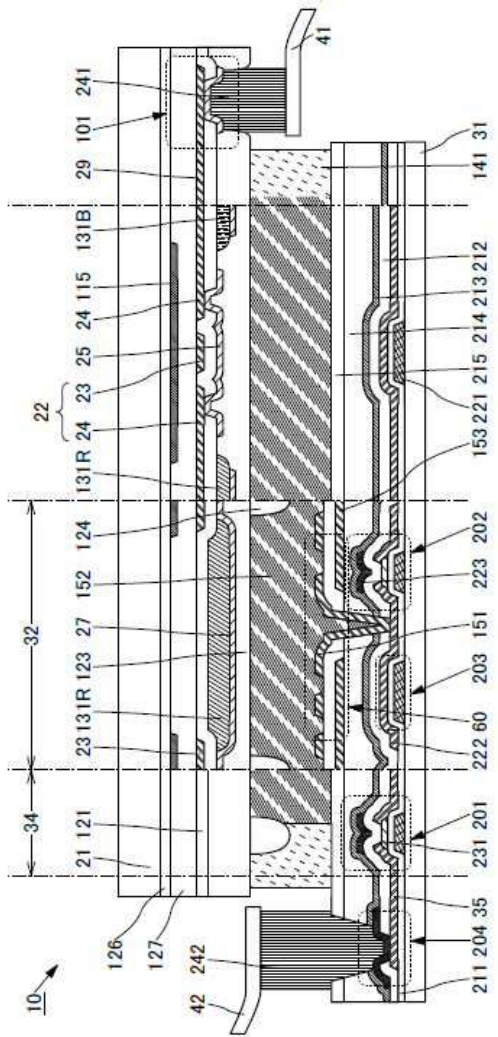
도면1



도면2

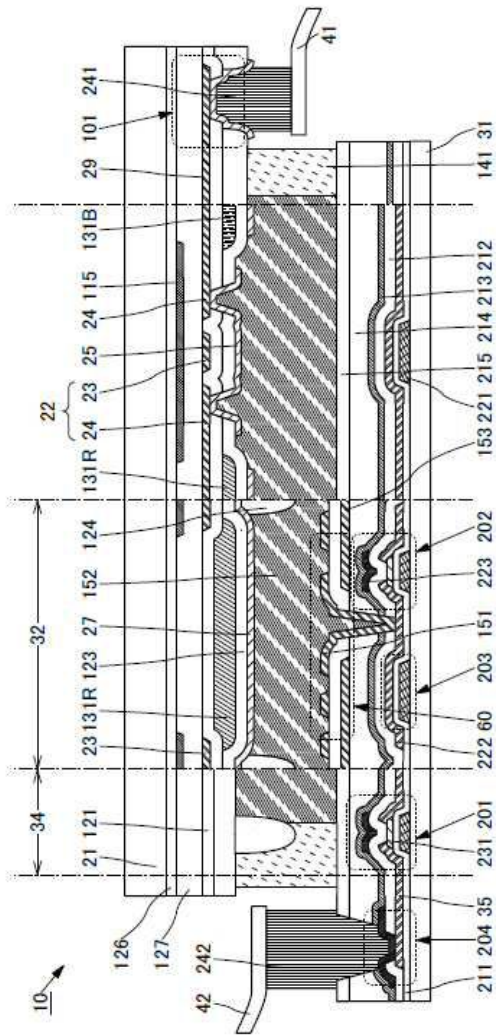


도면3



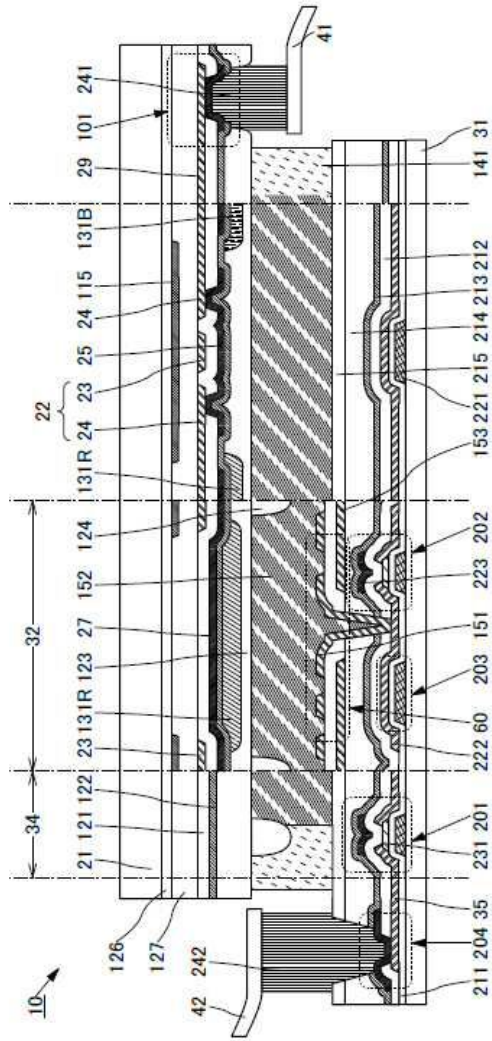


도면5

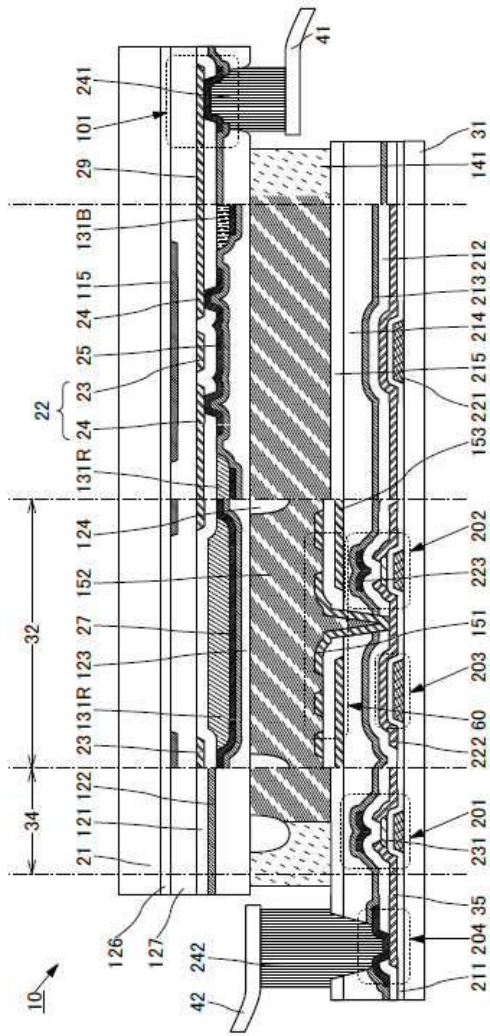




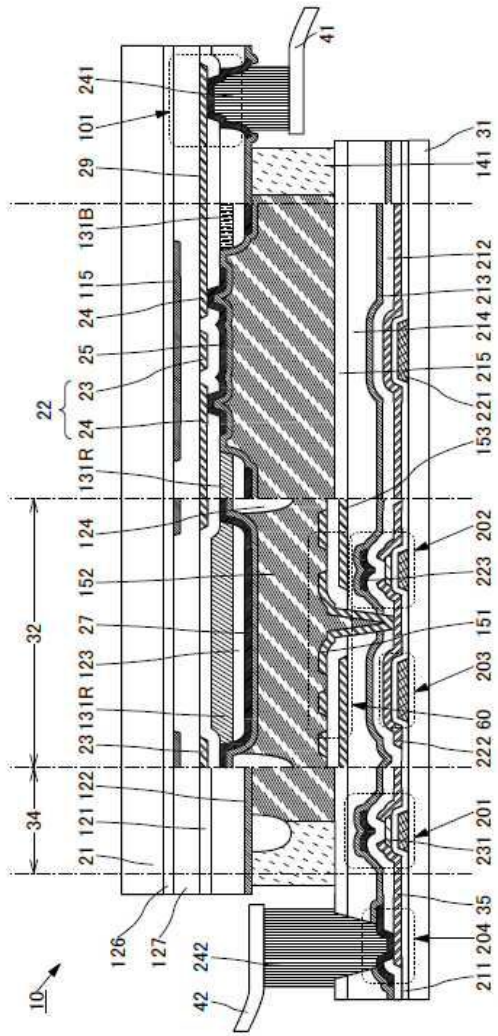
도면7



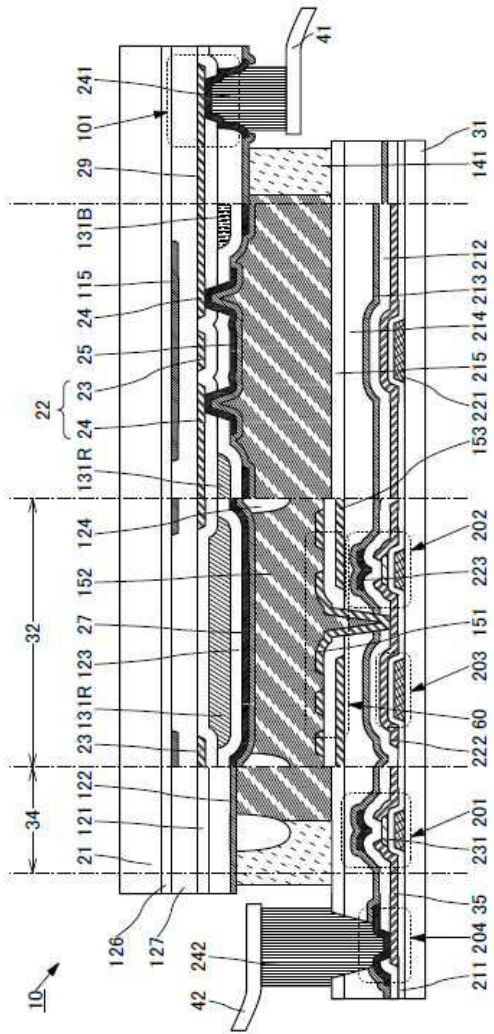
도면8



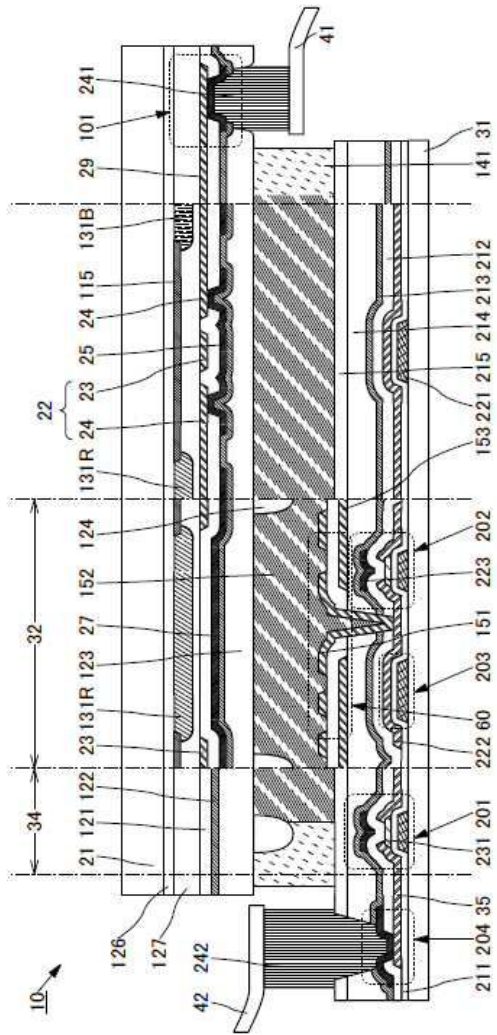
도면9



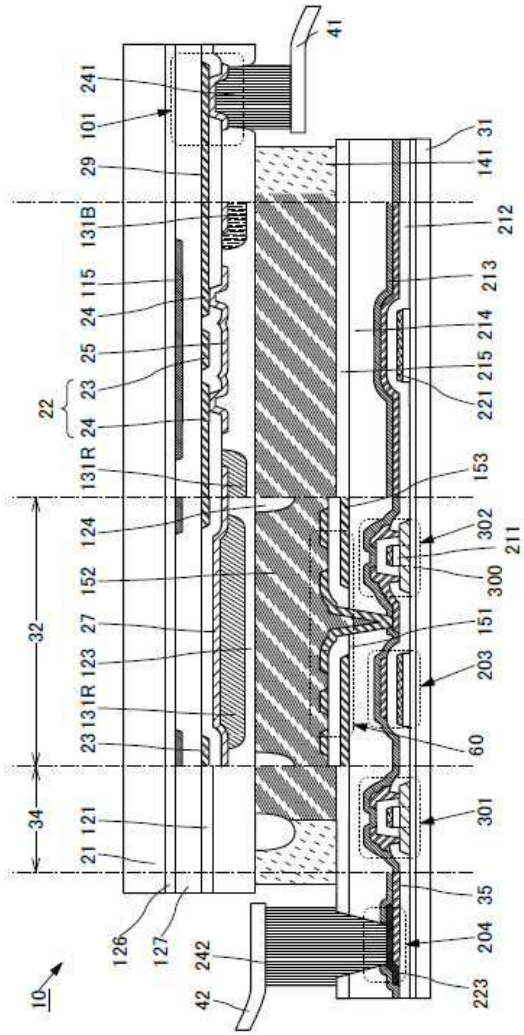
도면10



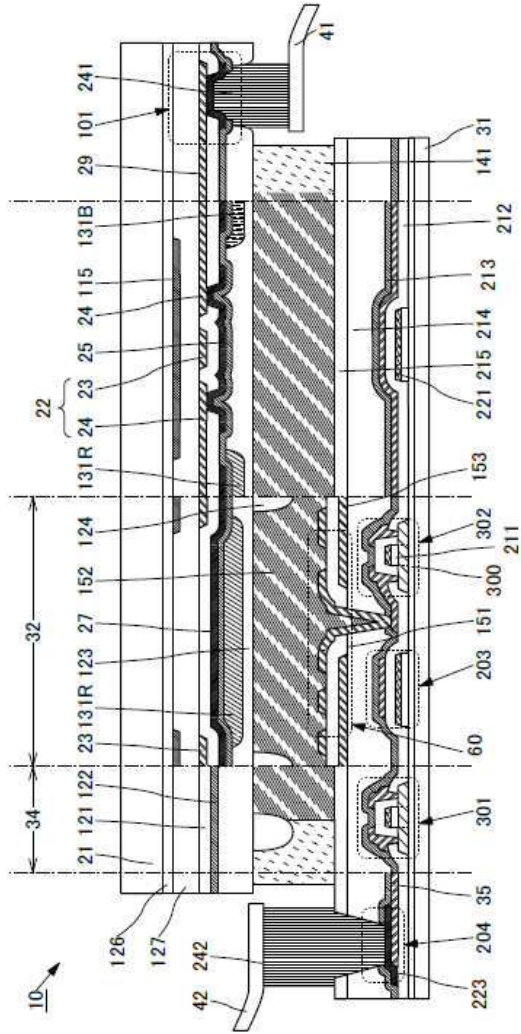
도면11



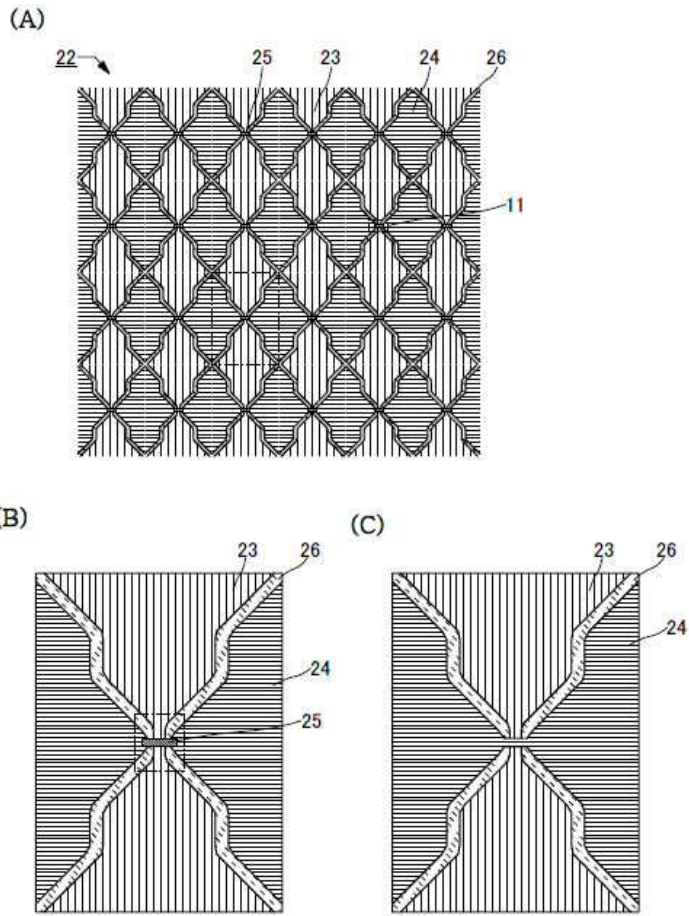
도면12



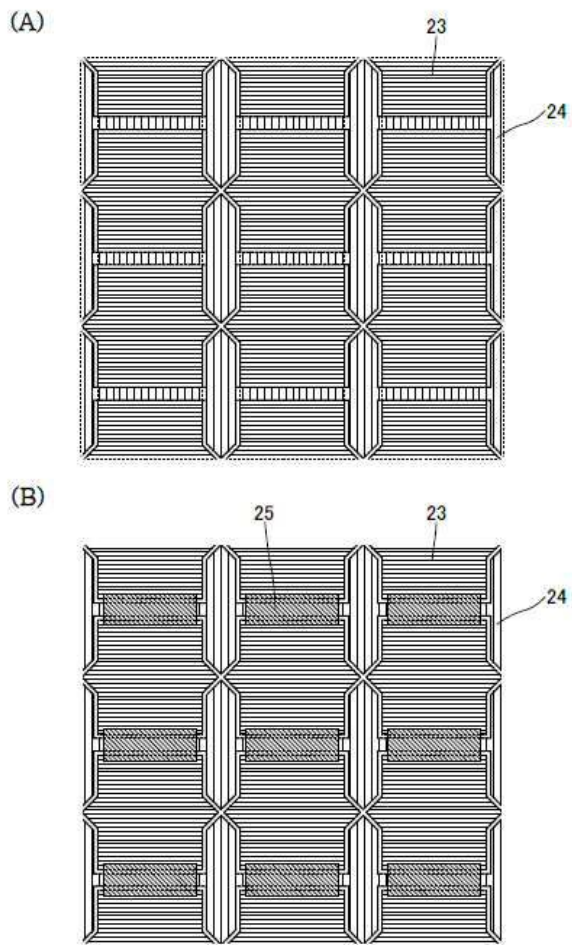
도면13



도면14

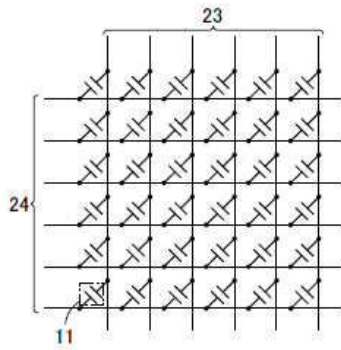


도면15

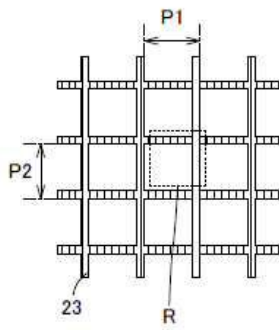


도면16

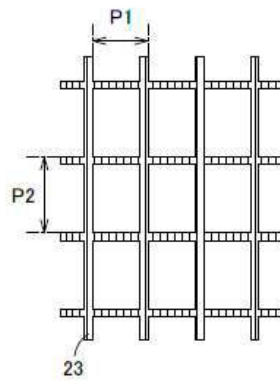
(A)



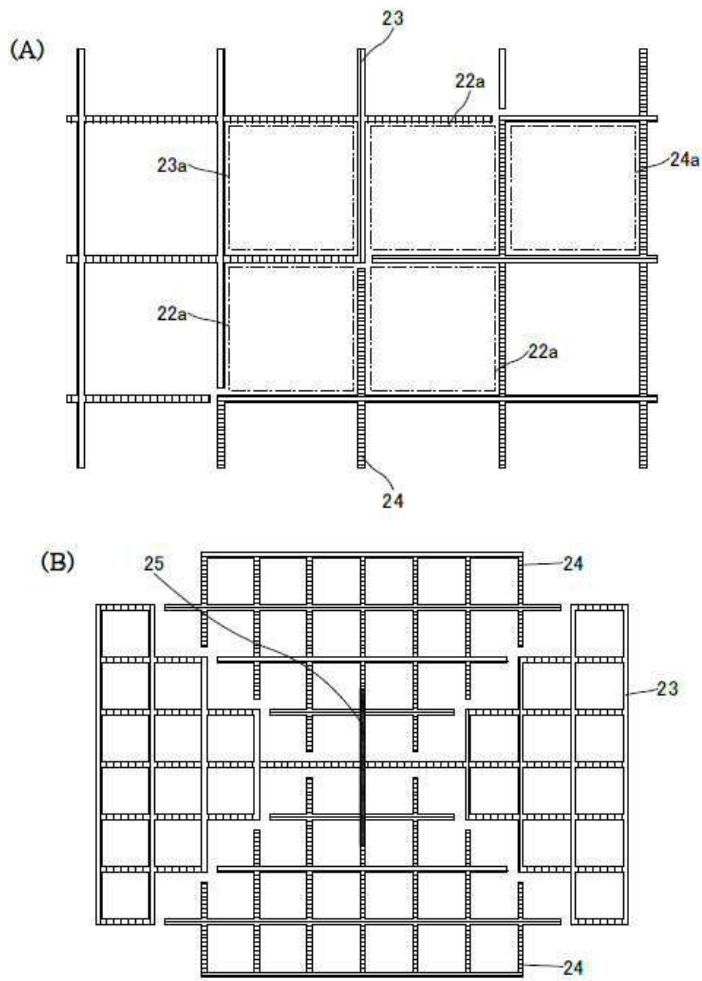
(B)



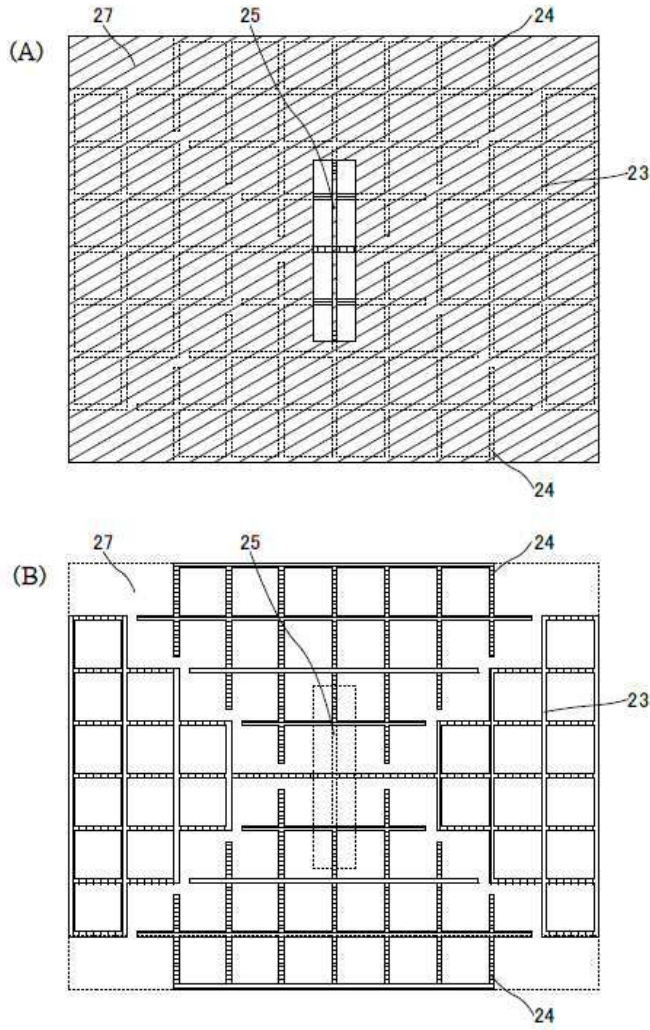
(C)



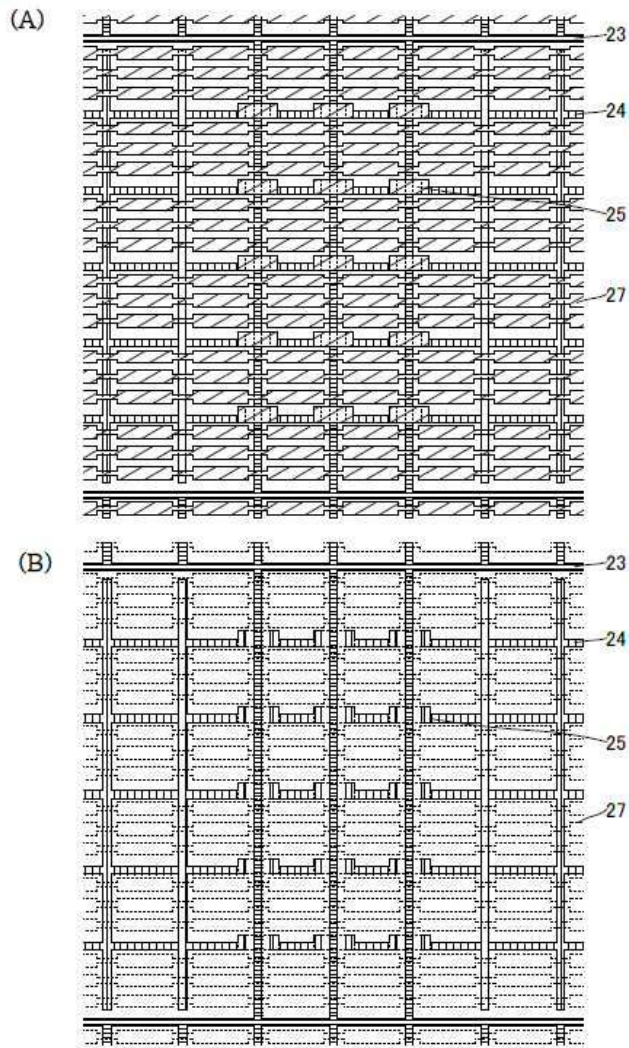
도면17



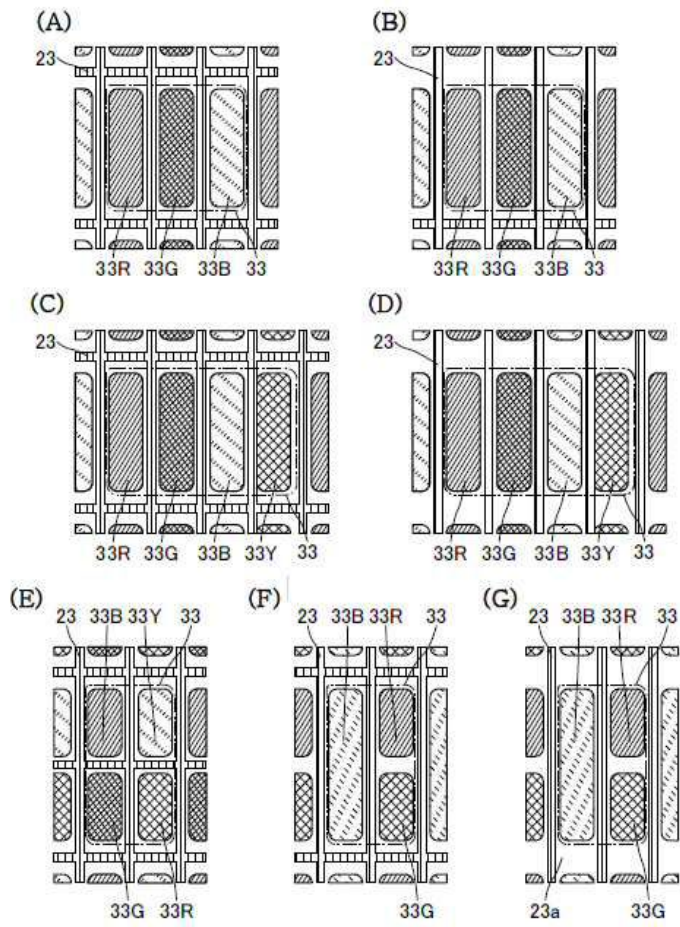
도면18



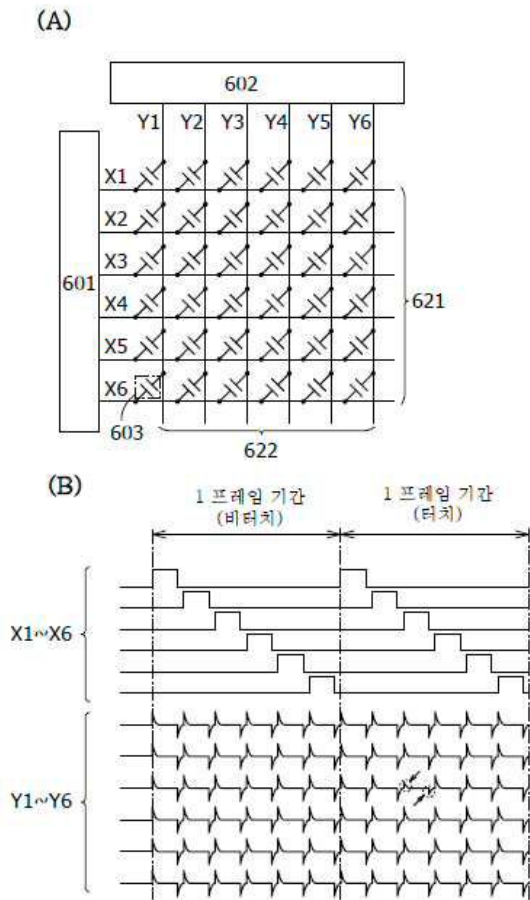
도면19



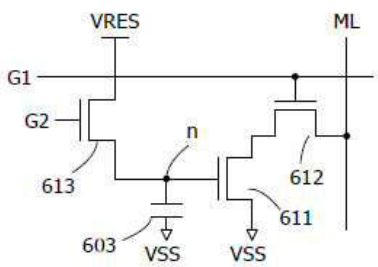
도면20



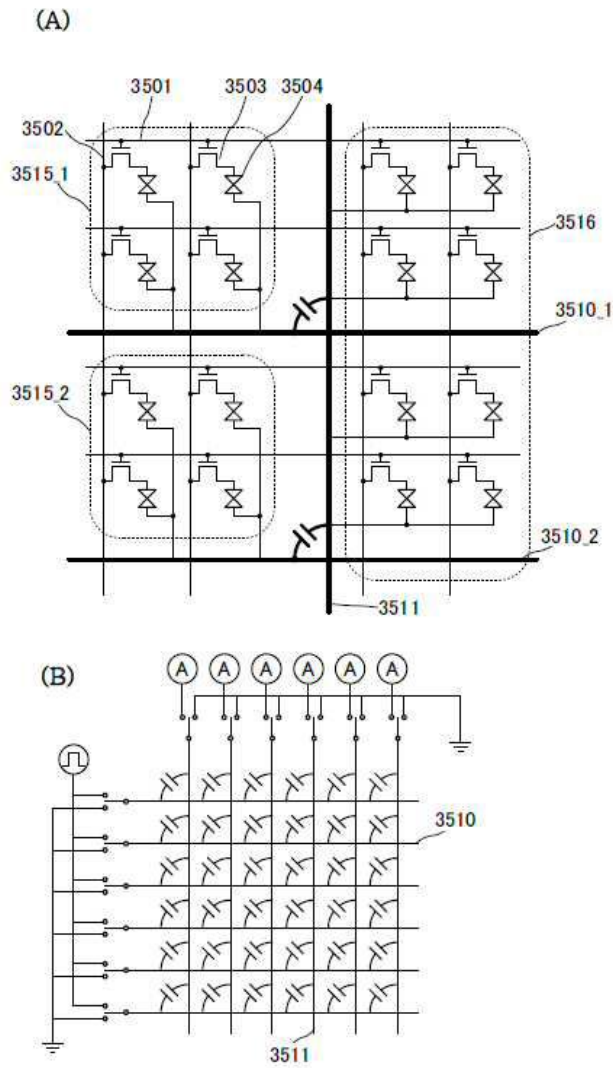
도면21



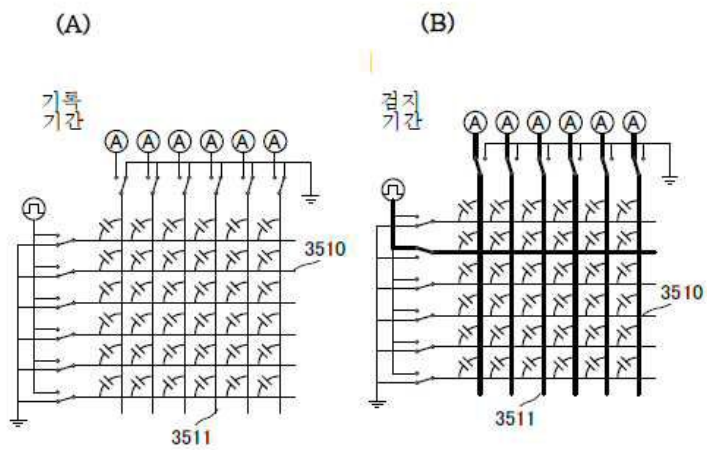
도면22



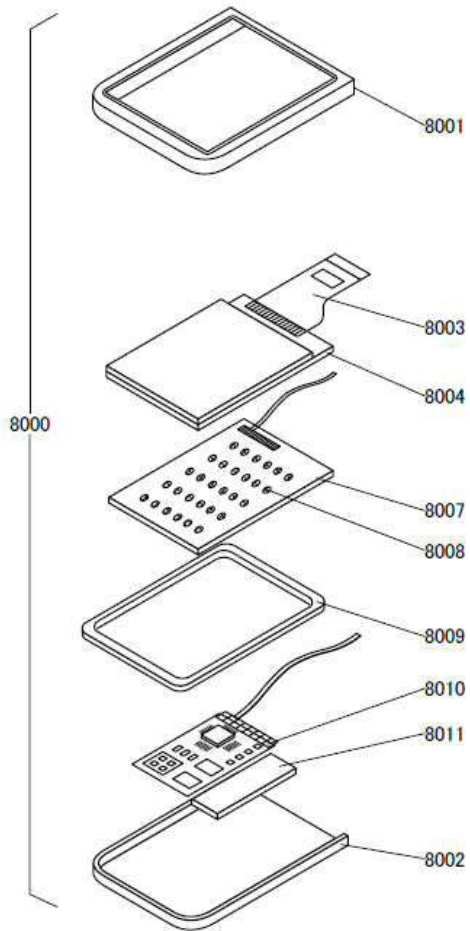
도면23



도면24



도면25



도면26

