

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 1 月 3 日(03.01.2014)

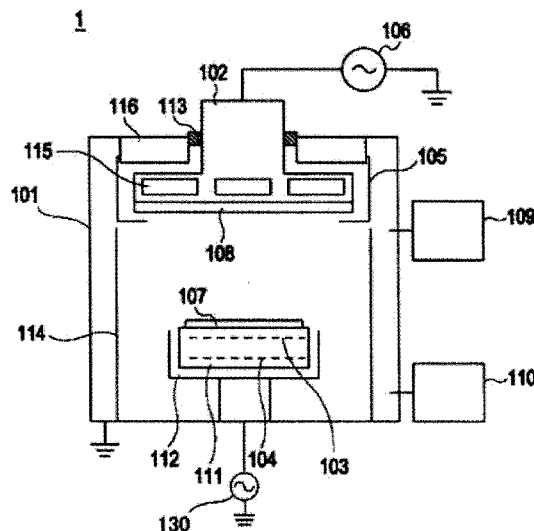


(10) 国際公開番号
WO 2014/002465 A1

- (51) 国際特許分類:
H01L 21/203 (2006.01) *C23C 14/34* (2006.01)
C23C 14/06 (2006.01) *H01L 21/363* (2006.01)
C23C 14/08 (2006.01) *H01L 33/32* (2010.01)
- (21) 国際出願番号: PCT/JP2013/003933
- (22) 国際出願日: 2013 年 6 月 24 日(24.06.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-142819 2012 年 6 月 26 日(26.06.2012) JP
- (71) 出願人: キヤノンアネルバ株式会社 (CANON ANELVA CORPORATION) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木 2-5-1 Kanagawa (JP).
- (72) 発明者: 醍醐 佳明 (DAIGO, Yoshiaki); 〒2158550 神奈川県川崎市麻生区栗木 2-5-1 キヤノンアネルバ株式会社内 Kanagawa (JP).
- (74) 代理人: 岡部 譲, 外 (OKABE, Yuzuru et al.); 〒1000005 東京都千代田区丸の内 3-2-3 富士ビル 602 号室 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: EPITAXIAL FILM-FORMING METHOD, SPUTTERING DEVICE, METHOD FOR MANUFACTURING SEMICONDUCTOR LIGHT-EMITTING ELEMENT, SEMICONDUCTOR LIGHT-EMITTING ELEMENT, AND ILLUMINATION DEVICE

(54) 発明の名称: エピタキシャル膜形成方法、スパッタリング装置、半導体発光素子の製造方法、半導体発光素子、および照明装置



(57) Abstract: The purpose of the present invention is to provide an epitaxial film-forming method in which a high-quality group III nitride semiconductor thin film is epitaxially grown, by sputtering, on an α - Al_2O_3 substrate. According to this epitaxial film-forming method, when an epitaxial film of a group III nitride semiconductor thin film is formed on an α - Al_2O_3 substrate disposed on a substrate holder (111) provided with a bias electrode (103) and a heater electrode (104) of a sputtering device (1), a high-frequency power is applied to the target electrode (102) and a high-frequency bias power is applied to the bias electrode (103) in a state in which the α - Al_2O_3 substrate is maintained at a predetermined temperature by the heater electrode (104), the applying being performed so that no frequency interference occurs between the high-frequency power and the high-frequency bias power.

(57) 要約:

[続葉有]



本発明は、スパッタリング法によって、 α - Al_2O_3 基板上に高品質なIII族窒化物半導体薄膜をエピタキシャル成長させるエピタキシャル膜形成方法を提供することを目的とする。本発明の一実施形態に係るエピタキシャル膜形成方法は、スパッタリング装置(1)のヒーター電極(104)とバイアス電極(103)を備えた基板ホルダー(111)上に配置された α - Al_2O_3 基板に対して、III族窒化物半導体薄膜のエピタキシャル膜を形成する際に、ヒーター電極(104)によって α - Al_2O_3 基板を所定温度に保持した状態で、ターゲット電極(102)に高周波電力を印加するとともにバイアス電極(103)に高周波バイアス電力を印加され、その際、高周波電力と高周波バイアス電力との周波数干渉が生じないように印加される。

明 細 書

発明の名称：

エピタキシャル膜形成方法、スパッタリング装置、半導体発光素子の製造方法、半導体発光素子、および照明装置

技術分野

[0001] 本発明は、エピタキシャル膜形成方法、スパッタリング装置、半導体発光素子の製造方法、半導体発光素子、および照明装置に係り、特に、高品質なエピタキシャル膜を形成可能なエピタキシャル膜形成方法、並びにこのようなエピタキシャル膜を用いた半導体発光素子の製造方法、スパッタリング装置、半導体発光素子、および照明装置に関する。

背景技術

[0002] III族窒化物半導体は、IIIB族元素（以下、単にIII元素）であるアルミニウム（Al）原子、ガリウム（Ga）原子、インジウム（In）原子と、VB族元素（以下、単にV族元素）である窒素（N）原子との化合物半導体材料である。すなわち、窒化アルミニウム（AlN）、窒化ガリウム（GaN）、窒化インジウム（InN）、およびそれらの混晶（AlGa_xN_{1-x}、InGa_xN_{1-x}、InAl_xN_{1-x}、InGa_xAl_{1-x}N_{1-x}）として得られる化合物半導体材料がIII族窒化物半導体である。

[0003] III族窒化物半導体を用いた素子としては、遠紫外・可視・近赤外域にかけての幅広い波長領域をカバーする発光ダイオード（LED：Light Emitting Diode）、レーザダイオード（LD：Laser Diode）、太陽電池（PVSC：Photovoltaic Solar Cell）、フォトダイオード（PD：Photo Diode）等の光素子や、高周波・高出力用途の高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）、金属酸化物半導体型電界効果トランジスタ（MOSFET：Metal-Oxide-Semiconductor Field Ef

fect Transistor)等の電子素子がある。

[0004] 上記の様な素子応用を実現するためには、Ⅲ族窒化物半導体薄膜を単結晶基板上にエピタキシャル成長させ、結晶欠陥の少ない高品質な単結晶膜（エピタキシャル膜）を得ることが必要である。しかしながら、Ⅲ族窒化物半導体からなる単結晶基板は極めて高価であるため、一部の応用を除いて利用されておらず、主にサファイア（ $\alpha\text{-Al}_2\text{O}_3$ ）や炭化珪素（SiC）などの異種基板上へのヘテロエピタキシャル成長により単結晶膜が得られている。

[0005] ところで、このようなⅢ族窒化物半導体薄膜のエピタキシャル成長には、高い生産性と高品質なエピタキシャル膜が得られる有機金属化合物化学気相成長（MOCVD）法が用いられている。しかしMOCVD法は、生産コストが高いことやパーティクルを発生しやすく高い歩留まりを得ることが難しいことなどの問題がある。

[0006] 一方、スパッタリング法は、生産コストを低く抑えることが可能で、パーティクルの発生確率も低いという特徴がある。従って、Ⅲ族窒化物半導体薄膜の成膜プロセスの少なくとも一部をスパッタリング法に置き換えることができれば、上記の問題の少なくとも一部を解決できる可能性がある。

[0007] しかしながら、スパッタリング法により作製したⅢ族窒化物半導体薄膜は、MOCVD法で作製したものに比べて結晶品質が悪くなりやすいという問題がある。例えば、スパッタリング法を用いて作製したⅢ族窒化物半導体薄膜の結晶性については非特許文献1に開示されている。非特許文献1では、 $\alpha\text{-Al}_2\text{O}_3$ （0001）基板上に高周波マグネトロンスパッタリング法を用いてc軸配向のGaN膜をエピタキシャル成長させている。該非特許文献1には、GaN（0002）面のX線ロックアップカーブ（XRC）測定において、その半値全幅（FWHM）が 35.1 arcmin （ 2106 arcsec ）であることが記載されている。この値は、現在、市場に出回っている $\alpha\text{-Al}_2\text{O}_3$ 基板上のGaN膜に比べて極めて大きな値であり、後述するチルトのモザイク広がりが大きく、結晶品質が劣っていることを示

している。

[0008] ここで、結晶品質を表す指標として用いられる、(1) チルトのモザイク広がり、(2) ツイストのモザイク広がり、および(3) 極性という概念について簡潔に説明する。(1) のチルトのモザイク広がり、基板垂直方向の結晶方位のバラツキの程度を示しており、(2) のツイストのモザイク広がり、基板面内方向の結晶方位のバラツキの程度を示している。また、(3) の極性とは結晶の向きを意味する用語であり、c 軸配向膜の場合には、+c 極性と -c 極性の2種類の成長様式とがある。+c 極性での成長は(0001) 配向に対応し、-c 極性での成長は(000-1) 配向に対応する。

[0009] 結晶性の良好な単結晶では、チルトとツイストのモザイク広がりが小さく、かつ、極性は+c 極性か -c 極性のどちらか一方に揃っていることが必要である。特に、+c 極性ではモフォロジーが良好で結晶性の優れたIII族窒化物半導体薄膜が得られやすいことから、+c 極性のIII族窒化物半導体を得るプロセスの確立が求められている。一方従来より、スパッタリング法により良質なIII族窒化物半導体薄膜を得るための数多くの試みがなされている(特許文献1、2参照)。

[0010] 特許文献1には、スパッタリング法を用いてIII族窒化物半導体薄膜(特許文献1では、AIN)を α -Al₂O₃基板上に成膜する前に、基板に対するプラズマ処理を行うことで、III族窒化物半導体薄膜の高品質化を実現する方法、とりわけ、チルトのモザイク広がりが極めて小さなIII族窒化物半導体薄膜を得る方法が開示されている。

[0011] また、特許文献2には、基板上にIII族窒化物半導体(特許文献2においては、III族窒化物化合物)からなる緩衝層(特許文献2においては中間層)をスパッタリング法により形成し、このIII族窒化物半導体からなる緩衝層上に下地膜を備えるn型半導体層、発光層、p型半導体層を順次積層するIII族窒化物半導体(特許文献2においては、III族窒化物化合物半導体)発光素子の製造方法が開示されている。

[0012] 特許文献2において、Ⅲ族窒化物半導体からなる緩衝層を形成する手順としては、基板に対してプラズマ処理を施す前処理工程と、前処理工程に次いでスパッタリング法によりⅢ族窒化物半導体からなる緩衝層を成膜する工程とを備えていることが記載されている。また、特許文献2において、基板およびⅢ族窒化物半導体からなる緩衝層の好ましい形態として、 α -Al₂O₃基板およびAlNが用いられており、下地膜を備えるn型半導体層、発光層、p型半導体層の成膜方法としては、MOCVD法が好ましく用いられている。

先行技術文献

特許文献

[0013] 特許文献1：国際公開第2009/096270号

特許文献2：特開2008-109084号公報

非特許文献

[0014] 非特許文献1：Y. Daigo, N. Mutsukura, 「Synthesis of epitaxial GaN single-crystalline film by ultra high vacuum r. f. magnetron sputtering method」, Thin Solid Films 483 (2005) p38-43.

発明の概要

[0015] 既の開示されている従来技術（特許文献1、特許文献2）によれば、チルトやツイストのモザイク広がり小さなⅢ族窒化物半導体がスパッタリング法により得られている。しかし、従来技術には極性を制御する方法については開示されておらず、スパッタリング法をⅢ族窒化物半導体の製造プロセスとして採用する上での大きな課題であった。

[0016] 実際に、特許文献1、2に開示された技術を用いて α -Al₂O₃基板上にスパッタリング法を用いてAlN膜を形成したところ、チルトやツイストの

モザイク広がりの小さなA I N膜を得ることはできるが、極性に関しては＋c極性と－c極性とが混在していた。更に、該＋c極性と－c極性とが混在したA I N膜上にMOCVD法でGa N膜を成長させたところ、高品質なGa N膜を得ることができなかった。また、得られたGa N膜を用いて発光素子を作製したところ、良好な発光特性を得ることができなかった。従って、特許文献1、2に開示された技術だけでは、＋c極性と－c極性との混在が低減されず、＋c極性のI I I族窒化物半導体薄膜を得られない。すなわち、特許文献1、2に開示された技術は、チルトやツイストのモザイク広がりを小さくすることができるので有効な技術であるが、さらなる高品質なI I I族窒化物半導体薄膜を得るためには、極性をなるべく統一することが望まれている。

[0017] 本発明の目的は、上記問題点に鑑み、＋c極性の統一度を向上した（（0001）配向性を向上した）エピタキシャル膜をスパッタリング法により作製することが可能なエピタキシャル膜形成方法を提供すること、さらに、このエピタキシャル膜を用いた半導体発光素子の製造方法、スパッタリング装置、ならびにこの製造方法により製造した半導体発光素子および照明装置を提供することにある。

[0018] 本発明者らは鋭意研究の結果、後述するように、エピタキシャル膜の極性を基板ホルダーに内蔵したバイアス電極へ印加する高周波バイアス電力により制御できるという新しい知見を得て本発明を完成させた。

[0019] 上記目的を達成するために、本発明の一態様に係るエピタキシャル膜形成方法は、スパッタリング法を用いて基板上にエピタキシャル膜を形成するエピタキシャル膜形成方法であって、ウルツ鉱構造のターゲットおよび成膜させた際にウルツ鉱構造の膜を形成させるためのターゲットの少なくとも一方が配置されている真空容器内に前記基板を配置することと、前記ターゲットが取り付けられているターゲット電極に対する高周波電力と、前記基板を支持している基板ホルダーに対する高周波バイアス電力とを、周波数干渉を抑制するように印加することと、前記高周波電力によって生成されたプラズマ

によって前記ターゲットをスパッタリングし、前記基板上に前記エピタキシャル膜を形成することを含むことを特徴とする。本発明の一態様に係る半導体発光素子の製造方法は、上述のエピタキシャル膜形成方法により半導体発光素子の緩衝層を形成する工程を有することを特徴とする。また、本発明の一態様に係る半導体発光素子は、前記基板上に緩衝層、Ⅲ族窒化物半導体中間層、*n*型Ⅲ族窒化物半導体層、Ⅲ族窒化物半導体活性層、*p*型Ⅲ族窒化物半導体層、透光性電極が少なくとも形成された半導体発光素子であって、前記緩衝層、前記Ⅲ族窒化物半導体中間層、前記*n*型Ⅲ族窒化物半導体層、前記Ⅲ族窒化物半導体活性層、前記*p*型Ⅲ族窒化物半導体層の少なくとも1つの層は、上述のエピタキシャル膜形成方法によって作製されたことを特徴とする。本発明の一態様の照明装置は上述の半導体発光素子を備えている。

[0020] また、本発明の一態様に係るスパッタリング装置は、上述のエピタキシャル膜形成方法を実行するためのスパッタリング装置であって、電源と、前記ターゲットを配置できる前記ターゲット電極と、前記ターゲット電極に向けて前記基板を配置でき、ヒーター電極及びバイアス電極を備えた基板ホルダーと、上述のエピタキシャル膜形成方法により前記ウルツァー構造の膜を形成する際に、前記ターゲット電極に印加される前記高周波電力と前記バイアス電極に印加される前記高周波バイアス電力との周波数干渉を抑制する周波数干渉抑制手段とを備えることを特徴とする。

[0021] 本発明によれば、チルトやツイストのモザイク広がりが少なく、且つ、*+**c*極性および $-c$ 極性の混在を低減し、*+**c*極性の統一度を向上した、Ⅲ族窒化物をはじめとするウルツァー構造の半導体のエピタキシャル膜を基板上にスパッタリング法を用いて作製することが可能となる。また、このスパッタリング法により作製したウルツァー構造の半導体エピタキシャル膜を用いることにより、LED、LDなどの発光素子の発光特性を向上させることができる。

図面の簡単な説明

[0022] [図1]本発明の一実施形態に係る高周波スパッタリング装置の断面概略図である。

[図2]本発明の一実施形態に係る基板ホルダーの第一の構成例を示す図である。

[図3]本発明の一実施形態に係る基板ホルダーの第二の構成例を示す図である。

[図4]本発明の一実施形態に係る基板ホルダーの第三の構成例を示す図である。

[図5]本発明の一実施形態により+c極性のIII族窒化物半導体薄膜が形成されるモデルを示す図である。

[図6]本発明の一実施形態に係るエピタキシャル膜形成方法により形成されたエピタキシャル膜を用いて作製されるLED構造の一例を示す断面図である。

[図7A]本発明の一実施形態に係る周波数干渉抑制手段を説明する図である。

[図7B]本発明の一実施形態に係る周波数干渉抑制手段を説明する図である。

[図8]本発明の一実施形態に係る基板ホルダーの第四の構成例を示す図である。

発明を実施するための形態

[0023] 以下、本発明の実施形態を詳細に説明する。なお、以下で説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

[0024] 本発明に関する主な特徴は、 α -Al₂O₃基板上に、例えば高周波スパッタリング法といったスパッタリング法によりIII族窒化物半導体薄膜をエピタキシャル成長させる際に、ヒーター電極とバイアス電極を備える基板ホルダーにより α -Al₂O₃基板を任意の温度に加熱し、次いで、上記バイアス電極に高周波バイアス電力を印加しながらIII族窒化物半導体の成膜を行うことにある。以下、図面を参照して本発明を説明する。なお、以下に説明する部材、配置等は発明を具体化した一例であって本発明を限定するもの

ではなく、本発明の趣旨に沿って各種改変できることは勿論である。

[0025] 図1は、本発明の一実施形態に係るIII族窒化物半導体薄膜の成膜に用いるスパッタリング装置の一例を示す概略構成図である。スパッタリング装置1を示した図1において、符号101は真空容器、符号102はターゲット電極、符号103はバイアス電極、符号104はヒーター電極、符号105はターゲットシールド、符号106はスパッタリング用高周波電源、符号107は基板、符号108はターゲット、符号109はガス導入機構、符号110は排気機構、符号111は基板ホルダー、符号112はリフレクタ、符号113は絶縁材、符号114はチャンバーシールド、符号115は磁石ユニット、符号116はターゲットシールド保持機構、符号130はバイアス用高周波電源、をそれぞれ示している。なお、図1における符号111は後述する基板ホルダー111a、111b、111cのうち任意のものとする。また、基板107として後述する α -Al₂O₃基板601を用いることができる。

[0026] 真空容器101はステンレスやアルミニウム合金などの金属部材を用いて構成され、電氣的に接地されている。また、真空容器101には不図示の冷却機構が設けられており、該冷却機構は真空容器101の壁面の温度上昇を防止ないしは低減している。さらに、真空容器101は、不図示のマスフローコントローラを介してガス導入機構109と接続され、不図示のバリアブルコンダクタンスバルブを介して排気機構110と接続されている。

[0027] ターゲットシールド105はターゲットシールド保持機構116を介して真空容器101に取り付けられている。ターゲットシールド保持機構116およびターゲットシールド105は、ステンレスやアルミニウム合金などの金属部材とすることができ、真空容器101と電氣的に接続されている。

[0028] ターゲット電極102は、絶縁材113を介して真空容器101に取り付けられている。また、ターゲット108はターゲット電極102に取り付けられ、ターゲット電極102は不図示のマッチングボックスを介してスパッタリング用高周波電源106に接続されている。ターゲット108は、ター

ゲット電極 102 に直接取り付けられてもよく、また銅 (Cu) などの金属部材からなる不図示のボンディングプレートを通じてターゲット電極 102 に取り付けられてもよい。また、ターゲット 108 は、Al、Ga、In の少なくとも一つを含む金属ターゲット、若しくは、上記 III 族元素の少なくとも一つを含む窒化物ターゲットであってもよい。ターゲット電極 102 には、ターゲット 108 の温度上昇を防止するための不図示の冷却機構が備えられている。また、ターゲット電極 102 には、磁石ユニット 115 が内蔵されている。スパッタリング用高周波電源 106 からターゲット電極 102 へ投入する電力としては 13.56 MHz が工業的に利用しやすいが、他の周波数の高周波を用いることや、高周波に直流を重ねること、あるいはそれらをパルスで用いることも可能である。

[0029] チャンバーシールド 114 は、真空容器 101 に取り付けられ、成膜時の真空容器 101 への膜の付着を防止ないしは低減している。基板ホルダー 111 は、内部にヒーター電極 104 とバイアス電極 103 を有している。ヒーター電極 104 には不図示の加熱用電源が接続され、バイアス電極 103 にはバイアス用高周波電源 130 が不図示のマッチングボックスを通じて接続されている。

[0030] 図 2～図 4 は、基板ホルダー 111 の構成例 111a、111b、111c を示しており、各図の符号 M は基板載置面を示している。図 2 (または図 3) において、符号 201 はベース、符号 202 はベースコート、符号 103a (または符号 103b) はバイアス電極、符号 104 はヒーター電極、符号 205 はオーバーコートである。ベース 201 はグラファイト、ベースコート 202 とオーバーコート 205 はパイロリティックボロンナイトライド (PBN: Pyrolytic Boron Nitride)、バイアス電極 103a (または 103b) とヒーター電極 104 はパイロリティックグラファイト (PG: Pyrolytic graphite) からなり、PBN からなるベースコート 202 とオーバーコート 205 は高抵抗の誘電体材料である。

[0031] 図2（または図3）において、ヒーター電極104には不図示の加熱用電源が接続されている。この加熱用電源から、ヒーター電極104に交流または直流の電流を流すことでジュール熱を発生させ、そのジュール熱により発熱した基板ホルダーからの赤外線により基板ホルダー111a（または111b）上に載置した α -Al₂O₃基板を加熱することができる。

[0032] また、図2（または図3）において、バイアス電極103a（または103b）にはバイアス用高周波電源130が不図示のマッチングボックスを介して接続されている。成膜時に高周波バイアス電力をバイアス電極103a（または103b）に印加することで、基板ホルダー111a（または111b）上に載置した α -Al₂O₃基板の表面に負の直流バイアス電圧を発生させることができる。

[0033] なお、図2（または図3）のバイアス電極103a（または103b）には、更に不図示の静電チャック（ESC： Electrostatic Chuck）用電源を不図示のローパスフィルタを介して接続することも可能である。このような場合、例えば、バイアス電極103aを、符号Aおよび符号Bで示した電氣的に分離した電極（一方を第1電極とし、他方を第2電極とする）として構成し、各々の電極に正と負の直流電圧を印加することで双極のESCを実現してもよい。このようにすることで、 α -Al₂O₃基板を基板ホルダーに静電吸着させることができるため、基板ホルダー111a上に載置した α -Al₂O₃基板を効率よく加熱することができる。なお、基板ホルダー111bについても、バイアス電極103bを符号Cおよび符号Dで示した電氣的に分離した電極（一方を第1電極とし、他方を第2電極とする）として構成し、各々の電極に正と負の直流電圧を印加することで双極のESCを実現できる。

[0034] 図4は、基板ホルダー111の他の構成例111cである。符号401はベース、符号402はベースコート、符号403は共通電極、符号404はバックサイドコート、符号405はオーバーコートである。ベース401はグラファイト、ベースコート402およびオーバーコート405はPBN、

共通電極 403 およびバックサイドコート 404 は P G からなり、P B N からなるベースコート 402 とオーバーコート 405 は高抵抗の誘電体材料である。

[0035] 図 4 において、共通電極 403 には、バイアス用高周波電源 130 がマッチングボックスを介して接続され、さらに不図示の加熱用電源が不図示のローパスフィルターを介して接続されている。

[0036] 図 4 において共通電極 403 は、図 2 におけるヒーター電極 104 とバイアス電極 103a を集約した機能を有している。共通電極 403 に加熱用電源から交流または直流の電流を流すことで基板ホルダー 111c が発熱し、その赤外線によって基板ホルダー 111c 上に載置した $\alpha - \text{Al}_2\text{O}_3$ 基板が加熱される。また、共通電極 403 に加熱用の電流を流した状態でさらにバイアス用高周波電源から高周波バイアス電力を印加することで、基板ホルダー 111c 上に載置した $\alpha - \text{Al}_2\text{O}_3$ 基板を加熱しながら、その表面に負の直流バイアス電圧を発生させることができる。このように、ヒーター電極とバイアス電極を一つに集約した共通電極を用いても本発明の効果を得ることが可能である。

[0037] 図 2 に示す構造の基板ホルダー 111a では、ヒーター電極 104 から発生したジュール熱が、ベースコート 202、ベース 201、オーバーコート 205、およびバイアス電極 103a を介して基板載置面 M 側へ伝わる。このとき、特に、ベース 201 が均熱板としての役割を果たすため、基板面内で高い均熱性が得られやすいという特徴がある。

[0038] また、図 3 に示す構造の基板ホルダー 111b では、バイアス電極 103b を中央部の略円盤状電極（符号 C に相当）と外周部の略リング状電極（符号 D に相当）としている。このため、バイアス電極 103b（特に符号 C 部）が更に均熱板の役割を果たし、図 2 に示す構造の基板ホルダー 111a よりも更に面内での均熱性を高めることができる。特に、ESC により $\alpha - \text{Al}_2\text{O}_3$ 基板を吸着した場合、図 2 に示す構造の基板ホルダー 111a では、バイアス電極 103a のパターン形状に依存した温度分布を生じることがあ

るが、図3のような構造では、このような問題を著しく改善できるという特徴がある。

[0039] なお、ESCを用いることで α -Al₂O₃基板を基板ホルダー111a、111bに載置した後の昇温速度を高めることができるため、ESCを用いることは高い生産性を得るうえでは好ましい形態である。

[0040] 図4に示す構造の基板ホルダー111cにおいて、共通電極403から発生したジュール熱は、ベース401やベースコート402を介さずに、基板載置面M側へ伝わることになる。このため、図2や図3に示す基板ホルダーに比べると、高い均熱性を得ることが難しくなる。一方、ベース401やベースコート402を介さず α -Al₂O₃基板を加熱するため、基板載置面Mと共通電極403の温度勾配が少なくなり、ESCを用いなくても高い電力利用効率で基板の加熱が行えるという特徴がある。

[0041] なお、上記図2～図4に示す基板ホルダーを構成する材料は、従来の赤外線ランプに比べて α -Al₂O₃基板を加熱する効率が高いため好ましく用いられているが、 α -Al₂O₃基板を所定の温度に加熱することができれば、これに限定されるものではない。

[0042] また、基板ホルダーは、上記の基板ホルダー111a、111b、111cの構造に限定されない。上述の基板ホルダー111a、111b、111cのような構造は、均熱性を高めたり、電力の利用効率を高めたりすることが可能となり、その目的に応じて構造を適宜選択することができるため好ましい形態ではある。しかしながら、本発明では、所定の温度においてバイアス電極に高周波バイアス電力を印加することで、 α -Al₂O₃基板の表面に負の直流バイアス電圧を発生させ、その結果、ウルツ鉱構造のIII族窒化物半導体のエピタキシャル膜を+c極性で成膜できることが重要である。従って、本発明の趣旨に沿った構造であれば、どのような構造であっても本実施形態に適用できることは言うまでも無い。ただし、バイアス電極103a、103b、共通電極403は、高抵抗の誘電体材料によって覆われていることが望ましい。高抵抗の誘電体材料でバイアス電極103a、103b、

共通電極 403 を覆わなくても、+c 極性のエピタキシャル膜が得られる場合があるが、プラズマ空間中の荷電粒子が上記電極に達して、負の直流バイアス電圧が変動する恐れがある。このような負の直流バイアス電圧の変動は、+c 極性のエピタキシャル膜を安定に形成する上で望ましくない。

[0043] 図5は、バイアス電極に高周波バイアス電力を印加することにより、III族窒化物半導体薄膜が+c 極性で成膜されるメカニズムを示すモデル図である。図5において、符号111は基板ホルダー111a、111b、111cのうち任意の基板ホルダー、符号107は α -Al₂O₃基板、符号503は窒化物分子である。

[0044] 図6は、本発明の一実施形態に係るIII族窒化物半導体薄膜の製造方法を用いて作製した半導体発光素子としての発光ダイオード(LED)の断面構造の一例である。図6において、符号601は α -Al₂O₃基板、符号602は緩衝層、符号603はIII族窒化物半導体中間層、符号604はn型III族窒化物半導体層、符号605はIII族窒化物半導体活性層、符号606はp型III族窒化物半導体層、符号607は透光性電極、符号608はn型電極、符号609はp型ボンディングパッド電極、符号610は保護膜である。

[0045] 緩衝層602を構成する材料としてはAlN、AlGaN、GaNが好ましく用いられる。III族窒化物半導体中間層603、n型III族窒化物半導体層604、III族窒化物半導体活性層605、p型III族窒化物半導体層606を構成する材料としては、AlGaN、GaN、InGaNが好ましく用いられる。n型III族窒化物半導体層604には上記材料中に珪素(Si)またはゲルマニウム(Ge)、p型III族窒化物半導体層606には上記材料中にマグネシウム(Mg)または亜鉛(Zn)、それぞれを微量添加して導電性の制御を行うことが好ましい。更に、III族窒化物半導体活性層605は、上記材料の多重量子井戸(MQW)構造を形成することが望ましい。また、上述した発光ダイオード(LED)を用い照明装置を構成することができる。

[0046] 図7A、7Bは、本発明の一実施形態に係る周波数干渉抑制手段を説明する図である。

図7Aは、スパッタリング用高周波電源106およびバイアス用高周波電源130として異なる周波数の高周波電源を用いる、後述する周波数干渉を抑制する手段（周波数干渉抑制手段）の一例である。符号701および702はマッチングボックスを示している。スパッタリング用高周波電源106からの高周波電力は、マッチングボックス701を介すことによって、反射波を低減してターゲット電極102へ供給され、バイアス用高周波電源130からの高周波電力は、マッチングボックス702を介すことによって、反射波を低減してバイアス電極103へと供給される。また、スパッタリング用高周波電源106とバイアス用高周波電源130とは、異なる周波数となるように設定されている。例えば、スパッタリング用高周波電源106の周波数を13.56MHzとした場合、バイアス用高周波電源130としては、13.54MHzや13.58MHzなどの周波数を用いることで、後述する周波数干渉を抑制することが可能となる。

[0047] 図7Bは、スパッタリング用高周波電源106およびバイアス用高周波電源130からの高周波電力の位相を調整することにより、後述する周波数干渉を抑制する手段（周波数干渉抑制手段）の一例を示している。図7Bにおいて、符号703は位相制御ユニット、符号704は高周波発振器、符号705および符号706は位相調整回路である。スパッタリング用高周波電源106からの高周波電力は、マッチングボックス701を介すことによって、反射波を低減してターゲット電極102へ供給され、バイアス用高周波電源130からの高周波電力は、マッチングボックス702を介すことによって、反射波を低減してバイアス電極103へと供給される。

[0048] 位相制御ユニット703は、高周波発振器704と、位相調整回路705および706とを有し、高周波発振器704からの高周波信号を、位相調整回路705および706によって位相を調整して外部回路に出力することができる。さらに、位相制御ユニット703の出力部は、スパッタリング用高

周波電源 106 およびバイアス用高周波電源 130 の外部入力端子部に接続されている。位相制御ユニット 703 が出力した、位相が調整された高周波信号（すなわち、高周波発振器 704 が発振した高周波信号であって、さらに、位相調整回路 705 および 706 によって位相が調整された高周波信号）によって、スパッタリング用高周波電源 106 およびバイアス用高周波電源 130 から出力される高周波電力の位相は制御される。例えば、位相制御ユニット 703 を調整し、スパッタリング用高周波電源 106 およびバイアス用高周波電源 130 から出力される高周波電力の位相差を 180° などの位相差に設定することで、後述する周波数干渉を抑制することが可能となる。

[0049] このように、後述する周波数干渉を引き起こさないようにするためには、ターゲット電極 102 へ供給される高周波電力と、バイアス電極 103 へ供給される高周波電力とを異なる周波数とするか、もしくは、ターゲット電極 102 へ供給される高周波電力と、バイアス電極 103 へ供給される高周波電力とを、所定の位相差に保つことが有効な手段である。高い再現性を有して本発明の効果を得るためには、これらの周波数干渉抑制手段を有することが非常に有効である。

[0050] 以下、図面を参考にしながら、本発明に係るスパッタリング装置を用いて III 族窒化物半導体薄膜のエピタキシャル膜形成方法を説明する。本実施形態においては、以下の第一から第四の工程を有する方法によって α -Al₂O₃ 基板上にエピタキシャル膜を形成する。なお、以下の記載においては、基板ホルダー 111 は基板ホルダー 111a、111b、111c のうち任意の 1 つを示し、バイアス電極 103 は任意の基板ホルダー 111（111a、111b、111c）に備えられているバイアス電極 103a、103b または共通電極 403 を示すものとする。

[0051] まず、第一の工程として、排気機構 110 により所定の圧力に保持された真空容器 101 に基板 107 を導入する。この際、基板（ α -Al₂O₃ 基板）107 は不図示の搬送ロボットにより、基板ホルダー 111 の上部まで搬

送され、基板ホルダー 111 から突き出た不図示のリフトピンの上部に保持される。その後、基板 107 を保持したリフトピンを降下させ、基板ホルダー 111 に基板 107 を載置する。

[0052] 次に、第二の工程として、基板ホルダー 111 に内蔵されたヒーター電極 104 に印加する電圧を制御し、基板 107 を所定温度に保持する。この際、基板ホルダー 111 に内蔵された熱電対（不図示）を用いて基板ホルダー 111 の温度をモニターするか、真空容器 101 に設置された不図示のパイロメータを用いて基板ホルダー 111 の温度をモニターし、それらの温度が所定の温度となるように制御する。

[0053] 次に、第三の工程として、ガス導入機構 109 より N_2 ガスまたは N_2 ガスと希ガスの混合ガスのいずれかを真空容器 101 へ導入し、マスフローコントローラ（不図示）およびバリアブルコンダクタンスバルブ（不図示）によって真空容器 101 の圧力が所定の圧力となるように設定する。

[0054] 最後に、第四の工程として、基板ホルダー 111 に内蔵されたバイアス電極 103 に高周波バイアス電力を印加すると共に、スパッタリング用高周波電源 106 よりターゲット 108 に高周波電力を印加することでターゲット 108 前面にプラズマを発生させる。これにより、プラズマ中のイオンがターゲット 108 を構成する元素をたたき出し、該たたき出された元素により、III 族窒化物半導体薄膜を基板 107 上に成膜する。

[0055] 第一の工程における所定の圧力は、 5×10^{-4} Pa 未満であることが望ましく、それ以上では、III 族窒化物半導体薄膜の内部に酸素等の不純物が多く取り込まれ、良好なエピタキシャル膜が得られにくい。また、第一の工程における基板ホルダー 111 の温度について特に限定するものではないが、生産性の観点からは成膜時の基板温度を得るための温度に設定しておくことが望ましい。

[0056] 第二の工程における所定の温度は、第四の工程における成膜温度に設定しておくことが生産性の観点から望ましく、また、第三の工程における所定の圧力は、第四の工程における成膜圧力に設定しておくことが生産性の観点か

ら望ましい。第二の工程および第三の工程とは、実施のタイミングが入れ替わってもよく、同時に実施されても良い。また、第二の工程で設定された温度および第三の工程で設定された圧力は、少なくとも第四の工程を開始するまで保持されていることが生産性の観点から望ましい。

[0057] 第四の工程において、バイアス電極 103 に印加する高周波バイアス電力は、+c 極性の統一度が高い III 族窒化物半導体膜（+c 極性の III 族窒化物半導体薄膜）が得られる所定の電力に設定しておくことが必要である。電力が小さすぎると、極性が混在した III 族窒化物半導体薄膜が形成され、電力が大きすぎると、高エネルギー粒子の衝突により III 族窒化物半導体薄膜がダメージを受け、良質な III 族窒化物半導体薄膜が得られない。

なお、本明細書では、-c 極性が無いまたは低減された III 族窒化物半導体薄膜、すなわち、+c 極性と -c 極性との混在が低減され、+c 極性の統一度が高い III 族窒化物半導体薄膜を、「+c 極性の III 族窒化物半導体薄膜」と呼ぶことにする。

[0058] また、第四の工程を行う際の基板温度は、100～1200℃の範囲となるように設定することが望ましく、更に400～1000℃の範囲とすると好適である。100℃未満の場合は、アモルファス構造の混在した膜が形成されやすく、1200℃より高い温度では、膜自体が形成されないか、形成されたとしても熱応力のために欠陥の多いエピタキシャル膜が得られやすい。また、成膜圧力は0.1～100mTorr（ $1.33 \times 10^{-2} \sim 1.33 \times 10^1$ Pa）の範囲に設定されることが望ましく、更に、1.0～10mTorr（ $1.33 \times 10^{-1} \sim 1.33$ Pa）の範囲に設定されると好適である。

[0059] 0.1mTorr（ 1.33×10^{-2} Pa）未満では、高エネルギー粒子が基板表面に入射されやすくなるため、良質な III 族窒化物半導体薄膜が得られにくく、100mTorr（ 1.33×10^1 Pa）より高い圧力では、成膜速度が極端に遅くなるため好ましくない。第四の工程を開始する際に

は、真空容器 101 の圧力を一時的に成膜圧力以上に高めて、ターゲット側におけるプラズマの発生を促進することも可能である。この場合、プロセスガスの少なくとも一種類のガス流量を一時的に多く導入することで成膜圧力を高めてもよく、また、バリアブルコンダクタンスバルブ（不図示）の開度を一時的に小さくすることで成膜圧力を高めてもよい。

[0060] 第四の工程において、バイアス電極 103 へ高周波バイアス電力を印加するタイミングと、ターゲット電極 102 へ高周波電力を印加するタイミングは、同時であってもよく、また、一方に先に印加し、その後、他方に印加してもよい。ただし、ターゲット電極 102 へ高周波電力を先に印加する場合には、 α -Al₂O₃基板 107 の被成膜面が III 族窒化物半導体からなる結晶層で覆われる前にバイアス電極 103 へ高周波バイアス電力を印加する必要がある。

[0061] バイアス電極 103 に高周波バイアス電力が印加されない状態で形成された III 族窒化物半導体の結晶層は、極性の混在した状態、または -c 極性の状態になりやすい。-c 極性の混在した状態が生じると、その後のバイアス電極 103 へ高周波バイアス電力の印加によっても、+c 極性の III 族窒化物半導体薄膜を得ることが困難になる。従って、ターゲット電極 102 へ高周波電力を先に印加する場合には、ターゲット電極 102 へ高周波電力を印加し、ターゲット前面にプラズマが発生した後（すなわち、スパッタリングが開始された後）、直ちにバイアス電極 103 へ高周波バイアス電力を印加し、 α -Al₂O₃基板 107 上に III 族窒化物半導体からなる結晶層が形成される前に、バイアス電極 103 へ高周波バイアス電力が印加されるようにすることが望ましい。

[0062] バイアス電極 103 へ高周波バイアス電力を先に印加する場合には、ターゲット電極 102 へ高周波電力を印加するまでの間に、 α -Al₂O₃基板 107 の表面側にプラズマが発生し、プラズマ中の N 原子を含有した活性種による α -Al₂O₃基板 107 の表面窒化を避ける必要がある。 α -Al₂O₃基板 107 の表面が窒化すると、基板表面に -c 極性や極性が混在した Al

Nが形成されやすくなり、その後にターゲット電極102へ高周波電力を印加し、III族窒化物半導体薄膜を成膜しても、+c極性のIII族窒化物半導体薄膜を得ることが困難になるためである。従って、バイアス電極103へ高周波バイアス電力を先に印加する場合には、バイアス電極103へ高周波バイアス電力を印加した直後にターゲット電極102へ高周波電力を印加しスパッタリングを開始することが望ましい。

[0063] さらに、第一の工程の前には、前処理室（不図示）に基板107を搬送し、成膜温度以上の温度での基板107の熱処理やプラズマ処理を行う工程を有してもよいことももちろんである。ただし、プラズマ処理を行う場合には、 α -Al₂O₃基板の表面に極性の混在したAlN層や-c極性のAlN層が形成されないような条件を選択することが重要である。

[0064] 上記第一から第四の工程により、+c極性のIII族窒化物半導体薄膜が形成されるメカニズムについて、図5を用いて以下に説明する。第一の工程および第二の工程として、基板ホルダー111に α -Al₂O₃基板107が所定の温度となるように載置し、第三の工程として、真空容器内へN₂ガスまたはN₂ガスと希ガスの混合ガスのいずれかを導入する。次いで、第四の工程として、バイアス電極へ高周波バイアス電力を印加すると共に、ターゲット側にプラズマを発生させてIII族窒化物半導体薄膜を形成する。

[0065] 第四の工程において、ターゲットとして金属ターゲットを用いた場合には、N原子を含有した活性種によりターゲット表面が窒化され、その表面を正イオンでスパッタリングすることにより、図5に示す窒化物分子503がターゲット表面より放出され、 α -Al₂O₃基板107の表面に到達すると考えられる。また、窒化物ターゲットを用いた場合においても、その表面を正イオンでスパッタリングすることにより、図5に示す窒化物分子503がターゲット表面より放出され、 α -Al₂O₃基板107の表面に到達すると考えられる。なお、図5には簡略化のために2原子分子の窒化物分子503を示しているが、窒化物分子であれば2原子分子に限定されるものではない。

[0066] 図5において、バイアス電極103には高周波バイアス電力が印加されて

おり、 $\alpha - \text{Al}_2\text{O}_3$ 基板107の表面側に対向する空間には、符号Gで示したプラズマ領域と、符号Sで示したシース領域とが形成されている。シース領域Sは、プラズマ領域Gと $\alpha - \text{Al}_2\text{O}_3$ 基板107の間に形成される。

[0067] プラズマ領域Gでは、正電荷（正イオン）と負電荷（電子）の密度は概ね等しく、ほぼ電気的中性状態となっている。また、プラズマ領域Gは、通常、接地電位に対して正となる、ほぼ一定の電位状態（プラズマ電位と呼ばれる）となっている。一方、高周波バイアス電力の印加により生じた高周波電界の変化に対して、正イオンと電子の追従のしやすさが異なることから、 $\alpha - \text{Al}_2\text{O}_3$ 基板107の表面には過剰な電子が供給され、負の直流バイアス電圧が発生する。シース領域Sでは、このようにして生じた $\alpha - \text{Al}_2\text{O}_3$ 基板107の表面の負の電位と、プラズマ領域Gのプラズマ電位との間の電位差により、 $\alpha - \text{Al}_2\text{O}_3$ 基板107の表面に向かう方向に符号Eで示した電界が生じている。この電界Eの大きさは、高周波バイアス電力の大きさにより調整することが可能である。

[0068] なお、バイアス電極103に印加する電力の形態としては高周波電力が望ましい。直流電力の場合は、 $\alpha - \text{Al}_2\text{O}_3$ 基板107が絶縁物であるため、 $\alpha - \text{Al}_2\text{O}_3$ 基板107の表面に有効に負の直流バイアス電圧を発生させることが困難となり好ましくない。

[0069] 窒化物分子503は、III族元素503aとN原子503bを有しており、III族元素503aが正、N原子503bが負の電荷の偏りを有している。すなわち、窒化物分子503は、符号Pで示す分極を有している。この窒化物分子503は、プラズマ領域Gではランダムな方向を向くと考えられるが、シース領域Sに到達すると、電界Eが窒化物分子503の分極Pに作用し、III族元素503aが $\alpha - \text{Al}_2\text{O}_3$ 基板の方向、N原子503bがプラズマ領域Gの方向を向くように、すなわち、分極Pが $\alpha - \text{Al}_2\text{O}_3$ 基板の方向を向くように配向すると考えられる。

[0070] +c極性のIII族窒化物半導体では、窒化物分子503の分極Pが $\alpha - \text{Al}_2\text{O}_3$ 基板の方向を向くように配向している。つまり、高周波バイアス電

力を印加することで生じたシース領域Sの電界Eにより、窒化物分子503の分極Pが $\alpha - \text{Al}_2\text{O}_3$ 基板の方向を向くように配向し、その配向を保って $\alpha - \text{Al}_2\text{O}_3$ 基板表面へ吸着されることにより、+c極性のIII族窒化物半導体薄膜が得られるものと考えられる。

[0071] なお、バイアス電極103に高周波バイアス電力が印加されていたとしても、高周波バイアス電力が小さい場合には、+c極性のIII族窒化物半導体を得られない場合がある。これは、シース領域Sの電界Eが、窒化物分子503の分極Pに十分に作用せず、配向を制御できなかったことが原因と考えられる。

[0072] また、高周波バイアス電力が大きすぎると、高品質なIII族窒化物半導体を得られない場合がある。これは、シース領域Sの電界Eにより、プラズマ中の正イオンが加速され、 $\alpha - \text{Al}_2\text{O}_3$ 基板の表面に大きなエネルギーを有して衝突するため、III族窒化物半導体薄膜の内部に多くの欠陥が形成されるためと考えられる。

[0073] このように、+c極性のIII族窒化物半導体薄膜を得るためには、バイアス電極103に印加する高周波バイアス電力の大きさを適切な値に調整することが必要である。なお、この高周波バイアス電力の最適範囲は、スパッタリング装置の内部構造により大きく異なるため、装置ごとに最適な条件を求めることが必要となる。

[0074] また、高周波バイアス電力として用いる周波数は特に限定するものではないが、高周波バイアス電力の周波数とターゲットに印加した高周波電力の周波数が一致すると、高周波電力の干渉により生じる低周波のうなり現象が発生しやすくなり、成膜条件にも影響を与えることがある。（以下、この低周波のうなり現象を周波数干渉と呼ぶ）。本実施形態において周波数干渉が生じると、プラズマが不安定になり、 $\alpha - \text{Al}_2\text{O}_3$ 基板の表面に発生する直流バイアス電圧が安定しなくなるため、異なる周波数の高周波電力を用いることが好ましい。図7Aを例にとると、ターゲット電極102に印加する高周波電力の周波数（スパッタリング用高周波電源106の周波数）を13.5

6 MHzとした場合、バイアス電極103に印加する高周波バイアス電力の周波数（バイアス用高周波電源130の周波数）として、13.54 MHzや13.58 MHzなどを用いることで、上記のような周波数干渉を防止ないしは低減することができる。

[0075] また、バイアス電極へ印加する高周波バイアス電力の周波数とターゲットに印加する高周波電力の周波数とが同じであっても、高周波バイアス電力と高周波電力とを所定の位相差だけずらすことによって、上記の周波数干渉を抑制することが可能である。図7Bを例にとると、位相制御ユニット703によって、バイアス電極103へ印加される高周波バイアス電力と、ターゲット電極102に印加される高周波電力との位相差を180°となるように調整した場合、すなわち、ターゲット電極102に高周波電力の正のピークトップ電圧が印加されると同時に、バイアス電極103に高周波バイアス電力の負のピークトップ電圧が印加されるように調整した場合は、最も効果的に周波数干渉を防ぐないしは低減することが可能となる。また、各高周波電源（スパッタリング用高周波電源およびバイアス用高周波電源）への反射波がさらに減少するように位相差を微調整してもよい。すなわち、位相差は厳密に180°でなくてよく、180°から微調整される範囲まで含んだ略180°であればよい。

[0076] さらに、他の位相差であっても周波数干渉が引き起こされない限り、問題なく用いることが可能である。なお、上記のような周波数干渉が生じる場合には、プラズマが不安定になり各高周波電源（スパッタリング用高周波電源およびバイアス用高周波電源）への反射波が増大しやすくなるため、これを最小（望ましくは0）にするような位相差に調整することが望ましい。

[0077] なお、バイアス電極103に高周波バイアス電力を印加しない場合にも、シース領域Sに電界Eが発生するが、このときに発生する電界Eは、一般に、高周波バイアス電力を印加した場合に比べて小さくなる。したがって、バイアス電極103に高周波バイアス電力を印加しない場合に、+c極性の窒化物半導体薄膜を得ることができないのは、シース領域Sの電界Eが、窒化

物分子 503 の分極 P に十分に作用せず、配向を制御できないことが原因と考えられる。

[0078] N_2 ガスと希ガスの混合ガスを用いたプラズマにより金属ターゲット 108 をスパッタリングする際には、 N_2 ガスと希ガスの混合ガスの比率を制御し、金属成分（非窒化物成分）が III 族窒化物半導体薄膜に多く取り込まれないように注意しなければならない。金属成分が多く取り込まれた場合は、窒化物分子 503 よりも金属原子、または金属クラスター状でターゲットより放出される III 族元素の比率が多くなりやすいため、バイアス電極 103 に高周波バイアス電力を印加しても本発明の効果を十分に得られない可能性がある。

[0079] 本実施形態における方法で形成される III 族窒化物半導体薄膜のエピタキシャル膜としては、図 6 に示す緩衝層 602、III 族窒化物半導体中間層 603、n 型 III 族窒化物半導体層 604、III 族窒化物半導体活性層 605、p 型 III 族窒化物半導体層 606 が挙げられる。上記全ての層を本発明に係るスパッタリング装置（エピタキシャル膜形成方法）を用いて作製してもよく、また、いずれかの層に限定して本発明に係るスパッタリング装置（エピタキシャル膜形成方法）を用いて作製してもよい。

[0080] 例えば、第一の例として、図 6 の LED 素子の緩衝層 602 を本発明に係るスパッタリング装置（エピタキシャル膜形成方法）を用いて作製し、その後、MOCVD 法を用いて III 族窒化物半導体中間層 603、n 型 III 族窒化物半導体層 604、III 族窒化物半導体活性層 605、p 型 III 族窒化物半導体層 606 を順次積層することで、エピタキシャルウェハーを作製する方法がある。

[0081] また、第二の例として、緩衝層 602 および III 族窒化物半導体中間層 603 を本発明に係るスパッタリング装置（エピタキシャル膜形成方法）を用いて作製し、その後、MOCVD 法を用いて、n 型 III 族窒化物半導体層 604、III 族窒化物半導体活性層 605、p 型 III 族窒化物半導体層 606 を順次積層することで、エピタキシャルウェハーを作製する方法が

ある。

[0082] 第三の例としては、緩衝層602、Ⅲ族窒化物半導体中間層603およびn型Ⅲ族窒化物半導体層604を本発明に係るスパッタリング装置（エピタキシャル膜形成方法）を用いて作製し、その後、MOCVD法を用いて、Ⅲ族窒化物半導体活性層605、p型Ⅲ族窒化物半導体層606を順次積層することで、エピタキシャルウェハーを作製する方法がある。

[0083] 第四の例としては、緩衝層602、Ⅲ族窒化物半導体中間層603、n型Ⅲ族窒化物半導体層604およびⅢ族窒化物半導体活性層605を本発明に係るスパッタリング装置（エピタキシャル膜形成方法）を用いて作製し、その後、MOCVD法を用いて、p型Ⅲ族窒化物半導体層606を作製することで、エピタキシャルウェハーを作製する方法がある。

[0084] 第五の例としては、緩衝層602、Ⅲ族窒化物半導体中間層603、n型Ⅲ族窒化物半導体層604およびⅢ族窒化物半導体活性層605、p型Ⅲ族窒化物半導体層606を本発明に係るスパッタリング装置（エピタキシャル膜形成方法）を用いて作製することで、エピタキシャルウェハーを作製する方法がある。

[0085] このようにして得たエピタキシャルウェハーに対し、リソグラフィー技術およびRIE（反応性イオンエッチング）技術を用い、図6に示すように透光性電極607、p型ボンディングパッド電極609、n型電極608、保護膜610を形成することによりLED構造を得ることができる。なお、透光性電極607、p型ボンディングパッド電極609、n型電極608、保護膜610の材料は特に限定されず、この技術分野でよく知られた材料を制限されることなく用いることができる。

[0086] （実施例）

（第一の実施例）

本発明の第一の実施例として、本発明の一実施形態にかかるⅢ族窒化物半導体薄膜の成膜方法を用いて緩衝層602（図6参照）としてのAlN

膜を α - Al_2O_3 (0001) 基板上に成膜する例を説明する。より詳しくは、バイアス電極103に高周波バイアス電力を印加した状態で、 α - Al_2O_3 (0001) 基板上にスパッタリング法を用いてAlN膜を形成する例について説明する。なお、本実施例において、AlN膜は図1と同様のスパッタリング装置を用いて成膜する。また、ターゲット電極102に印加する高周波電力と、バイアス電極103に印加する高周波電力の周波数は、それぞれ、13.56MHz、13.54MHzとする。

[0087] 本実施例においては、先ず、第一の工程により 1×10^{-4} Pa以下に保持された真空容器101に α - Al_2O_3 (0001) 基板を搬送して基板ホルダー111に載置し、第二の工程により基板を成膜温度である550℃に保持する。このときヒーター電極104へ流す電流は、基板ホルダー111に内蔵した熱電対のモニター値が750℃になるよう制御する。

[0088] 次に、第三の工程により N_2 ガスとArガスの混合ガスを $\text{N}_2 / (\text{N}_2 + \text{Ar}) : 25\%$ となるように導入し、真空容器101の圧力を3.75 mTorr (0.5 Pa) に設定する。この状態で第四の工程によりバイアス電極103に10Wの高周波バイアス電力を印加するとともに、スパッタリング用高周波電源106から2000Wの高周波電力を金属Alからなるターゲット108に印加し、スパッタリング法により基板上に膜厚50 nmのAlN膜を形成する。この際、得られたAlN膜には、金属Al成分がほとんど含まれていないことをX線光電子分光法 (XPS) により確認することができる。

[0089] なお、本実施例における成膜温度は、熱電対を埋め込んだ α - Al_2O_3 (0001) 基板によりあらかじめ基板温度測定を行い、その時の、 α - Al_2O_3 (0001) 基板の温度と、ヒーターに内蔵した熱電対のモニター値、すなわち、ヒーターの温度との関係より設定する。

[0090] 本実施例において、作製したAlN膜は、対称反射位置での $2\theta / \omega$ スキャンモードのX線回折 (XRD) 測定と、対称面に対する ω スキャンモードでのXRC測定、In-plane配置での ϕ スキャンモードのXRC測定

、および、同軸型直衝突イオン散乱分光（CAICISS: Coaxial Impact Collision Ion Scattering Spectroscopy）測定により評価する。ここで、対称反射位置での $2\theta/\omega$ スキャンモードのXRD測定は結晶配向の確認に用い、対称面に対する ω スキャンモードでのXRC測定と In-plane 配置での ϕ スキャンモードでのXRC測定は、それぞれ、チルトとツイストのモザイク広がりの評価に用いる。また、CAICISS測定は極性の判定手段として用いる。

[0091] まず、本実施例において作製したAlN膜に対し、対称反射位置での $2\theta/\omega$ スキャンモードのXRD測定を、測定範囲を $2\theta = 20 \sim 60^\circ$ の範囲として行くと、AlN (0002) 面と $\alpha\text{-Al}_2\text{O}_3$ (0006) 面の回折ピークのみが観測され、AlNの他の格子面を示す回折ピークは観測されない。このことから、得られたAlN膜がc軸配向していることがわかる。

[0092] 次に、本実施例で作製したAlN膜に対し、対称面（本実施例ではAlN (0002) 面）に対する ω スキャンモードでのXRC測定を行う。得られるXRCプロファイルのFWHMは、検出器をオープンディテクタ状態とした場合に 450 arcsec 以下、検出器にアナライザー結晶を挿入した場合に 100 arcsec 以下である。よって、作製したAlN膜におけるチルトのモザイク広がりが小さいことを確認できる。また、作製条件によっては、検出器にアナライザー結晶を挿入した場合のXRC測定で、FWHMが 20 arcsec 以下となるものも得られる。

[0093] なお、検出器をオープンディテクタ状態とした場合が本来のXRC測定であるが、本実施例のように膜厚が薄い試料の場合には、膜厚効果や格子緩和によってXRCプロファイルのFWHMが広がり、モザイク広がりを正しく評価することが困難となる。そのため、近年では上記のように、検出器にアナライザー結晶を挿入した場合も広義のXRC測定として扱われている。以下、特に断らない限り、XRC測定ではオープンディテクタ状態を用いていることとする。

[0094] 次に、本実施例で作製したA I N膜に対し、I n - p l a n e配置で ϕ スキャンモードのX R C測定を行う。なお、測定にはA I N {1 0 - 1 0}面を用いる。得られたX R Cプロファイルには6 0° 間隔に6本の回折ピークが現れ、A I N膜が六回対称性を有していること、すなわち、A I N膜がエピタキシャル成長していることを確認できる。また、最大強度の回折ピークから求めたF W H Mは2. 0° 以下であり、作製したA I N膜のツイストのモザイク広がりが比較的小さいことがわかる。なお、 α -A l₂O₃ (0 0 0 1) 基板とA I N膜の面内結晶方位を比較すると、 α -A l₂O₃ (0 0 0 1) 基板のa軸に対してA I N膜のa軸が3 0° 面内回転していることを確認できる。これは、A I N膜を α -A l₂O₃ (0 0 0 1) 基板上にエピタキシャル成長した際の一般的なエピタキシャル関係でA I N膜が形成されることを示している。

[0095] 次に、本実施例で作製したA I N膜に対し、C A I C I S S測定を行う。本測定において、A I 信号をA I N [1 1 - 2 0] 方位から入射角度を変えて検出しており、入射角度が7 0° 付近のピークが単一の形状として得られることがわかる。このことは、得られたA I N膜が+c極性となっていることを示している。

[0096] 以上のことから、本実施例において作製したA I N膜は、+c極性で、且つ、チルトのモザイク広がり小さなc軸配向エピタキシャル膜となることを確認できる。すなわち、本発明によれば、チルトおよびツイストのモザイク広がりを低減しつつ、+c極性のI I I族窒化物半導体薄膜を得られる。なお、本実施例と同様の実験を複数回繰り返すと、再現性が良好であることを確認できる。

[0097] (第二の実施例)

次に、本発明の第二の実施例として、本発明に係るI I I族窒化物半導体薄膜の成膜方法を用いて作製したA I N膜を緩衝層とし、その上に、M O C V D法を用いて、図6のI I I族窒化物半導体中間層6 0 3としてのアンドープG a N膜を形成する例について説明する。

- [0098] スパッタリング法を用いて、 α -Al₂O₃ (0001) 基板上にAlN膜を第一の実施例と同じ装置、および条件で形成し、その後、MOCVD装置にウェハー（基板）を導入して、5 μ mの膜厚のアンドープGaN膜を形成する。
- [0099] 得られたアンドープGaN膜の表面は鏡面であり、対称反射位置での $2\theta/\omega$ スキャンモードのXRD測定では、アンドープGaN膜がc軸配向することが示される。次に、対称面としてGaN (0002) 面を用いる ω スキャンモードのXRC測定と、In-plane配置でGaN {10-10} 面に対する ϕ スキャンモードのXRC測定を行うと、それぞれのFWHMは250 arcsec以下、500 arcsec以下となることを確認できる。このことから、得られるアンドープGaN膜が、チルトおよびツイストのモザイク広がり小さい高品質な結晶として得られることがわかる。更に、CAICISS測定より、得られるアンドープGaN膜の極性が+c極性となることを確認できる。これは、第一の実施例において説明したように、緩衝層として用いるAlN膜の極性が+c極性に制御できるため、その上に形成したアンドープGaN膜もその極性を引き継ぐ結果と考えることができる。
- [0100] 以上のことから、本発明に係るIII族窒化物半導体薄膜の成膜方法を用いて作製する、+c極性に制御されたAlN膜を緩衝層とすることにより、その上にMOCVD法を用いて成長させるアンドープGaN膜を、モザイク広がり少なく、+c極性に制御された高品質なエピタキシャル膜として得ることが可能となる。すなわち、 α -Al₂O₃基板上に、+c極性のIII族窒化物半導体薄膜をエピタキシャル成長させることができる。
- [0101] なお、本実施例ではアンドープGaN膜をMOCVD法により形成するが、スパッタリング法を用いても同様の結果を得ることができる。また、本実施例と同様の実験を複数回繰り返すと、再現性が良好であることを確認できる。
- [0102] (第三の実施例)

本発明の第三の実施例として、本発明に係るⅢ族窒化物半導体薄膜の成膜方法を用いて作製するA l N膜を緩衝層とし、その上に、MOCVD法を用いて、アンドープG a NからなるⅢ族窒化物半導体中間層、S i ドープG a Nからなるn型Ⅲ族窒化物半導体層、I n G a NとG a NのMQW構造を有するⅢ族窒化物半導体活性層、MgドープG a Nからなるp型Ⅲ族窒化物半導体層を順次エピタキシャル成長し、更に、n型電極層、透光性電極、p型電極層、保護膜まで形成した後、ウェハーをスクライブにより分離しLED素子を作製する例について説明する。

[0103] スパッタリング法を用いて、 α -A l₂O₃ (0001) 基板上に緩衝層602としてのA l N膜を第一の実施例と同じ条件で形成する。その後、MOCVD装置にウェハーを導入して、5 μ mの膜厚のアンドープG a NからなるⅢ族窒化物半導体中間層603、および2 μ mの膜厚のS i ドープG a Nからなるn型Ⅲ族窒化物半導体層604を形成する。さらに、G a Nに始まりG a Nに終わる積層構造であって、3 nmの膜厚の5層のI n G a Nと16 nmの膜厚の6層のG a Nとを交互に積層したMQW構造を有するⅢ族窒化物半導体活性層605、および200 nmの膜厚のMgドープG a Nからなるp型Ⅲ族窒化物半導体層606を形成する。

[0104] 得られたエピタキシャルウェハーに対し、リソグラフィー技術およびR I E技術を用い、図6に示すように透光性電極607、p型ボンディングパッド電極609、n型電極608、保護膜610を形成する。なお本実施例では、透光性電極としてITO (I n d i u m - T i n - O x i d e)、p型ボンディングパッド電極としてチタン (T i)、A l、金 (A u) を積層した構造、n型電極としてニッケル (N i)、A l、T i、A uを積層した構造、保護膜としてS i O₂を用いる。

[0105] このようにして得られるLED構造を形成したウェハーをスクライブにより350 μ m角のLEDチップに分離し、このLEDチップをリードフレーム上に載置し、金線でリードフレームに結線することによりLED素子とする。

[0106] 得られるLED素子のp型ボンディングパッド電極とn型電極とに順方向電流を流すと、電流20mAにおける順方向電圧が3.0V、発光波長が470nm、発光出力が15mWという良好な発光特性を示す。このような特性は、作製したウェハーほぼ全面から作製されたLED素子について、ばらつきなく得られる。

[0107] 以上のことから、本発明に係るIII族窒化物半導体薄膜の成膜方法を用いて作製する、+c極性に制御されたAlN膜を緩衝層602とすることにより、良好な発光特性を有するLED素子を得ることができる。なお、本実施例ではアンドープGaNからなるIII族窒化物半導体中間層603、SiドープGaNからなるn型III族窒化物半導体層604、InGaNとGaNとのMQW構造を有するIII族窒化物半導体活性層605、MgドープGaNからなるp型III族窒化物半導体層606をMOCVD法により形成するが、スパッタリング法を用いてこれらの層を作製しても同様の結果を得ることができる。また、本実施例と同様の実験を複数回繰り返すと、再現性が良好であることを確認できる。

[0108] (第一の比較例)

本発明の第一の比較例として、本発明に特徴的なバイアス電極への高周波バイアス電力の印加を行わずに α -Al₂O₃ (0001) 基板上にスパッタリング法を用いて緩衝層としてのAlN膜を形成する例について説明する。なお、本比較例において、AlN膜は、バイアス電極103へ高周波バイアス電力を印加しないことを除いて、第一の実施例と同一のスパッタリング装置1、基板ホルダー111、成膜条件により成膜する。また、ターゲット電極102に印加する高周波電力の周波数は、13.56MHzとする。

[0109] 本比較例において作製するAlN膜に対し、対称反射位置での $2\theta/\omega$ スキャンモードのXRD測定と、AlN (0002) 面に対する ω スキャンモードでのXRC測定 (検出器にアナライザー結晶を挿入する場合と、オープンディテクタ状態の場合)、AlN {10-10} 面に対する ϕ スキャンモードでのXRC測定を行うと、第一の実施例で得られたAlN膜と同様にc

軸配向のエピタキシャル膜が得られ、チルトおよびツイストのモザイク広がりも同程度であることがわかる。一方、本比較例において作製するA l N膜に対してC A l C l S S測定を行うと、+ c極性と- c極性が混在した膜であることが示される。

[0110] 以上のことから、バイアス電極103へ高周波バイアス電力を印加せずに成膜する場合、+ c極性のl l l族窒化物半導体薄膜を得られない。なお、本実施例と同様の実験を複数回繰り返しても、+ c極性のA l N膜は得ることは困難である。

[0111] (第二の比較例)

次に、本発明の第二の比較例として、バイアス電極103への高周波バイアス電力の印加を行わずに α -A l₂O₃ (0001) 基板上にスパッタリング法を用いてA l Nからなる緩衝層を形成し、その上に、MOCVD法を用いて、l l l族窒化物半導体中間層としてのアンドープG a N膜を形成する例について説明する。なお、本比較例において、A l Nからなる緩衝層は第一の比較例と同一のスパッタリング装置1、基板ホルダー111、成膜条件にて成膜を行い、アンドープG a N膜は、第二の実施例と同様の条件にて成膜を行う。

[0112] スパッタリング法を用いて、 α -A l₂O₃ (0001) 基板上にA l Nからなる緩衝層を第一の比較例と同一のスパッタリング装置1、基板ホルダー111、成膜条件にて成膜を行い、その後、MOCVD装置にウェハーを導入して、5 μ mの膜厚のアンドープG a N膜を形成する。

[0113] 得られるアンドープG a N膜の表面は白濁し、対称反射位置での $2\theta/\omega$ スキャンモードのXRD測定では、アンドープG a N膜がc軸配向することが示される。次に、対称面としてG a N (0002) 面を用いる ω スキャンモードでのXRC測定と、l n - p l a n e配置でG a N {10-10} 面に対する ϕ スキャンモードでのXRC測定を行うと、それぞれのFWHMは600 arcsec程度、1000 arcsec程度となる。このことから、本比較例により得られるアンドープG a N膜は、第二の実施例で得られる

アンドープGaN膜に比べてチルトおよびツイストのモザイク広がりが大き
い低品質な結晶として得られることがわかる。

[0114] 更に、CAICISS測定より、得られるアンドープGaN膜の極性が+c
極性と-c極性の混在した膜となることを確認できる。これは、第一の比
較例において説明したように、AlNからなる緩衝層が+c極性と-c極性
との混在した膜になるため、その上に形成したアンドープGaN膜もその混
在した極性を引き継ぐ結果と考えることができる。

[0115] 以上のことから、バイアス電極に高周波バイアス電力を印加せずに α -Al₂O₃ (0001) 基板上にスパッタリング法によりAlNからなる緩衝層
を形成する場合、その上にMOCVD法を用いて成長させたアンドープGaN
膜は低品質なエピタキシャル膜として得られる。なお、本比較例ではアン
ドープGaN膜をMOCVD法により形成するが、スパッタリング法を用い
ても同様の結果となることを確認できる。また、本実施例と同様の実験を複
数回繰り返しても、鏡面で結晶性の良好なGaN膜を得ることは困難である
。

[0116] (第三の比較例)

本発明の第三の比較例として、バイアス電極への高周波バイアス電力の印
加を行わずに α -Al₂O₃ (0001) 基板上にスパッタリング法を用いて
AlNからなる緩衝層を形成し、その上に、MOCVD法を用いて、アン
ドープGaNからなるIII族窒化物半導体中間層、SiドープGaNからな
るn型III族窒化物半導体層、InGaNとGaNとのMQW構造を有す
るIII族窒化物半導体活性層、MgドープGaNからなるp型III族窒
化物半導体層を順次エピタキシャル成長し、更に、n型電極層、透光性電極
、p型電極層、保護膜まで形成した後、ウェハーをスクライブにより分離し
LED素子を作製する例について説明する。

[0117] なお、AlNからなる緩衝層の成膜方法は第一の比較例と同様であり、M
OCVD法を用いて成膜したアンドープGaNからなるIII族窒化物半導
体中間層、SiドープGaNからなるn型III族窒化物半導体層、InG

a NとGa NとのMQW構造を有するIII族窒化物半導体活性層、MgドープGa Nからなるp型III族窒化物半導体層と、その後形成したn型電極層、透光性電極、p型電極層、保護膜の材料や成膜方法、およびその後の、素子化の工程については全て第三の実施例と同様である。

[0118] 得られたLED素子のp型ボンディングパッド電極とn型電極とに順方向電流を流すと、LED素子からは良好なダイオード特性が得られず、また、可視光領域での十分な発光強度も得られないなど、良好な素子特性が得られにくい。このような特性は、作製したウェハーほぼ全面から作製されたLED素子について同様の結果である。

[0119] 以上のことから、バイアス電極への高周波バイアス電力の印加を行わずに α -Al₂O₃ (0001) 基板上にスパッタリング法を用いてAlNからなる緩衝層を形成する場合、良好な発光特性を有するLED素子を得ることは困難となる。なお、本実施例ではアンドープGa NからなるIII族窒化物半導体中間層、SiドープGa Nからなるn型III族窒化物半導体層、InGa NとGa NとのMQW構造を有するIII族窒化物半導体活性層、MgドープGa Nからなるp型III族窒化物半導体層をMOCVD法により形成するが、スパッタリング法を用いても同様の結果となる。また、本実施例と同様の実験を複数回繰り返しても、良好な発光特性を有するLED素子を得ることは困難である。

[0120] (第四の実施例)

本発明の第四の実施例として、ターゲット電極102に印加する高周波電力と、バイアス電極103に印加する高周波電力の周波数を共に13.56 MHzとすると共に、位相を180°ずらし、その他は、第一の実施例と同様の装置、条件を用いて、本発明にかかるIII族窒化物半導体薄膜の成膜方法を用いてAlN膜を α -Al₂O₃ (0001) 基板上に成膜する例について説明する。

[0121] 本実施例の実験を繰り返し行くと、第一の実施例と同様の+c極性のAlN膜が再現性良く得られることを確認できる。

[0122] (第四の比較例)

本発明の第四の比較例として、ターゲット電極 102 に印加する高周波電力と、バイアス電極 103 に印加する高周波電力の周波数を共に 13.56 MHz とし、その他は、第一の実施例と同様の装置、条件を用いて、本発明にかかる III 族窒化物半導体薄膜の成膜方法を用いて AlN 膜を α -Al₂O₃ (0001) 基板上に成膜する例について説明する。なお、本比較例においては、ターゲット電極 102 に印加する高周波電力と、バイアス電極 103 に印加する高周波電力の位相の制御は行わない。

[0123] 本比較例の実験を繰り返し行くと、周波数干渉が生じない場合は、+c 極性の AlN 膜が得られるが、周波数干渉が生じる場合は、+c 極性の AlN 膜が得られにくくなる。

[0124] 本発明について上述したように、本発明の大きな特徴は、III 族窒化物半導体のエピタキシャル膜をスパッタリング法により形成するうえで、バイアス電極へ高周波バイアス電力を印加することに着目した点にある。バイアス電極への高周波バイアス電力の印加により基板の成膜面側に生じたシース領域 S の電界を、ターゲットから放出された窒化物分子の分極に作用させて配向を制御し、その配向を利用して +c 極性の III 族窒化物半導体薄膜を得ることは従来には無い技術思想である。

[0125] また、ターゲット電極に印加する高周波電力とバイアス電極に印加する高周波電力との干渉による低周波のうなり、すなわち周波数干渉を防止ないしは低減することで、+c 極性の III 族窒化物半導体薄膜を再現性良く得ることは、従来には無い技術思想である。

[0126] 本発明では、上記本発明に特有の技術思想の下、基板ホルダーにヒーター電極とバイアス電極を設けている。このように基板ホルダーを構成することにより、上述の第一～第四の実施例および第一～第四の比較例にて示したように、スパッタリング法により、チルトおよびツイストのモザイク広がりを低減し、かつ +c 極性を有する III 族窒化物半導体薄膜を形成することができる。

[0127] さらに本発明者らは、 $\text{Si}(111)$ 基板などの基板材料を用いる場合や、酸化亜鉛(ZnO)系半導体薄膜などの薄膜材料を形成する場合においても、上記の技術思想を適用することが高品質なエピタキシャル膜を得るうえで有効であることを見出した。以下に、本発明に係る成膜方法を用いてⅢ族窒化物半導体薄膜を $\text{Si}(111)$ 基板上に形成する例(第五の実施例)、本発明に係る成膜方法を用いずⅢ族窒化物半導体薄膜を $\text{Si}(111)$ 基板上に形成する例(第五の比較例)、本発明に係る成膜方法を用いて ZnO 系半導体薄膜を $\alpha\text{-Al}_2\text{O}_3(0001)$ 基板上に形成する例(第六の実施例)、本発明に係る成膜方法を用いず ZnO 系半導体薄膜を $\alpha\text{-Al}_2\text{O}_3(0001)$ 基板上に形成する例(第六の比較例)について述べる。

[0128] (第五の実施例)

本実施例では、フッ酸処理により表面の自然酸化膜を除去した $\text{Si}(111)$ 基板を用い、その他は、第一の実施例と同様の方法・条件によって AlN 膜を形成する。ただし、本実施例における成膜温度(550°C)は、熱電対を埋め込んだ $\text{Si}(111)$ 基板により、あらかじめ基板温度測定を行った結果に基づいて設定する。

[0129] 本実施例において $\text{Si}(111)$ 基板上に形成される AlN 膜は、 CAICISS 測定および XRD 測定によって、 $+c$ 極性のエピタキシャル膜として形成されていることを確認することができる。また、得られた AlN 膜上に MOCVD 法を用いて $2\mu\text{m}$ の膜厚のアンダー GaN 膜を形成すると、得られたアンダー GaN 膜の表面は鏡面となり、 c 軸配向した単結晶膜として得られる。

[0130] さらに、得られるアンダー GaN 膜を利用して、 LED 素子および HEMT 素子を作製すると、 $\text{Si}(111)$ 基板上の LED 素子および HEMT 素子としては比較的良好な素子特性を得ることができる。

[0131] (第五の比較例)

本比較例では、本発明に特徴的なバイアス電極への高周波バイアス電力の印加を行わず、その他は、第五の実施例と同様の方法・条件を用いて、 Si

(1 1 1) 基板上に A l N 膜を形成する。その結果、得られる A l N 膜は、+ c 極性と - c 極性の混在したエピタキシャル膜となる。また、得られる A l N 膜上に M O C V D 法を用いて $2\ \mu\text{m}$ の膜厚の アンドープ G a N 膜を形成すると、得られる アンドープ G a N 膜の表面は白濁する。

[0132] さらに、得られる アンドープ G a N 膜を利用して、L E D 素子および H E M T 素子を作製すると、どちらの素子においても良好な素子特性を得ることは困難となる。

[0133] このように、本発明に係る成膜方法は、+ c 極性で結晶性に優れた l l l 族窒化物半導体薄膜を、S i (1 1 1) 基板上に形成する上でも極めて有効な手段である。

[0134] (第六の実施例)

本実施例では、ターゲット材料とプロセスガス、成膜温度および膜厚を除いて、第一の実施例と同様の方法・条件によって、Z n O 膜を $\alpha\text{-Al}_2\text{O}_3$ (0 0 0 1) 基板上に形成する。ターゲット材料は金属 Z n、プロセスガスは O_2 と A r の混合ガス ($\text{O}_2 / (\text{O}_2 + \text{A r}) : 25\%$)、成膜温度は 800°C 、膜厚は 100nm とする。

[0135] 本実施例に係る Z n O 膜は、l l l 族窒化物半導体と同様の結晶構造（ウルツ鉱構造）で、かつ、l l l 族窒化物半導体と同様の c 軸配向のエピタキシャル膜として形成され、その極性は + c 極性（Z n 極性）である。また、得られる Z n O 膜上に、M B E 法を用いて n 型の Z n O 膜と p 型の Z n O 膜の積層膜からなるエピタキシャルウェハー（L E D 構造）を形成し、その後、リソグラフィー技術および R I E 技術等を用いることで、L E D 素子を作製すると、Z n O 膜を用いた L E D 素子としては良好な素子特性を得ることができる。

[0136] また、本実施例に係る Z n O 膜上に、M O C V D 法を用いて $2\ \mu\text{m}$ の膜厚の アンドープ G a N 膜を形成すると、得られる アンドープ G a N 膜の表面は鏡面となり、c 軸配向した単結晶膜として得られる。このため、本実施例に係る Z n O 膜は、l l l 族窒化物半導体薄膜を用いた L E D 素子の製造にお

ける緩衝層などとしても利用できる。

[0137] また、金属Znターゲットの代わりに、Mg-Zn合金からなるターゲットを用い、本発明にかかる成膜方法によってMg添加ZnO膜（以下、MgZnO膜）を成膜すると、ZnO膜と同様に、+c極性で結晶性に優れたMgZnO膜が得られる。MgZnO膜は、Mgの添加量に応じてバンドギャップエネルギーを制御することができるため、それを発光層として用いることで、ZnO膜のみ用いる場合とは異なる発光波長のLED素子を実現することが可能となる。

[0138] （第六の比較例）

本比較例では、本発明に特徴的なバイアス電極への高周波バイアス電力の印加を行わず、その他は、第六の実施例と同様の方法・条件を用いて、ZnO膜を α -Al₂O₃（0001）基板上に形成する。本比較例に係るZnO膜は、第六の実施例と同様にc軸配向したエピタキシャル膜として得られるが、その極性は+c極性（Zn極性）と-c極性（O極性）とが混在する。また、第六の実施例と同様に、得られるZnO膜を利用してLED素子を作製しても、良好な素子特性を得ることは困難である。

[0139] また、本比較例に係るZnO膜上に、MOCVD法を用いて2 μ mの膜厚のアンドープGaN膜を形成すると、得られたアンドープGaN膜の表面は白濁し、結晶性に優れたGaN膜を得ることは困難となる。また、金属Znターゲットの代わりに、Mg-Zn合金からなるターゲットを用いてMgZnO膜を成膜すると、得られるMgZnO膜は、+c極性と-c極性とが混在しており結晶性の良好なものを得ることは難しい。

[0140] このように、本発明に係る成膜方法は、形成する薄膜材料がZnO膜またはMgZnO膜などのZnO系半導体薄膜であっても優れた効果を発揮し、+c極性で結晶性に優れたZnO系半導体薄膜を得る上で、極めて有効な手段である。

[0141] なお、第六の実施例と同様の実験を、Si（111）基板を用いて実施すると、Si（111）基板上でも+c極性のZnO系半導体薄膜が得られる

。また、第六の比較例と同様の実験を、 $\text{Si}(111)$ 基板を用いて実施すると、得られた ZnO 系半導体薄膜の極性は、 $+c$ 極性と $-c$ 極性とが混在する。

[0142] なお、本発明に係る成膜方法において用いることが可能な基板は、 $\alpha\text{-Al}_2\text{O}_3(0001)$ 基板と $\text{Si}(111)$ 基板に限定されない。

[0143] 例えば、 $\alpha\text{-Al}_2\text{O}_3(0001)$ 基板や $\text{Si}(111)$ 基板は、 III 族窒化物半導体薄膜や ZnO 系半導体薄膜とのエピタキシャル関係を有しているが、該 III 族窒化物半導体薄膜や ZnO 系半導体薄膜等の極性を制御しうるような結晶情報を、その基板表面に有していない。このような基板を本明細書では、非極性表面を有する基板、と記載する。

[0144] このため、本発明に係る成膜方法のような、 III 族窒化物半導体薄膜や ZnO 系半導体薄膜の極性を制御しうる成膜方法を用いなければ、非極性表面を有する基板上に、 $+c$ 極性の III 族窒化物半導体薄膜や ZnO 系半導体薄膜を得ることは困難である。しかしながら、本発明に係る成膜方法を用いることによって、非極性表面を有する基板上であっても、 $+c$ 極性の III 族窒化物半導体薄膜や ZnO 系半導体薄膜の形成が可能となる。

[0145] このような非極性表面を有する基板としては、ゲルマニウム(Ge)(111)基板、(111)配向の SiGe エピタキシャル膜が表面に形成された $\text{Si}(111)$ 基板、(111)配向の炭素(C)ドーピング $\text{Si}(111)$ エピタキシャル膜が形成された $\text{Si}(111)$ 基板などがある。

[0146] また、 $+c$ 極性の III 族窒化物半導体薄膜や ZnO 系半導体薄膜を得るために、 Si 面と呼ばれる基板表面を有する $4\text{H-SiC}(0001)$ 基板や $6\text{H-SiC}(0001)$ 基板、 Ga 面と呼ばれる基板表面を有する $\text{GaN}(0001)$ 基板などが一般的によく利用されている。前記の Si 面と Ga 面を有する基板は、基板上に形成する III 族窒化物半導体薄膜や ZnO 系半導体薄膜とのエピタキシャル関係を有し、かつ、 III 族窒化物半導体薄膜や ZnO 系半導体薄膜を、 $+c$ 極性に制御しうるような結晶情報を基板表面に有している。そのため、該 III 族窒化物半導体薄膜や ZnO 系半導

体薄膜の極性を制御しうるような特別な成膜技術を用いずとも、+c極性のⅢ族窒化物半導体薄膜やZnO系半導体薄膜を得やすいという特徴がある。なお、このようにⅢ族窒化物半導体薄膜やZnO系半導体薄膜とのエピタキシャル関係を有し、かつ、該Ⅲ族窒化物半導体薄膜やZnO系半導体薄膜を+c極性に制御しうるような結晶情報を有する基板を、本明細書では、有極性表面を有する基板、と記載する。

[0147] これらの有極性表面を有する基板上では、本発明に係る成膜方法を用いずとも、+c極性の存在割合が高く、比較的高品質なⅢ族窒化物半導体薄膜やZnO系半導体薄膜を得ることができる。しかし、このような基板を用いた場合においても、本発明に係る成膜方法を用いることで、さらに+c極性の統一度を向上した高品質なⅢ族窒化物半導体薄膜やZnO系半導体薄膜を得ることができる。

[0148] 上記の有極性表面を有する基板を用いた場合、Ⅲ族窒化物半導体薄膜やZnO系半導体薄膜等は、ほぼ単一な+c極性のエピタキシャル膜として得られやすい。しかし、特に成長初期など、部分的に-c極性の領域（以下、反転ドメイン領域と記載）がわずかに形成される場合があり、それが、反位境界などの欠陥を形成して、上記薄膜表面へ伝播されることがある。すなわち、本発明に係る成膜方法を用いることで、そのような反転ドメインの形成確率をさらに低減し、反位境界などの欠陥の形成をさらに抑制しているため、有極性表面を有する基板を用いた場合でも、本発明の効果を得ることができるものと考えられる。

[0149] このようなⅢ族窒化物半導体薄膜やZnO系半導体薄膜とのエピタキシャル関係を有し、かつ、非極性表面または有極性表面を有する基板の総称として、エピタキシャル成長用基板という用語を用いることとする。

[0150] 本発明の大きな特徴は、エピタキシャル成長用基板上に、ウルツ鉱構造のターゲットおよび成膜させた際にウルツ鉱構造の膜を形成させるためのターゲットの少なくとも一方を用いたスパッタリング法によって、ウルツ鉱型の結晶構造を有するⅢ族窒化物半導体薄膜やZnO系半導体薄膜を形成す

る際に、バイアス電極へ高周波バイアス電力を印加することに着目した点にある。バイアス電極への高周波バイアス電力の印加により基板の成膜面側に生じたシース領域Sの電界を、ターゲットから放出された窒化物分子の分極に作用させて配向を制御し、その配向を利用して、+c極性でウルツ鉱型の結晶構造を有するIII族窒化物半導体薄膜やZnO系半導体薄膜を得ることは従来には無い技術思想である。なお、ウルツ鉱構造のターゲットとは、AlN、GaN、ZnO等のウルツ鉱構造を有するターゲットをいい、成膜させた際にウルツ鉱構造の膜を形成させるためのターゲットとは、Al、Ga、Zn等の金属ターゲットであり、O₂ガスやN₂ガス等の反応性ガスの存在下でスパッタリングを行うことにより基板上にウルツ鉱構造の膜を形成するものをいう。

[0151] また、ターゲット電極に印加する高周波電力とバイアス電極に印加する高周波電力との干渉による低周波のうなり、すなわち周波数干渉を防止ないしは低減することで、+c極性でウルツ鉱型の結晶構造を有するIII族窒化物半導体薄膜やZnO系半導体薄膜を再現性良く得ることは、従来には無い技術思想である。

[0152] さらに本発明者は、図8に示すような基板離間載置ホルダー111dにおいても、+c極性で高品質なエピタキシャル膜を得るうえで上記の技術思想を適用することが有効であることを見出した。図8は、基板離間載置ホルダー111dの断面部分概略図を示している。基板離間載置ホルダー111dは、基板804を基板ホルダー（例えば111c）の基板載置面Mから所定距離だけ離間して載置できる。図中、符号802は絶縁物からなる基板支持部、符号803は基板支持部802と一体に形成された載置部、符号Pは基板ホルダー111dの基板対向面、符号d1は基板支持部802と基板対向面Pとの間の隙間、符号d2は基板804と基板対向面Pとの間の隙間、である。なお、基板離間載置ホルダー111dにおける基板対向面Pは、図4の基板ホルダー111cにおける基板載置面Mと同じ面であるが、基板離間載置ホルダー111dにおいては、基板804を基板ホルダー111cに直

接接して載置しないことから、基板対向面Pと呼ぶ。

[0153] 図8において示されるように、基板804は基板支持部802によって外周部を保持されており、基板804と基板対向面P、および、基板支持部802と基板対向面P、とは空間を介して保持されている。隙間d1の間隔としては、0.4mm以上が望ましく、隙間d2としては、0.5mm以上が望ましい。また、隙間d1および隙間d2、特に隙間d2は、広げ過ぎると基板804と基板対向面Pとの間の空間にプラズマが発生してしまうため、5mm以下にすることが望ましく、より好ましくは2mm以下にすることが望ましい。このような適切な距離の隙間d1および隙間d2を設け、且つ、本発明に係る高周波干渉を抑制した成膜方法を用いることによって、+c極性で高品質なエピタキシャル膜を得ることが可能となる。

[0154] (実施例7)

以下に、第七の実施例として、図8に示す基板離間載置ホルダー111dを用いて、AlN膜を α -Al₂O₃(0001)基板上へ成膜し、その後、MOCVD法により、アンドープGaN膜を形成する例を説明する。より詳しくは、基板離間載置ホルダー111dの不図示の共通電極に、高周波バイアス電力を印加した状態で、 α -Al₂O₃(0001)基板上にスパッタリング法を用いてAlN膜を形成し、その後、MOCVD装置に基板を導入して、5 μ mの膜厚のアンドープGaN膜を形成する例を説明する。なお、本実施例において、図8に示す基板離間載置ホルダー111dを用いている以外は、AlN膜は実施例1と同様の装置・条件を用いて成膜する。また、アンドープGaN膜の成長については、実施例2と同じ成膜方法、成膜条件を用いる。

[0155] 本実施例において得られるAlN膜は、CAICISS測定において、+c極性として成膜されることを確認でき、対称面およびIn-planeのXRC測定においても、チルトおよびツイストのモザイク広がり小さなc軸配向のエピタキシャル膜として成膜されることを確認できる。また、上記AlN膜上にアンドープGaN膜を成長すると、極めて結晶性の良好なエピ

タキシャル膜が得られる。本実施例により得られるアンドープGaN膜は、不図示の共通電極に高周波バイアス電力を印加しない状態で α -Al₂O₃（0001）基板上にスパッタリング法を用いてAlN膜を形成し、その後、MOCVD法によって成長したアンドープGaN膜よりも結晶品質が良好である。

[0156] なお、図8に示すように、基板の外周部を保持する場合には、基板支持部や載置部の部材を絶縁物とすると望ましい。導電性部材を用いると、基板外周部と基板中心部とで、極性の分布が異なりやすくなる。例えば、基板中心部では、+c極性が得られているのに対し、基板外周部では極性が混在するなどの問題が生じる恐れがある。また、ターゲットを装置下方、基板ホルダーを装置上方に配置した場合には、多くの場合、基板外周部を直接基板支持部で保持するか、基板を開口部を有するトレイに載せつつ、その開口部外周部で基板を保持し、トレイの開口部から基板表面に成膜するなどの方法が用いられる。この場合も、基板を保持する基板支持部が絶縁物であると望ましい。

[0157] また、非極性表面を有する基板上に、+c極性のIII族窒化物半導体薄膜やZnO系半導体薄膜をスパッタリング法によって形成するためには、上記基板上に形成する少なくとも第一の層の成膜において、本発明にかかる成膜方法を適用しなければならない。なぜならば、第一の層の成膜において、本発明にかかる成膜方法を適用しない場合は、第一の層が極性の混在した状態、または-c極性の状態になりやすいためである。第一の層において、-c極性の混在した状態が生じると、その後の成膜において、+c極性のIII族窒化物半導体薄膜やZnO系半導体薄膜を得ることが困難になる。なお、第一の層とは基板上に直接成膜される成膜層であり、図6では緩衝層602に相当する。

請求の範囲

- [請求項1] スパッタリング法を用いて基板上にエピタキシャル膜を形成するエピタキシャル膜形成方法であって、
- ウルツ鉱構造のターゲット及び成膜させた際にウルツ鉱構造の膜を形成させるためのターゲットの少なくとも一方が配置されている容器内に前記基板を配置することと、
- 前記ターゲットが取り付けられているターゲット電極に印加される高周波電力と、前記基板を支持している基板ホルダーに印加される高周波バイアス電力とを、周波数干渉を抑制するように印加することと、
- 前記高周波電力によって生成されたプラズマによって前記ターゲットをスパッタリングし、前記基板上に前記エピタキシャル膜を形成することと
- を含むことを特徴とするエピタキシャル膜形成方法。
- [請求項2] 前記基板ホルダーによって前記基板を所定温度に加熱しながら成膜することを特徴とする請求項1に記載のエピタキシャル膜形成方法。
- [請求項3] 前記高周波電力の周波数と前記高周波バイアス電力の周波数とを異ならせることによって、前記高周波電力と前記高周波バイアス電力とを前記周波数干渉を抑制して印加することを特徴とする請求項1に記載のエピタキシャル膜形成方法。
- [請求項4] 前記高周波電力の周波数と前記高周波バイアス電力の周波数とを同じにするとともに、前記高周波電力と前記高周波バイアス電力との位相差を略180°にすることによって、前記高周波電力と前記高周波バイアス電力とを前記周波数干渉を抑制して印加することを特徴とする請求項1に記載のエピタキシャル膜形成方法。
- [請求項5] 前記基板ホルダーは、第1の極性の直流電圧が印加される第1電極と、該第1の極性とは異なる第2の極性の直流電圧が印加される第2電極とを有するバイアス電極を備え、

前記第 1 電極及び前記第 2 電極に前記直流電圧を印加することによって前記基板ホルダーに前記基板を静電吸着させるとともに、前記第 1 電極及び前記第 2 電極に前記高周波バイアス電力を印加している状態で、

前記基板上に前記エピタキシャル膜を形成することを特徴とする請求項 1 に記載のエピタキシャル膜形成方法。

[請求項6] 前記高周波バイアス電力は、前記高周波電力が印加された後、且つ、前記基板の被成膜面がウルツ鉱構造の半導体からなる結晶層で覆われるよりも前に印加されることを特徴とする請求項 1 に記載のエピタキシャル膜形成方法。

[請求項7] 請求項 1 に記載されたエピタキシャル膜形成方法により半導体発光素子の緩衝層を形成する工程を有することを特徴とする半導体発光素子の製造方法。

[請求項8] 前記基板上に少なくとも緩衝層、Ⅲ族窒化物半導体中間層、n 型Ⅲ族窒化物半導体層、Ⅲ族窒化物半導体活性層、p 型Ⅲ族窒化物半導体層、透光性電極がこの順で積層された半導体発光素子であって、

前記緩衝層、前記Ⅲ族窒化物半導体中間層、前記 n 型Ⅲ族窒化物半導体層、前記Ⅲ族窒化物半導体活性層、前記 p 型Ⅲ族窒化物半導体層の少なくとも 1 つの層は、請求項 1 に記載されたエピタキシャル膜形成方法によって作製されたことを特徴とする半導体発光素子。

[請求項9] 請求項 8 に記載の半導体発光素子を備えることを特徴とする照明装置。

[請求項10] 請求項 1 に記載されたエピタキシャル膜形成方法を実行するためのスパッタリング装置であって、

電源と、

前記ターゲットを配置できる前記ターゲット電極と、

前記ターゲット電極に向けて前記基板を配置でき、ヒーター電極及びバイアス電極を備える基板ホルダーと、

請求項 1 に記載されたエピタキシャル膜形成方法により前記ウルツ鉱構造の膜を形成する際に、前記ターゲット電極に印加される前記高周波電力と前記バイアス電極に印加される前記高周波バイアス電力との周波数干渉を抑制する周波数干渉抑制手段と

を備えることを特徴とするスパッタリング装置。

[請求項11] 前記周波数干渉抑制手段は、前記高周波電力の周波数と前記高周波バイアス電力の周波数とを異ならせるように構成されていることを特徴とする請求項 10 に記載のスパッタリング装置。

[請求項12] 前記周波数干渉抑制手段は、前記高周波電力の周波数と前記高周波バイアス電力の周波数とを同じにするとともに、前記高周波電力と前記高周波バイアス電力との位相差を略 180° にするように構成されていることを特徴とする請求項 10 に記載のスパッタリング装置。

[請求項13] 前記バイアス電極は、第 1 の極性の直流電圧が印加される第 1 電極と、該第 1 の極性とは異なる第 2 の極性の直流電圧が印加される第 2 電極とを有し、

前記電源は、請求項 1 に記載されたエピタキシャル膜形成方法により前記ウルツ鉱構造の膜を形成する際に、前記第 1 電極及び前記第 2 電極に前記直流電圧を印加することによって前記基板ホルダーに前記基板を静電吸着させるとともに、前記第 1 電極及び前記第 2 電極に前記高周波バイアス電力を印加するように構成されていることを特徴とする請求項 10 に記載のスパッタリング装置。

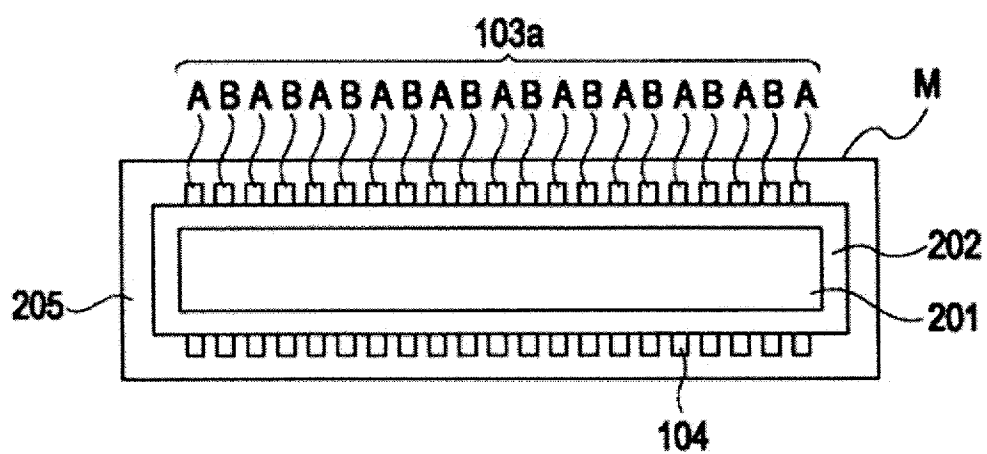
[請求項14] 前記電源は、請求項 1 に記載されたエピタキシャル膜形成方法により前記ウルツ鉱構造の膜を形成する際に、前記高周波電力が印加された後、且つ、前記基板の被成膜面がウルツ鉱構造の半導体からなる結晶層で覆われるよりも前に、前記バイアス電極に前記高周波バイアス電力を印加するように構成されていることを特徴とする請求項 10 に

記載のスputタリング装置。

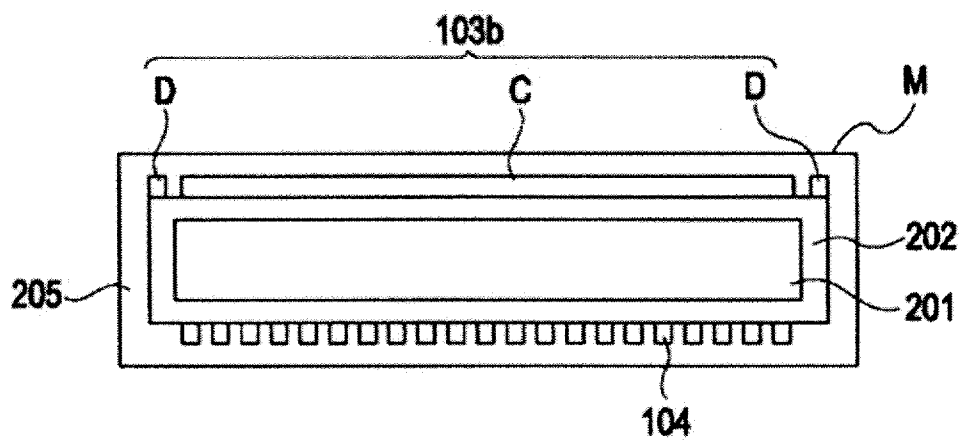
1



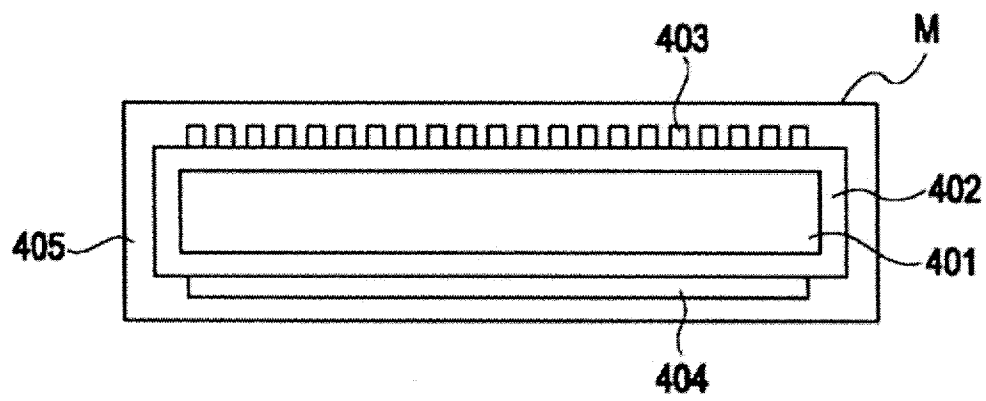
111a



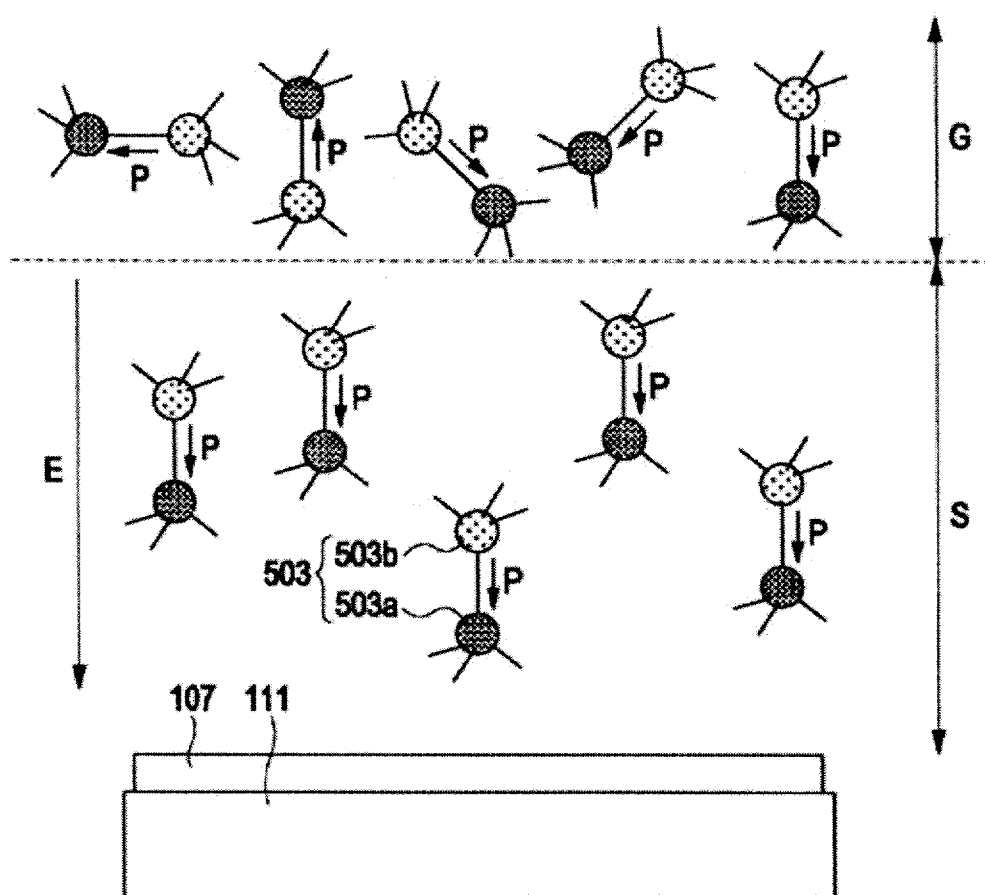
[図3]

111b

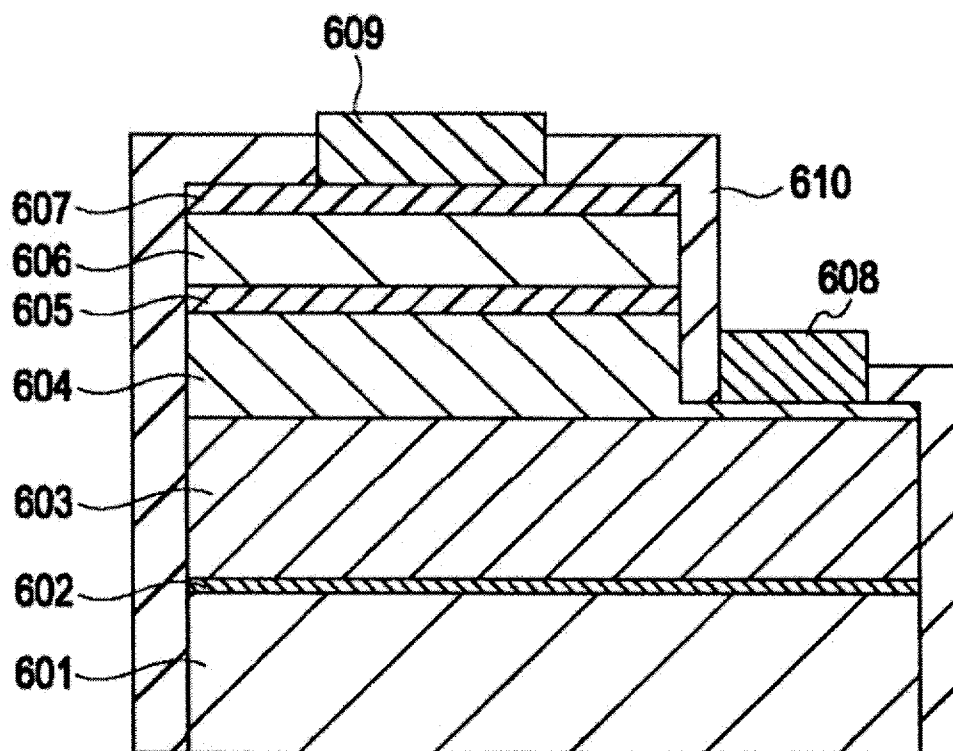
[図4]

111c

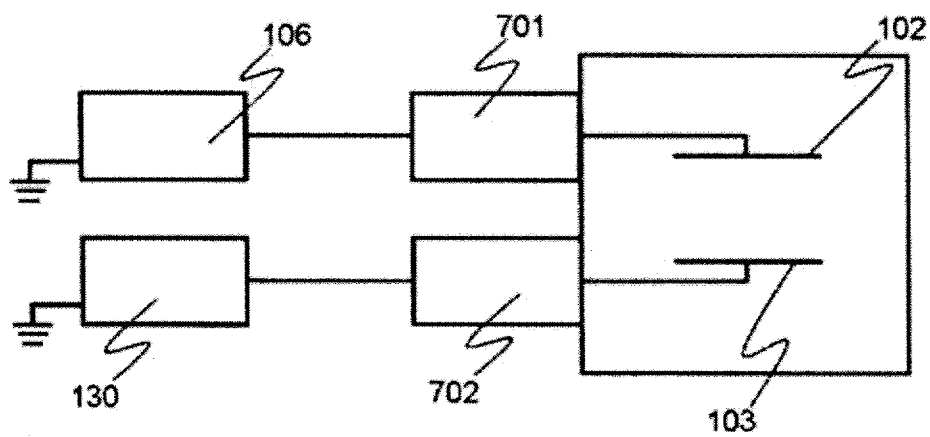
[図5]



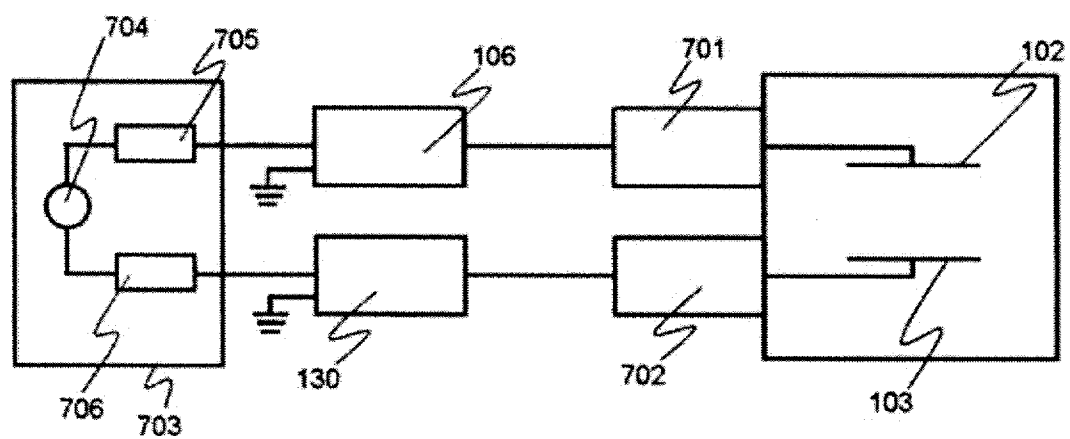
[図6]



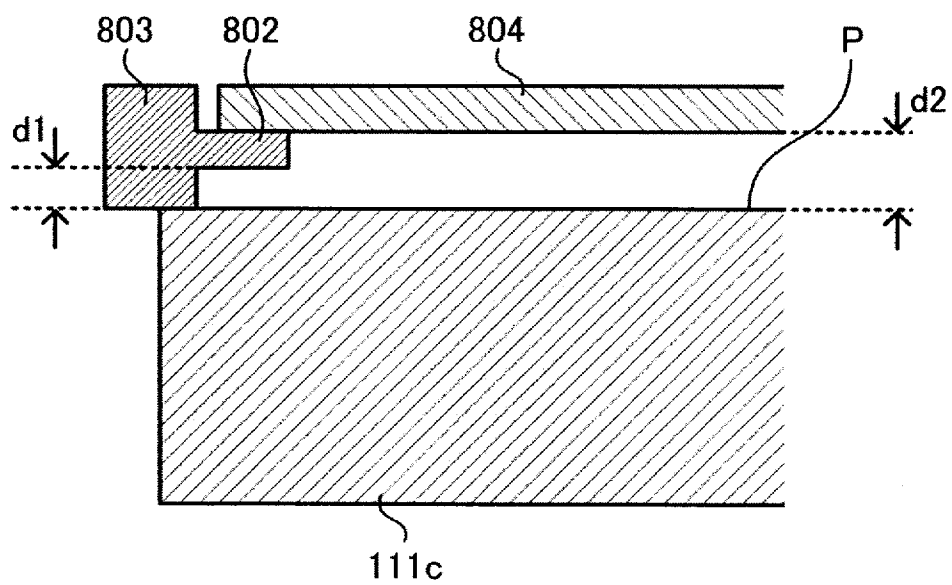
[図7A]



[図7B]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/003933

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/203(2006.01)i, C23C14/06(2006.01)i, C23C14/08(2006.01)i, C23C14/34(2006.01)i, H01L21/363(2006.01)i, H01L33/32(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

C23C14/00-14/58, H01L21/02, H01L21/203, H01L21/363, H01L33/00, H01L33/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-47763 A (Showa Denko Kabushiki Kaisha), 28 February 2008 (28.02.2008), paragraphs [0026] to [0028], [0088] to [0089], [0092] to [0103]; fig. 1 to 4, 7 & US 2009/0315046 A1 & EP 2056339 A1 & WO 2008/020599 A1 & KR 10-2009-0048590 A & CN 101506946 A	1-14
Y	JP 2001-270795 A (Toshiba Corp.), 02 October 2001 (02.10.2001), paragraph [0034] & US 2001/0027167 A1 & KR 10-2001-0093671 A	1-14
Y	JP 7-14769 A (Hitachi, Ltd.), 17 January 1995 (17.01.1995), paragraphs [0011] to [0015]; fig. 1 (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 August, 2013 (22.08.13)

Date of mailing of the international search report
10 September, 2013 (10.09.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/003933

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-107456 A (Hitachi, Ltd.), 07 May 1991 (07.05.1991), page 4, lower left column, line 10 to page 5, lower right column, line 16; fig. 1 & US 5116482 A & DE 4029984 A1	4, 12
Y	WO 2009/154002 A1 (Canon Anelva Corp.), 23 December 2009 (23.12.2009), paragraphs [0023] to [0031]; fig. 2 & JP 4603099 B2 & US 2011/0064880 A1 & EP 2290678 A1 & CN 102047406 A	5, 13
A	JP 2001-144328 A (Murata Mfg. Co., Ltd.), 25 May 2001 (25.05.2001), paragraphs [0016] to [0032]; fig. 1 to 4 & US 6590336 B1 & DE 10042911 A1	1-14
P, X	WO 2012/090422 A1 (Canon Anelva Corp.), 05 July 2012 (05.07.2012), paragraphs [0024] to [0085]; fig. 1 to 7B (Family: none)	1-14
E, A	JP 2013-165242 A (Independent Administrative Institution National Institute for Materials Science), 22 August 2013 (22.08.2013), paragraphs [0025] to [0057]; fig. 2 to 3 (Family: none)	1-14

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/203 (2006.01) i, C23C14/06 (2006.01) i, C23C14/08 (2006.01) i, C23C14/34 (2006.01) i,
H01L21/363 (2006.01) i, H01L33/32 (2010.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. C23C14/00-14/58, H01L21/02, H01L21/203, H01L21/363, H01L33/00, H01L33/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-47763 A (昭和電工株式会社) 2008.02.28, 【0026】 - 【0028】, 【0088】 - 【0089】, 【0092】 - 【0103】, 図 1-4, 図 7 & US 2009/0315046 A1 & EP 2056339 A1 & WO 2008/020599 A1 & KR 10-2009-0048590 A & CN 101506946 A	1-14
Y	JP 2001-270795 A (株式会社東芝) 2001.10.02, 【0034】 & US 2001/0027167 A1 & KR 10-2001-0093671 A	1-14

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 8 . 2 0 1 3

国際調査報告の発送日

1 0 . 0 9 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

和瀬田 芳正

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

4 R

2 9 2 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 7-14769 A (株式会社日立製作所) 1995. 01. 17, 【0011】 - 【0015】, 図 1 (ファミリーなし)	1-14
Y	JP 3-107456 A (株式会社日立製作所) 1991. 05. 07, 4 ページ左下欄 10 行-5 ページ右下欄 16 行, 第 1 図 & US 5116482 A & DE 4029984 A1	4, 12
Y	WO 2009/154002 A1 (キヤノンアネルバ株式会社) 2009. 12. 23, [0023]-[0031], 図 2 & JP 4603099 B2 & US 2011/0064880 A1 & EP 2290678 A1 & CN 102047406 A	5, 13
A	JP 2001-144328 A (株式会社村田製作所) 2001. 05. 25, 【0016】 - 【0032】, 図 1-4 & US 6590336 B1 & DE 10042911 A1	1-14
P, X	WO 2012/090422 A1 (キヤノンアネルバ株式会社) 2012. 07. 05, [0024]-[0085], 図 1-7B (ファミリーなし)	1-14
E, A	JP 2013-165242 A (独立行政法人物質・材料研究機構) 2013. 08. 22, 【0025】 - 【0057】, 図 2-3 (ファミリーなし)	1-14