



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) **DD** (11) **219 615 A1**4(51) G 11 C 7/06
G 11 C 11/40

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

 (21) WP G 11 C / 257 381 5 (22) 01.12.83 (44) 06.03.85

(71) VEB ZFT Mikroelektronik, 8080 Dresden, Karl-Marx-Straße, DD

(72) Winkler, Wolfgang, Dipl.-Ing.; Sängler, Peter, Dipl.-Ing., DD

 (54) **Asymmetrische Schreib-Lese-Schaltung**

(57) Die Erfindung betrifft eine asymmetrische Schreib-Lese-Schaltung, wie sie in dynamischen Halbleiterspeichern mit Speicherzellen, die einen großen Spannungshub zwischen den beiden Informationszuständen aufweisen, angewendet wird. Vorzugsweise sind diese Speicherzellen Ladungsschichtungszellen mit seriellen Hilfsgate. Die Aufgabe der Erfindung besteht darin, eine asymmetrische Schreib-Lese-Schaltung zu schaffen, die es ermöglicht, bei erhöhter Empfindlichkeit gleichzeitig den Refresh-Vorgang auszuführen. Erfindungsgemäß wird ein bereits vorgeschlagener asymmetrischer Leseverstärker dahingehend erweitert, daß ein Einstelltakt über einen zweiten Koppelkondensator mit dem Eingang des ersten Negators (oder Verstärkers) verbunden ist und daß ein Refresh-Transistor den Ausgang mit der Bitleitung verbindet. Fig. 1

Asymmetrische Schreib-Lese-Schaltung

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine asymmetrische Schreib-Lese-Schaltung, wie sie in dynamischen Speichern zum Lesen von Signalen mit größeren Spannungshub angewendet wird. Derartige Lesesignale kommen z.B. bei Schwellspannungszellen mit seriellen Hilfsgate vor.

Charakteristik der bekannten technischen Lösungen

Für das Lesen von Informationen mit vorzugsweise geringen Spannungshub sind Leseverstärker bekannt, die den bekannten kreuzgekoppelten Flip-Flop verwenden.

Ein derartiger Flip-Flop-Leseverstärker ist in der DE-OS 31 01 101 beschrieben. Der Leseverstärker benötigt aber für das sichere Erkennen der Zustände high und low eine Referenzspannung in der Mitte der beiden Pegel.

Die Referenzspannung wird dabei von Dummy-Zellen erzeugt, die andere geometrische Abmessungen als die Speicherzellen besitzen. Insbesondere soll dabei das W/L-Verhältnis der Dummy-Zellen kleiner sein als bei den Speicherzellen.

Bei der Kleinheit der Speicherzellen ist aber eine Verringerung der Kanalweite W kaum möglich. Andererseits kann die Kanallänge L nicht vergrößert werden, um das Raster der Bitleitungen nicht aufzuweiten.

Bei einem größeren Spannungshub beim Lesen ist es möglich, mit einem asymmetrischen Leseverstärker das Lesesignal auszuwerten. Dazu wurde bereits ein Leseverstärker für Zweitransistorzellen vorgeschlagen, der aus zwei hintereinandergeschalteten Negatoren besteht.

Der erste Negator wird dabei über einen Einstelltransistor auf einen definierten Arbeitspunkt eingestellt. Die Lasttransistoren der Negatoren sind dabei getaktete Enhancementtransistoren.

Über einen Koppelkondensator wird der Spannungshub zwischen einer Referenzspannung und dem jeweiligen Lesesignal auf den Eingang des Negators gegeben.

Nachteilig ist hierbei, daß zusätzlich Mittel in Form einer Bootstrap-Schaltung zum Refresh der in der Wortleitungszeile ausgelesenen Information benötigt werden.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, eine asymmetrische Schreib-Lese-Schaltung zu schaffen, die es ermöglicht, den Refresh unmittelbar ohne zusätzliche Bootstrap-Schaltung durchzuführen.

Darlegung des Wesens der Erfindung

Die Aufgabe der Erfindung besteht darin, eine asymmetrische Schreib-Lese-Schaltung zu schaffen, die es bei erhöhter Empfindlichkeit ermöglicht, gleichzeitig den Refresh-Vorgang auszuführen.

Merkmale der Erfindung

Die asymmetrische Schreib-Lese-Schaltung besteht aus einem ersten und einem zweiten Eingangstransistor, an dessen Gate ein Lesetakt ϕ_1 bzw. der negierte Lesetakt $\overline{\phi_1}$ anliegt.

Dabei ist der erste Eingangstransistor zwischen einer Bitleitung und einem Koppelkondensator und der zweite Eingangstransistor zwischen einer Referenzspannung U_{ref} und dem gleichen Anschluß des Koppelkondensators angeordnet. Die Bitleitung ist dabei mit den Speicherzellen einer Spalte verbunden.

Weiterhin ist der Koppelkondensator mit dem zweiten Anschluß mit dem Eingang eines getakteten Negators verbunden. Schließlich verbindet ein Einstelltransistor, an dessen Gate ein Lese-Vorbereitungstakt ϕ_2' anliegt, den Ausgang des Negators mit seinem Eingang.

Erfindungsgemäß verbindet ein Refresh-Transistor, an dessen Gate ein Refresh-Takt ϕ_4 anliegt, den Ausgang des Negators mit der Bitleitung. Zur Erhöhung der Empfindlichkeit können noch weitere Verstärkerstufen nachgeschaltet sein. Dabei ist aber der Refresh-Transistor mit dem Ausgang der letzten Verstärkerstufe verbunden. Weiterhin verbindet ein zweiter Koppelkondensator einen Einstelltakt ϕ_2'' mit dem Eingang des Negators.

In Ausgestaltung der Erfindung ist eine Referenzspannung gleich dem Lesesignal eines der beiden Informationszustände einer Speicherzelle.

In Ausgestaltung der Erfindung ist die Referenzspannung gleich dem positiveren Lesesignal des gespeicherten Zustandes, was bei Ladungsschichtungszellen der gespeicherten "1" entspricht.

In Ausgestaltung der Erfindung sind der Lese-Vorbereitungstakt ϕ_2' und der Einstelltakt ϕ_2'' zum Vorbereitungstakt ϕ_2 zusammengefaßt.

In Ausgestaltung der Erfindung ist der zweite Koppelkondensator die Gate-Source-Kapazität des Einstelltransistors.

Ausführungsbeispiel

Die Erfindung ist in einem Ausführungsbeispiel und anhand zweier Zeichnungen näher erläutert.

Dabei zeigen:

- Fig. 1 die asymmetrische Schreib-Lese-Schaltung,
- Fig. 2 das Taktdiagramm der Schreib-Lese-Schaltung,
- Fig. 3 die Übertragungskennlinie des Negators mit den Arbeitspunkten.

Die Schreib-Lese-Schaltung enthält einen ersten und zweiten Eingangstransistor 1; 2, deren Gates mit einem Lesetakt \emptyset_1 bzw. dem negierten Lesetakt $\overline{\emptyset_1}$ verbunden sind. Der Eingangstransistor 1 ist zwischen einer Bitleitung 3 und einem Koppelkondensator 4 und der Eingangstransistor 2 zwischen einer Referenzspannung U_{ref} und dem gleichen Anschluß des Koppelkondensators 4 angeordnet. Die Referenzspannung U_{ref} wird dabei von einer ständig eine "1" speichernden Speicherzelle erzeugt.

Der zweite Anschluß des Koppelkondensators 4 ist mit dem Gate eines Schalttransistors 5 in einem Negator 6 verbunden. Zu dem Negator 6 gehört noch ein Lasttransistor 7, an dessen Gate ein Takt \emptyset_3 zur Leistungsreduzierung während der Betriebspausen der Schreib-Lese-Schaltung anliegt. Der Ausgang 8 des Negators 6 ist über einen Einstelltransistor 9, an dessen Gate ein Vorbereitungstakt \emptyset_2 anliegt, mit seinem Eingang (Gate des Schalttransistors 5) verbunden. Gleichzeitig verbindet ein zweiter Koppelkondensator 10 den Vorbereitungstakt \emptyset_2 mit dem Eingang des Negators 6. Vorteilhafterweise ist die Gate-Source-Kapazität des Einstelltransistors 9 als Koppelkondensator 10 dimensioniert.

Schließlich ist noch ein Refresh-Transistor 11 zwischen den Ausgang 8 und die Bitleitung 3 geschaltet. Dabei liegt am

Gate des Refresh-Transistors 11 ein Refresh-Takt ϕ_4 an.

Die Wirkungsweise der Schaltung ist folgende, wobei die Taktfolge in Fig. 2 dargestellt ist.

Gleichzeitig mit dem Auslesen der Information aus der Speicherzelle wird der Takt $\phi_3 = \text{high}$, so daß der Negator 6 eingeschaltet wird. Da der Vorbereitungstakt $\phi_2 = \text{high}$ ist, stellt sich der Negator 6 auf einen ersten Arbeitspunkt A_1 auf der Übertragungskennlinie \bar{U} ein, wie es in Fig. 3 gezeigt wird. Für den Arbeitspunkt A_1 gilt dabei, daß die Eingangsspannung U_E gleich der Ausgangsspannung U_A ist. Wenn der Arbeitspunkt A_1 eingestellt ist, wird der Vorbereitungstakt $\phi_2 = \text{low}$, so daß auf Grund der Kopplung über den Koppelkondensator 10 sich das Potential am Eingang des Negators 6 verringert. Dadurch wandert der Arbeitspunkt A_1 auf der Übertragungskennlinie \bar{U} auf den zweiten Arbeitspunkt A_2 . Da bisher der erste Eingangstransistor 1 wegen des Lesetaktes $\phi_1 = \text{high}$ leitfähig war, liegt am Koppelkondensator 4 das Potential entsprechend der gespeicherten Information an. Wird nun der Eingangstransistor 1 über $\phi_1 = \text{low}$ gesperrt und der Eingangstransistor 2 leitfähig, wird der Koppelkondensator 4 von der Bitleitung 3 abgetrennt und mit der Referenzspannung U_{ref} verbunden.

Bei einer gespeicherten "1" tritt am Koppelkondensator 4 kein Spannungssprung ein und der Negator 6 bleibt auf dem Arbeitspunkt A_2 .

Beim Lesen einer "0" hingegen tritt mit dem Umschalten auf die Referenzspannung U_{ref} ein positiver Spannungssprung am Koppelkondensator 4 auf. Dadurch wird das Eingangspotential des Negators 6 um diesen Wert angehoben und der Arbeitspunkt A_2 wandert längs der Übertragungskennlinie \bar{U} zu dem dritten Arbeitspunkt A_3 . Nach Abschließen des Lesevorganges entspricht das Potential am Ausgang 8 der gespeicherten Information.

Wird nun der Refresh-Takt $\phi_4 = \text{high}$, so daß die Bitleitung 3 beim Refresh der Information bei einer gespeicherten "0" low-Potential, bei einer "1" high-Potential führt, sind die Bedingungen für das Schreiben bei Ladungsschichtungszellen mit seriellen Hilfsgate erfüllt.

Der weitere Schreibvorgang wird dabei bei diesen Speicherzellen über das Potential am Steuergate durchgeführt, was hier nicht im einzelnen dargestellt ist. Beim Neueinschreiben wird über eine hier nicht dargestellte Datenausgabeschaltung das Potential des Ausganges 8 entsprechend eingestellt.

Erfindungsanspruch

1. Asymmetrische Schreib-Lese-Schaltung mit einem ersten und einem zweiten Eingangstransistor, an dessen Gate ein Lesetakt bzw. der negierte Lesetakt anliegt, wobei der erste Eingangstransistor zwischen einer Bitleitung und einem Koppelkondensator und der zweite Eingangstransistor zwischen einer Referenzspannung und dem gleichen Anschluß des Koppelkondensators angeordnet ist, wobei weiterhin der Koppelkondensator mit dem Eingang eines getakteten Negators verbunden ist und wobei ein Einstelltransistor, an dessen Gate ein Lese-Vorbereitungstakt anliegt, den Ausgang des Negators mit seinem Eingang verbindet, gekennzeichnet dadurch, daß ein Refresh-Transistor (11), an dessen Gate ein Refresh-Takt (\emptyset_4) anliegt, den Ausgang des Negators (6) mit der Bitleitung (3) verbindet und daß ein zweiter Koppelkondensator (10) einen Einstelltakt ($\emptyset_{2''}$) mit dem Eingang des Negators (6) verbindet.
2. Asymmetrische Schreib-Lese-Schaltung nach Punkt 1, gekennzeichnet dadurch, daß die Referenzspannung (U_{ref}) gleich dem Lesesignal eines der beiden Informationszustände einer Speicherzelle ist.
3. Asymmetrische Schreib-Lese-Schaltung nach Punkt 2, gekennzeichnet dadurch, daß die Referenzspannung (U_{ref}) gleich dem positiveren Lesesignal ist.
4. Asymmetrische Schreib-Lese-Schaltung nach Punkt 1 bis 3, gekennzeichnet dadurch, daß der Lese-Vorbereitungstakt ($\emptyset_{2'}$) und der Einstelltakt ($\emptyset_{2''}$) zum Vorbereitungstakt (\emptyset_2) zusammengefaßt sind.

5. Asymmetrische Schreib-Lese-Schaltung nach Punkt 1 bis 4, gekennzeichnet dadurch, daß der Koppelkondensator (10) die Gate-Source-Kapazität des Einstelltransistors (9) ist.

- Hierzu 2 Seiten Zeichnungen -

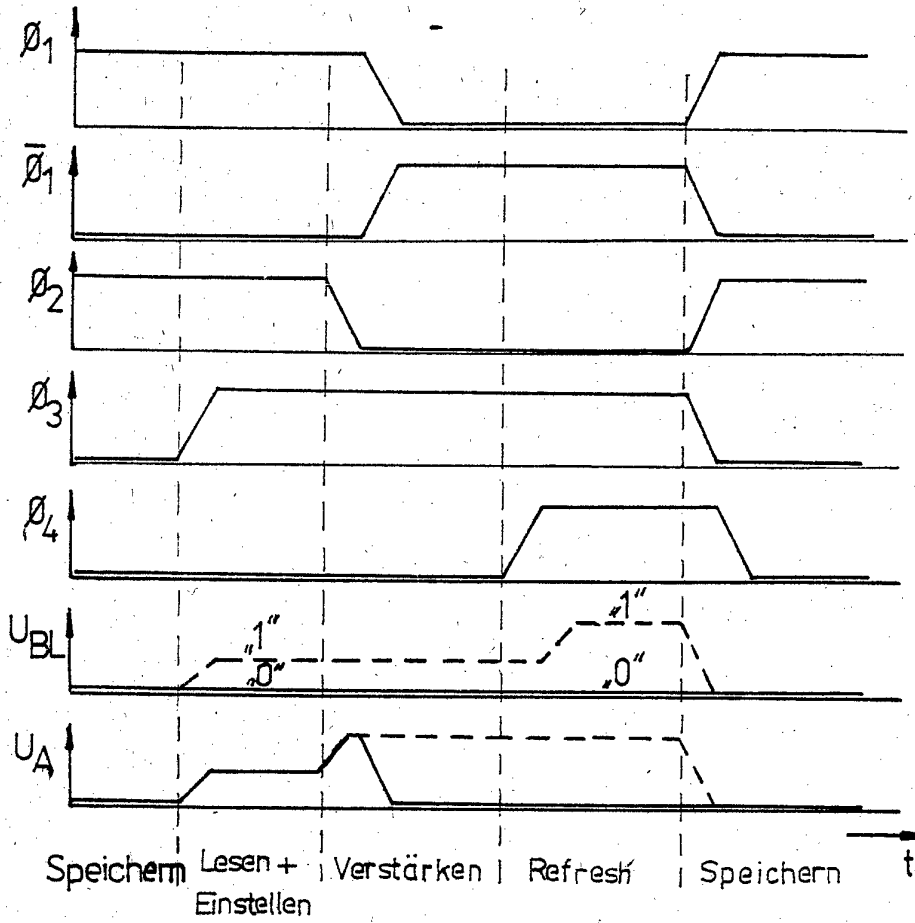


Fig.2

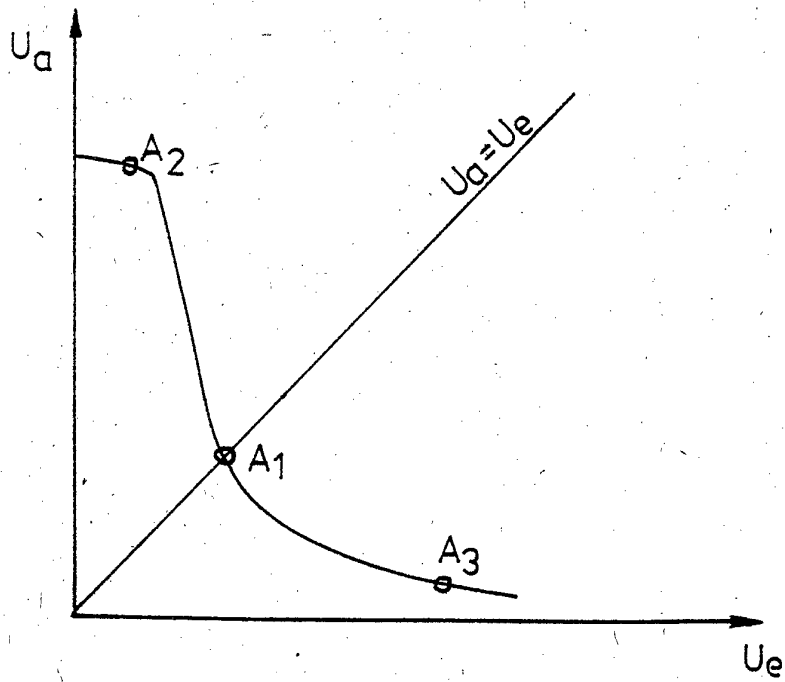


Fig.3