

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和5年9月25日(2023.9.25)

【国際公開番号】WO2023/286235

【出願番号】特願2023-534538(P2023-534538)

【国際特許分類】

H 0 1 L 2 9 / 7 8 (2 0 0 6 . 0 1)

H 0 1 L 2 9 / 1 2 (2 0 0 6 . 0 1)

H 0 1 L 2 1 / 3 3 6 (2 0 0 6 . 0 1)

10

【 F I 】

H 0 1 L 2 9 / 7 8 6 5 2 H

H 0 1 L 2 9 / 7 8 6 5 2 T

H 0 1 L 2 9 / 7 8 6 5 2 Q

H 0 1 L 2 9 / 7 8 6 5 2 J

H 0 1 L 2 9 / 7 8 6 5 3 A

H 0 1 L 2 9 / 7 8 6 5 2 F

H 0 1 L 2 9 / 7 8 6 5 2 C

H 0 1 L 2 9 / 7 8 6 5 2 M

H 0 1 L 2 9 / 7 8 6 5 8 E

20

H 0 1 L 2 9 / 7 8 6 5 8 A

H 0 1 L 2 9 / 7 8 6 5 8 F

H 0 1 L 2 9 / 7 8 6 5 2 D

【手続補正書】

【提出日】令和5年6月30日(2023.6.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

30

【補正の内容】

【特許請求の範囲】

【請求項1】

互いに対向する第1主面および第2主面を有するn型の炭化珪素基板と、
前記炭化珪素基板の前記第1主面上に設けられる炭化珪素からなるS J領域と、
前記S J領域の上面上に設けられるM O S F E T領域とを備え、
前記S J領域は、前記第1主面と平行な第1方向に伸長し、前記第1主面と平行かつ前記第1方向に垂直な第2方向に交互に配列された、n型の複数の第1ピラー領域およびp型の複数の第2ピラー領域を備え、

40

前記M O S F E T領域は、

前記第2方向に伸長し、前記第1方向に、前記第2ピラー領域の繰り返し周期である第1繰り返し周期より短い第2繰り返し周期で配列され、p型の炭化珪素からなる複数のB P W領域と、

各前記B P W領域の上に前記第2方向に設けられる各トレンチ内にゲート絶縁膜を介して設けられる複数のゲート電極とを備える、
炭化珪素半導体装置。

【請求項2】

前記複数のB P W領域は前記第2ピラー領域に接続される、
請求項1に記載の炭化珪素半導体装置。

【請求項3】

50

前記MOSFET領域は、
隣り合う2つの前記BPW領域の間、および隣り合う2つの前記トレンチの間で前記第2方向に伸長する、n型の炭化珪素からなる複数のJFET領域と、
各前記JFET領域の上に各前記JFET領域に接して設けられる、p型の炭化珪素からなる複数のボディ領域と、
少なくとも1つの前記JFET領域に接し、少なくとも1つの前記BPW領域と少なくとも1つの前記ボディ領域とを接続するp型の炭化珪素からなる少なくとも1つの接続領域とを備える、
請求項1または請求項2に記載の炭化珪素半導体装置。

【請求項4】

10

前記MOSFET領域は、
各前記ボディ領域の上に設けられる各前記ボディ領域より抵抗率が低いp型の炭化珪素からなる複数のボディコンタクト領域と、
各前記ボディ領域の上に各前記トレンチおよび各前記ボディコンタクト領域の夫々に接して設けられるn型の炭化珪素からなる複数の不純物領域とを備え、
各前記ボディコンタクト領域上に設けられる上面電極と、
前記炭化珪素基板の前記第2主面上に設けられる下面電極とを備える、
請求項1から請求項3のいずれか1項に記載の炭化珪素半導体装置。

【請求項5】

各前記第2ピラー領域と各前記BPW領域とが直接接続される、
 請求項1から請求項4のいずれか1項に記載の炭化珪素半導体装置。

20

【請求項6】

前記少なくとも1つの接続領域は、各前記JFET領域に接し、各前記BPW領域と各前記ボディ領域とを接続する複数の接続領域であり、
 各前記第2ピラー領域と各前記BPW領域とが各前記接続領域を介して接続される、
 請求項3に記載の炭化珪素半導体装置。

【請求項7】

前記少なくとも1つの接続領域は、各前記JFET領域に接し、各前記BPW領域と各前記ボディ領域とを接続する複数の接続領域であり、
 前記複数の接続領域は、各前記第1ピラー領域上に設けられる接続領域を含む、
 請求項3に記載の炭化珪素半導体装置。

30

【請求項8】

前記少なくとも1つの接続領域は、各前記JFET領域に接し、各前記BPW領域と各前記ボディ領域とを接続する複数の接続領域であり、
 各前記接続領域は、各前記トレンチの片側の側面の全体に接して設けられる、
 請求項3に記載の炭化珪素半導体装置。

【請求項9】

前記少なくとも1つの接続領域は、各前記JFET領域に接し、各前記BPW領域と各前記ボディ領域とを接続する複数の接続領域であり、
 前記複数の接続領域は、一部の前記トレンチに対しては、前記トレンチの両側の側面の全体に接して設けられ、他の一部の前記トレンチに対しては、前記トレンチの下部の前記BPW領域と前記第2ピラー領域との交差点にのみ設けられる、
 請求項3に記載の炭化珪素半導体装置。

40

【請求項10】

前記複数の第2ピラー領域と前記複数のBPW領域との交差点のうち80%以上の数の交差点において、各前記第2ピラー領域と各前記BPW領域とが直接接続される、
 請求項1から請求項9のいずれか1項に記載の炭化珪素半導体装置。

【請求項11】

前記少なくとも1つの接続領域は、各前記JFET領域に接し、各前記BPW領域と各前記ボディ領域とを接続する複数の接続領域であり、

50

前記複数の第 2 ピラー領域と前記複数の B P W 領域との交差点のうち 80% 以上の数の交差点において、各前記第 2 ピラー領域と各前記 B P W 領域とが各前記接続領域を介して接続される、

請求項 3 に記載の炭化珪素半導体装置。

【請求項 12】

各前記 J F E T 領域の n 型不純物濃度は、各前記第 1 ピラー領域の n 型不純物濃度より高い、

請求項 3 に記載の炭化珪素半導体装置。

【請求項 13】

前記第 1 主面と平行な平面における前記少なくとも 1 つの接続領域の面積占有率が 25% 以下である、

請求項 3 に記載の炭化珪素半導体装置。

【請求項 14】

前記少なくとも 1 つの接続領域の p 型不純物濃度が $4 \times 10^{17} \text{ cm}^{-3}$ 以上である、
請求項 3、請求項 6、請求項 7、請求項 8、請求項 9、請求項 11、請求項 12 及び請求項 13 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 15】

互いに対向する第 1 主面および第 2 主面を有する n 型の炭化珪素基板と、
前記炭化珪素基板の前記第 1 主面上に設けられる炭化珪素からなる S J 領域と、
前記 S J 領域の上面に設けられる M O S F E T 領域とを備え、

前記 S J 領域は、前記第 1 主面と平行な第 1 方向に伸長し、前記第 1 主面と平行かつ前記第 1 方向と垂直な第 2 方向に交互に配列された、n 型の複数の第 1 ピラー領域および p 型の複数の第 2 ピラー領域を備え、

前記 M O S F E T 領域は、

前記第 2 方向に伸長し、前記第 1 方向に、前記第 2 ピラー領域の繰り返し周期である第 1 繰り返し周期より短い第 2 繰り返し周期で配列され、p 型の炭化珪素からなる複数のボディ領域とを備える、

炭化珪素半導体装置。

【請求項 16】

前記複数のボディ領域は各前記第 2 ピラー領域に接続される、
請求項 15 に記載の炭化珪素半導体装置。

【請求項 17】

前記 M O S F E T 領域は、各前記ボディ領域の間に設けられる n 型の炭化珪素からなる複数の J F E T 領域を備える、

請求項 15 または請求項 16 に記載の炭化珪素半導体装置。

【請求項 18】

前記 M O S F E T 領域は、

各前記ボディ領域の表層に設けられる n 型の炭化珪素からなる複数の不純物領域と、

各前記不純物領域の上面から各前記不純物領域を貫通して各前記ボディ領域に達する、
各前記ボディ領域より抵抗率が低い p 型の炭化珪素からなる複数のボディコンタクト領域と、

各前記不純物領域と各前記 J F E T 領域との間の各前記ボディ領域上にゲート絶縁膜を介して設けられる複数のゲート電極と、を備え、

前記複数のボディコンタクト領域上に設けられる上面電極と、

前記炭化珪素基板の前記第 2 主面上に設けられる下面電極とを備える、

請求項 15 から請求項 17 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 19】

各前記第 2 ピラー領域と各前記ボディ領域とが直接接続される、

請求項 15 から請求項 18 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 20】

各前記ボディコンタクト領域は各前記ボディ領域を貫通して各前記第 2 ピラー領域と接触し、

各前記第 2 ピラー領域と各前記ボディ領域とが各前記ボディコンタクト領域を介して接続される、

請求項 1.8 に記載の炭化珪素半導体装置。

【請求項 2.1】

前記複数の第 2 ピラー領域と前記複数のボディ領域との交差点のうち 80% 以上の数の交差点において、各前記第 2 ピラー領域と各前記ボディ領域とが直接接続される、

請求項 1 から請求項 2.0 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 2.2】

前記複数の第 2 ピラー領域と前記複数のボディ領域との交差点のうち 80% 以上の数の交差点において、各前記第 2 ピラー領域と各前記ボディ領域とが各前記ボディコンタクト領域を介して接続される、

請求項 1 から請求項 2.0 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 2.3】

請求項 1 から請求項 2.2 のいずれか 1 項に記載の炭化珪素半導体装置を有し、入力される電力を変換して出力する主変換回路と、

前記炭化珪素半導体装置を駆動する駆動信号を前記炭化珪素半導体装置に出力する駆動回路と、

前記駆動回路を制御する制御信号を前記駆動回路に出力する制御回路と、を備える、
電力変換装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

本開示の炭化珪素半導体装置は、互いに対向する第 1 主面および第 2 主面を有する n 型の炭化珪素基板と、炭化珪素基板の第 1 主面上に設けられる炭化珪素からなる S J 領域と、S J 領域の上面上に設けられる MOSFET 領域とを備える。S J 領域は、第 1 主面と平行な第 1 方向に伸長し、第 1 主面と平行かつ第 1 方向に垂直な第 2 方向に交互に配列された、n 型の複数の第 1 ピラー領域および p 型の複数の第 2 ピラー領域を備える。MOSFET 領域は、第 2 方向に伸長し、第 1 方向に、第 2 ピラー領域の繰り返し周期である第 1 繰り返し周期より短い第 2 繰り返し周期で配列され、p 型の炭化珪素からなる複数の B P W 領域と、各 B P W 領域の上に第 2 方向に設けられる各トレンチ内にゲート絶縁膜を介して設けられる複数のゲート電極と、を備える。

10

20

30

40

50