



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I594386 B

(45)公告日：中華民國 106 (2017) 年 08 月 01 日

(21)申請案號：098133405

(22)申請日：中華民國 98 (2009) 年 10 月 01 日

(51)Int. Cl. : H01L23/52 (2006.01)

H01L21/768 (2006.01)

G09G3/20 (2006.01)

(30)優先權：2008/10/03 日本

2008-258992

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；秋元健吾 AKIMOTO, KENGO (JP)；梅崎
敦司 UMEZAKI, ATSUSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200514009A

TW 200801672A

審查人員：黃泰淵

申請專利範圍項數：25 項 圖式數：30 共 124 頁

(54)名稱

顯示裝置

DISPLAY DEVICE

(57)摘要

隨著顯示裝置的清晰度之增加，像素的數目也增加，因此，閘極線及訊號線的數目增加。由於閘極線與訊號線的數目增加，難以藉由接合等，安裝具有用於驅動閘極和訊號線的驅動電路之 IC 晶片，使得製造成本增加。像素部與用於驅動像素部的驅動電路形成於一基底上。以使用氧化物半導體的逆交錯薄膜電晶體，形成至少部份驅動電路。驅動電路與像素部設於相同基底上，因而降低製造成本。

With an increase in the definition of a display device, the number of pixels is increased, and thus the numbers of gate lines and signal lines are increased. Due to the increase in the numbers of gate lines and signal lines, it is difficult to mount an IC chip having a driver circuit for driving the gate and signal lines by bonding or the like, which causes an increase in manufacturing costs. A pixel portion and a driver circuit for driving the pixel portion are formed over one substrate. At least a part of the driver circuit is formed using an inverted staggered thin film transistor in which an oxide semiconductor is used. The driver circuit as well as the pixel portion is provided over the same substrate, whereby manufacturing costs are reduced.

指定代表圖：

圖 1A

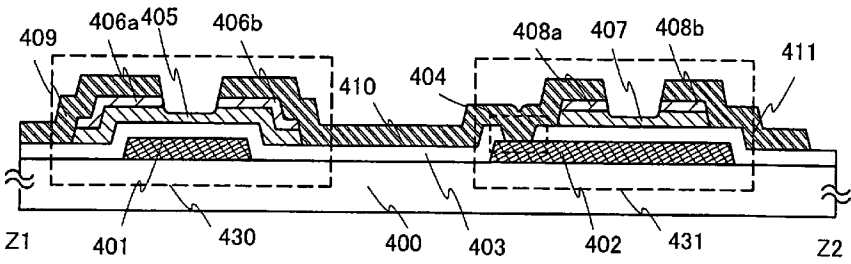
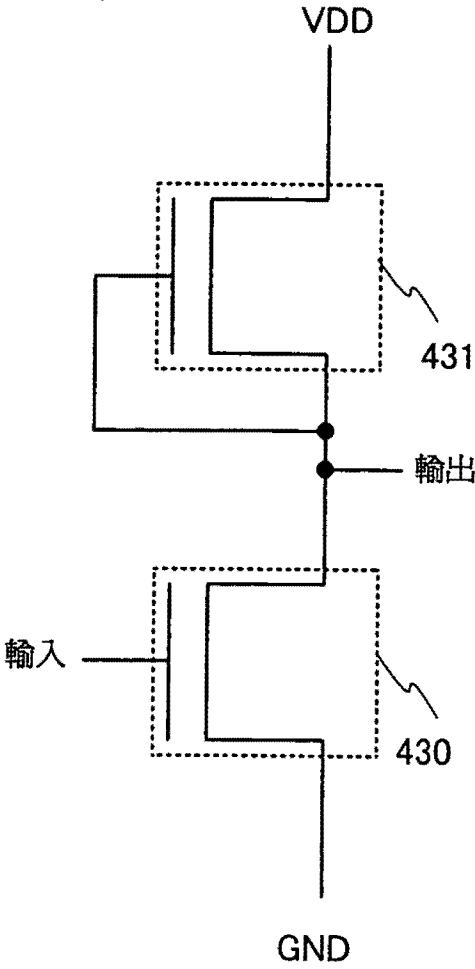


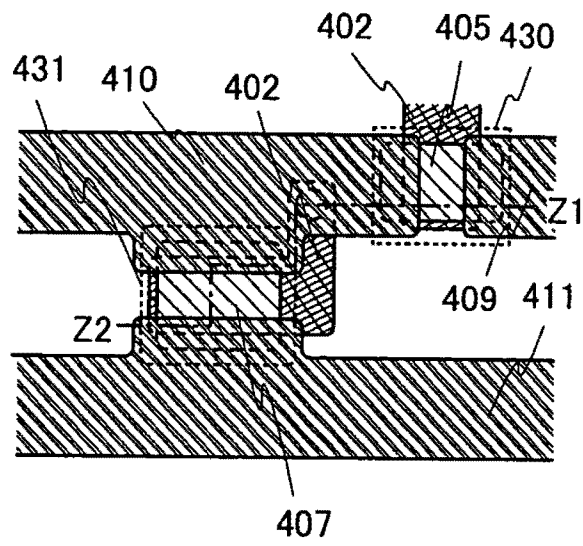
圖 1B



符號簡單說明：

- 400 . . . 基底
- 401 . . . 閘極電極
- 402 . . . 第二閘極電極
- 403 . . . 閘極絕緣層
- 404 . . . 接觸孔
- 405 . . . 第一氧化物半導體層
- 406a, 406b . . . n⁺型層
- 407 . . . 第二氧化物半導體層
- 408a, 408b . . . n⁺型層
- 409 . . . 第一佈線
- 410 . . . 第二佈線
- 411 . . . 第三佈線
- 430 . . . 第一薄膜電晶體
- 431 . . . 第二薄膜電晶體

圖 1C



發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：98133405

※申請日：98年10月01日

※IPC分類：H01L 23/52 (2006.01)
H01L 21/1768 (2006.01)
G09G 3/20 (2006.01)

一、發明名稱：(中文／英文)

顯示裝置

Display device

二、中文發明摘要：

隨著顯示裝置的清晰度之增加，像素的數目也增加，因此，閘極線及訊號線的數目增加。由於閘極線與訊號線的數目增加，難以藉由接合等，安裝具有用於驅動閘極和訊號線的驅動電路之 IC 晶片，使得製造成本增加。像素部與用於驅動像素部的驅動電路形成於一基底上。以使用氧化物半導體的逆交錯薄膜電晶體，形成至少部份驅動電路。驅動電路與像素部設於相同基底上，因而降低製造成本。

三、英文發明摘要：

With an increase in the definition of a display device, the number of pixels is increased, and thus the numbers of gate lines and signal lines are increased. Due to the increase in the numbers of gate lines and signal lines, it is difficult to mount an IC chip having a driver circuit for driving the gate and signal lines by bonding or the like, which causes an increase in manufacturing costs. A pixel portion and a driver circuit for driving the pixel portion are formed over one substrate. At least a part of the driver circuit is formed using an inverted staggered thin film transistor in which an oxide semiconductor is used. The driver circuit as well as the pixel portion is provided over the same substrate, whereby manufacturing costs are reduced.

四、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖。

(二)、本代表圖之元件符號簡單說明：

- 400：基底
- 401：閘極電極
- 402：第二閘極電極
- 403：閘極絕緣層
- 404：接觸孔
- 405：第一氧化物半導體層
- 406a，406b： n^+ 型層
- 407：第二氧化物半導體層
- 408a，408b： n^+ 型層
- 409：第一佈線
- 410：第二佈線
- 411：第三佈線
- 430：第一薄膜電晶體
- 431：第二薄膜電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於使用氧化物半導體的顯示裝置及顯示裝置的製造方法。

【先前技術】

如同液晶顯示裝置中典型上可見般，使用非晶矽或多晶矽以製造形成於例如玻璃基底等平板上的薄膜電晶體。使用非晶矽製造的薄膜電晶體具有低場效遷移率，但以形成於較大的玻璃基底上。相反地，使用結晶矽製造的薄膜電晶體具有高場效遷移率，但由於例如雷射退火等晶化步驟，電晶體總是不適於形成於較大的玻璃基底上。

慮及上述，已注意使用氧化物半導體以製造薄膜電晶體及將此電晶體應用於電子設備或光學裝置的技術。舉例而言，專利文獻 1 及專利文獻 2 揭示以氧化鋅或 In-Ga-Zn-O 為基礎的氧化物半導體用於氧化物半導體膜以製造薄膜電晶體及將此電晶體作為影像顯示裝置的切換元件等等之技術。

[專利文獻]

[專利文獻 1] 日本專利公開專利申請號 2007-123861

[專利文獻 2] 日本專利公開專利申請號 2007-96055

【發明內容】

以氧化物半導體用於通道形成區的薄膜電晶體之場效遷移率高於使用非晶矽的薄膜電晶體。以濺射法等，在低於或等於 300℃ 的溫度下，形成氧化物半導體膜。其製程比使用多晶矽的薄膜電晶體的製程還容易。

期望此氧化物半導體用於在玻璃基底、塑膠基底、等等上形成薄膜電晶體，以及應用至液晶顯示裝置、電致發光顯示裝置、電子紙、等等。

隨著顯示裝置的清晰度的隨著，閘極線及訊號線的數目也因而增加。由於閘極線和訊號線的數目的增加，難以藉由接合等以安裝具有驅動閘極和訊號線的驅動電路之 IC 晶片，使得成本增加。

此外，本發明的另一目的是降低連接元件之佈線之間的接觸電阻等，以取得驅動電路的高速驅動。舉例而言，閘極佈線與上佈線之間的高接觸電阻可以使輸入訊號失真。

此外，本發明的另一目的是提供顯示裝置的結構，其中，接觸孔的數目及驅動電路佔據的面積縮小。

用於驅動像素部的像素部及驅動電路形成於基底上。使用逆交錯薄膜電晶體，形成至少部份驅動電路，在逆交錯薄膜電晶體使用氧化物半導體。驅動電路與像素部設於相同基底上，因而降低製造成本。

關於本說明書中使用的氧化物半導體，形成以 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 為代表的金屬薄膜，以及，製造使用薄膜作為半導體層的薄膜電晶體。注意，M 代表選自鎘（

Ga)、鐵(Fe)、鎳(Ni)、錳(Mn)、及鈷(Co)之一或更多金屬元素。除了僅含有Ga作為M的情形之外，也有Ga及Ga以外的上述任何元素之情形，舉例而言，含有Ga及Ni或Ga及Fe作為M。此外，在氧化物半導體中，在某些情形中，除了含有金屬元素作為M之外，尚包含例如Fe或Ni等暫態金屬元素或暫態金屬的氧化物作為雜質元素。在本說明書中，此薄膜也稱為「In-Ga-Zn-O為基礎的非單晶膜」。

表 1 顯示感應耦合電漿質譜儀(ICP-MS)測量的典型實施例。在使用In₂O₃對Ga₂O₃及ZnO的比例為1:1:1(In對Ga及Zn的比例為1:1:0.5)之靶材及濺射法中氬氣流速為40 sccm的條件1之下，取得InGa_{0.95}Zn_{0.41}O_{3.33}的氧化物半導體膜。此外，在濺射法中氬氣及氧氣流速分別為10 sccm和5 sccm的條件2之下，取得InGa_{0.94}Zn_{0.40}O_{3.31}的氧化物半導體膜。

[表 1]

流速	成份(原子%)				成份公式
Ar/O ₂	In	Ga	Zn	O	
40/0	17.6	16.7	7.2	58.6	InGa _{0.95} Zn _{0.41} O _{3.33}
10/5	17.7	16.7	7	58.6	InGa _{0.94} Zn _{0.41} O _{3.31}

此外，表 2 顯示使用拉塞福(Rutherford)背散射質譜儀(RBS)而非ICP-MS來執行量化的結果。

[表 2]

流速	成份 (原子%)					成份公式
Ar/O ₂	In	Ga	Zn	O	Ar	
40/0	17	15.8	7.5	59.4	0.3	InGa _{0.93} Zn _{0.44} O _{3.49}
10/5	16	14.7	7.2	61.7	0.4	InGa _{0.92} Zn _{0.45} O _{3.86}

根據 RBS 之條件 1 中的樣品的測量結果，氧化物半導體膜為 InGa_{0.93}Zn_{0.44}O_{3.49}。此外，根據 RBS 之條件 1 中的樣品的測量結果，氧化物半導體膜為 InGa_{0.92}Zn_{0.45}O_{3.86}。

以 X 光繞射 (XRD)，在 In-Ga-Zn-O 為基礎的非單晶膜中觀測到非晶結構。注意，在以濺射法形成膜之後，在 200 至 500℃，典型上 300 至 400℃下，對受檢的樣品的 In-Ga-Zn-O 為基礎的非單晶膜執行熱處理 10 分鐘至 100 分鐘。此外，可以製造薄膜電晶體，其具有例如閘極電壓 ±20V 時開／關比大於或等於 10⁹ 及遷移率大於或等於 10 之電特徵。

以具有此電特徵的薄膜電晶體用於驅動電路是有效的。舉例而言，閘極線驅動電路包含用於順序地傳送閘極訊號之移位暫存器電路、緩衝電路、等等；以及，源極線驅動電路包含用於順序地傳送閘極訊號之移位暫存器、用於開啓或關閉影像訊號對像素的傳送、等等。使用氧化物半導體膜的 TFT 比使用非晶矽的 TFT 具有更高的遷移率且能夠高速地驅動移位暫存器電路。

此外，當以使用氧化物半導體的薄膜電晶體來形成用

於驅動像素部的驅動電路的至少部份時，包含於電路中的 TFT 均為 n 通道 TFT，以及，使用圖 1B 中所示的電路作為基本單元。此外，在驅動電路中，閘極電極直接連接至源極佈線或汲極佈線，因而可以取得有利的接觸，造成接觸電阻降低。在驅動電路中，經由例如透明導電膜等另一導電膜，將閘極電極連接至源極佈線或汲極佈線，可以使得接觸孔的數目增加，由接觸孔佔據的面積也因為接觸孔數目的增加而增加，或者接觸電阻及佈線電阻增加，可能使製程更複雜。

本說明書中揭示之本發明的實施例是包含像素部及驅動電路的顯示裝置。像素部包含第一薄膜電晶體，第一薄膜電晶體至少包含第一氧化物半導體層。驅動電路包含第二薄膜電晶體及第三薄膜電晶體，第二薄膜電晶體至少包含第二氧化物半導體層，第三薄膜電晶體包含第三氧化物半導體層。與設於第二氧化物半導體層之下的第二薄膜電晶體的閘極電極直接接觸的佈線設於第三氧化物半導體層的上方。佈線為電連接至第三氧化物半導體層之第三薄膜電晶體的源極或汲極佈線。

本發明的實施例取得上述目的中至少之一。

此外，用於本發明的實施例之薄膜電晶體包含設於源極佈線與作為通道形成區的氧化物半導體層（在上述結構中為第三半導體層）之間、或是汲極佈線與作為通道形成區的氧化物半導體層（在上述結構中為第三半導體層）之間的第四氧化物半導體層，第四氧化物半導體層具有比第

三氧化物半導體層更小的厚度及更高的導電率。

第四氧化物半導體層呈現 n 型導電率及作為源極和汲極區。

第三氧化物半導體層具有非晶結構，以及，第四氧化物半導體層在非晶結構中包含晶粒（奈米結晶）。第四氧化物半導體層中的這些晶粒（奈米晶粒）均具有 1 至 10 nm（典型上約為 2 至 4 nm）的直徑。

此外，關於作為源極或汲極區（ n^+ 型層）的第四氧化物半導體層，可以使用 In-Ga-Zn-O 為基礎的非單晶膜。

可以設置絕緣層以遮蓋包含於顯示裝置中的第一薄膜電晶體、第二薄膜電晶體、及第三薄膜電晶體以及接觸第一氧化物半導體層、第二氧化物半導體層、及第三氧化物半導體層。此外，在佈線的蝕刻步驟中，可以部份地蝕刻氧化物半導體層。在該情形中，第一氧化物半導體層、第二氧化物半導體層、及第三氧化物半導體層均包含具有小厚度的區域。

此外，由於薄膜電晶體容易因為靜電等而損壞，所以，對閘極線或源極線，在相同基底上較佳地設置用於保護驅動電路的保護電路。以使用氧化物半導體的非線性元件，較佳地形成保護電路。

注意，為了簡明起見，在本說明書中使用例如「第一」及「第二」等序號。因此，它們並非代表步驟的次序、層的堆疊次序、及具體指明本發明的特定名稱。

此外，關於包含驅動電路的顯示裝置，除了液晶顯示

裝置之外，尚有使用發光元件的發光顯示裝置及使用電泳顯示元件的顯示裝置（也稱為電子紙）。

在使用發光元件的發光顯示裝置中，多個薄膜電晶體包含於像素部中，在像素部中，也有一薄膜電晶體的閘極電極直接連接至另一電晶體的源極佈線或汲極佈線之區域。此外，在使用發光元件的發光顯示裝置的驅動電路中，有薄膜電晶體的閘極電極直接連接至薄膜電晶體的源極佈線或汲極佈線之區域。

注意，本說明書中的半導體裝置意指所有可以使用半導體特徵來操作之裝置，以及，電光裝置、半導體電路、及電子設備均為半導體裝置。

在閘極線驅動電路或源極線驅動電路中使用氧化物半導體之薄膜電晶體，可以降低製造成本。此外，用於驅動電路的薄膜電晶體的閘極電極直接連接至源極佈線或汲極佈線，因而可以提供接觸孔數目減少及驅動電路佔據的面積減少之顯示裝置。

因此，根據本發明的實施例，可以低成本地提供具有優良電特性及高可靠度的顯示裝置。

【實施方式】

將參考附圖，詳述實施例。注意，本發明不限於下述說明，且習於此技藝者將容易瞭解，在不悖離本發明的精神及範圍之下，可以以不同方式修改模式及細節。因此，本發明不應被解釋為侷限於下述實施例的說明。注意，在

下述的本發明的結構中，不同圖式中類似的部份或具有類似的功能之部份以類似的代號表示並省略其重複說明。

（實施例 1）

在本實施例中，將根據使用二個通道薄膜電晶體而形成的反相器電路之實施例，說明本發明的實施例。

使用反相器電路、電容器、電阻器、等等，以形成用於驅動像素部的驅動電路。當結合二個 n 通道 TFT 以形成反相器電路時，有二種型式的組合：增強型電晶體及空乏型電晶體的組合（於下，此組合形成的電路稱為「EDMOS 電路」）及增強型 TFT 的組合（於下，此組合形成的電路稱為「EEMOS 電路」）。注意，當 n 通道 TFT 的臨界電壓為正時， n 通道 TFT 定義為增強型電晶體，當 n 通道 TFT 的臨界電壓為負時， n 通道 TFT 定義為空乏型電晶體，且本說明書將依循上述定義。

像素部及驅動電路形成於相同基底上。在像素部中，使用以矩陣配置的增強型電晶體，切換對像素電極的電壓施加之開及關。以氧化物半導體用於配置於像素部中的這些增強型電晶體。由於增強型電晶體具有例如在 $\pm 20\text{V}$ 的閘極電壓時開／關比大於或等於 10^9 等電特徵，所以，漏電流小且可以實現低耗電驅動。

圖 1A 顯示驅動電路的反相器電路的剖面結構。注意，圖 1A 至 1C 中所示的第一薄膜電晶體 430 及第二薄膜電晶體 431 均為逆交錯薄膜電晶體，及以佈線設於半導體

層上而源極或汲極區介於其間之薄膜電晶體為例說明。

在圖 1A 中，第一閘極電極 401 和第二閘極電極 402 設於基底 400 上。使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、銱、或鈳等金屬材料、或含有這些材料中的任何材料作為主成份的合金材料，將第一閘極電極 401 及第二閘極電極 402 形成為具有單層結構和堆疊層結構。

舉例而言，關於第一閘極電極 401 和第二閘極電極 402 中每一者的雙層結構，下述結構是較佳的：鋁層和堆疊於其上的鉬層之雙層結構、銅層和堆疊於其上的鉬層之雙層結構、銅層和堆疊於其上的氮化鈦層或氮化鉭層之雙層結構、以及氮化鈦層和鉬層的雙層結構。關於三層結構，鎢層或氮化鎢層、鋁及矽的合金或鋁及鈦的合金、以及氮化鈦層或鈦層的堆疊是較佳的。

此外，設置遮蓋第一閘極電極 401 及第二閘極電極 402 的閘極絕緣層 403、第一氧化物半導體層 405 以及第二氧化物半導體層 407。

此外，在第一氧化物半導體層 405 上，設置第一佈線 409 和第二佈線 410。第二佈線 410 經過形成於閘極絕緣層 403 中的接觸孔 404 而直接連接至第二閘極電極 402。此外，第三佈線 411 設於第二氧化物半導體層 407 上。

第一薄膜電晶體 430 包含第一閘極電極 401 和第一氧化物半導體層 405，第一氧化物半導體層 405 與第一閘極電極 401 重疊而以閘極絕緣層 403 介於其間，以及，第一佈線 409 為處於接地電位的電源線（接地電源線）。在接

地電位之此電源線可為負電壓 VDL 所施加的電源線（負電源線）。

此外，第二薄膜電晶體 431 包含第二閘極電極 402 和第二氧化物半導體層 407，第二氧化物半導體層 407 與第二閘極電極重疊而以閘極絕緣層 403 介於其間。第三佈線 411 為電壓 VDD 施加的電源線（正電源線）。

n^+ 型層 406a 設於第一氧化物半導體層 405 與第一佈線 409 之間，以及， n^+ 型層 406b 設於第一氧化物半導體層 405 與第二佈線 410 之間。此外， n^+ 型層 408a 設於第二氧化物半導體層 407 與第二佈線 410 之間，以及， n^+ 型層 408b 設於第二氧化物半導體層 407 與第三佈線 411 之間。

在本實施例中，各別作為源極區或汲極區之 n^+ 型層 406a、406b、408a、和 408b 由 In-Ga-Zn-O 為基礎的非單晶膜形成，且其沈積條件不同於第一氧化物半導體層 405 和第二氧化物半導體層 407 的沈積條件。 n^+ 型層 406a、406b、408a、和 408b 為電阻低於第一氧化物半導體層 405 及第二氧化物半導體層 407 之氧化物半導體層。舉例而言，當在上述表 1 中所示的使用濺射法及濺射法中氬氣流速為 40 sccm 的條件 1 之下由氧化物半導體膜形成時， n^+ 型層 406a、406b、408a、和 408b 具有 n 型導電率及從 0.01 至 0.1 eV 的活化能量 (ΔE)。注意，在本實施例中， n^+ 型層 406a、406b、408a、和 408b 為 In-Ga-Zn-O 為基礎的非單晶膜以及包含至少非晶成份。 n^+ 型層 406a、

406b、408a、和 408b 可以在非晶結構中包含晶粒（奈米晶體）。在 n^+ 型層 406a、406b、408a、和 408b 中的晶粒均具有 1 至 10nm（典型上約 2 至 4nm）的直徑。

藉由設置 n^+ 型層 406a、406b、408a、和 408b，都為金屬層的第一佈線 409 和第二佈線 410 可以與第一氧化物半導體層 405 具有良好的接面，以及，都為金屬層的第二佈線 410 和第三佈線 411 可以與第二氧化物半導體層 407 具有良好的接面，以致於相較於肖特基（Schottky）接面，以熱的觀點而言，可以實現穩定操作。此外， n^+ 層的設置對於供應載子給通道（在源極側上）、從通道（在汲極側）吸收載子、或防止在佈線與氧化物半導體層之間的介面產生電阻，是正面有效的。此外，由於降低電阻，所以，即使在高汲極電壓下，仍然可以確保良好的遷移率。

如圖 1A 所示，電連接至第一氧化物半導體層 405 和第二氧化物半導體層 407 之第二佈線 410，經由形成於閘極絕緣層 403 中的接觸孔 404 而直接連接至第二薄膜電晶體 431 的第二閘極電極 402。藉由直接連接，可以取得有利的接觸，造成接觸電阻降低。相較於第二閘極電極 402 與第二佈線 410 經由例如透明導電膜等另一導電膜而彼此連接的情形，可以減少接觸孔的數目以及驅動電路佔據的面積會因接觸孔的數目減少而減少。

此外，圖 1C 是驅動電路的反相器電路的上視圖。在圖 1C 中，延著虛線 Z1-Z2 的剖面對應於圖 1A。

此外，圖 1B 顯示 EDMOS 電路的等效電路。圖 1A 及

1C 中所示的電路連接對應於圖 1B 中所示的電路連接。顯示一實施例，其中，第一薄膜電晶體 430 為增強型 n 通道電晶體，第二薄膜電晶體 431 是空乏型 n 通道電晶體。

爲了在相同基底上製造增強型 n 通道電晶體及空乏型 n 通道電晶體，舉例而言，使用不同材料或在不同條件下，形成第一氧化物半導體層 405 和第二半導體層 407。或者，以閘極電極設於氧化物半導體層之上及之下以控制臨界電壓、以及電壓施加至閘極電極以致於 TFT 之一爲正常開啓而其它 TFT 爲正常關閉之方式，形成 EDMOS 電路。

（實施例 2）

雖然在實施例 1 中說明 EDMOS 電路的實施例，但是，在本實施例中，EEMOS 電路的等效電路顯示於圖 2A 中。在圖 2A 中所示的等效電路中，以下述任一情形，形成驅動電路：第一薄膜電晶體 460 和第二薄膜電晶體 461 均爲增強型 n 通道電晶體的情形，或是，第一薄膜電晶體 460 爲增強型 n 通道電晶體及第二薄膜電晶體 461 爲空乏型 n 通道電晶體的情形。

可以說，較佳的是使用圖 2A 中所示的電路配置，其中，相同型式的增強型 n 通道電晶體相結合以用於驅動電路。這是因爲在該情形中，用於像素部的電晶體也由與用於驅動電路的電晶體相同型式之增強型 n 通道電晶體形成，因此，製造步驟的數目不會增加。圖 2B 是上視圖。在

圖 2B 中，延著虛線 Y1-Y2 的剖面對應於圖 2A。

注意，顯示於圖 2A 及 2B 中的第一薄膜電晶體 460 和第二薄膜電晶體 461 均為逆交錯薄膜電晶體，以及，以佈線形成於半導體層上而源極區或汲極區夾於其間之薄膜電晶體為例說明。

此外，反相器電路的製程實施例顯示於圖 3A 至 3C 中。

藉由濺射法，將第一導電膜形成於基底 440 上，以及，使用第一光罩，選擇性地蝕刻第一導電膜以形成第一閘極電極和第二閘極電極 442。接著，以電漿 CVD 法或濺射法，形成用於遮蓋第一閘極電極 441 和第二閘極電極 422 之閘極絕緣層 443。以 CVD 法、濺射法、等等，將閘極絕緣層 443 形成為氧化矽層、氮化矽層、氮氧化矽層、或氧氣化矽層的單層或堆疊。或者，使用有機矽烷氣體，以 CVD 方法，由氧化矽層形成閘極絕緣層 443。關於有機矽烷氣體，可以使用例如：四乙氧基矽烷（TEOS：化學式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基矽烷（TMS：化學式 $\text{Si}(\text{CH}_3)_4$ ）、四甲基環四矽烷（TMCTS）、八甲基環四矽烷（OMCTS）、十六甲基矽氮烷（HMDS）、三乙氧基矽烷（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、或三雙甲基胺基矽烷（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等含矽化合物。

接著，使用第二光罩，選擇性地蝕刻閘極絕緣層 443 以形成到達第二閘極電極 442 的接觸孔 444。迄今為步的步驟的剖面視圖對應於圖 3A。

接著，以濺射法形成氧化物半導體膜，以及，在其上形成 n^+ 型層。注意，在以濺射法形成氧化物半導體膜之前，較佳地執行導入氬氣之後產生電漿的逆濺射，以移除附著至閘極絕緣層 443 的表面及接觸孔 444 的底表面之灰塵。逆濺射係指在氬氣氛圍中，未施加電壓至靶材側，使用 RF 電源以施加電壓至基底側，以修整表面。注意，可以使用氮、氬、等等來取代氬氛圍。或者，可以在添加氧、氬、 N_2O 、等等的氬氛圍中，執行逆濺射。又或者，在添加 Cl_2 、 CF_4 、等等的氬氛圍中，執行逆濺射。

接著，使用第三光罩，選擇性地蝕刻氧化物半導體層及 n^+ 型層。然後，以濺射法形成第二導電膜，以及，使用第四光罩，選擇性地蝕刻第二導電膜以形成第一佈線 449、第二佈線 450、及第三佈線 451。第三佈線 451 經過接觸孔 444 而與第二閘極電極 442 直接接觸。注意，在以濺射法形成第二導電膜之前，較佳地執行導入氬氣後產生電漿之逆濺射法，以移除附著至閘極絕緣層 443、 n^+ 型層的表面、及接觸孔 444 的底部表面之灰塵。逆濺射係指在氬氣氛圍中，未施加電壓至靶材側，使用 RF 電源以施加電壓至基底側，以修整表面。注意，可以使用氮、氬、等等來取代氬氛圍。或者，可以在添加氧、氬、 N_2O 、等等的氬氛圍中，執行逆濺射。又或者，在添加 Cl_2 、 CF_4 、等等的氬氛圍中，執行逆濺射。

注意，在蝕刻第二導電膜時，部份 n^+ 型層及氧化物半導體膜也被蝕刻以形成 n^+ 型層 446a、446b、448a、及

448b、以及第一氧化物半導體層 445 和第二氧化物半導體層 447。此蝕刻縮減第一氧化物半導體層 445 和第二氧化物半導體層 447 的厚度，以致於與第一和第二閘極電極重疊的部份被薄化。當此蝕刻步驟結束時，完成第一薄膜電晶體 460 和第二薄膜電晶體 461。迄今為止的步驟的剖面視圖對應於圖 3B。

接著，在空氣氛圍或氮氛圍中，在 200 至 600℃ 下，執行熱處理。注意，此熱處理的時機未特別限定，只要在形成氧化物半導體膜之後，可以在任何時間執行熱處理。

接著，形成保護層 452，以及，使用第五光罩，選擇性地蝕刻保護層 452，以形成接觸孔。之後，形成第三導電膜。最後，使用第六光罩，選擇性地蝕刻第三導電膜，以形成電連接至第二佈線 410 之連接佈線 453。迄今為止的步驟的剖面視圖對應於圖 3C。

在使用發光元件的發光顯示裝置中，像素部具有多個薄膜電晶體，以及，像素部也具有接觸孔，用於電連接一薄膜電晶體的閘極電極至另一電晶體的源極佈線或汲極佈線。使用與使用第二光罩以在閘極絕緣層中形成接觸孔的步驟中相同的遮罩，形成此接觸孔。

此外，關於液晶顯示裝置或電子紙，在用於連接至例如可撓印刷電路（FPC）等外部端之端子部中，使用與使用第二光罩以在閘極絕緣層中形成接觸孔的步驟中相同的遮罩，形成抵達閘極佈線的接觸孔。

注意，上述步驟的次序僅為舉例說明且對次序並無限

定。舉例而言，雖然光罩的數目增加一個，但是，可以使用不同的光罩，以分別地執行第二導電膜的蝕刻及部份 n^+ 型層和氧化物半導體膜的蝕刻。

(實施例 3)

在本實施例中，將使用圖 4A 至 4C，說明與實施例 2 中所述的製程不同的反相器電路的製程的實施例。

藉由濺射法，將第一導電膜形成於基底 440 上，以及，使用第一光罩，選擇性地蝕刻第一導電膜以形成第一閘極電極和第二閘極電極 442。接著，以電漿 CVD 法或濺射法，形成用於遮蓋第一閘極電極 441 和第二閘極電極 442 之閘極絕緣層 443。

接著，以濺射法形成氧化物半導體膜，以及，在其上形成 n^+ 型層。

接著，使用第二光罩，選擇性地蝕刻氧化物半導體膜、及 n^+ 型層。如此，形成與第一閘極電極 441 重疊的氧化物半導體膜 454 及 n^+ 型層 455 而以閘極絕緣層 443 介於其間。此外，形成與第二閘極電極 442 重疊的氧化物半導體膜 456 及 n^+ 型層 457 而以閘極絕緣層 443 介於其間。迄今為止的步驟的剖面視圖對應於圖 4A。

接著，使用第三光罩，選擇性地蝕刻閘極絕緣層 443 以形成到達第二閘極電極 442 之接觸孔 444。迄今為止的步驟的剖面視圖對應於圖 4B。

然後，以濺射法形成第二導電膜，以及，使用第四光

罩，選擇性地蝕刻第二導電膜以形成第一佈線 449、第二佈線 450、及第三佈線 451。注意，在以濺射法形成第二導電膜之前，較佳地執行導入氬氣後產生電漿之逆濺射法，以移除附著至閘極絕緣層 443、 n^+ 型層 445 和 447 的表面、及接觸孔 444 的底部表面之灰塵。逆濺射係指在氬氣氛圍中，未施加電壓至靶材側，使用 RF 電源以施加電壓至基底側，以修整表面。注意，可以使用氮、氬、等等來取代氬氛圍。或者，可以在添加氧、氬、 N_2O 、等等的氬氛圍中，執行逆濺射。又或者，在添加 Cl_2 、 CF_4 、等等的氬氛圍中，執行逆濺射。

在本實施例的製程中，由於在形成接觸孔 444 之後，形成第二導電膜而不形成任何其它膜，所以，與接觸孔的底部表面的曝光有關的步驟數目小於實施例 2 中的步驟數目；因此，可以從更廣的範圍，選擇用於閘極電極的材料。在實施例 2 中，由於氧化物半導體膜形成為與接觸孔 444 中曝露的閘極電極表面相接觸，所以，應選擇閘極電極的蝕刻條件或材料以致於閘極電極的材料在經過蝕刻氧化物半導體膜的步驟時不會被蝕刻。

注意，在第二導電膜的蝕刻時，部份 n^+ 型層及氧化物半導體膜也被蝕刻而形成 n^+ 層 446a、446b、448a、及第一氧化物半導體層 445 和第二氧化物半導體層 447。此蝕刻縮減部份第一氧化物半導體層 445 和第二氧化物半導體層 447 的厚度，以致於與第一和第二閘極電極重疊的部份被薄化。當此蝕刻結束時，完成第一薄膜電晶體 460 和

第二薄膜電晶體 461。

第一薄膜電晶體 460 包含第一閘極電極 441 和第一氧化物半導體層 445，第一氧化物半導體層 445 與第一閘極電極 441 重疊而以閘極絕緣層 403 介於其間，以及，第一佈線 409 為處於接地電位的電源線（接地電源線）。在接地電位之此電源線可為負電壓 VDL 所施加的電源線（負電源線）。

此外，第二薄膜電晶體 461 包含第二閘極電極 442 和第二氧化物半導體層 447，第二氧化物半導體層 447 與第二閘極電極 442 重疊而以閘極絕緣層 443 介於其間。第三佈線 411 為正電壓 VDD 施加的電源線（正電源線）。

n^+ 型層 446a 設於第一氧化物半導體層 445 與第一佈線 449 之間，以及， n^+ 型層 446b 設於第一氧化物半導體層 445 與第二佈線 450 之間。此外， n^+ 型層 448a 設於第二氧化物半導體層 447 與第二佈線 450 之間，以及， n^+ 型層 448b 設於第二氧化物半導體層 447 與第三佈線 451 之間。

迄今為止的步驟的剖面視圖對應於圖 4C。

接著，在空氣氛圍或氮氛圍中，在 200 至 600 °C 下，執行熱處理。注意，此熱處理的時機未特別限定，只要在形成氧化物半導體膜之後，可以在任何時間執行熱處理。

接著，形成保護層 452，以及，使用第五光罩，選擇性地蝕刻保護層 452，以形成接觸孔。之後，形成第三導電膜。最後，使用第六光罩，選擇性地蝕刻第三導電膜，

以形成電連接至第二佈線 450 之連接佈線 453。

在使用發光元件的發光顯示裝置中，像素部具有多個薄膜電晶體，以及，像素部也具有接觸孔，用於電連接一薄膜電晶體的閘極電極至另一電晶體的源極佈線或汲極佈線。使用與使用第三光罩以在閘極絕緣層中形成接觸孔的步驟中相同的遮罩，形成此接觸部。

此外，關於液晶顯示裝置或電子紙，在用於連接至例如可撓印刷電路（FPC）等外部端之端子部中，使用與使用第三光罩以在閘極絕緣層中形成接觸孔的步驟中相同的遮罩，形成抵達閘極佈線的接觸孔。

注意，上述步驟的次序僅為舉例說明且對次序並無限定。舉例而言，雖然光罩的數目增加一個，但是，可以使用不同的光罩，以分別地執行第二導電膜的蝕刻及部份 n^+ 型層和氧化物半導體膜的蝕刻。

（實施例 4）

在本實施例中，將使用圖 5A 至 5C、圖 6A 至 6C、圖 7、圖 8、圖 9、圖 10、圖 11A1 至 11B2、及圖 12，說明根據本發明的實施例之包含薄膜電晶體的顯示裝置之製程。

在圖 5A 中，關於具有透光性的基底，可以使用硼矽酸鋁玻璃、硼矽酸鋁玻璃、等等，以康寧（Corning）公出製造的 #7059 玻璃、#1737 玻璃、等等為代表。

接著，在基底 100 的整個表面上形成導電層。之後，

執行第一微影術製程以形成光阻遮罩，以及，以蝕刻移除不需要的部份，藉以形成佈線及電極（包含閘極電極層 101 的閘極佈線、電容器佈線 108、及第一端子 121）。此時，執行蝕刻，以致於至少閘極電極層 101 的端部具有推拔狀。圖 5A 顯示此階段的剖面視圖。注意，此階段的上視圖對應於圖 7。

包含閘極電極層 101 的閘極佈線、電容器佈線 108、及端部的第一端子 121 較佳地由例如鋁（Al）或銅（Cu）等具有低電阻的導電材料形成。但是，由於單獨使用 Al 會造成例如低電阻及傾向於腐蝕等缺點，所以，使用鋁與具有抗熱性的導電材料之結合。關於具有抗熱性的導電材料，可以使用下述材料中的任何材料：選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、鈮（Nb）、或釷（Th）之元素；包含這些元素中的任一元素之合金；包含這些元素中的任意組合之合金；或包含這些元素中的任意元素作為成份之氮化物。

接著，在閘極電極層 101 的整個表面上形成閘極絕緣層 102。以濺射法等等，形成厚度 50 nm 至 250 nm 的閘極絕緣層 102。

舉例而言，以濺射法形成厚度 100 nm 的氧化矽膜，以用於閘極絕緣層 102。無需多言，閘極絕緣層 102 不限於此膜，可為任何其它型式的絕緣膜之單層或堆疊層結構，舉例而言，所述絕緣膜可為氮氧化矽膜、氮化矽膜、氧化鋁膜、或氧化鉬膜。

注意，在形成氧化物半導體膜之前，較佳地執行導入氬氣後產生電漿的逆濺射，以移除附著於閘極絕緣層的表面上的灰塵。注意，可以使用氮、氬、等等以取代氬氣氛圍。或者，在添加氧、氬、 N_2O 、等等的氬氣氛圍中，執行逆濺射。又或者，在添加 Cl_2 、 CF_4 、等等之氬氣氛圍中，執行逆濺射。

接著，在閘極絕緣層 102 上形成第一氧化物半導體膜 109（在本實施例中為第一 In-Ga-Zn-O 為基礎的非單晶膜）。在電漿處理之後，不用曝露至空氣而形成 In-Ga-Zn-O 為基礎的非單晶膜，可以有效防止灰塵及濕氣附著至閘極絕緣層與半導體膜之間的介面。此處，在下述條件下，形成第一 In-Ga-Zn-O 為基礎的非單晶膜：在氬或氧氣氛圍中，使用直徑 8 吋且含有 In 、 Ga 、及 Zn （ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ ）之氧化物半導體靶材，靶材與基底之間的距離設定為 170 mm，在 0.4 Pa 的壓力下，直流（DC）電源為 0.5 kW。注意，較佳地使用脈衝式直流（DC）電源，可以減少灰塵及使厚度分佈均勻。第一 In-Ga-Zn-O 為基礎的非單晶膜具有 5 nm 至 200 nm 的範圍之厚度。在本實施例 3， In-Ga-Zn-O 為基礎的非單晶膜的厚度為 100 nm。

接著，以濺射法形成第二氧化物半導體膜（在本實施例中為第二 In-Ga-Zn-O 為基礎的非單晶膜），而不用曝露至空氣。此處，在下述沈積條件下，使用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 之靶材，執行濺射：壓力為 0.4 Pa，功

率為 500 W、沈積溫度為室溫、以 40 sccm 的流速導入氫氣。雖然刻意地使用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的靶材，但是，在某些情形中，正好在膜形成之後，形成包含大小為 1 nm 至 10 nm 的晶粒之 In-Ga-Zn-O 為基礎的非單晶膜。注意，藉由適當地調整靶材成份比、沈積壓力（0.1 Pa 至 2.0 Pa）、功率（250 W 至 300 W：8 吋 ϕ ）、溫度（室溫至 100 °C）、反應濺射的沈積條件、等等，可以控制晶粒的存在或不存在和晶粒的密度，以及，可以將晶粒的直徑調整在 1 nm 至 10 nm 的範圍之內。第二 In-Ga-Zn-O 為基礎的非單晶膜的厚度是 5 nm 至 20 nm。無需多言，當膜包含晶粒時，晶粒的大小不會超過膜厚。在本實施例中，第二 In-Ga-Zn-O 為基礎的非單晶膜的厚度為 5 nm。

在不同於第二 In-Ga-Zn-O 為基礎的非單晶膜的沈積條件下，形成第一 In-Ga-Zn-O 為基礎的非單晶膜。舉例而言，在氧氣對氫氣的流速比高於第二 In-Ga-Zn-O 為基礎的非單晶膜的沈積條件下的氧氣對氫氣的流速比之條件下，形成第一 In-Ga-Zn-O 為基礎的非單晶膜。具體而言，在稀有氣體（例如氫氣或氮氣）氛圍（或是氧低等於 10% 或更低及氫氣為 90% 或更多之氛圍）中，形成第二 In-Ga-Zn-O 為基礎的非單晶膜，以及，在氧氣氛圍（或氧氣流速對氫氣流速的比為 1:1 或更多的氛圍）中，形成第一 In-Ga-Zn-O 為基礎的非單晶膜。

用於第二 In-Ga-Zn-O 為基礎的非單晶膜的沈積之腔

室可以與執行逆濺射的腔室相同或不同。

濺射方法的實施例包含使用高頻電源作為濺射電源之 RF 濺射法、DC 濺射法、及以脈衝方式施加偏壓的脈衝式 DC 濺射法。在形成絕緣膜的情形中，主要使用 RF 濺射法，以及，在形成金屬膜的情形中，主要使用 DC 濺射法。

此外，也有多源濺射設備，其中，設有多個不同材料的靶材。藉由多源濺射設備，可以在腔室中形成堆疊的不同材料膜，或是，在相同腔室中，同時以放電來形成具有多種材料的膜。

此外，也有在腔室內設有磁鐵系統以及用於磁控管濺射方法的濺射設備、以及用於 ECR 濺射的濺射設備，在用於 ECR 濺射的濺射設備中，使用藉由微波產生的電漿而不使用輝光放電。

此外，藉由濺射法之沈積法，也有反應濺射法、及偏壓濺射法，在反應濺射法中，在沈積期間，靶材物質及濺射氣體成份彼此反應以形成其化合物的薄膜，在偏壓濺射法中，在沈積期間，電壓也施加至基底。

接著，執行第二微影術步驟以形成光阻遮罩，以及，蝕刻第一 In-Ga-Zn-O 為基礎的非單晶膜及第二 In-Ga-Zn-O 為基礎的非單晶膜。此處，藉由使用 ITO-07N (KANTO CHEMICAL 公司製造) 之濕蝕刻，以蝕刻移除不必要的部份，藉以形成氧化物半導體膜 109 及氧化物半導體膜 111，氧化物半導體膜 109 是第一 In-Ga-Zn-O 為基礎的非單

晶膜，氧化物半導體膜 111 是第二 In-Ga-Zn-O 為基礎的非單晶膜。注意，此處的蝕刻不限於濕蝕刻，也可為乾蝕刻。在此階段的剖面視圖顯示於圖 5B 中。注意，在此階段的上視圖對應於圖 8。

接著，執行第三微影術步驟以形成光阻遮罩，以及，藉由蝕刻以移除不必要的部份，藉以形成抵達佈線或電極層的接觸孔，佈線或電極層係由與閘極電極層相同的材料形成。此接觸孔用於與稍後形成的導電膜直接接觸。舉例而言，當在驅動電路中形成閘極電極層與源極或汲極電極層直接接觸的薄膜電晶體時、或當形成電連接至端部的閘極佈線之端子時，形成接觸孔。

接著，以濺射法或真空蒸鍍法，在氧化物半導體膜 109 及氧化物半導體膜 111 上，形成由金屬材料形成的導電膜 132。圖 5C 是在此階段的剖面視圖。

關於導電膜 132 的材料，有選自 Al、Cr、Ta、Ti、Mo、或 W 的元素、包含這些元素中的任何元素的合金、包含這些元素的任意組合之合金、等等。此外，對於 200℃至 600℃的熱處理，導電膜 132 對於此熱處理較佳地具有抗熱性。由於單獨使用 Al 會導致低抗熱性及腐蝕傾向等缺點，所以，使用鋁與具有抗熱性的導電材料的組合。關於與 Al 組合地使用之具有抗熱性的導電材料，可以使用下述任何材料：選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、鈮 (Nd)、或釷 (Sc) 之元素；包含這些元素中的任意元素作為成份之合金；包含這些

元素中的任意組合之合金；及含有這些元素中的任意元素作為成份之氮化物。

此處，導電膜 132 具有單層結構的鈦膜。或者，導電膜 132 可具有二層結構：鋁膜及堆疊於其上的鈦膜。又或者，導電膜 132 可以具有三層結構：Ti 膜、堆疊於 Ti 膜上的含有 Nd 的鋁膜（Al-Nd）、及形成於這些膜上的 Ti 膜。導電膜 132 可以具有含有矽的鋁膜之單層結構。

接著，以第四微影術步驟，形成遮罩 131，以及，以蝕刻移除不必要的部份，藉以形成源極和汲極電極層 105a 和 105b、作為源極或汲極區的 n^+ 型層 104a 和 104b、以及連接電極 120。此時，使用濕蝕刻或乾蝕刻作為蝕刻方法。舉例而言，當使用鋁膜或鋁合金膜作為導電膜 132 時，執行使用磷酸、醋酸、及硝酸的混合溶液以執行濕蝕刻。此處，藉由使用氨過氧化氫混合物（過氧化氫：氨：水 = 5:2:2）之濕蝕刻，蝕刻鈦膜的導電膜 132 以形成源極和汲極電極層 105a 和 105b，以及，蝕刻氧化物半導體膜 111 以形成 n^+ 型層 104a 和 104b。在此蝕刻步驟中，將氧化物半導體膜 109 的曝露區部份地蝕刻成為半導體層 103。如此，半導體層 103 的通道區具有小厚度。使用氨過氧化氫混合物的蝕刻劑，一次執行用於形成源極和汲極電極層 105a 和 105b 以及 n^+ 型層 104a 和 104b 的蝕刻。因此，在圖 6A 中，源極和汲極電極層 105a 的端部以及源極或汲極電極層 105b 的端部分別與 n^+ 型層 104a 的端部和 n^+ 型層 104b 的端部對齊；如此，形成連續的端部。此

外，濕蝕刻各向等性地蝕刻這些層，以致於源極和汲極電極層 105a 和 105b 的端部從光阻遮罩 131 凹縮。經由上述步驟，可以製造包含半導體層 103 作為通道形成區的薄膜電晶體 170。在此階段的剖面視圖顯示於圖 6A 中。注意，圖 9 是在此階段的上視圖。

接著，較佳地，在 200℃至 600℃，典型地 300℃至 500℃，執行熱處理。此處，在加熱爐中，在氮氛圍中，於 350℃下，執行熱處理一小時。經由此熱處理，在 In-Ga-Zn-O 為基礎的非單晶膜中發生原子等級的重配置。由於禁止載子移動的應變能由熱處理釋放，所以，熱處理（包含光退火）是重要的。注意，對於執行熱處理的時機並無特別限定，只要是在第二 In-Ga-Zn-O 為基礎的非單晶膜形成之後即可，舉例而言，可以在形成像素電極之後，執行熱處理。

此外，可以於半導體層 103 的曝露之通道形成區接受氧自由基處理，以致於可以取得常關薄膜電晶體。此外，自由基處理可以修復導因於半導體層 103 蝕刻之損傷。在 O₂ 或 N₂O 的氛圍中，較佳地在含有氧之 N₂、He、或 Ar 的氛圍中，較佳地執行自由基處理。或者，可以在 Cl₂ 或 CF₄ 添加至上述氛圍的氛圍中，執行自由基處理。注意，在無偏壓電壓施加之下，較佳地執行自由基處理。

在第四微影術步驟中，由與源極和汲極電極層 105a 和 105b 相同的材料形成的第二端子 122 也餘留於端子部中。注意，第二端子 122 電連接至源極佈線（包含源極與

汲極電極層 105a 和 105b 的源極佈線)。

此外，在端子部中，連接電極 120 經過形成於閘極絕緣膜中的接觸孔而直接連接至端子部的第一端子 121。注意，雖然此處未顯示，但是，驅動電路的薄膜電晶體的源極或汲極佈線經由與上述步驟相同的步驟而直接連接至閘極電極。

此外，藉由使用由多色調光罩形成之具有多種（典型上二種）厚度的區域之光阻遮罩，可以減少光阻遮罩的數目，造成簡化的製程及降低成本。

接著，移除光阻遮罩 131，以及，形成保護絕緣層 107 以遮蓋薄膜電晶體 170。以濺射法等取得的氮化矽膜、氧化矽膜、氮氧化矽膜、氧化鋁膜、氧化鉬膜、等等，可以用於保護絕緣層 107。

然後，執行第五微影術步驟以形成光阻遮罩，以及，蝕刻保護絕緣層 107 以形成抵達源極或汲極電極層 105a 或 105b 的接觸孔 125。此外，此處藉由蝕刻，形成達第二端 122 的接觸孔 127 及抵達連接電極 120。此階段的剖面視圖顯示於圖 6B 中。

然後，在移除光阻遮罩之後，形成透明導電膜。使用氧化銦 (In_2O_3)、氧化銦及氧化錫的合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為 ITO)、等等，以濺射法、真空蒸鍍法、等等，形成透明導電膜。以鹽酸為基礎的溶液，執行此材料的蝕刻處理。取代地，由於特別是在蝕刻 ITO 時，傾向於產生餘留物，所以，可以使用氧化銦與氧化鋅 ($\text{In}_2\text{O}_3\text{-ZnO}$) 的

合金，以增進蝕刻處理力。

接著，執行第六微影術步驟以形成光阻遮罩，以及，藉由蝕刻以移除不必要的部份。

此外，在此第六微影術步驟中，以電容器佈線 108 及像素電極層 110 形成儲存電容器。儲存電容器在電容器部份中包含閘極絕緣層及保護絕緣層 107 以作為介電質。

此外，在此第六微影術步驟中，以光阻遮罩遮蓋第一端子及第二端子，以及，在端子部中留下透明導電膜 128 和 129。形成於直接連接至第一端子 121 之連接電極 120 上的透明導電膜作為用於連接的端子電極，此端子電極作為閘極佈線的輸入端。形成於第二端子 122 上的透明導電膜 129 作為用於連接的端子電極，所述端子電極作為用於源極佈線的輸入端。

然後，移除光阻遮罩。此階段的剖面視圖顯示於圖 6C 中。注意，在此階段的上視圖相當於圖 10。

此外，圖 11A1 及 11A2 分別為剖面視圖及上視圖，顯示此狀態的閘極佈線端子部。圖 11A1 是圖 11A2 的 C1-C2 剖面視圖。在圖 11A1 中，形成於保護絕緣膜 154 上的透明導電膜 155 是連接端子電極，作為輸入端。此外，在圖 11A1 中，在端子部中，由與閘極佈線相同的材料形成的第一端子 151 與由與源極佈線相同材料形成的連接電極 153 彼此重疊，以及，經由設於閘極絕緣層 152 中的接觸孔而直接接觸及電連接。此外，連接電極 153 及透明導電膜 155 經由設於保護絕緣膜 154 中的接觸孔而彼此直接接

觸及電連接。

此外，圖 11B1 及 11B2 分別為此階段之源極佈線端子部的剖面視圖及其上視圖。此外，圖 11B1 對應於圖 11B2 的 D1-D2 剖面視圖。在圖 11B1 中，形成於保護絕緣膜 154 上的透明導電膜 155 是連接端子電極，作為輸入端。此外，在圖 11B1 中，在端子部中，由與閘極佈線相同的材料形成的電極 156 配置於電連接至源極佈線的第二端子 150 之下及與其重疊，以閘極絕緣層 152 介於其間。電極 156 未電連接至第二端子 150。當電極層 156 設定於例如浮動、接地、或 0V 以致於電極 156 的電位不同於第二端子 150 的電位時，可以形成用於防止雜訊或靜電的電容器。此外，第二端子 150 電連接至透明導電膜 155，而以保護絕緣膜 154 介於其間。

根據像素密度，設置多個閘極佈線、源極佈線、及電容器佈線。也在端子部中，配置多個端子：第一端子、第二端子、第三端子、等等，第一端子具有與閘極佈線相同的電位，第二端子具有與源極佈線相同的電位，第三端子具有與電容器佈線相同的電位。對於端子的數目並無特別限定，端子的數目由實施者適當地決定。

經由這六個微影術步驟，使用六個光罩，可以完成儲存電容器及包含薄膜電晶體 170 之像素薄膜電晶體部，薄膜電晶體 170 是底部閘極型 n 通道薄膜電晶體。當這些像素薄膜電晶體部及儲存電容器以對應於各別像素的矩陣配置時，可以形成像素部，以及，可以取得用於製造主動矩

陣顯示裝置的板之一。在本說明書中，爲了便於說明，將此板稱爲主動矩陣基底。

當製造主動矩陣液晶顯示裝置時，主動矩陣基底與設有對立電極之對立基底彼此接合，以液晶層介於其間。注意，電連接至對立基底的對立電極之共同電極設於主動基底上，以及，電連接至共同電極的第四端子設於端子部中。第四端子設置成共同電極固定於例如接地、或 0V 等電位。

此外，本發明的實施例不限於圖 10 中所示的像素結構。圖 12 顯示不同於圖 10 的上視圖之實施例。在圖 12 顯示的實施例中，未設置電容器佈線，以及，由重疊的像素電極與相鄰的像素的閘極佈線彼此重疊，而以保護絕緣膜和閘極絕緣層介於其間，來形成儲存電容器。在此情形中，可以免除電容器佈線及連接至電容器佈線的第三端子。注意，在圖 12 中，與圖 10 中類似的部份以相同代號表示。

在主動矩陣液晶顯示裝置中，驅動矩陣配置的像素電極，以在螢幕上形成顯示圖案。具體而言，藉由在選取的像素電極與對應於選取的像素電極之對立電極之間施加電壓，以致於光學地調變設於像素電極與對立電極之間的液晶層，且此光學調變被觀看者視爲顯示圖案。

在顯示動態影像時，液晶顯示裝置具有液晶分子的長響應時間造成動態影像的後像或模糊之問題。爲了增進液晶顯示裝置的動態影像的特徵，有稱爲黑插入的驅動方法

，其於整個螢幕上每隔一格地顯示黑色。

或者，可以使用稱為雙倍格速驅動的驅動方法，其中，垂直週期為正常的 1.5 倍或 2 倍，以增進移動影像特徵。

又或者，為了增進液晶顯示裝置的動態影像的特徵，可以使用一驅動方法，其中，使用多個 LED（發光二極體）、或多個 EL 光源，以形成平面光源作為背照光，以及，在一格週期中以脈衝方式的方式，獨立地驅動平面光源的每一光源。關於平面光源，可以使用三或更多種 LED，以及，使用發射白光的 LED。由於可以獨立地控制多個 LED，所以，LED 的發光時機可以與液晶被光學調變時的時機同步。根據此驅動方法，可以部份地關閉 LED；因此，特別是在顯示具有大部份黑色的影像之情形中，可以降低耗電。

藉由使用這些驅動方法的組合，相較於傳統的液晶顯示裝置的顯示特徵，可以增進例如動態影的特徵等液晶顯示裝置的顯示特徵。

在本實施例中取得的 n 通道電晶體在通道形成區包含用 In-Ga-Zn-O 為基礎的非單晶膜，以及，具有良好的動態特徵。

當製造發光顯示裝置時，將有機發光元件的一電極（也稱為陰極）的電位設定在例如接地或 0V 等低電源電位；因此，端子部設有用於將陰極電位設定至例如接地或 0V 等低電源電位之第四端子。此外，當製造發光顯示裝

置時，除了源極佈線與閘極佈線之外，尚設置電源線。因此，端子部設有電連接至電源線的第五端子。

使用氧化物半導體膜的薄膜電晶體設於閘極線驅動電路或源極線驅動電路中，因而降低製造成本。此外，用於驅動電路的薄膜電晶體之閘極電極直接連接至源極佈線或汲極佈線，因而可以提供減少接觸孔的數目及減少驅動電路所佔據的面積之顯示裝置。

因此，根據本發明的實施例，可以提供低成本之具有高電特性及高可靠度的顯示裝置。

（實施例 5）

此處，將參考圖 30，說明包含佈線與半導體層接觸的根據實施例 1 之薄膜電晶體的顯示裝置實施例。

圖 30 顯示驅動電路的反相器電路的剖面結構。注意，圖 30 中所示的第一薄膜電晶體 480 和第二薄膜電晶體 481 均為逆交錯薄膜電晶體。第一佈線 409、及第二佈線 410 設置成與第一氧化物半導體層 405 接觸，以及，第二佈線 410、及第三佈線 411 設置成與第二氧化物半導體層 407 接觸。

在第一薄膜電晶體 480 及第二薄膜電晶體 481 中，以電漿處理，較佳地修整下述區域：第一氧化物半導體層 405 與第一佈線 409 接觸的區域、第一氧化物半導體層 405 與第二佈線 410 接觸的區域、第二氧化物半導體層 405 與第二佈線 410 接觸的區域、以及第二氧化物半導

體層 407 與第三佈線 411 接觸的區域。在本實施例中，在形成作為佈線的導電膜之前，氧化物半導體層（在本實施例中為 In-Ga-Zn-O 為基礎的非單晶膜）在氬氛圍中接受電漿處理。

關於電漿處理，可以使用氮氛圍、氦氛圍、等等以取代氬氛圍。或者，可以使用添加氧、氬、 N_2O 、等等的氬氛圍。又或者，可以使用添加 Cl_2 、 CF_4 、等等的氬氛圍。

在本實施例中，第一佈線 409、第二佈線 410、及第三佈線 411 由鈦膜製成，以及接受使用氫過氧化氫混合物（過氧化氫：氬：水 = 5:2:2）之濕蝕刻。在本蝕刻步驟中，半導體層的曝露區被部份地蝕刻以形成第一氧化物半導體層 405 和第二氧化物半導體層 407，半導體係 In-Ga-Zn-O 為基礎的非單晶膜。如此，在第一佈線 409 與第二佈線 410 之間的第一半導體層 405 的通道區具有小厚度。類似地，在第二佈線 410 與第三佈線 411 之間的第二半導體層 407 的通道區具有小厚度。

導電膜形成為與經過電漿處理修整的第一氧化物半導體層 405 及第二氧化物半導體層 407 接觸；如此，形成第一佈線 409、第二佈線 410、及第三佈線 411。能夠降低第一氧化物半導體層 405 與第一佈線 409 之間的接觸電阻、第一氧化物半導體層 405 與第二佈線 410 之間的接觸電阻、及第二氧化物半導體層 407 與第三佈線 411 之間的接觸電阻。

經由上述製程，可以製造高度可靠的顯示裝置作為半導體裝置。

本實施例可以與其它實施例中所述的任何結構適當地結合而實施。

(實施例 6)

本實施例說明顯示裝置，其為根據本發明的實施例之半導體裝置的實施例。在該顯示裝置中，在一基底上，製造至少部份驅動電路及像素部中的薄膜電晶體。

根據實施例 4 或 5，形成像素部中的薄膜電晶體。實施例 4 或 5 中所述的薄膜電晶體是 n 通道 TFT；因此，在與像素部的薄膜電晶體相同的基底上，形成可以使用 n 通道 TFT 形成的部份驅動電路。

圖 14A 是根據本實施例的實施例之半導體裝置的實施例之主動矩陣液晶顯示裝置的方塊圖的實施例。圖 14A 中所示的顯示裝置包含設於基底 5300 上之具有多個均設有顯示元件的像素之像素部 5301、選取像素的掃描線驅動電路 5302、及控制輸入至選取的像素之視頻訊號的訊號線驅動電路 5303。

像素部 5301 藉由多個於行方向上從訊號線驅動電路 5303 延伸之訊號線 S1 至 S_m（未顯示）連接至訊號線驅動電路 5303，以及，藉由多個於列方向上從掃描線驅動電路 5302 延伸之掃描線 G1 至 G_n（未顯示）連接至掃描線驅動電路 5302。像素部 5301 包含對應於訊號線 S1 至

S_m 以及掃描線 G_1 至 G_n 而以矩陣配置的多個像素（未顯示）。此外，每一像素連接至訊號線 S_j （訊號線 S_1 至 S_m 中的任一訊號線）及掃描線 G_j （掃描線 G_1 至 G_n 中的任一掃描線）。

實施例 4 或 5 中所述的薄膜電晶體是 n 通道 TFT。參考圖 15，說明包含 n 通道 TFT 的訊號線驅動電路。

圖 15 的訊號線驅動電路包含驅動器 IC 5601、開關組 5602_1 至 5602_M、第一佈線 5611、第二佈線 5612、第三佈線 5613、及佈線 5621_1 至 5621_M。開關組 5601_1 至 5602_M 中的每一組均包含第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、及第三薄膜電晶體 5603c。

驅動器 IC 5601 連接至第一佈線 5611、第二佈線 5612、第三佈線 5613、及佈線 5621_1 至 5621_M。開關組 5602_1 至 5602_M 中的每一組連接至第一佈線 5611、第二佈線 5612、及第三佈線 5613。此外，開關組 5602_1 至 5602_M 分別連接至佈線 5621_1 至 5621_M。佈線 5621_1 至 5621_M 之中的每一佈線經由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、及第三薄膜電晶體 5603c 連接至三訊號線。舉例而言，第 J 行的佈線 5621（佈線 5621_1 至 5621_M 中之一）經由開關組 5602_J 的第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、及第三薄膜電晶體 5603c 連接至訊號線 S_{j-1} 、訊號線 S_j 、及訊號線 S_{j+1} 。

注意，訊號輸入至第一佈線 5611、第二佈線 5612、

及第三佈線 5613 中的每一佈線。

注意，較佳地，在單晶基底上，形成驅動器 IC 5601。開關組 5602_1 至 5602_M 較佳地形成於與像素部相同的基底上。因此，驅動器 IC 5601 經由 FPC 等較佳地連接至開關組 5602_1 至 5602_M。

接著，參考圖 16 的時序圖，說明圖 15 中所示的訊號線驅動電路的操作。圖 16 是時序圖，其中，第 i 列中的掃描線 Gi 被選取。在第 i 列中的掃描線 Gi 的選取週期分割成第一副選取週期 T1、第二副選取週期 T2、及第三副選取週期 T3。此外，當另一列的掃描線被選取時，圖 15 中的訊號線驅動電路之操作類似於圖 16。

注意，圖 16 的時序圖顯示第 J_行中的佈線 5621_J 經由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、及第三薄膜電晶體 5603c，連接至訊號線 Sj-1、訊號線 Sj、及訊號線 Sj+1。

圖 16 的時序圖顯示當第 i 列中的掃描線 Gi 被選取時的時序，第一薄膜電晶體 5603a 開啓／關閉時的時序 5703a、第二薄膜電晶體 5603b 開啓／關閉時的時序 5703b、第三薄膜電晶體 5603c 的開啓／關閉時的時序 5703c、及輸入至第 J 行中的佈線 5621_J 的訊號 5721_J。

在第一副選取週期 T1、第二副選取週期 T2、第三副選取週期 T3 中，不同的視頻訊號輸入至佈線 5621_1 至 5621_M。舉例而言，在第一副選取週期 T1 中輸入至佈線 5621_J 的視頻訊號輸入至訊號線 Sj-1，在第二副選取週

期 T_2 中輸入至佈線 5621_J 的視頻訊號輸入至訊號線 S_j ，在第三副選取週期 T_3 中輸入至佈線 5621_J 的視頻訊號輸入至訊號線 S_{j+1} 。在第一副選取週期 T_1 、在第二副選取週期 T_2 、及在第三副選取週期 T_1 中，輸入至佈線 5621_J 的視頻訊號分別以 $Data_j-1$ 、 $Data_j$ 、及 $Data_j+1$ 表示。

如圖 16 所示，在第一副選取週期 T_1 中，第一薄膜電晶體 5603a 開啓，以及，第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 關閉。此時，輸入至佈線 5621_J 之 $DATA_j-1$ 經由第一薄膜電晶體 5603a 而輸入至訊號線 S_{j-1} 。在第二副選取週期 T_2 中，第二薄膜電晶體 5603b 開啓，以及，第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 關閉。此時，輸入至佈線 5621_J 之 $DATA_j$ 經由第二薄膜電晶體 5603b 而輸入至訊號線 S_j 。在第三副選取週期 T_3 中，第三薄膜電晶體 5603c 開啓，以及，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 關閉。此時，輸入至佈線 5621_J 之 $DATA_j+1$ 經由第三薄膜電晶體 5603c 而輸入至訊號線 S_{j+1} 。

如上所述，在圖 15 的訊號線驅動電路中，將一閘極選取週期一分為三；如此，視頻訊號可以在一閘極選取週期中從一佈線 5621 輸入至三訊號線。因此，在圖 15 的訊號線驅動電路中，設有驅動器 IC 5601 的基底與設有像素部的基底之間的連接數目可以降低至約訊號線數目的三分之一。當連接數目降低至約訊號線的數目的三分之一時，

可以增進圖 15 的訊號線驅動電路的可靠度、產能、等等。

注意，只要將一閘極選取週期分成多個副選取週期，以及，如圖 15 所示般，在各別副選取週期中的每一副選取週期中，將視頻訊號從一佈線輸入至多個訊號線即可，對於薄膜電晶體的配置、數目、驅動方法、等等並無特別限制。

舉例而言，當在各別副選取週期中，視頻訊號從一佈線輸入至三或更多訊號線時，僅需增加薄膜電晶體及用於控制薄膜電晶體的佈線。注意，當一閘極選取週期分成四或更多副選取週期時，一副選取週期變短。因此，一閘極選取週期較佳地分成二或三副選取週期。

關於另一實施例，如圖 17 的時序圖所示，一選取週期可以分成預充電週期 T_p 、第一副選取週期 T_1 、第二副選取週期 T_2 、及第三副選取週期 T_3 。圖 17 的時序圖顯示當第 i 列中的掃描線 G_i 被選取的時序，第一薄膜電晶體 5603a 開啓／關閉的時序 5803a、當第二薄膜電晶體 5603b 開啓／關閉時的時序 5803b、及當第三薄膜電晶體 5603c 開啓／關閉時的時序 5803c、及輸入至第 J 行中的佈線 5621_J 的訊號 5821_J。如圖 17 所示，在預充電週期 T_p 中，第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、及第三薄膜電晶體 5603c 開啓。此時，輸入至佈線 5621_J 的預充電電壓 V_p 分別經由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、及第三薄膜電晶體 5603c，輸

入至訊號線 S_{j-1} 、訊號線 S_j 、訊號線 S_{j+1} 。在第一副選取週期 $T1$ 中，第一薄膜電晶體 5603a 開啓，以及，第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 關閉。此時，輸入至佈線 5621_J 之 $DATA_{j-1}$ 經由第一薄膜電晶體 5603a 而輸入至訊號線 S_{j-1} 。在第二副選取週期 $T2$ 中，第二薄膜電晶體 5603b 開啓，以及，第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 關閉。此時，輸入至佈線 5621_J 之 $DATA_j$ 經由第二薄膜電晶體 5603b 而輸入至訊號線 S_j 。在第三副選取週期 $T3$ 中，第三薄膜電晶體 5603c 開啓，以及，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 關閉。此時，輸入至佈線 5621_J 之 $DATA_{j+1}$ 經由第三薄膜電晶體 5603c 而輸入至訊號線 S_{j+1} 。

如上所述，在應用圖 17 的時序圖之圖 15 的訊號線驅動電路中，藉由在副選取週期之前提供預充電選取週期，可以將訊號線預充電。如此，可以將視頻訊號高速地寫至像素。注意，圖 17 中類似於圖 16 的部份以相同代號表示，並省略相同部份及具有類似功能的部份之說明。

現在，說明掃描線驅動電路的構成。掃描線驅動電路包含移位暫存器及緩衝器。在某些情形中，掃描線驅動電路也含位準移位器。在掃描線驅動電路中，當時脈訊號（CLK）及啓動脈衝訊號（SP）輸入至移位暫存器時，產生選取訊號。所產生的選取訊號由緩衝器緩衝及放大，以及，所造成的訊號供應給對應的掃描線。對應於一線中之像素中的電晶體的閘極電極連接至掃描線。此外，由於一線

的像素中的電晶體必須同時開啓，所以，使用可以饋送大量電流的緩衝器。

參考圖 18 及圖 19，說明作為掃描線驅動電路的部份之移位暫存器之一實施例。

圖 18 顯示移位暫存器的電路配置。圖 18 中所示的移位暫存器包含多個正反器 5701_1 至 5701_n。此外，藉由輸入第一時脈訊號、第二時脈訊號、啓始脈衝訊號、及重置訊號，移位暫存器操作。

說明圖 18 中的移位暫存器的連接關係。在圖 18 中的移位暫存器的第 i 級中的正反器 5701_i（正反器 5701_1 至 5701_n 中之一）中，圖 19 中所示的第一佈線 5501 連接至第七佈線 5717_{i-1}；圖 19 中所示的第二佈線 5502 連接至第七佈線 5717_{i+1}；圖 19 中所示的第三佈線 5503 連接至第七佈線 5717_i；圖 19 中所示的第六佈線 5506 連接至第五佈線 5715。

此外，圖 19 中所示的第四佈線 5504 連接至奇數級的正反器中的第二佈線 5712，以及，連接至偶數級的正反器中的第三佈線 5713。圖 19 中所示的第五佈線 5505 連接至第四佈線 5714。

注意，第一級之正反器 5701_1 的圖 19 中所示的第一佈線 5501 連接至第一佈線 5711，第 n 級之正反器 5701_n 的圖 19 中所示的第二佈線 5502 連接至第六佈線 5716。

第一佈線 5711、第二佈線 5712、第三佈線 5713、及第六佈線 5716 可以分別稱為第一訊號線、第二訊號線、

第三訊號線、及第四訊號線。第四佈線 5714 及第五佈線 5715 可以分別稱為第一電源線及第二電源線。

圖 19 顯示圖 18 中所示的正反器的細節。圖 19 中所示的正反器包含第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577、及第八薄膜電晶體 5578。注意，第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577、及第八薄膜電晶體 5578 是 n 通道電晶體，以及，當閘極-源極電壓 (V_{gs}) 超過臨界電壓 (V_{th}) 時，它們開啓。

在圖 19 中，第三薄膜電晶體 5573 的閘極電極電連接至電源線。此外，可以說第三薄膜電晶體 5573 連接至第四薄膜電晶體 5574（由圖 19 中的虛線所圍繞的電路）之電路相當於具有圖 2A 中所示的結構之電路。雖然此處所述的實施例中，所有薄膜電晶體是增強型 n 通道電晶體，但是，此實施例並無特別限定。舉例而言，即使使用空乏型 n 通道電晶體作為薄膜電晶體 5573，仍然可以驅動驅動電路。

現在，於下說明圖 19 中所示的正反器的連接結構。

第一薄膜電晶體 5571 的第一電極（源極電極或汲極電極之一）連接至第四佈線 5504，第一薄膜電晶體 5571 的第二電極（源極電極與汲極電極中的另一電極）連接至

第三佈線 5503。

第二薄膜電晶體 5572 的第一電極連接至第六佈線 5506。第二薄膜電晶體 5572 的第二電極連接至第三佈線 5503。

第三薄膜電晶體 5573 的第一電極連接至第五佈線 5505。第三薄膜電晶體 5573 的第二電極連接至第二薄膜電晶體 5572 的閘極電極。第三薄膜電晶體 5573 的閘極電極連接至第五佈線 5505。

第四薄膜電晶體 5574 的第一電極連接至第六佈線 5506。第四薄膜電晶體 5573 的第二電極連接至第二薄膜電晶體 5572 的閘極電極。第四薄膜電晶體 5574 的閘極電極連接至第一薄膜電晶體 5571 的閘極電極。

第五薄膜電晶體 5575 的第一電極連接至第五佈線 5505。第五薄膜電晶體 5575 的第二電極連接至第一薄膜電晶體 5571 的閘極電極。第五薄膜電晶體 5575 的閘極電極連接至第一佈線 5501。

第六薄膜電晶體 5576 的第一電極連接至第六佈線 5506。第六薄膜電晶體 5576 的第二電極連接至第一薄膜電晶體 5571 的閘極電極。第六薄膜電晶體 5576 的閘極電極連接至第二薄膜電晶體 5572 的閘極電極。

第七薄膜電晶體 5577 的第一電極連接至第六佈線 5506。第七薄膜電晶體 5577 的第二電極連接至第一薄膜電晶體 5571 的閘極電極。第七薄膜電晶體 5577 的閘極電極連接至第二佈線 5502。第八薄膜電晶體 5578 的第一電

極連接至第六佈線 5506。第八薄膜電晶體 5578 的第二電極連接至第二薄膜電晶體 5572 的閘極電極。第八薄膜電晶體 5578 的閘極電極連接至第一佈線 5501。

注意，第一薄膜電晶體 5571 的閘極電極、第四薄膜電晶體 5574 的閘極電極、第五薄膜電晶體 5575 的第二電極、第六薄膜電晶體 5576 的第二電極、及第七薄膜電晶體 5577 的第二電極相連接的點稱為節點 5543。第二薄膜電晶體 5572 的閘極電極、第三薄膜電晶體 5573 的第二電極、第四薄膜電晶體 5574 的第二電極、第六薄膜電晶體 5576 的閘極電極、及第八薄膜電晶體 5578 的第二電極相連接的點稱為節點 5544。

第一佈線 5501、第二佈線 5502、第三佈線 5503、及第四佈線 5504 可分別稱為第一訊號線、第二訊號線、第三訊號線、及第四訊號線。第五佈線 5505 及第六佈線可以分別稱為第一電源線及第二電源線。

此外，僅使用實施例 4 中所述的 n 通道 TFT，形成訊號線驅動電路及掃描線驅動電路。實施例 4 中所述的 n 通道 TFT 具有高遷移率，因此，可以增加驅動電路的驅動頻率。此外，源極和汲極區是 In-Ga-Zn-O 為基礎的非單晶膜，可以降低寄生電容；因此，實施例 4 中所述的 n 通道 TFT 具有高頻率特徵（稱為 f 特徵）高。舉例而言，使用實施例 4 中所述的 n 通道 TFT 之掃描線驅動電路可以高速地操作，因此，能夠增加格頻率及實現黑螢幕的插入。

此外，當掃描線驅動電路中的電晶體的通道寬度增加或是設置多個掃描線驅動電路時，舉例而言，可以實現更高的格頻率。當設置多個掃描線驅動電路時，在一側上設置用於驅動偶數掃描線的掃描線驅動電路，以及，在相反側上設置用於驅動奇數掃描線的掃描線驅動電路；如此，可以增加格頻率。此外，使用多個掃描線驅動電路以輸出訊號給相同掃描線，有利於增加顯示裝置的尺寸。

在製造本發明的半導體裝置的實施例之主動矩陣發光顯示裝置的情形中，由於多個薄膜電晶體配置於至少一像素中，所以，較佳地配置多個掃描線驅動電路。主動矩陣發光顯示裝置的方塊圖實施例顯示於圖 14B 中。

圖 14B 中所示的發光顯示裝置包含設於基底 5400 上之包括均設有顯示元件的多個像素之像素部 5401、選取像素之第一掃描線驅動電路 5402 及第二掃描線驅動電路 5404、及控制輸入至選取的像素之視頻訊號的訊號線驅動電路 5403。

在輸入數位視頻訊號至圖 14B 的發光顯示裝置的像素之情形中，藉由開啓／關閉電晶體，使像素處於發光狀態或非發光狀態。如此，使用面積比例灰階法或時間比例灰階法，可以顯示灰階。面積比例灰階法係驅動方法，其將一像素分成多個副像素及根據一視頻訊號以分別驅動各別的副像素，以致於顯示灰階。此外，時間灰階法係驅動方法，其控制像素處於發光狀態期間的時間，以致於顯示灰階。

由於發光元件的響應時間比液晶元件等的響應時間短，所以，發光元件適於時間比例灰階法。具體而言，在以時間灰階法顯示的情形中，將一格週期分成多個副格週期。然後，根據視頻訊號，使像素中的發光元件於每一副格週期中處於發光狀態或非發光狀態。藉由將格分成多個副格，以視頻訊號來控制一格週期中像素真正地發光之總時間長度，以顯示灰階。

注意，在圖 14B 中所示的發光顯示裝置中，在一像素包含二切換 TFT 的情形中，在第一掃描線驅動電路 5402 中，產生輸入至第一掃描線的訊號，第一掃描線是切換 TFT 之一的閘極佈線，以及，在第二掃描線驅動電路 5404 中，產生輸入至第二掃描線的訊號，第二掃描線是其它切換 TFT 的另一閘極佈線。但是，可以在一掃描線驅動電路中產生輸入至第一掃描線的訊號及輸入至第二掃描線的訊號等二訊號。此外，舉例而言，用於控制切換元件的操作之多個掃描線可能視包含於一像素中的切換元件的數目而設於每一像素中。在此情形中，輸入至多個掃描線的多個訊號可以全部在一掃描線驅動電路中產生，或是，在多個掃描線驅動電路中產生。

也在發光顯示裝置中，使用 n 通道 TFT 形成的部份驅動電路可以與像素部的薄膜電晶體設於一基底上。此外，可以僅使用實施例 4 或 5 中的 n 通道 TFT，製造訊號驅動電路及掃描線驅動電路。

上述驅動電路不僅可以用於液晶顯示裝置或發光顯示

裝置，也可以用於電子紙，在電子紙中，使用電連接至切換元件之元件，驅動電子墨水。電子紙也稱為電泳顯示裝置（電泳顯示器），其優點在於具有與一般紙相同等級的可靠度，比顯示裝置具有更少的耗電，以及，可以製成為輕薄。

有不同模式的電泳顯示器。電泳顯示器中，包含具有正電荷的第一粒子及具有負電荷的第二粒子之多個微囊散佈於溶劑或溶質中，以及，電場施加至微囊以致於微囊中的粒子以彼此相反的方向移動，以及，僅有聚集於一側上的粒子的顏色被顯示。注意，第一粒子或第二粒子包含著色劑，且當無電場時不會移動。此外，第一粒子的顏色不同於第二粒子的顏色（粒子也可以是無色的）。

如此，電泳顯示器使用所謂的介電電泳效應，其中，具有高介電常數的物質移動至具有高電場的區域。電泳顯示器不要求液晶顯示裝置所需的極化板及對立基底，以致於其厚度及重量約為一半。

在電子墨水中，微囊散佈於溶劑中，且此電子墨水可以印刷於玻璃表面、塑膠表面、纖維表面、紙表面、等等上。藉由使用濾光器或包含彩色物質的粒子，也能夠有彩色顯示。

此外，藉由在主動矩陣基底上適當地設置多個微囊以致於插入於二電極之間而完成主動矩陣顯示裝置，以及，藉由施加電場至微囊，可以執行顯示。舉例而言，可以使用以實施例 4 至 5 中所述之薄膜電晶體取得的主動矩陣基

底。

注意，以導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電色顯示材料、及磁泳材料、或其複合材料，形成微囊中的第一粒子及第二粒子。

經由上述製程，可以製造高度可靠的發光顯示裝置作為半導體裝置。

本實施例可以與其它實施例中所述的任何結構及方法適當地結合實施。

（實施例 7）

製造本發明的實施例之薄膜電晶體，以及，薄膜電晶體可以用於像素部及又用於驅動電路，以致於可以製造具有顯示功能（也稱為顯示裝置）之半導體裝置。此外，本發明的實施例的薄膜電晶體可以用於與像素部一起形成於一基底上之部份或整個驅動電路，以致於可以形成面板上的系統。

顯示裝置包含顯示元件。關於顯示元件，可以使用液晶元件（也稱為液晶顯示元件）或發光元件（也稱為發光顯示元件）。發光元件在其類別內包含亮度受電流或電壓控制的元件，以及，具體地包含無機電致發光（EL）元件、有機 EL 元件、等等。此外，可以使用例如電子墨水等對比會受電場改變的顯示媒體。

此外，顯示裝置包含面板及模組，顯示元件密封於面

板中，包含控制器之 IC 等安裝於面板上。本發明的實施例又關於顯示裝置製程中完成顯示元件之前的元件基底的一模式，以及，元件基底設有多個像素，多個像素均具有供應電流給顯示元件之機構。具體而言，元件基底可以處於僅形成顯示元件的像素電極之後的狀態、形成要成為像素電極的導電膜之後但導電膜被蝕刻成形成像素電極之前的狀態、或任何其它狀態。

在本說明書中的顯示裝置意指影像顯示裝置、顯示裝置、或光源（包含發光裝置）。此外，顯示裝置在其類別中也包含下述任一模組：例如可撓印刷電路（FPC）、捲帶式自動接合（TAB）帶、或捲帶載體封裝（TCP）等連接器附著之模組；以及，具有尾端設有印刷線路板之 TCP 或 TAB 帶的模組；以及，具有以玻璃上晶片（COG）法直接安裝於顯示元件上的積體電路（IC）之模組。

將參考圖 22A1、22A2、及 22B，說明本實施例中所述的根據本發明的實施例的半導體裝置的一模式之液晶顯示面板的外觀及剖面。圖 22A1 及 22A2 均為面板的上視圖，其中，形成於第一基底 4001 上的薄膜電晶體 4010 和 4011 及液晶元件 4013 由密封劑 4005 密封於第一基底 4001 與第二基底 4006 之間。薄膜電晶體 4010 及 4011 為實施例 4 中所述的薄膜電晶體，包含 In-Ga-Zn-O 為基礎的非單晶膜作為半導體層，以及，具有高可靠度。圖 22B 對應於圖 22A1 及 22A2 之 M-N 剖面視圖。

密封劑 4005 設置成圍繞設於第一基底 4001 上的像素

部 4002 及掃描線驅動電路 4004。第二基底 4006 設於像素部 4002 及掃描線驅動電路 4004 上。如此，像素部 4002 及掃描線驅動電路 4004 與液晶層 4008 由密封劑 4005 密封於第一基底 4001 與第二基底 4006 之間。使用單晶半導體膜或多晶半導體膜而形成於分開製備之基底上的訊號線驅動電路 4003 安裝於一區域中，所述區域與第一基底 4001 上由密封劑 4005 圍繞的區域不同。

注意，對於分別形成的驅動電路之連接方法並無特別限定，以及，可以使用 COG 方法、接線接合法、TAB 法、等等。圖 22A1 顯示一實施例，其中，以 COG 法，安裝訊號線驅動電路 4003，以及，圖 22A2 顯示一實施例，其中，以 TAB 法安裝訊號線驅動電路 4003。

設於第一基底 4001 上的像素部 4002 及掃描線驅動電路 4004 均包含多個薄膜電晶體。圖 22B 顯示包含於像素部 4002 中的薄膜電晶體 4010 以及包含於掃描線驅動電路 4004 中的薄膜電晶體 4011。絕緣層 4020 和 4021 設於薄膜電晶體 4010 和 4011 上。

關於每一薄膜電晶體 4010 及 4011，可以使用實施例 4 中所述的包含 In-Ga-Zn-O 為基礎的非單晶膜作為半導體層且具有高可靠度的薄膜電晶體。或者，可以使用實施例 5 中所述的薄膜電晶體。在本實施例中，薄膜電晶體 4010 和 4011 為 n 通道薄膜電晶體。

包含於液晶元件 4013 中的像素電極層 4030 電連接至薄膜電晶體 4010。液晶元件 4013 的對立電極層 4031 形

成於第二基底 4006 上。像素電極層 4030、對立電極層 4031、及液晶層 4008 彼此重疊的部份對應於液晶元件 4013。注意，像素電極層 4030 及對立電極層 4031 分別設有作為配向膜的絕緣層 4032 及絕緣層 4033，以及，固持液晶層 4008 而以絕緣層 4032 及 4033 插入於其間。

注意，第一基底 4001 與第二基底 4006 可以由玻璃、金屬（典型上為不銹鋼）、陶瓷、或塑膠形成。關於塑膠，可以使用玻璃強化塑膠（FRP）板、聚氯乙烯（PVC）膜、聚酯膜、或丙烯酸樹脂膜。或者，使用板片，其具有鋁箔夾於 PVC 膜或聚酯膜之間的結構。

設置藉由選擇性地蝕刻絕緣膜而取得的以代號 4035 表示之柱狀間隔器 4305，以控制像素電極層 4030 與對立電極層 4031 之間的距離（胞間隙）。注意，可以使用球形間隔器。對立電極層 4031 電連接至設置於與薄膜電晶體 4010 相同的基底上之共同電位線。藉由使用共電連接部，對立電極層 4031 可以經由設於成對共底之間的導電粒子而電連接至共同電位線。注意，導電粒子包含於密封劑 4005 中。

或者，可以使用不需要配向膜之藍相位液晶。藍相位液晶是當膽茲液晶的溫度增加時，正好在膽茲液晶變成各向等性之前呈現的液晶相位型式。藍相位僅在狹窄的溫度範圍內呈現；因此，使用混有 5 重量% 或更高的掌性劑之液晶成份，形成液晶層 4008，以擴展溫度範圍。包含藍相位液晶及掌性劑的液晶成份具有 $10\ \mu\text{s}$ 至 $100\ \mu\text{s}$ 的短

響應時間且光學上各向等性；因此，配向處理不需要且視角相依性小。

注意，本實施例說明透射式液晶顯示裝置的實施例；但是，本發明可以應用至反射式液晶顯示裝置或透反射式液晶顯示裝置。

雖然本實施例的液晶顯示裝置具有依下述次序配置之設置於比基底（觀視側）更外側的極化板、以及設置成比基底更內側的顯示元件之色層及電極層，但是，極化板可以比基底更內側。極化板及色層的堆疊結構不限於本實施例中所示，且可以根據極化板和色層的材料及製程條件而適當地設置。此外，可以設置作為黑矩陣的遮光膜。

在本實施例中，為了降低薄膜電晶體的表面不平整度以及增進薄膜電晶體的可靠度，以保護膜或作為平坦絕緣膜的絕緣層（絕緣層 4020 和 4021），遮蓋實施例 4 中取得的薄膜電晶體。注意，設置保護膜以防止例如有機物質、金屬物質、或濕氣等漂浮於空氣中的雜質進入，以及，保護膜較佳地為密緻膜。可以以濺射法，使用氧化矽膜、氮化矽膜、氮氧化矽膜、氧氮化矽膜、氧化鋁膜、氮化鋁膜、氮氧化鋁膜、或氧氮化鋁膜之單層或堆疊層，形成保護膜。雖然在本實施例中以濺射法形成保護膜，但是，方法並未限於特定方法且可以選自多種不同的方法。

此處，形成絕緣層 4020 至具有堆疊結構以作為保護膜。此處，以濺射法形成氧化矽膜作為絕緣層 4020 的第一層。以氧化矽膜用於保護膜提供有利功效，可以防止用

於源極電極層和汲極電極層之鋁膜的小丘。

此外，形成絕緣層作為保護膜的第二層。此處，以濺射法形成氮化矽膜作為絕緣層 4020 的第二層。當氮化矽膜用於保護膜時，能夠防止例如鈉等可移動的離子進入半導體區改變 TFT 的電特徵。

此外，在形成保護膜之後，可以將半導體層退火（在 300℃ 至 400℃）。

此外，形成絕緣層 4021 作為極化絕緣膜。絕緣膜 4021 可以由例如聚醯亞胺、丙烯酸樹膠、苯環丁烯、聚醯胺、或環氧樹脂等具有抗熱性的有機材料形成。關於此有機材料的替代物，可以使用低介電常數材料（或低 k 材料）、矽烷為基礎的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）、等等。注意，可以藉由堆疊使用這些材料形成的多個絕緣膜，形成絕緣層 4021。

注意，矽烷為基礎的樹脂是由以矽烷為基礎的材料作為起始材料及具有 Si-O-Si 鍵之樹脂形成。矽烷為基礎的樹脂可以包含有機基（舉例而言，烷基及芳基）或氟基作為替代物。或者，有機基可以包含氟基。

對於用於形成絕緣層 4021 之方法並未限定於特定方法，可以視絕緣層 4021 的材料而使用下述方法：濺射法、SOG 法、旋轉塗敷法、浸漬塗著法、噴灑塗著法、滴放法（例如噴墨法、網版印刷法、或偏離印刷法）、手術刀法、輥塗著器、簾幕塗著器、刀式塗著器、等等。在使用材料溶液以形成絕緣層 4021 的情形中，與烘烤步驟同時

在半導體層上執行退火（ 300°C 至 400°C ）。當絕緣層 4021 的烘烤步驟及半導體層的退火結合時，可以有效率地製造半導體裝置。

像素電極層 4030 及對立電極層 4031 可以由透光導電材料形成，例如含有氧化鎢的氧化銦、含有氧化鎢的氧化銦鋅、含有氧化鈦的氧化銦、含有氧化鈦的氧化銦錫、氧化銦錫（此後稱為 ITO）、氧化銦鋅、或添加氧化矽之氧化銦錫。

包含導電高分子（也稱為導電聚合物）的導電成份可以用於像素電極層 4030 及對立電極層 4031。由導電成份形成的像素電極較佳地具有 10000 歐姆／平方或更低的薄片電阻以及波長 550nm 時 70% 或更高的透射率。此外，包含於導電成份中的導電高分子較佳地為 $0.1\ \Omega \cdot \text{cm}$ 或更低。

關於導電高分子，可以使用所謂的 π 電子共軛導電巨分子。關於其實施例，可為聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、它們之中的二或更多種的共聚物、等等。

此外，不同的訊號及電位從 FPC 4018 供應給分別形成的訊號線驅動電路 4003、掃描線驅動電路 4004、及像素部 4002。

在本實施例 5，使用與包含於液晶元件 4013 中的像素電極層 4030 相同的導電膜，形成連接端電極 4015，以及，使用與薄膜電晶體 4010 和 4011 中的源極和汲極電極

層相同的導電膜，形成端電極 4016。

連接端電極 4015 經由各向異性導電膜 4019 而電連接至 FPC 4018 的端子。

雖然圖 22A1、22A2、及 22B 顯示一實施例，其中，訊號線驅動電路 4003 分別地形成及安裝於第一基底 4001 上，但是，本實施例不限於此結構。可以分開地形成掃描線驅動電路，然後安裝，或是，僅有部分訊號線驅動電路或部份掃描線驅動電路分別地形成，然後安裝。

圖 23 顯示一實施例，其中，使用根據本發明的實施例製造之 TFT 基底 2600，形成液晶顯示模組作為半導體裝置。

圖 23 顯示液晶顯示模組的一實施例，其中，TFT 基底 2600 與對立基底 2601 藉由密封劑 2602 而彼此固定，包含 TFT 等的像素部 2603、包含液晶層的顯示元件 2604、及色層 2605 設於基底之間，以形成顯示區。色層 2605 是執行彩色顯示時所需的。在 RGB 系統的情形中，設置用於像素之對應於紅、綠、藍的色層。極化板 2606 和 2607 及擴散板 2613 設於 TFT 基底 2600 及對立基底 2601 之外。光源包含冷陰極管 2610 及反射板 2611，以及，電路板 2612 經由可撓線路板 2609 連接至 TFT 基底 2600 的佈線電路部 2608，以及，包含例如控制電路及電源電路等外部電路。極化板及液晶層相堆疊，以延遲板介於其間。

對於液晶顯示模組，可以使用具有 TN（對絞向列）

模式、IPS（平面中切換）模式、FFS（邊緣場切換）模式、MVA（多域垂直對齊）模式、PVA（圖案化垂直對齊）模式、ASM（軸向對稱對齊微胞）模式、OCB（光學補償雙折射）模式、FLC（鐵電液晶）模式、AFLC（抗鐵電液晶）模式、等等。

經由上述製程，可以製造作為半導體裝置之高度可靠的液晶顯示面板。

本實施例可以與其它實施例中所述的任何結構及方法適當地結合。

（實施例 8）

在本實施例中，說明作為本發明的實施例之半導體裝置的電子紙的實施例。

圖 13 顯示主動矩陣電子紙，其作為應用本發明的實施例之半導體裝置的實施例。以類似於實施例 4 中所述的薄膜電晶體之製造方式，製造用於半導體裝置的薄膜電晶體 581，其為包含 In-Ga-Zn-O 為基礎的非單晶膜作為半導體層之高度可靠的薄膜電晶體。在本實施例中，也可以使用實施例 5 中所述的薄膜電晶體作為薄膜電晶體 581。

圖 13 的電子紙是使用對絞球顯示系統之顯示裝置的實施例。對絞球顯示系統意指一方法，其中，顏色為黑白的球形粒子配置於第一電極層與第二電極層之間，第一電極層與第二電極層是用於顯示元件的電極層，以及，在第一電極層與第二電極層之間產生電位差，以控制球形粒子

的配向，以致於執行顯示。

薄膜電晶體 581 是具有底部閘極結構的薄膜電晶體，其源極或汲極電極層經由形成於絕緣層 585 中的開口而與第一電極層 587 接觸，因此，薄膜電晶體 581 電連接至第一電極層 587。在第一電極層 587 與第二電極層 588 之間，設置球形粒子 589，每一球形粒子 589 具有黑色區 590a、白色區 590b、以及圍繞黑色區 590a 和白色區 590b 之由液體填充的穴 594。圍繞球形粒子 589 的空間由例如樹脂等填充物 595 填充（請參見圖 13）。在本實施例中，第一電極層 587 對應於像素電極，第二電極層 588 對應於共同電極。第二電極層 588 電連接至設於與薄膜電晶體 581 相同的基底上之共同電位線。藉由使用實施例 1 至 3 中的任一實施例所述之共同連接部，第二電極層 588 可以經由配置在基底對之間的導電粒子而連接至共同電位線。

取代對絞球，也可以使用電泳元件。使用具有約 10 μm 至 200 μm 的直徑之微囊，透明液體、正電荷的白微粒子、及負電荷的黑微粒子填充於其中。在設於第一電極層與第二電極層之間的微囊中，當在第一電極層及第二電極層之間施加電場時，白微粒與黑微粒彼此移至相反側，以致於可以顯示白色及黑色。使用此原理的顯示元件是電泳顯示元件，一般稱為電子紙。電泳顯示元件具有比液晶顯示元件還高的反射率，因而不需要輔助光，功率消耗低，以及，顯示部在微暗的地方仍可辨識。此外，即使當電力未供應給顯示部時，仍然可以維持曾經顯示的影像。因

此，即使具有顯示功能的半導體裝置（也簡稱為顯示裝置或設有顯示裝置之半導體裝置）離開電波源，仍然可以儲存顯示的影像。

經由此處理，可以製造作為半導體裝置之高度可靠的電子紙。

本實施例可以與其它實施例中所述的任何結構及方法適當地結合。

（實施例 9）

本實施例說明作為根據本發明的實施例之半導體裝置的發光顯示裝置之實施例。關於顯示裝置的顯示元件之實施例，此處，說明利用電致發光的發光元件。利用電致發光的發光元件根據發光材料是否為有機化合物或無機化合物而分類。一般而言，前者稱為有機 EL 元件，後者稱為無機 EL 元件。

在有機 EL 元件中，藉由施加電壓至發光元件，電子及電洞分別從電極對注入至含有發光有機化合物的層，因此，電流通過。然後，這些載子（亦即，電子及電洞）復合，因此，將發光有機化合物激發。當發光有機化合物從激態返回至接地狀態時，發出光。歸因於此機制，此發光元件稱為電流激發發光元件。

無機 EL 元件根據它們的元件結構而分成散佈型無機 EL 元件及薄膜型無機 EL 元件。散佈型無機 EL 元件具有發光層，其中，發光材料的粒子散佈於結合劑中，以及，

其發光機制是利用施子位準與受子位準之施子－受子復合型發光。薄膜型無機 EL 元件具有一結構，在結構中，發光層夾於介電層之間，介電層又夾於電極之間，以及，其發光機制是使用金屬離子之內殼電子轉換之局部型發光。注意，在本實施例中，使用有機 EL 元件作為發光元件。

圖 20 是應用數位時間灰階驅動之像素結構的實施例，其作為應用本發明的實施例之半導體裝置的實施例。

將說明應用數位時間灰階驅動的像素的結構及操作。在本實施例中，一像素包含二 n 通道電晶體，在每一 n 通道電晶體中，在通道形成區中，使用氧化物半導體層（ In-Ga-Zn-O 為基礎的非單晶膜）。

像素 6400 包含切換電晶體 6401、驅動電晶體 6402、發光元件 6404、及電容器 6403。切換電晶體 6401 的閘極連接至掃描線 6406，切換電晶體 6401 的第一電極（源極電極與汲極電極之一）連接至訊號線 6405，切換電晶體 6401 的第二電極（源極電極與汲極電極中的另一電極）連接至驅動電晶體 6402 的閘極。驅動電晶體 6402 的閘極經由電容器 6403 連接至電源線 6407，驅動電晶體 6402 的第一電極連接至電源線 6407，驅動電晶體 6402 的第二電極連接至發光元件 6404 的第一電極（像素電極）。發光元件 6404 的第二電極對應於共同電極 6408。共同電極 6408 電連接至設於相同基底上的共同電位線，以及，使用連接部作為共同連接部，取得圖 1A、圖 2A、或圖 3A 中所示的結構。

發光元件 6404 的第二電極（共同電極 6408）設定於低電源電位。當設定於電源線 6407 的高電源電位是參考電位時，低電源電位是小於高電源電位之電位。關於低電源電位，舉例而言，可以使用接地、0V、等等。在高電源電位與低電源電位之間的電位差施加至發光元件 6404 且電流供應給發光元件 6404，以致於發光元件 6404 發光。為了使發光元件 6404 發光，將這些電位設定成使得高電源電位與低電源電位之間的電位差大於或等於發光元件 6404 的順向臨界電壓。

驅動電晶體 6402 的閘極電容可以作為電容器 6403 的替代，以致於可以省略電容器 6403。驅動電晶體 6402 的閘極電容可以形成於通道區與閘極電極之間。

在電壓輸入電壓驅動法的情形中，視頻訊號輸入至驅動電晶體 6402 的閘極，以致於驅動電晶體 6402 實質上開啓或實質上關閉。亦即，驅動電晶體 6402 在線性區操作。由於電晶體 6402 在線性區操作，所以，比電源線 6407 的電壓還高的電壓施加至驅動電晶體 6402 的閘極。注意，高於或等於驅動電晶體 6402 的電源線的電壓與 V_{th} 的和之電壓施加至訊號線 6405。

在執行類比灰階驅動以取代數位時間灰階驅動的情形中，藉由改變訊號輸入，可以使用與圖 20 中所示的像素結構相同的像素結構。

在執行類比灰階驅動的情形中，比驅動電晶體 6402 的發光元件 6404 的順向電壓與 V_{th} 的電壓和還高之電壓

施加至驅動電晶體 6402 的閘極。發光元件 6404 的順向電壓代表取得所需亮度且包含至少順向臨界電壓的電壓。輸入使驅動電晶體 6404 在飽合區操作的視頻訊號，以致於電流可以供應給發光元件 6404。爲了使驅動電晶體 6402 在飽合區操作，電源線 6407 的電位設定爲高於驅動電晶體 6402 的閘極電位。當使用類比視頻訊號時，能夠根據視頻訊號，將電流饋送給發光元件 6404，以及，執行類比灰階驅動。

注意，圖 20 中所示的像素結構不限於此。舉例而言，開關、電阻器、電容器、邏輯電路、等等可以加至圖 20 中所示的像素。

接著，參考圖 21A 至 21C，說明發光元件的結構。此處，以 n 通道驅動 TFT 爲例，說明像素的剖面結構。以類似於實施例 4 中所述的用於形成薄膜電晶體之方法，形成圖 21A 至 21C 中所示之作爲用於半導體裝置的驅動 TFT 之 TFT 7001、7011、及 7021。TFT 7001、7011、及 7021 具有高可靠度且均包含 In-Ga-Zn-O 爲基礎的非單晶膜作爲半導體層。也可以使用實施例 5 中所述的薄膜電晶體作爲 TFT 7001、7011、及 7021。

此外，爲了從發光元件取出光，陽極與陰極中至少之一需要使光透射。薄膜電晶體及發光元件形成於基底上。發光元件可以具有頂部發光結構，其中，經由與基底相反的表面，取出發射光；底部發光結構，其中，經由基底側上的表面，取出發射光；或者，雙發射結構，其中，經由

與基底相反的表面及基底側的表面，取出發射光。根據本發明的實施例之像素結構可以應用至具有這些發光結構中的任何結構之發光元件。

參考圖 21A，說明具有頂部發光結構的發光元件。

圖 21A 是在作為驅動 TFT 的 TFT 7001 是 n 通道 TFT 及產生於發光元件 7002 中的光發射通過 7005 之情形中的像素的剖面視圖。在圖 21A 中，發光元件 7002 的陰極 7003 電連接至作為驅動 TFT 的 TFT 7001，以及，發光層 7004 及陽極 7005 依上述次序堆疊於陰極 7003 上。使用具有低功函數及能將光反射的多種導電材料中的任意材料。舉例而言，較佳地使用 Ca、Al、CaF、MgAg、AlLi、等等。使用單層或堆疊多個層，形成發光層 7004。當使用多個層以形成發光層 7004 時，藉由依下述次序於陰極 7003 上堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層，形成發光層 7004。並非需要形成所有這些層。使用由例如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（此後稱為 ITO）、氧化銦鋅、或添加氧化矽之氧化銦錫等透光導電材料形成的透光導電膜，形成陽極 7005。

發光元件 7002 對應於陰極 7003 與陽極 7005 將發光層 7004 夾於其間的區域。在圖 21A 中所示的像素的情形中，如箭頭所述，光從發光元件 7002 發射至陽極 7005 側。

接著，參考圖 21B，說明具有底部發光結構的發光元件。圖 21B 是在驅動 TFT 7001 是 n 通道 TFT、及光從發光元件 7012 發射至陰極 7013 側之情形中的像素的剖面視圖。在圖 21B 中，發光元件 7012 的陰極 7013 形成於具有透光性的導電膜 7017 上，導電膜 7017 電連接至驅動 TFT 7011，以及，發光層 7014 及陽極 7015 依此次序堆疊於陰極 7013 上。當陽極 7015 具有透光特性時，形成用於反射或阻擋光的遮光膜 7016 以遮蓋陽極 7015。如同圖 21A 的情形般，使用具有低功函數的任何導電材料，形成陰極 7013。注意，陰極 7013 形成為具有可使光透射的厚度（較佳地，約 5 nm 至 30 nm）。舉例而言，可以使用 20 nm 厚的鋁膜作為陰極 7013。如同圖 21A 的情形般，使用單層結構或堆疊多個層，形成發光層 7014。如同圖 21A 的情形般，未要求陽極 7015 使光透射，但是，其可由透光導電材料形成。關於遮光膜 7016，舉例而言，可以使用使光反射的金屬等等；但是，遮光膜 7016 不限於金屬膜。舉例而言，可以使用添加黑色顏料的樹脂等。

發光元件 7012 對應於陰極 7013 與陽極 7015 將發光層 7014 夾於其間的區域。在圖 21B 中所示的像素的情形中，如箭頭所述，光從發光元件 7012 發射至陰極 7013 側。

接著，參考圖 21C，說明具有雙發光結構的發光元件。在圖 21C 中，發光元件 7022 的陰極 7023 形成於具有透光性的導電膜 7027 上，導電膜 7027 電連接至驅動 TFT

7021，透光層 7024 及陰極 7025 依此次序堆疊於陰極 7023 上。如同圖 21A 的情形般，由具有低功函數的任何導電材料，形成陰極 7023。注意，陰極 7023 形成至具有可以使光透射的厚度。舉例而言，可以使用 20 nm 厚的 Al 膜作為陰極 7023。如同圖 21A 的情形般，使用單層或堆疊多個層，以形成發光層 7024。以類似於圖 21A 的方式，使用透光導電材料，形成陽極 7025。

發光元件 7022 對應於陰極 7023、發光層 7024、及陽極 7025 彼此重疊的區域。在圖 21C 中所示的像素的情形中，如箭頭所述，光從發光元件 7022 發射至陽極 7025 側及陰極 7023 側。

雖然此處有機 EL 元件說明成發光元件，但是，可以替代地設置無機 EL 元件作為發光元件。

注意，本實施例說明一實施例，其中，控制發光元件的驅動之薄膜電晶體（驅動 TFT）電連接至發光元件，但是，可以使用電流控制 TFT 連接於驅動 TFT 與發光元件之間的結構。

本實施例中所述的半導體裝置不限於圖 21A 至 21C 中所述的結構，可以根據本發明的技術的精神及技術，依不同方式修改。

接著，將參考圖 24A 及 24B，說明根據本發明的半導體裝置的一模式之發光顯示面板（也稱為發光面板）的外觀及剖面。圖 24A 是面板的頂視圖，其中，於第一基底上的薄膜電晶體及發光元件由密封劑密封於第一基底與第

二基底之間。圖 24B 是圖 24A 的 H-I 剖面視圖。

密封劑 4505 設置成圍繞設於第一基底 4501 上的像素部 4502、訊號線驅動電路 4503a 和 4503b、及掃描線驅動電路 4504a 和 4504b。此外，第二基底 4506 形成於像素部 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 上。因此，像素部 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 與填充物 4507 一起由第一基底 4501、密封劑 4505、及第二基底 4506 密封。依此方式，較佳地，發光顯示面板由具有高氣密性及低除氣之遮蓋材料或保護膜（例如附著膜或紫外線可固化樹脂膜）封裝（密封），以致於不會曝露至外部空氣。

形成於第一基底 4501 上的像素部 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 均包含多個薄膜電晶體，以及，圖 24B 顯示包含於像素部 4502 中的薄膜電晶體 4510 及包含於訊號線驅動電路 4503a 中的薄膜電晶體實施例。

關於薄膜電晶體 4509 和 4510，可以使用具有高可靠性及包含 In-Ga-Zn-O 為基礎的非單晶膜作為半導體層之實施例 4 中所述的薄膜電晶體。此外，可以使用實施例 5 中所述的薄膜電晶體作為薄膜電晶體 4509 和 4510。在本實施例中，薄膜電晶體 4509 和 4510 為 n 通道薄膜電晶體。

此外，代號 4511 代表發光元件。第一電極層 4517 為

包含於發光元件 4511 中的像素電極，其電連接至薄膜電晶體 4510 的源極和汲極層。注意，雖然發光元件 4511 具有第一電極層 4517、電致發光層 4512、及第二電極層 4513 的堆疊結構，但是，發光元件 4511 的結構不限於此。發光元件 4511 的結構可以視從發光元件取出光的方向等而適當地改變。

使用有機樹脂膜、無機絕緣層、或有機聚矽烷，形成分隔部 4520。特別較佳地，使用感光材料，形成分隔部 4520 以在第一電極層 4517 上具有開口，以致於開口的側壁形成為具有連續曲度的傾斜表面。

使用單層或多個層，形成電致發光層 4512。

為了防止氧、氫、濕氣、二氧化碳等進入發光元件 4511 中，在第二電極層 4513 和分隔部 4520 上形成保護膜。關於保護膜，可以形成氮化矽膜、氧氮化矽膜、DLC 膜、等等。

此外，不同的訊號及電位從 FPC 4518a 和 4518b 供應至訊號線驅動電路 4503a 和 4503b、掃描線驅動電路 4504a 和 4504b、或像素部 4502。

在本實施例中，使用與包含於發光元件 4511 中的第一電極層 4517 相同的導電膜，形成連接端電極 4515。使用與包含於薄膜電晶體 4509 和 4510 中的源極和汲極電極層相同的導電膜，形成端電極 4516。

連接端電極 4515 經由各向異性導電膜 4519 而電連接至包含於 FPC 4518a 中的端子。

位於從發光元件 4511 取出光的方向上之第二基底需要具有透光特性。在該情形中，使用例如玻璃板、塑膠板、聚酯膜、或丙烯酸膜等透光材料。

關於填充物 4507，可以使用紫外光可固化樹脂或熱固樹脂與例如氮或氬等惰性氣體。舉例而言，可以使用聚氯乙烯（PVC）、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、聚乙烯丁醛（PVB）、或乙烯乙酸乙烯酯（EVA）。在本實施例中，以氮用於填充物 4507。

此外，假使需要時，例如極化板、圓形極化板（包含橢圓形極化板）、延遲板（四分之一波板或半波板）等光學膜、或濾光器可以適當地設於發光元件的發光表面上。此外，極化板或圓形極化板可以設有抗反射膜。舉例而言，可以執行防眩光處理，藉以使反射光由表面的凹部／凸部散射以及降低眩光。

關於訊號線驅動電路 4503a 及 4503b 以及掃描線驅動電路 4504a 和 4504b，可以安裝藉由使用在分別形成的基底上之單晶半導體膜或多晶半導體膜所形成的驅動電路。此外，僅有訊號線驅動電路或僅有其一部份、或是僅有掃描線驅動電路或僅有其一部份，可以分別地形成，然後安裝。本實施例不限於圖 24A 及 24B 中所示的結構。

經由此製程，可以製造高度可靠的發光裝置（顯示面板）作為半導體裝置。

本實施例可以與其它實施例中所述的任何結構適當地結合實施。

(實施例 10)

根據本發明的實施例之半導體裝置可以應用作為電子紙。電子紙可以用於顯示資訊之不同領域的電子設備。舉例而言，電子紙可以用於電子書讀取器（e-書讀取器）、海報、例如火車等車輛廣告、例如信用卡等不同卡片的顯示、等等。這些電子設備的實施例顯示於圖 25A 和 25B 及圖 26 中。

圖 25A 顯示使用電子紙形成的海報 2631。假使廣告媒體是印刷紙，則廣告以手更換；但是，當使用應用本發明的實施例的電子紙時，廣告顯示可以在短時間內改變。此外，可以取得穩定影像，而不會有缺陷。此外，海報可以無線地傳送及接收資訊。

圖 25B 顯示例如火車等車輛中的廣告 2632。假使廣告媒體是印刷紙時，以手更換廣告；但是，當應用根據本發明的實施例之電子紙時，可以在短時間內改變廣告顯示，而不用很多人力。此外，可以取得穩定的影像，而不會有缺陷。此外，車輛中的廣告可以無線地傳送及接收資訊。

圖 26 顯示電子書讀取器 2700 的實施例。舉例而言，電子書讀取器 2700 包含機殼 2701 和 2703 等二機殼。機殼 2701 和 2703 藉由鉸鏈 2711 而彼此接合，以致於電子書讀取器 2700 可以延著鉸鏈 2711 打開及閉合。藉由此結構，可以如同紙書般操作電子書讀取器 2700。

顯示部 2705 併入於機殼 2701 中且顯示部 2707 併入於機殼 2703 中。顯示部 2705 和 2707 可以顯示一影像序列、或顯示不同的影像。在不同的影像顯示於顯示部 2705 及顯示部 2707 的結構中，舉例而言，右方顯示部（圖 26 中的顯示部 2705）可以顯示文字，左方顯示部（圖 26 中的顯示部 2707）可以顯示影像。

圖 26 顯示一實施例，其中，機殼 2701 設有操作部等等。舉例而言，機殼 2701 設有電源開關 2721、操作鍵 2723、揚音器 2725、等等。以操作鍵 2723 可以翻頁。注意，鍵盤、指標裝置、等等可以設於與機殼的顯示部相同的平面上。此外，機殼的背面或側面可以設有外部連接端子（耳機端子、USB 端子、例如 AC 配接器或 USB 電線等可以與不同的電線連接的端子）、儲存媒體插入部、等等。此外，電子書 2700 可以具有電子字典的功能。

此外，電子書 2700 可以無線地傳送及接收資訊。可以從電子書伺服器，無線地購買及下載所需的書資料等等。

（實施例 11）

本發明的實施例的半導體裝置可以應用至不同的電子設備（包含遊戲機）。關於電子設備，舉例而言，有電視裝置（也稱為電視或電視接收器）、用於電腦等的監視器、例如數位相機或數位攝影機等像機、數位相框、蜂巢式電話（或稱為行動電話或行電話裝置）、可攜式遊戲機、

可攜式資訊端、音頻播放裝置、及例如柏青哥遊戲機等大型遊戲機。

圖 27A 顯示電視裝置 9600 的實施例。顯示部 9603 併入於電視裝置 9600 的機殼 9601 中。顯示部 9603 可以顯示影像。此處，機殼 9601 由架子 9605 支撐。

電視裝置 9600 可以由機殼 9601 或分開的遙控器 9610 的操作開關操作。以遙控器 9610 的操作開關 9609，可以控制頻道及聲音，以及，可以控制顯示於顯示部 9603 上的影像。此外，遙控器 9610 可以具有顯示部 9607，在顯示部 9607 上，顯示出自遙控器 9610 的資訊。

注意，電視裝置 9600 設有接收器、數據機、等等。藉由使用接收器，可以接收一般電視廣播。此外，當顯示裝置經由數據機有線地或無線地連接至通訊網路時，可以執行單向（從發送器至接收器）或雙向（在發送器與接收器之間接收、等等）資訊通訊。

圖 27B 顯示數位相框 9700 的實施例。舉例而言，顯示部 9703 併入於數位相框 9700 的機殼 9701 中。顯示部 9703 可以顯示不同的影像，舉例而言，顯示數位相機等拍攝的影像資料，以致於數位相框可以以類似於一般相框的方式作用。

注意，數位相框 9700 設有操作部、外部連接端子（例如 USB 端子、或可以連接至包含 USB 電線等不同電線的端子）、儲存媒體插入部、等等。這些結構可以併入於與顯示部相同的平面上；但是，由於設計改良，所以，它

們較佳地設於顯示部的側表面或背面上。舉例而言，由數位相機拍攝的包含影像資料之記憶體插入於數位相框的儲存媒體插入部中以及輸入影像資料。然後，輸入的影像資料可以顯示於顯示部 9703 上。

數位相框 9700 可以無線地傳送及接收資訊。經由無線通訊，所需的無線資料可以無線地輸入至數位相框 9700 及可以顯示於其中。

圖 28A 顯示可攜式遊戲機，可攜式遊戲機包含機殼 9881 和機殼 9891，機殼 9881 和機殼 9891 藉由連接器 9893 而彼此接合，以便能夠開啓及關閉。顯示部 9882 及顯示部 9883 分別併入於機殼 9881 及機殼 9891 中。圖 28A 中所示的可攜式遊戲機增加地包含揚音器部 9884、儲存媒體插入部 9886、LED 燈 9890、輸入機構（操作鍵 9885、連接端子 9887、感測器 9888（包含測量力量、位移、位置、速度、加速度、角速度、旋轉頻率、距離、光、液體、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射、流速、濕度、梯度、振動、氣味、或紅外線的功能）、及麥克風 9889）、等等。無需多言，可攜式遊戲機的結構不限於上述，可為任何至少設有根據本發明的實施例之半導體裝置的結構。此外，可以適當地設置其它配件。圖 28A 中所示的可攜式遊戲機具有讀出儲存於儲存媒體中的程式或資料以將其顯示於顯示部之功能以及具有藉由無線通訊而與其它遊戲機共用資訊之功能。圖 28A 中所示的可攜式遊戲機具有上述以外

的多種功能。

圖 28B 顯示吃角子老虎機 9900 的實施例，其為大型的遊戲機。顯示部 9903 併入於吃角子老虎機 9900 的機殼 9901 中。吃角子老虎機 9900 增加地包含例如啟動桿或停止開關、硬幣槽、揚音器、等操作機構。無需多言，吃角子老虎機 9900 的結構不限於上述，可為任何至少設有根據本發明的實施例之半導體裝置的結構。此外，可以適當地提供其它配件。

圖 29A 顯示蜂巢式電話 1000。蜂巢式電話 1000 包含併入於機殼 1001 中的顯示部 1002，又包含操作鍵 1003、外部連接埠 1004、揚音器 1005、麥克風 1006、等等。

以手指等觸控顯示部 1002，資訊可以輸入至圖 29 中所示的蜂巢式電話 1000。此外，以手指等觸控顯示部 1002，可以執行播打電話或傳送文字訊息。

顯示部 1002 主要有三個螢幕模式。第一模式是主要用於顯示影像的顯示模式。第二模式是主要用於輸入例如文字等資訊的輸入模式。第三模式是混合顯示模式與輸入模式等二模式的顯示及輸入模式。

舉例而言，在播打電話或傳送文字訊息的情形中，將顯示部 1002 設定在主要執行文字輸入之文字輸入模式，以及，在螢幕上執行文字輸入操作。在此情形中，較佳的是在顯示部 1002 的幾乎整個螢幕上顯示鍵盤或數字鍵。

當包含例如陀螺儀等用於偵測傾斜的感測器或加速度感測器之偵測裝置設置於蜂巢式電話 1000 的內部時，藉

由判斷蜂巢式電話 1000 的方向（蜂巢式電話 1000 水平或垂直地置放以用於風景模式或人像模式），可以自動地切換顯示部 1002 的螢幕中的顯示。

此外，藉由觸動顯示部 1002 或操作機殼 1001 的操作鍵 1003，切換螢幕模式。或者，可以視顯示部 1002 中顯示的影像種類，切換螢幕模式。舉例而言，當用於顯示於顯示部中的影像之訊號為移動影像的資料時，螢幕模式切換至顯示模式。當訊號為文字資料時，螢幕模式切換至輸入模式。

此外，在輸入模式中，由顯示部 1002 中的光學感測器偵測到訊號以及假使一段時間未執行經由觸控顯示部 1002 之輸入時，螢幕模式受控而從輸入模式切換至顯示模式。

顯示部 1002 也可以作為影像感測器。舉例而言，以手掌或手指觸摸顯示部 1002，取得掌紋、指紋等影像，因而執行個人認證。此外，當發射近紅外光的背照光或發射近紅外光之背照光感測光源設於顯示部中時，可以拍攝指紋、掌紋、等等。

圖 29B 顯示蜂巢式電話的另一實施例。圖 29B 中的蜂巢式電話具有顯示裝置 9410 及通訊裝置 9400。顯示裝置 9410 設有機殼 9411，機殼 9411 包含顯示部 9412 及操作鍵 9413。通訊裝置 9400 設有機殼 9401，機殼 9401 包含操作鍵 9402、外部輸入端子 9403、麥克風 9404、揚音器 9405、及當接收電話呼叫時發光之發光部 9406。具有

顯示功能的顯示裝置 9410 可以在箭頭所示的二方向上，可拆式地附著至具有電話功能的通訊裝置 9400。因此，顯示裝置 9410 及通訊裝置 9400 可以延著它們的短軸或長軸而彼此附著。或者，當僅需要顯示功能的情形時，顯示裝置 9410 自通訊裝置 9400 分開，然後，單獨使用顯示裝置 9410。在均具有可充電電池之通訊裝置 9400 與顯示裝置 9410 之間無線地或有線地傳送及接收影像或輸入資訊。

本申請案根據 2008 年 10 月 3 日向日本專利局申請之日本專利申請序號 2008-258992，其整體內容於此一併列入參考。

【圖式簡單說明】

圖 1A 至 1C 顯示半導體裝置。

圖 2A 及 2B 顯示半導體裝置。

圖 3A 至 3C 顯示半導體裝置的製造方法。

圖 4A 至 4D 顯示半導體裝置的製造方法。

圖 5A 至 5C 顯示半導體裝置的製造方法。

圖 6A 至 6C 顯示半導體裝置的製造方法。

圖 7 顯示半導體裝置的製造方法。

圖 8 顯示半導體裝置的製造方法。

圖 9 顯示半導體裝置的製造方法。

圖 10 顯示半導體裝置。

圖 11A1 至 11B2 顯示半導體裝置。

圖 12 顯示半導體裝置。

圖 13 顯示半導體裝置。

圖 14A 及 14B 為方塊圖，均顯示半導體裝置。

圖 15 顯示訊號線驅動電路的配置。

圖 16 是時序圖，顯示訊號線驅動電路的操作。

圖 17 是時序圖，顯示訊號線驅動電路的操作。

圖 18 顯示移位暫存器的配置。

圖 19 顯示圖 18 中所示的正反器的連接結構。

圖 20 顯示半導體裝置的像素等效電路。

圖 21A 至 21C 顯示半導體裝置。

圖 22A1 至 22B 顯示半導體裝置。

圖 23 顯示半導體裝置。

圖 24A 及 24B 顯示半導體裝置。

圖 25A 及 25B 均顯示電子紙的使用圖案的實施例。

圖 26 是外觀視圖，顯示電子書讀取器的實施例。

圖 27A 是外觀視圖，顯示電視裝置的實施例，圖 27B 是外觀視圖，顯示數位相框的實施例。

圖 28A 及 28B 均顯示遊戲機的實施例。

圖 29A 及 29B 均顯示行動電話的實施例。

圖 30 顯示半導體裝置。

【主要元件符號說明】

100：基底

101：閘極電極層

- 102：閘極絕緣層
- 103：半導體層
- 107：保護絕緣層
- 108：電容器佈線
- 109：氧化物半導體膜
- 110：像素電極層
- 111：氧化物半導體膜
- 120：連接電極
- 121：第一端子
- 122：第二端子
- 125：接觸孔
- 126：接觸孔
- 127：接觸孔
- 128：透明導電膜
- 129：透明導電膜
- 131：光阻遮罩
- 132：導電膜
- 150：第二端子
- 151：第一端子
- 152：閘極絕緣層
- 153：連接電極
- 154：保護絕緣膜
- 155：透明導電膜
- 156：電極

170：薄膜電晶體

400：基底

401：閘極電極

402：第二閘極電極

403：閘極絕緣層

404：接觸孔

405：第一氧化物半導體層

407：第二氧化物半導體層

409：第一佈線

410：第二佈線

411：第三佈線

430：第一薄膜電晶體

431：第二薄膜電晶體

440：基底

441：第一閘極電極

442：第二閘極電極

443：閘極絕緣層

444：接觸孔

445：第一氧化物半導體層

447：第二氧化物半導體層

449：第一佈線

450：第二佈線

451：第三佈線

452：保護層

- 453：連接佈線
- 454：氧化物半導體膜
- 455： n^+ 型層
- 456：氧化物半導體膜
- 457： n^+ 型層
- 460：第一薄膜電晶體
- 461：第二薄膜電晶體
- 480：第一薄膜電晶體
- 481：第二薄膜電晶體
- 581：薄膜電晶體
- 585：絕緣層
- 587：第一電極層
- 588：第二電極層
- 594：穴
- 595：填充物
- 596：第二基底
- 1000：蜂巢式電話
- 1001：機殼
- 1002 顯示部
- 1003：操作鍵
- 1004：外部連接埠
- 1005：揚音器
- 1006：麥克風
- 104a： n^+ 型層

105a：源極電極層或汲極電極層

105b：源極電極層或汲極電極層

2600：TFT 基底

2601：對立基底

2602：密封劑

2603：像素部

2604：顯示元件

2605：色層

2606：極化板

2607：極化板

2608：佈線電路部

2609：可撓佈線板

2610：冷陰極管

2611：反射板

2612：電路板

2613：散射板

2631：海報

2632：車輛中的廣告

2700：電子書讀取器

2701：機殼

2703：機殼

2705：顯示部

2707：顯示部

2711：鉸鏈

2721：電 源 開 關
 2723：操 作 鍵
 2725：揚 音 器
 4001：第 一 基 底
 4002：像 素 部
 4003：訊 號 線 驅 動 電 路
 4004：掃 描 線 驅 動 電 路
 4005：密 封 劑
 4006：第 二 基 底
 4008：液 晶 層
 4010：薄 膜 電 晶 體
 4011：薄 膜 電 晶 體
 4013：液 晶 元 件
 4015：連 接 端 電 極
 4016：端 電 極
 4018：可 撓 印 刷 電 路
 4019：各 向 異 性 導 電 膜
 4020：絕 緣 層
 4021：絕 緣 層
 4030：像 素 電 極 層
 4031：對 立 電 極 層
 4032：絕 緣 層
 4033：絕 緣 層
 406a： n^+ 型 層

406b : n^+ 型層
 408a : n^+ 型層
 408b : n^+ 型層
 446a : n^+ 型層
 446b : n^+ 型層
 448b : n^+ 型層
 406a : n^+ 型層
 4501 : 第一基底
 4502 : 像素部
 4505 : 密封劑
 4506 : 第二基底
 4507 : 填充物
 4509 : 薄膜電晶體
 4510 : 薄膜電晶體
 4511 : 發光元件
 4512 : 電致發光層
 4513 : 第二電極層
 4515 : 連接端電極
 4516 : 端電極
 4517 : 第一電極層
 4519 : 各向異性導電膜
 4520 : 分隔部
 5300 : 基底
 5301 : 像素部

- 5302：掃描線驅動電路
- 5303：訊號線驅動電路
- 5400：基底
- 5401：像素部
- 5402：第一掃描線驅動電路
- 5403：訊號線驅動電路
- 5404：第二掃描線驅動電路
- 5501：第一佈線
- 5502：第二佈線
- 5503：第三佈線
- 5504：第四佈線
- 5505：第五佈線
- 5506：第六佈線
- 5543：節點
- 5544：節點
- 5571：第一薄膜電晶體
- 5572：第二薄膜電晶體
- 5573：第三薄膜電晶體
- 5574：第四薄膜電晶體
- 5575：第五薄膜電晶體
- 5576：第六薄膜電晶體
- 5577：第七薄膜電晶體
- 5578：第八薄膜電晶體
- 5601：驅動 IC

5602：開關組

5611：第一佈線

5612：第二佈線

5613：第三佈線

5621：佈線

5701：正反器

5711：第一佈線

5712：第二佈線

5713：第三佈線

5714：第四佈線

5715：第五佈線

5716：第六佈線

5717：第七佈線

5821：訊號

5721：訊號

6400：像素

6401：切換電晶體

6402：驅動電晶體

6403：電容器

6404：發光元件

6405：訊號線

6406：掃描線

6407：電源線

6408：共同電極

7001：驅 動 TFT
7002：發 光 元 件
7003：陰 極
7004：發 光 層
7005：陽 極
7011：驅 動 TFT
7012：發 光 元 件
7013：陰 極
7014：發 光 層
7015：陽 極
7016：遮 光 膜
7017：導 電 膜
7021：驅 動 TFT
7022：發 光 元 件
7023：陰 極
7024：發 光 層
7025：陽 極
7027：導 電 膜
9400：通 訊 裝 置
9401：機 殼
9402：操 作 鍵
9403：外 部 輸 入 端 子
9404：麥 克 風
9405：揚 音 器

9406：發光部
9410：顯示裝置
9411：機殼
9412：顯示部
9413：操作鍵
9600：電視裝置
9601：機殼
9603：顯示部
9605：架子
9607：顯示部
9609：操作鍵
9610：遙控器
9700：數位相框
9701：機殼
9703：顯示部
9881：機殼
9882：顯示部
9883：顯示部
9884：揚音器部
9885：操作鍵
9886：儲存媒體插入部
9887：連接端子
9888：感測器
9889：麥克風

9890 : LED 燈

9891 : 機 殼

9893 : 連 接 器

9900 : 吃 角 子 老 虎 機

9901 : 機 殼

9903 : 顯 示 部

4503a : 訊 號 線 驅 動 電 路

4504a : 掃 描 線 驅 動 電 路

4518a : FPC

5603a : 第 一 薄 膜 電 晶 體

5603b : 第 二 薄 膜 電 晶 體

5603c : 第 三 薄 膜 電 晶 體

5703a : 時 序

5703b : 時 序

5703c : 時 序

5803a : 時 序

5803b : 時 序

5803c : 時 序

七、申請專利範圍：

1. 一種顯示裝置，包括：

像素部；以及

在該像素部外的驅動電路；

其中，包含第一氧化物半導體層的第一薄膜電晶體係在該像素部中，

其中，包含第二氧化物半導體層的第二薄膜電晶體及包含第三氧化物半導體層的第三薄膜電晶體係在該驅動電路中，

其中，與於該第二氧化物半導體層之下的該第二薄膜電晶體的閘極電極直接接觸的佈線於該第三氧化物半導體層之上方，

其中，該佈線電連接至該第三氧化物半導體層，及

其中，閘極絕緣膜的上表面與該佈線的下表面直接接觸。

2. 如申請專利範圍第 1 項之顯示裝置，

其中，該第一氧化物半導體層、該第二氧化物半導體層、及該第三氧化物半導體層均包含具有小厚度的區域。

3. 如申請專利範圍第 2 項之顯示裝置，又包括絕緣層，

其中，該絕緣層遮蓋該第一薄膜電晶體、該第二薄膜電晶體、及該第三薄膜電晶體以及與該第一氧化物半導體層、該第二氧化物半導體層、及該第三氧化物半導體層接觸。

4. 如申請專利範圍第 1 項之顯示裝置，其中，該第一氧化物半導體層、該第二氧化物半導體層、及該第三氧化物半導體層均包括銦、鎵、及鋅。

5. 如申請專利範圍第 1 項之顯示裝置，其中，該顯示裝置併入於選自電視裝置、數位相框、可攜式遊戲機、吃角子老虎機、及蜂巢式電話組成的族群之一。

6. 如申請專利範圍第 1 項之顯示裝置，其中，該像素部及該驅動電路於相同基底上。

7. 如申請專利範圍第 1 項之顯示裝置，其中，該第一薄膜電晶體是 n 通道薄膜電晶體。

8. 如申請專利範圍第 1 項之顯示裝置，其中，該第二薄膜電晶體是 n 通道薄膜電晶體。

9. 如申請專利範圍第 1 項之顯示裝置，其中，該第三薄膜電晶體是 n 通道薄膜電晶體。

10. 一種顯示裝置，包括：

像素部；以及

在該像素部外的驅動電路；

其中，包含第一氧化物半導體層的第一薄膜電晶體係在該像素部中，

其中，包含第二氧化物半導體層的第二薄膜電晶體及包含第三氧化物半導體層的第三薄膜電晶體係在該驅動電路中，

其中，與於該第二氧化物半導體層之下的該第二薄膜電晶體的閘極電極直接接觸的佈線於該第三氧化物半導體

層之上方，

其中，該佈線電連接至該第三氧化物半導體層，

其中，比該第三氧化物半導體層具有更小的厚度及更高的導電率之第四氧化物半導體層於該佈線與該第三氧化物半導體層之間，及

其中，閘極絕緣膜的上表面與該佈線的下表面直接接觸。

11. 如申請專利範圍第 10 項之顯示裝置，

其中，該第一氧化物半導體層、該第二氧化物半導體層、及該第三氧化物半導體層均包含具有小厚度的區域。

12. 如申請專利範圍第 11 項之顯示裝置，又包括絕緣層，

其中，該絕緣層遮蓋該第一薄膜電晶體、該第二薄膜電晶體、及該第三薄膜電晶體以及與該第一氧化物半導體層、該第二氧化物半導體層、及該第三氧化物半導體層接觸。

13. 如申請專利範圍第 10 項之顯示裝置，其中，該第一氧化物半導體層、該第二氧化物半導體層、及該第三氧化物半導體層均包括銦、鎵、及鋅。

14. 如申請專利範圍第 10 項之顯示裝置，其中，該第四氧化物半導體層包括銦、鎵、及鋅。

15. 如申請專利範圍第 10 項之顯示裝置，其中，該顯示裝置併入於選自電視裝置、數位相框、可攜式遊戲機、吃角子老虎機、及蜂巢式電話組成的族群之一。

16. 如申請專利範圍第 10 項之顯示裝置，其中，該像素部及該驅動電路於相同基底上。

17. 如申請專利範圍第 10 項之顯示裝置，其中，該第一薄膜電晶體是 n 通道薄膜電晶體。

18. 如申請專利範圍第 10 項之顯示裝置，其中，該第二薄膜電晶體是 n 通道薄膜電晶體。

19. 如申請專利範圍第 10 項之顯示裝置，其中，該第三薄膜電晶體是 n 通道薄膜電晶體。

20. 如申請專利範圍第 10 項之顯示裝置，其中，該第四氧化物半導體層包括非晶結構中的晶粒，以及，該晶粒具有 1 至 10 nm 的直徑。

21. 一種顯示裝置，包括：

像素部；以及

在該像素部外的驅動電路；

其中，包含第一氧化物半導體層的第一薄膜電晶體係在該像素部中，

其中，包含第二氧化物半導體層的第二薄膜電晶體及包含第三氧化物半導體層的第三薄膜電晶體係在該驅動電路中，

其中，與於該第二氧化物半導體層之下的該第二薄膜電晶體的閘極電極直接接觸的佈線於該第三氧化物半導體層之上方，

其中，該佈線電連接至該第三氧化物半導體層，

其中，閘極絕緣膜的上表面與該佈線的下表面直接接

觸，及

其中，該第一氧化物半導體層、該第二氧化物半導體層、及該第三氧化物半導體層均包括銦及鋅的至少之一。

22. 如申請專利範圍第 1、10 及 21 項中之任一項之顯示裝置，其中該佈線直接接觸該第二薄膜電晶體及該第三薄膜電晶體的閘極絕緣膜。

23. 如申請專利範圍第 1、10 及 21 項中之任一項之顯示裝置，其中該驅動電路為閘極線驅動電路。

24. 如申請專利範圍第 1、10 及 21 項中之任一項之顯示裝置，其中該驅動電路為源極線驅動電路。

25. 如申請專利範圍第 1、10 及 21 項中之任一項之顯示裝置，其中該第三氧化物半導體層的端部與金屬層直接接觸。

圖 1A

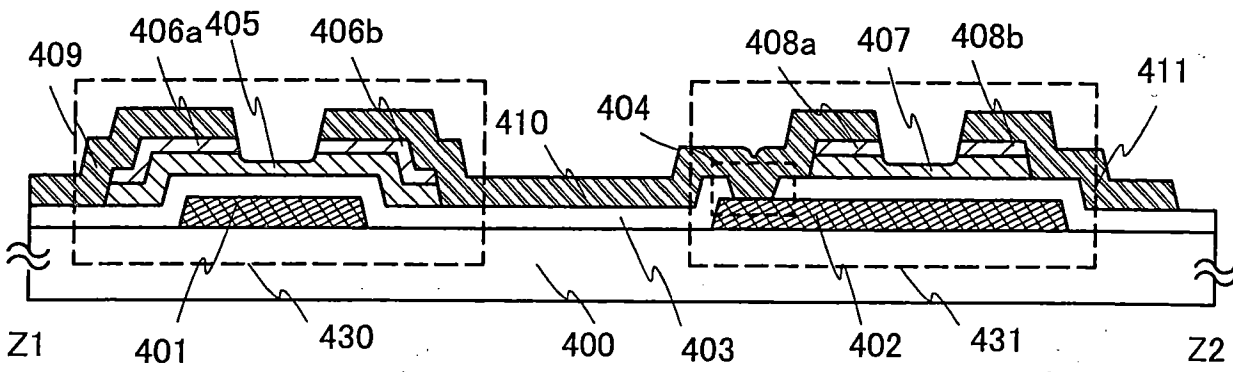


圖 1B

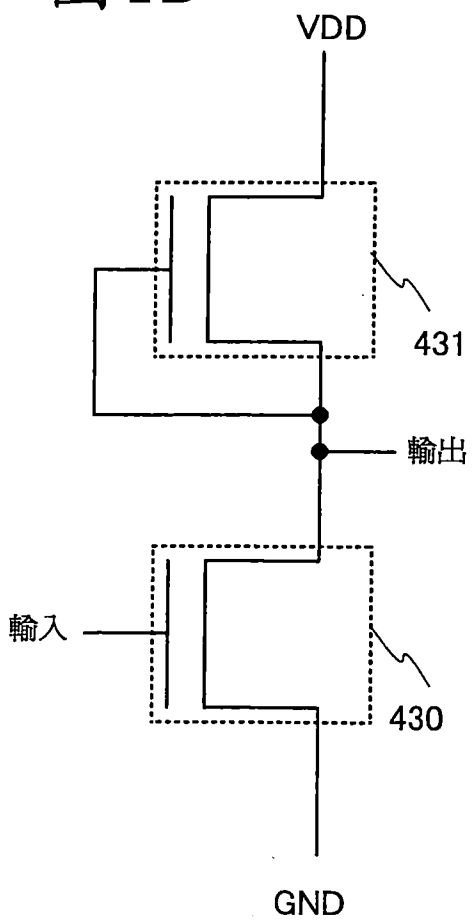
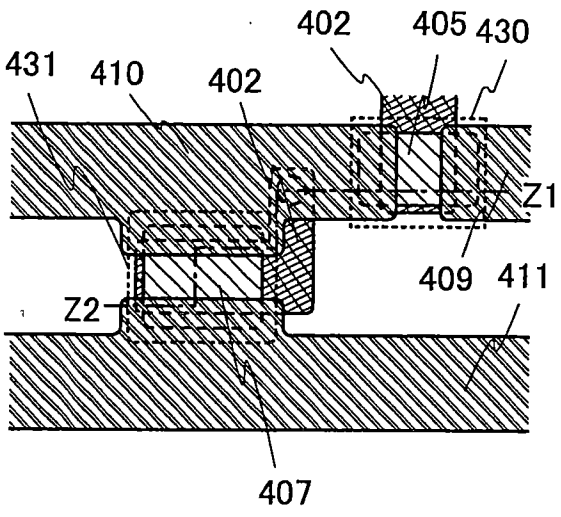


圖 1C



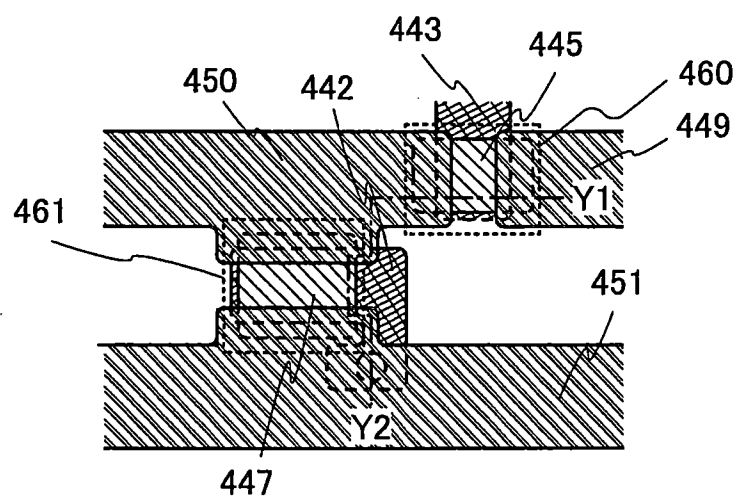
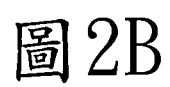


圖 3A

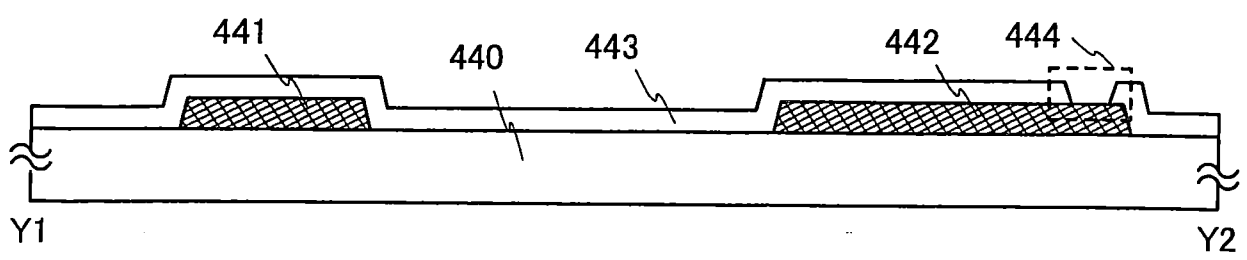


圖 3B

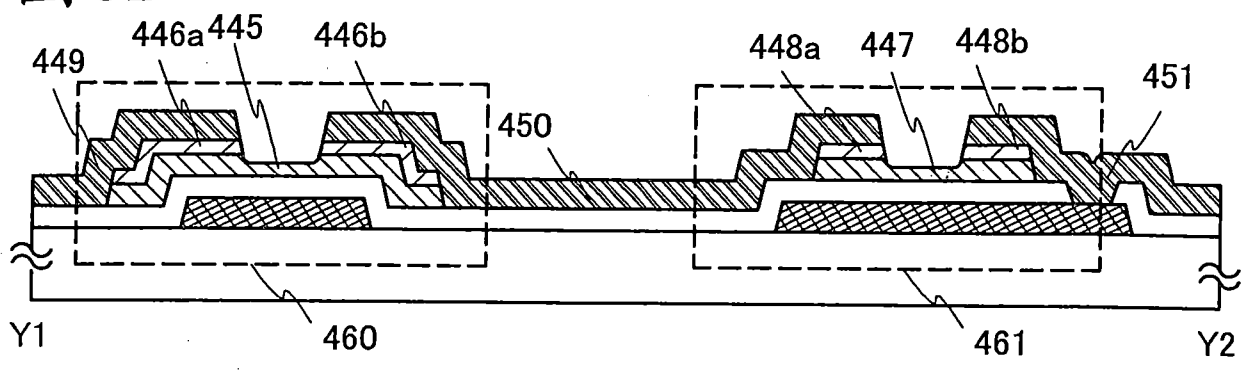


圖 3C

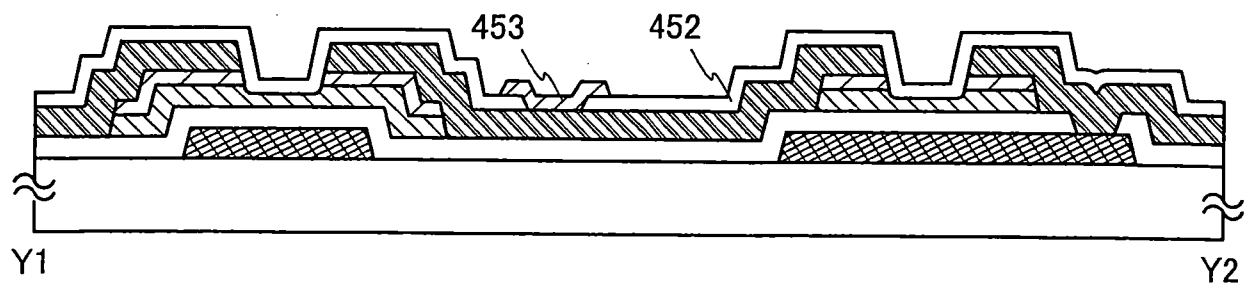


圖 4A

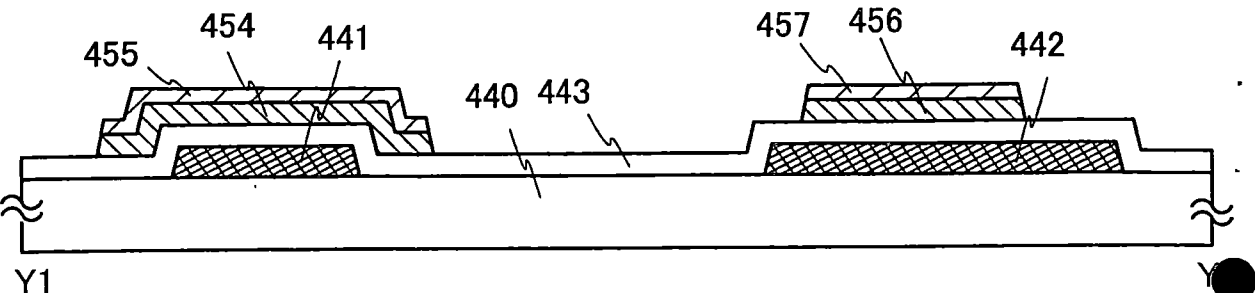


圖 4B

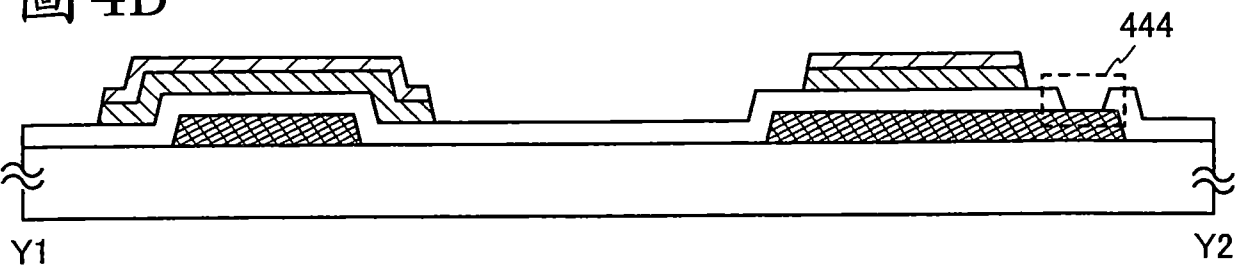


圖 4C

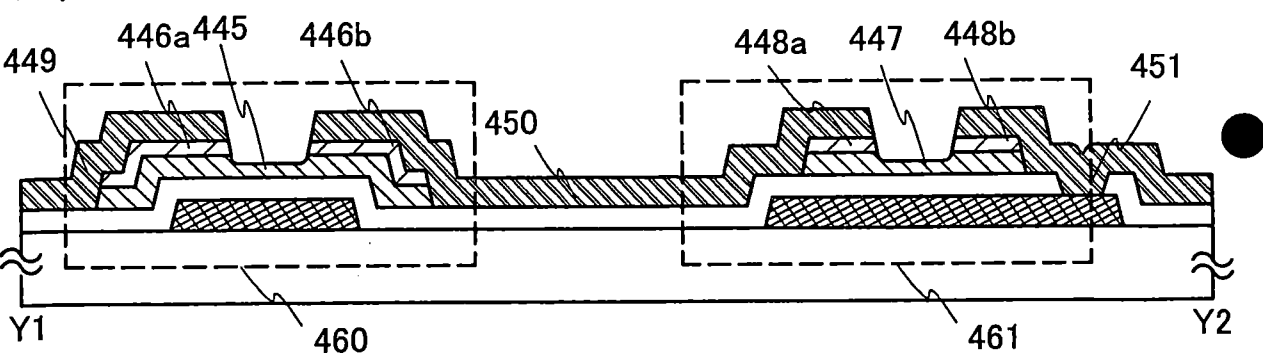


圖 4D

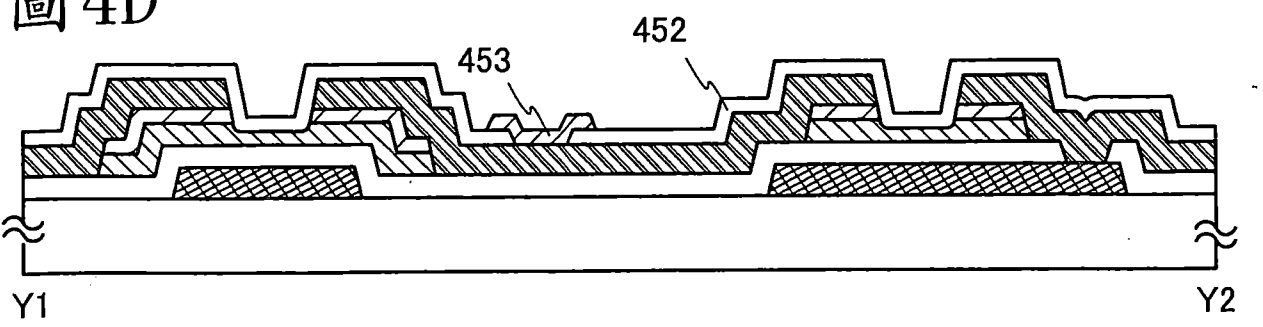


圖5A

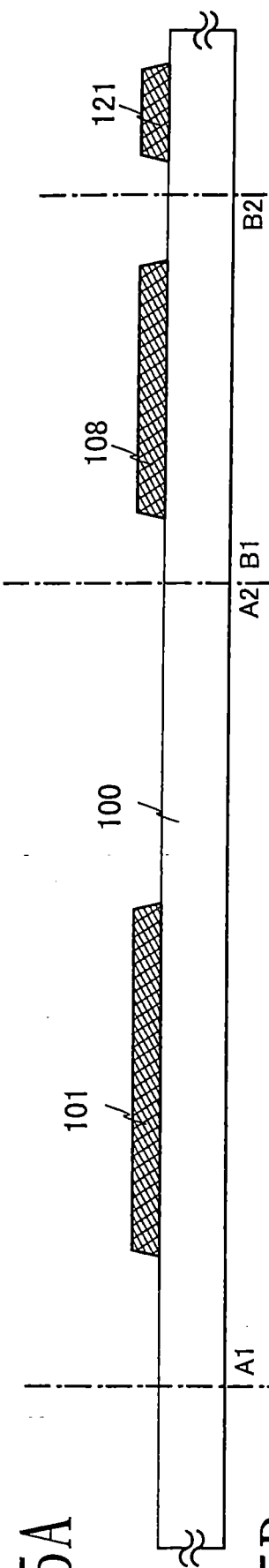


圖5B

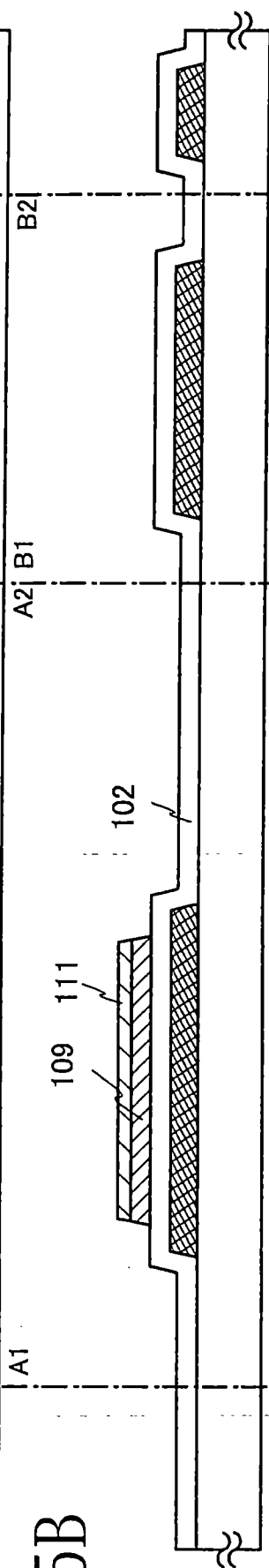


圖5C

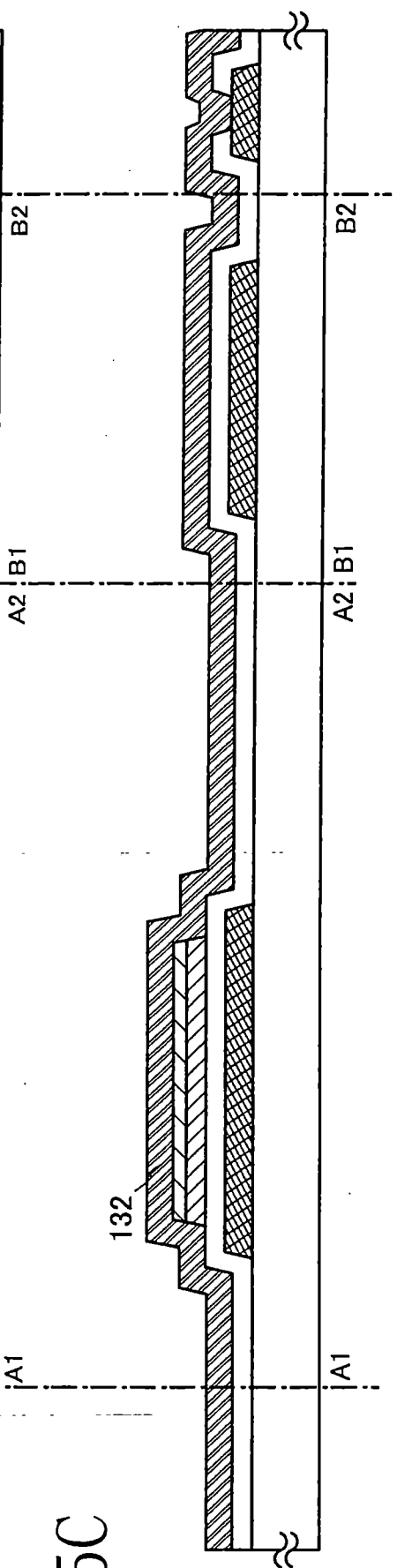


圖 6A

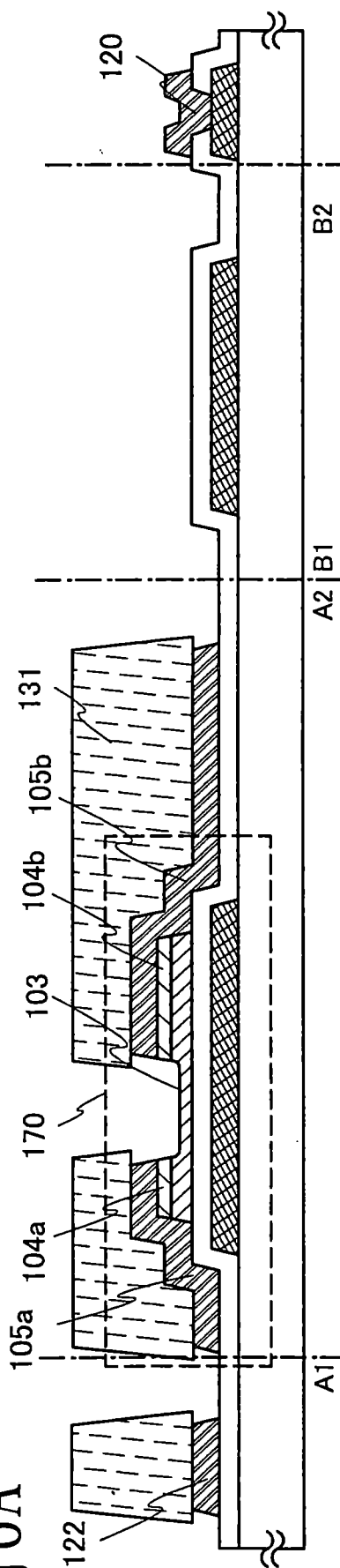


圖 6B

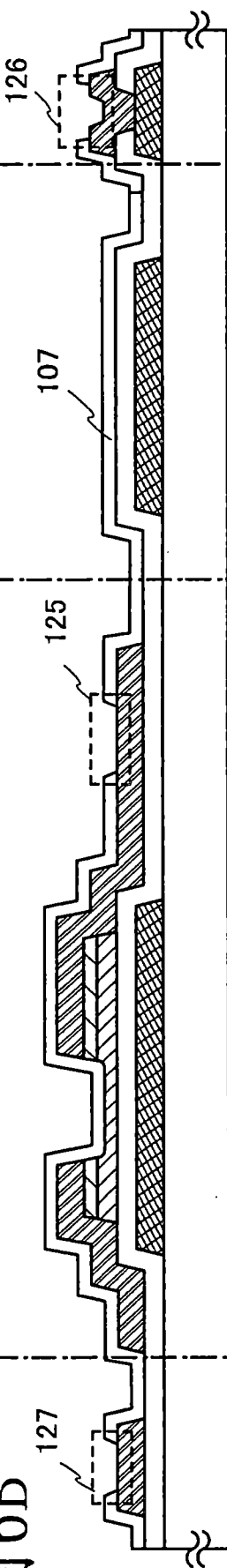


圖 6C

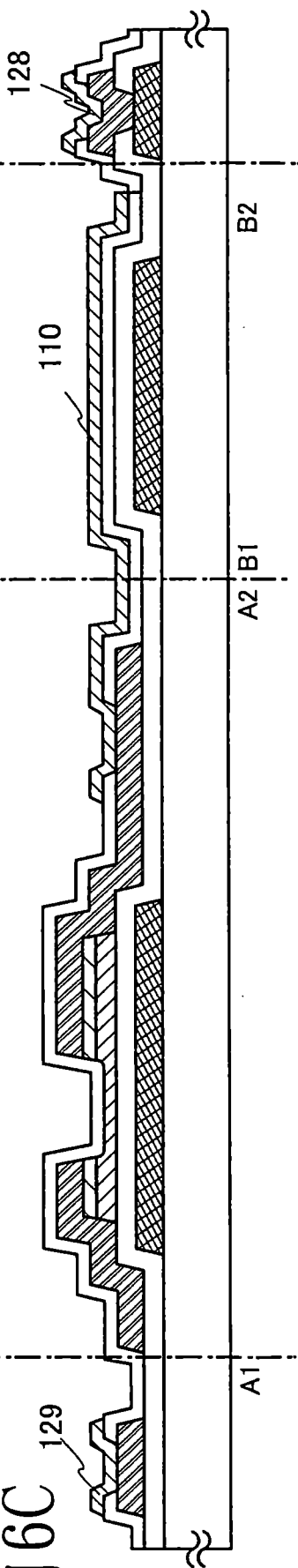


圖 7

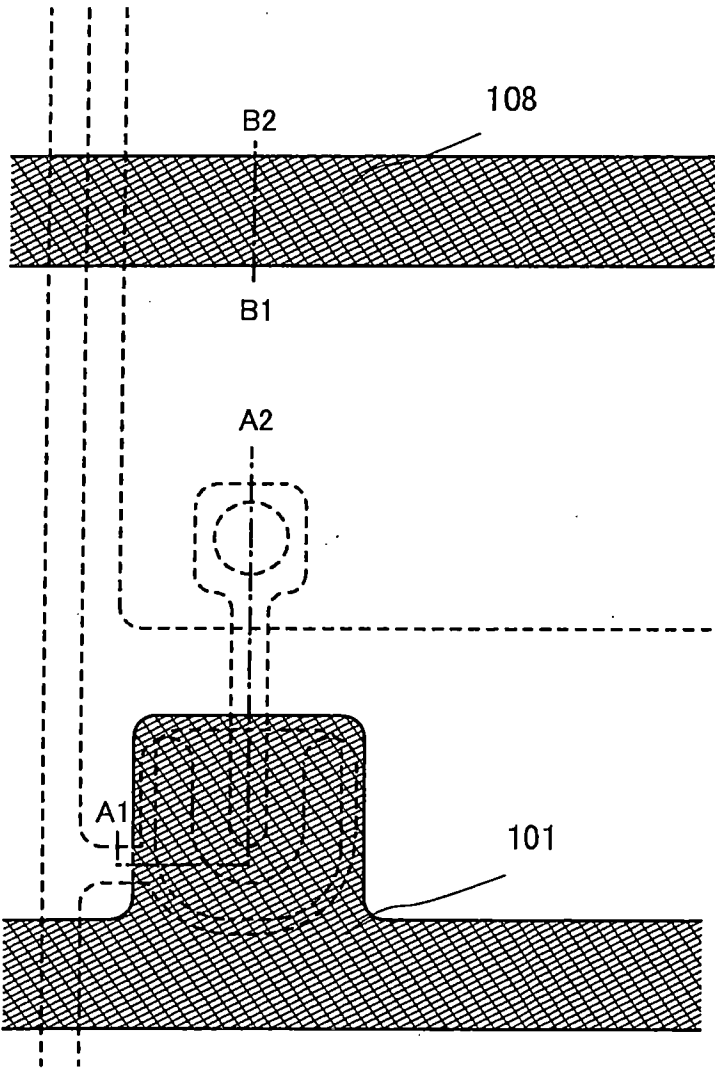


圖 8

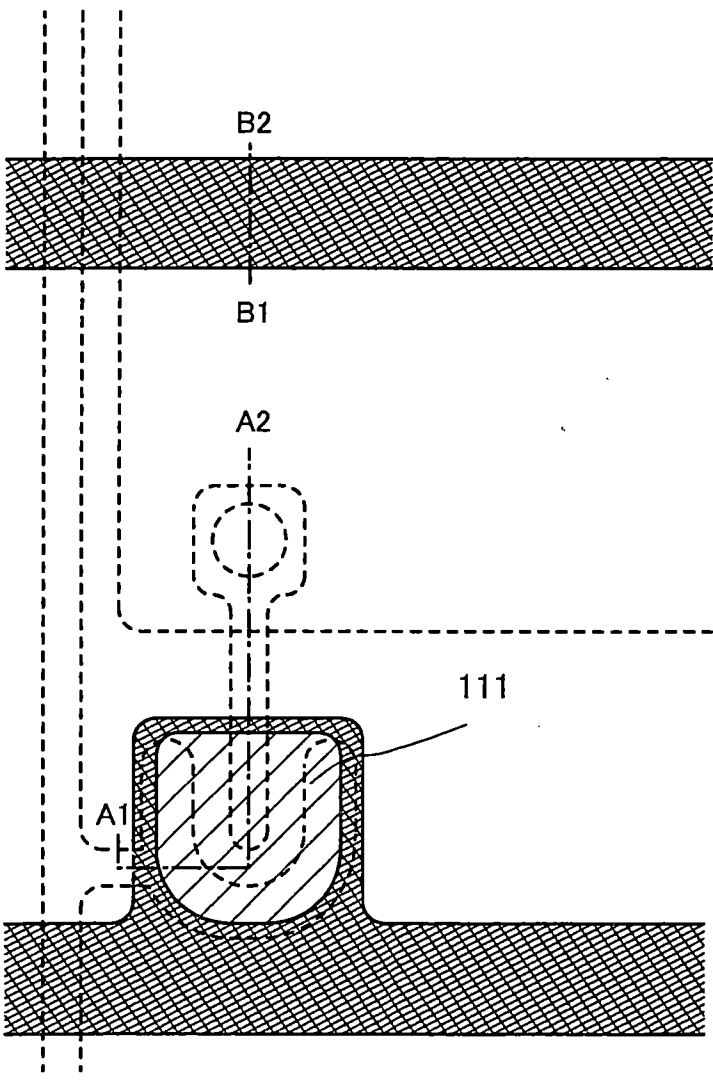


圖 9

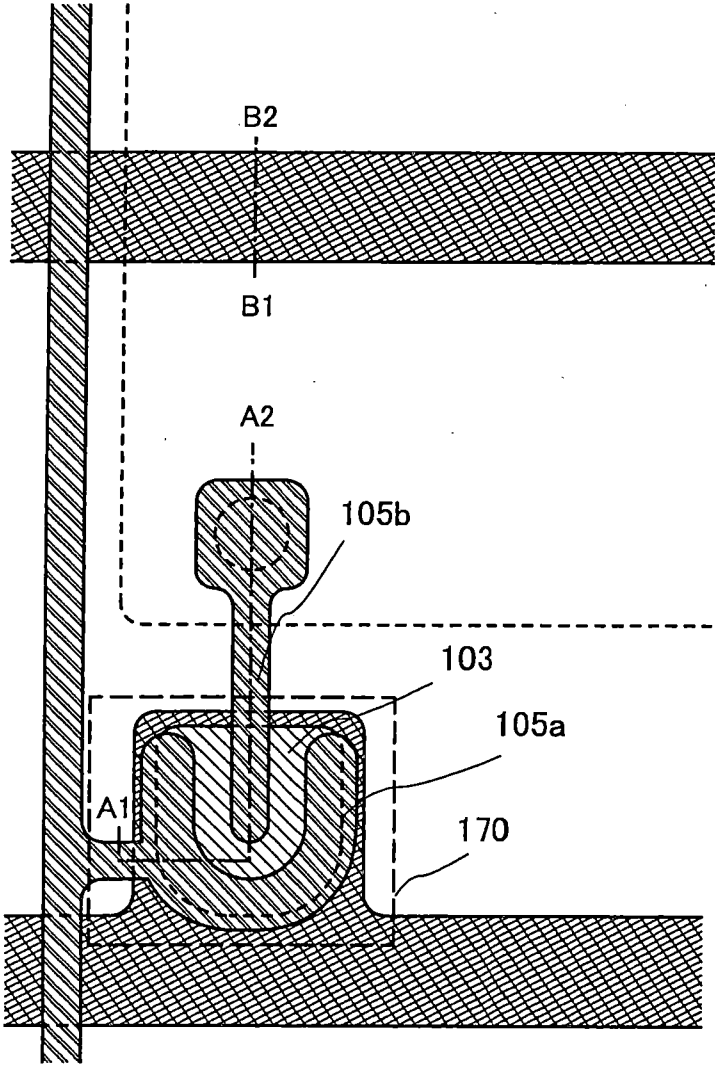


圖 10

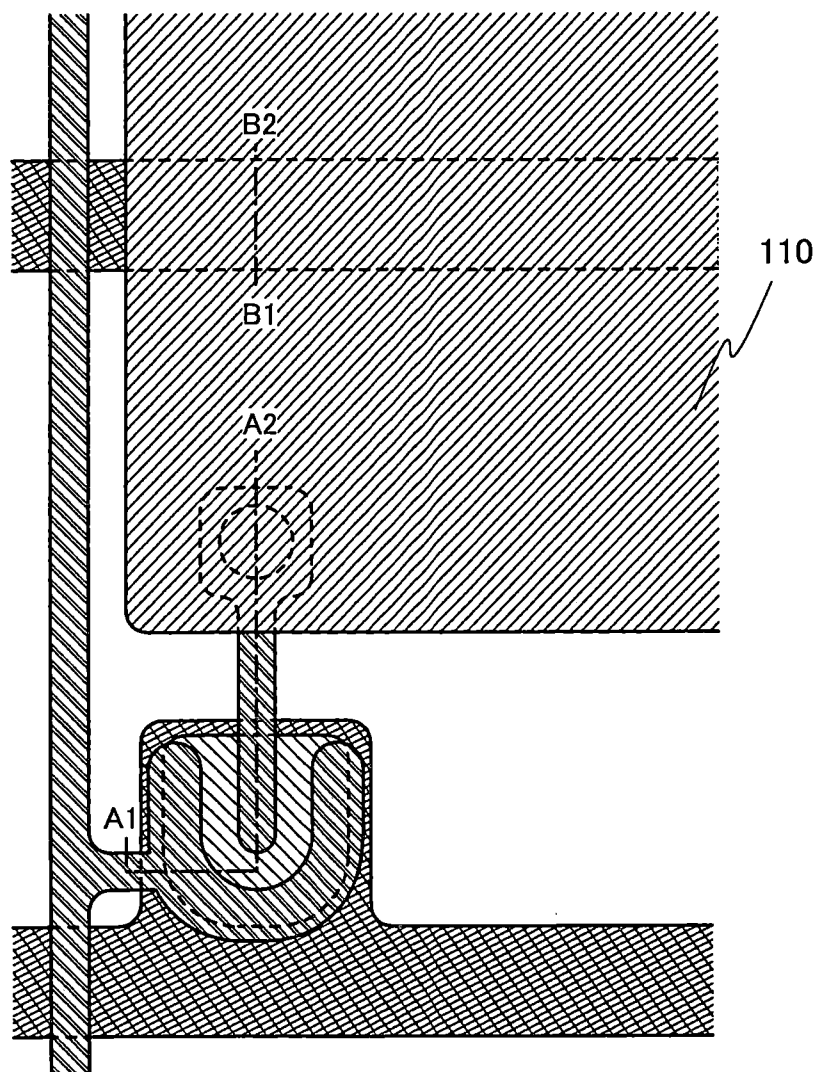


圖 11A1

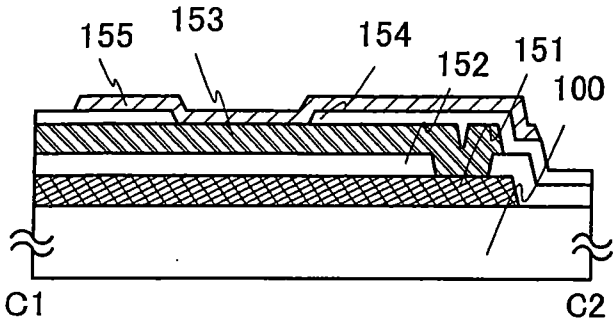


圖 11A2

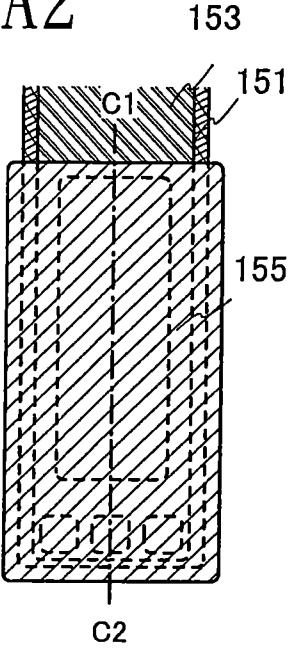


圖 11B1

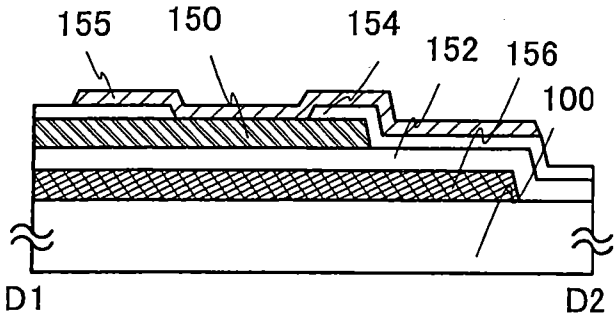


圖 11B2

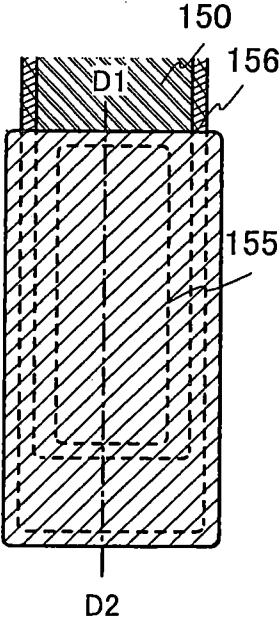


圖12

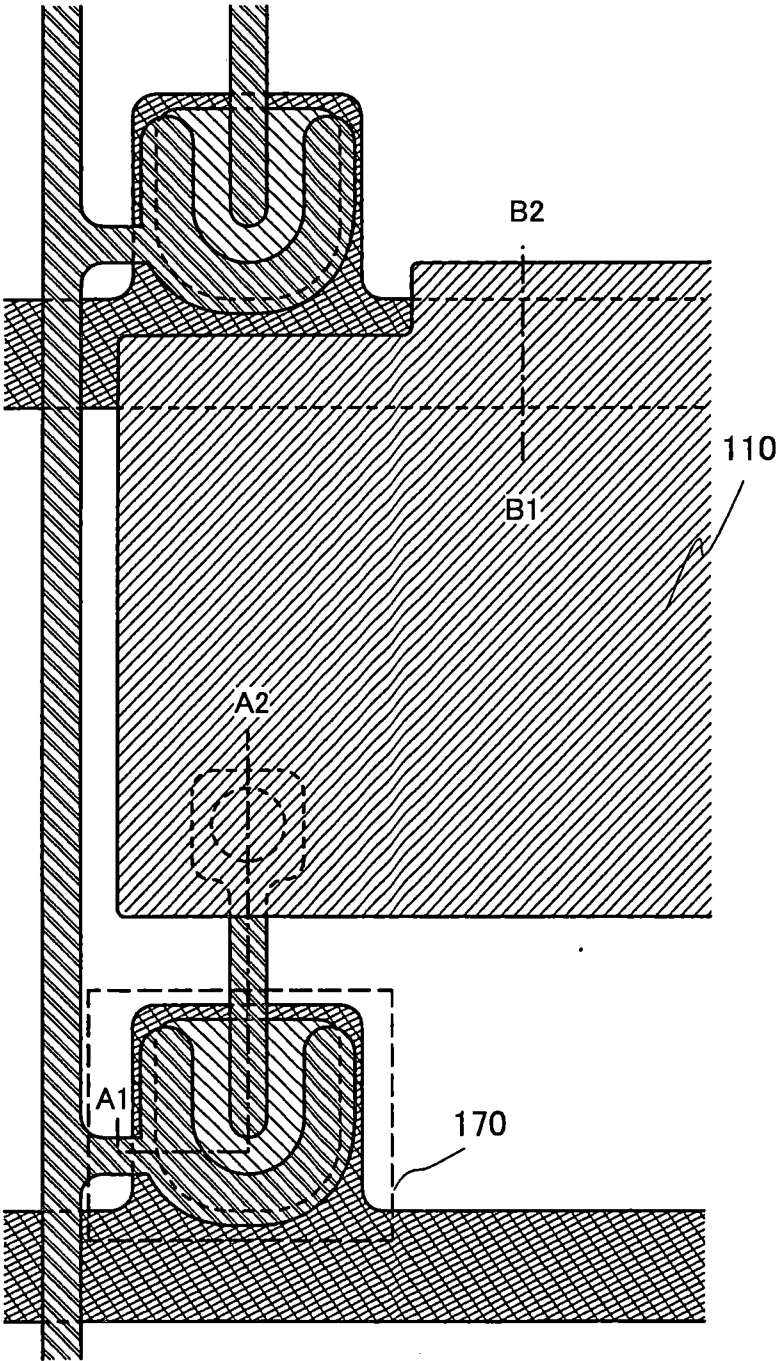


圖13

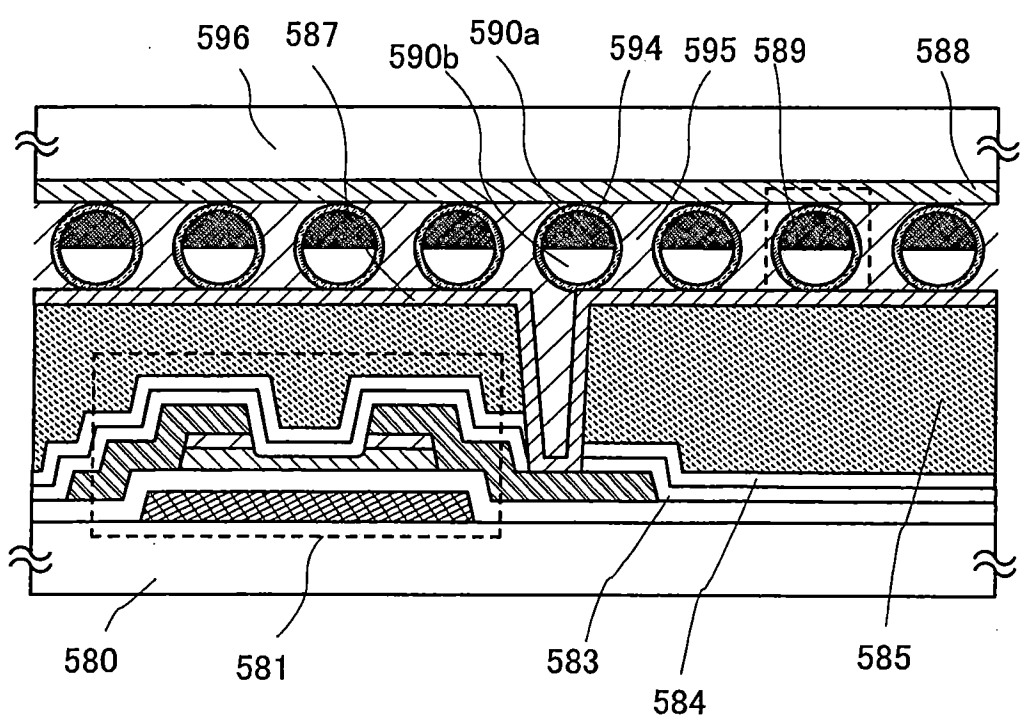


圖 14A

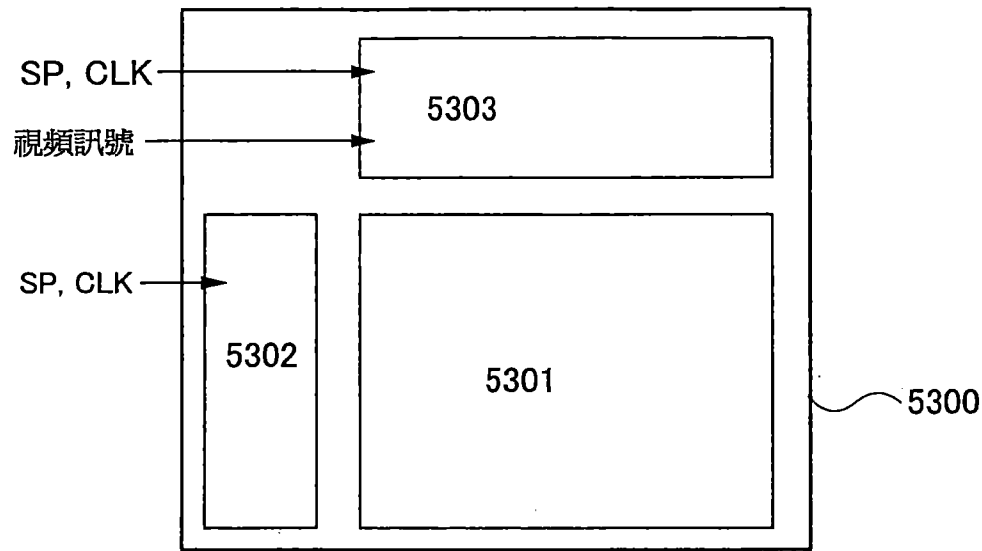


圖 14B

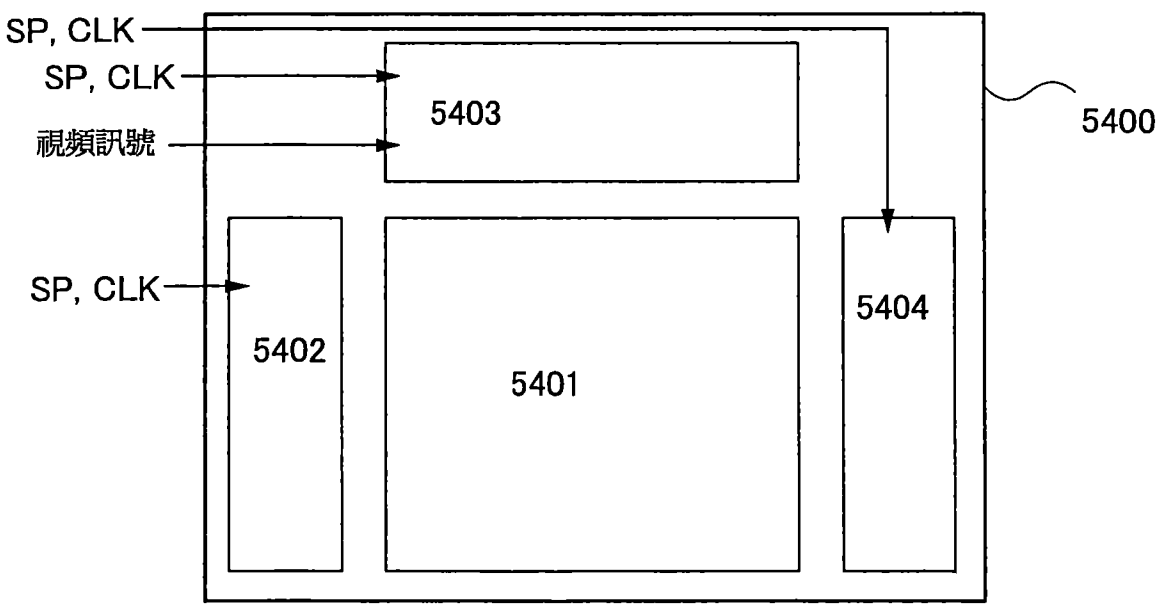


圖15

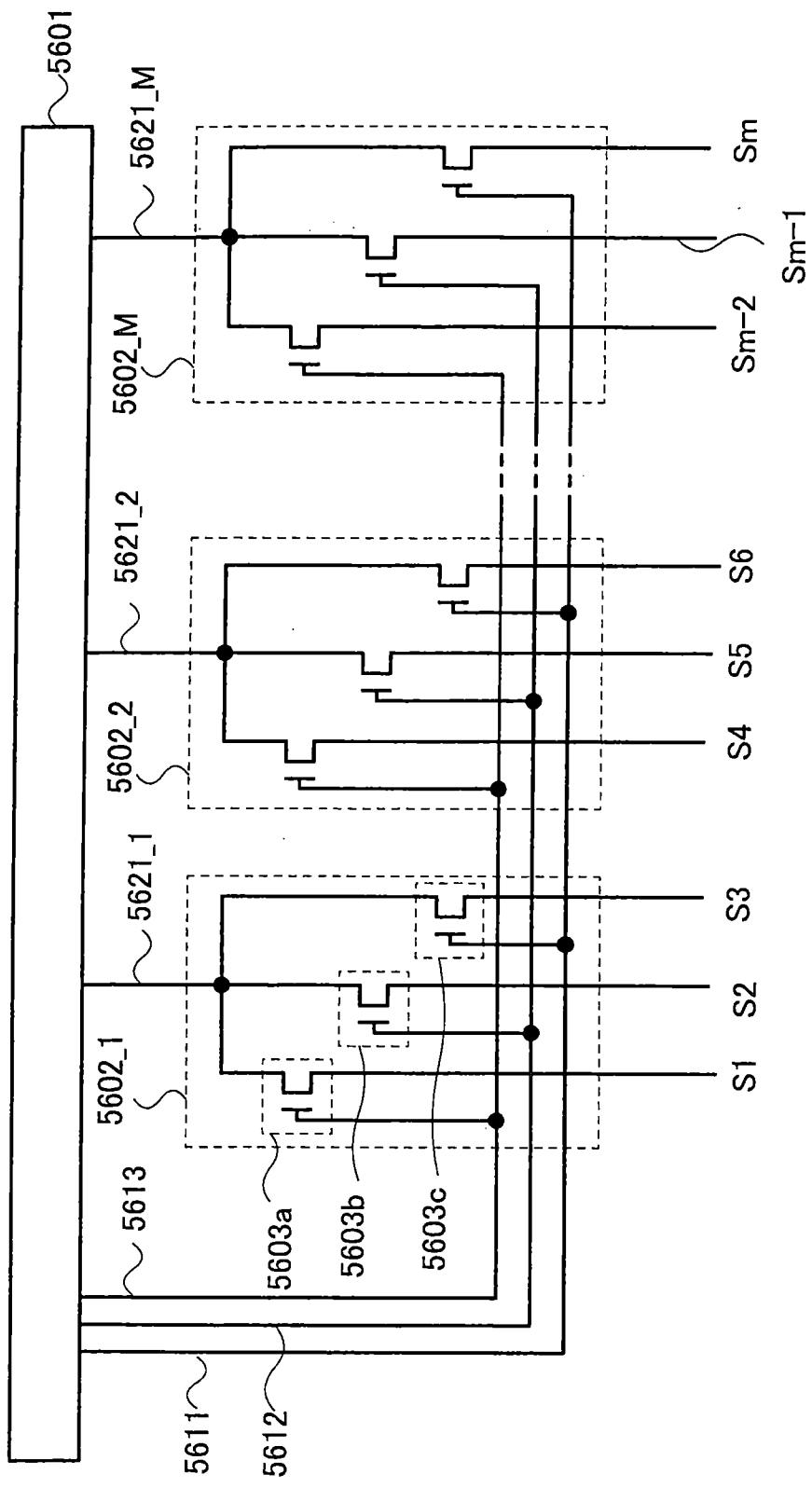


圖16

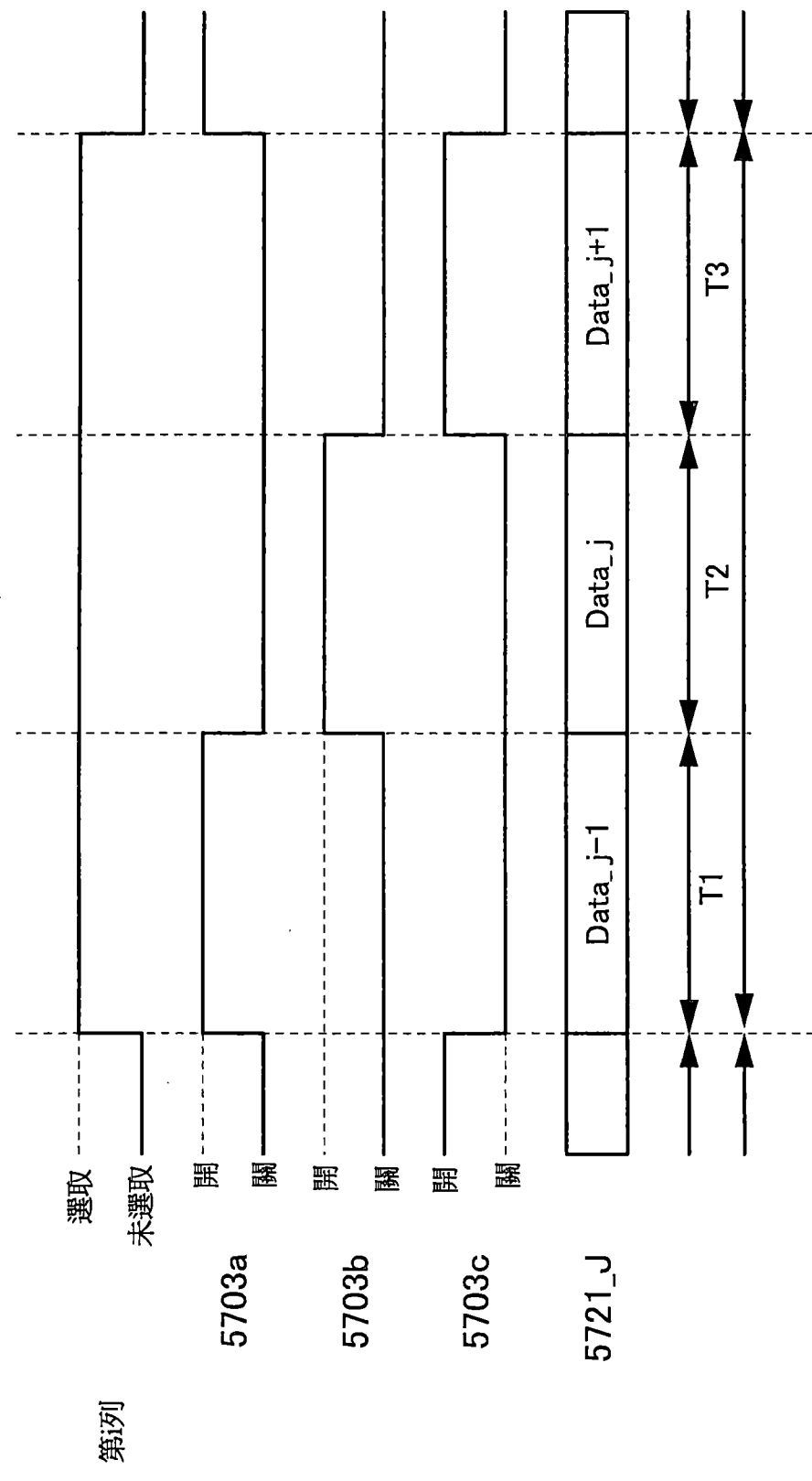


圖17

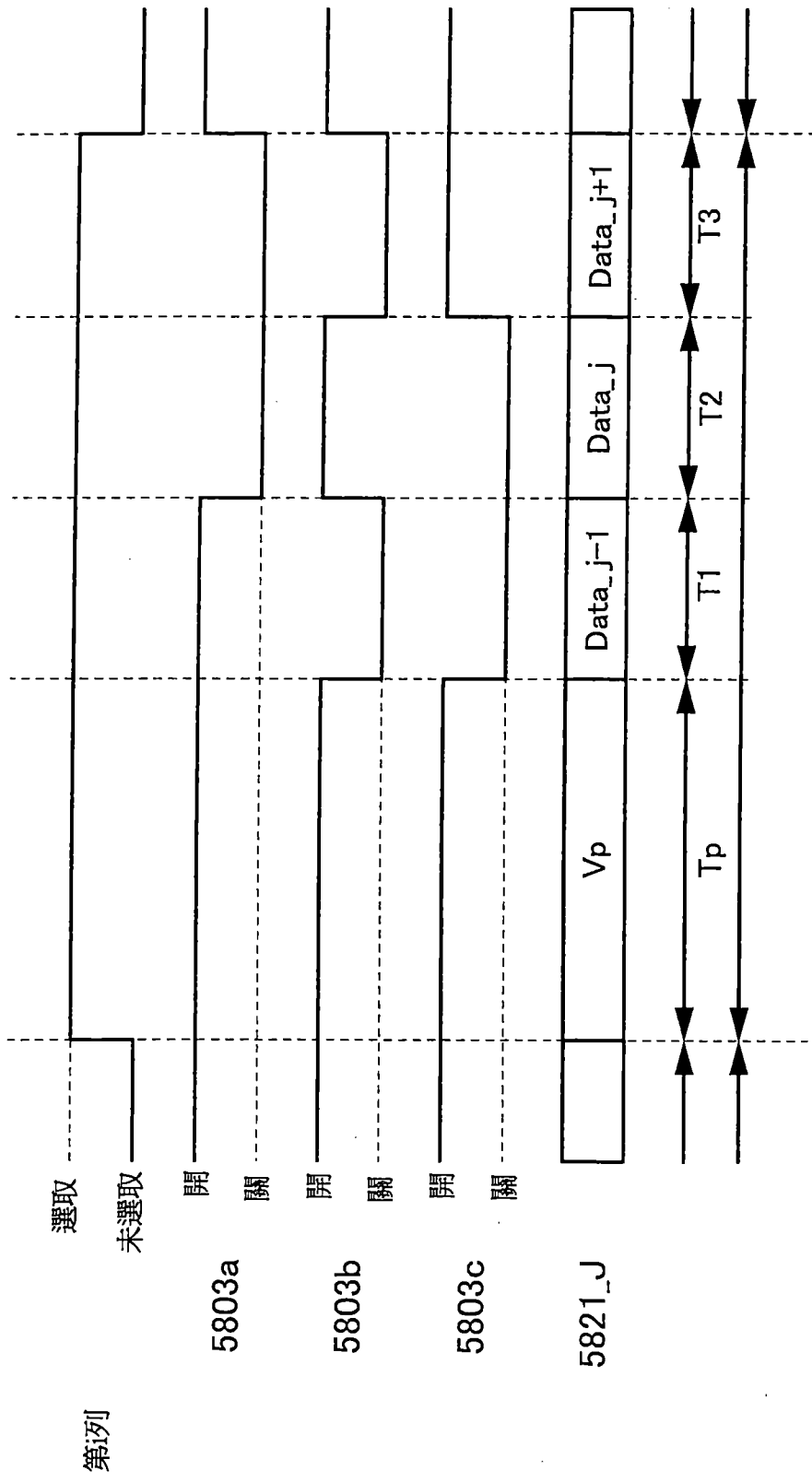


圖18

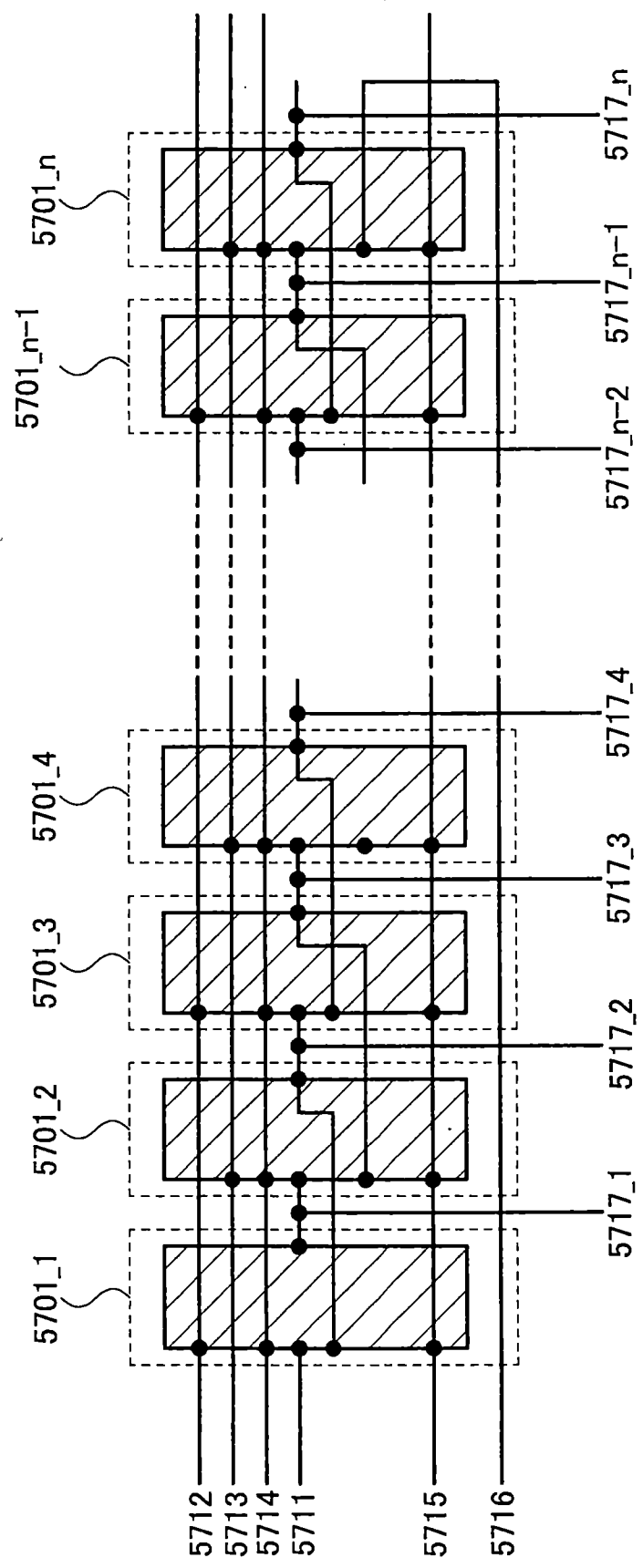


圖 19

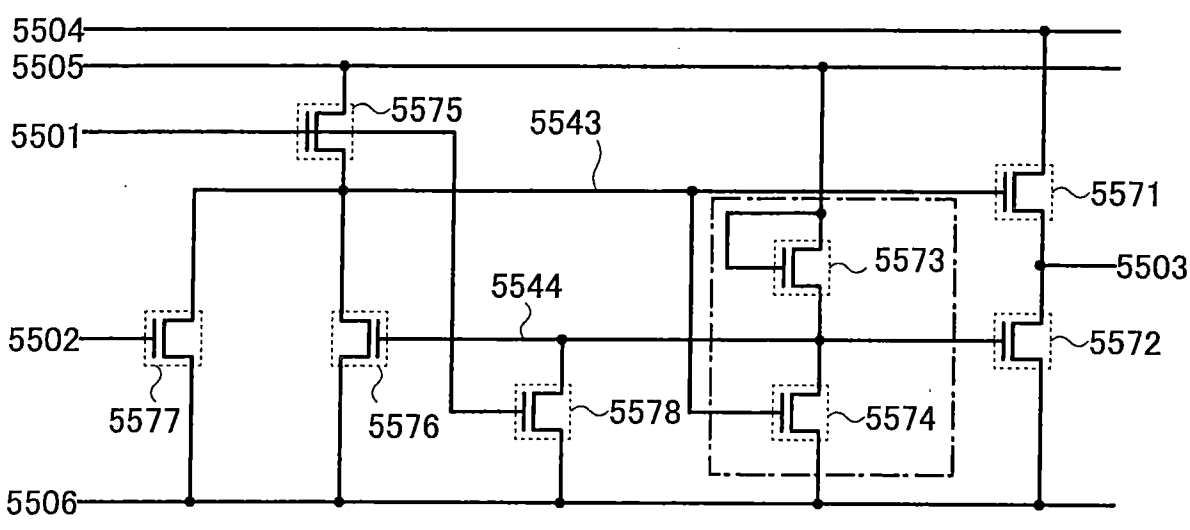


圖 20

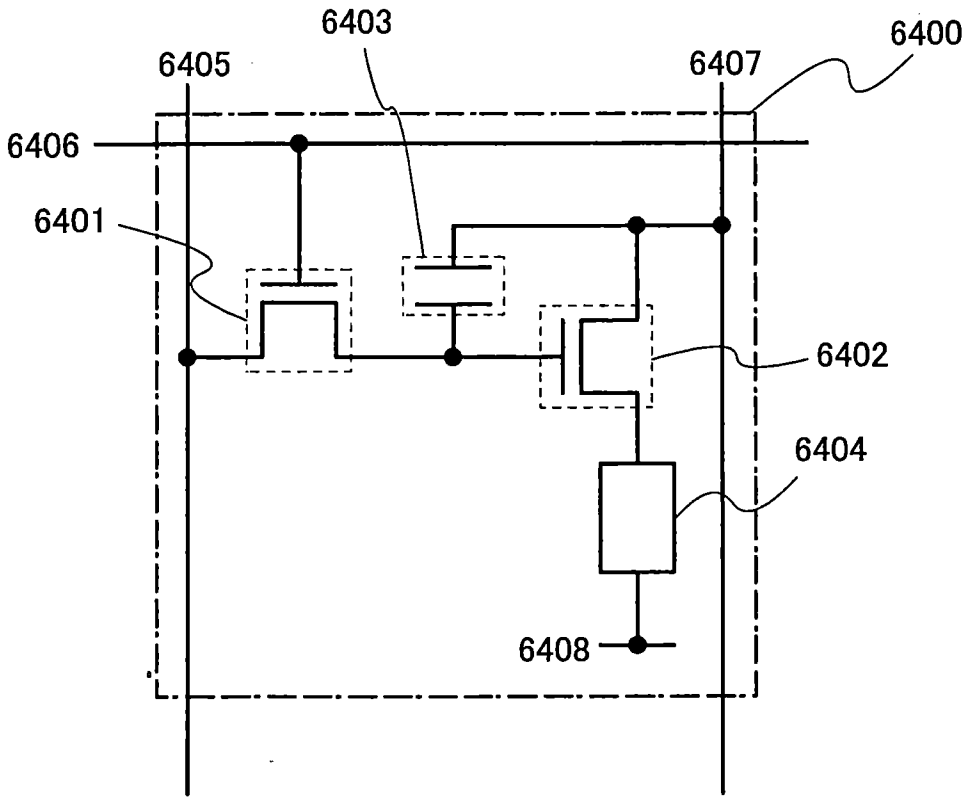


圖 21A

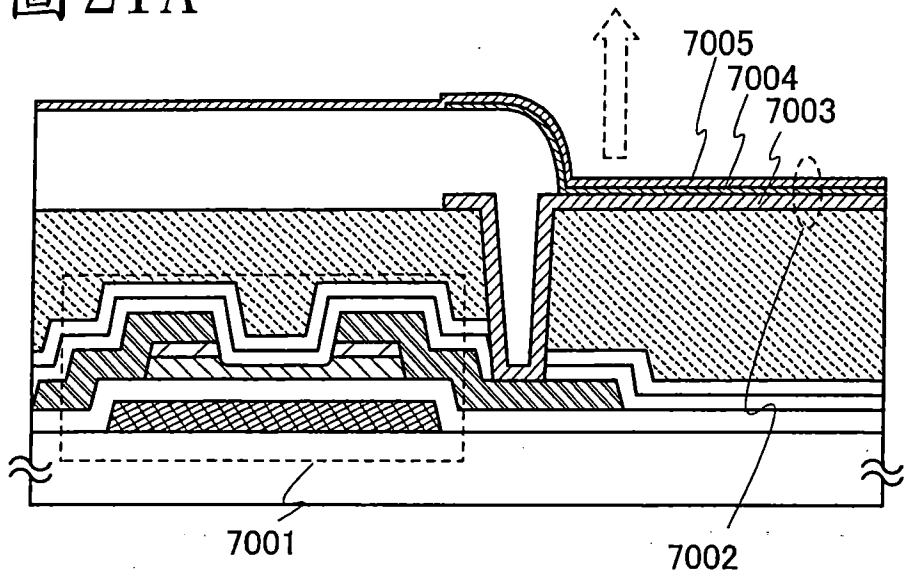


圖 21B

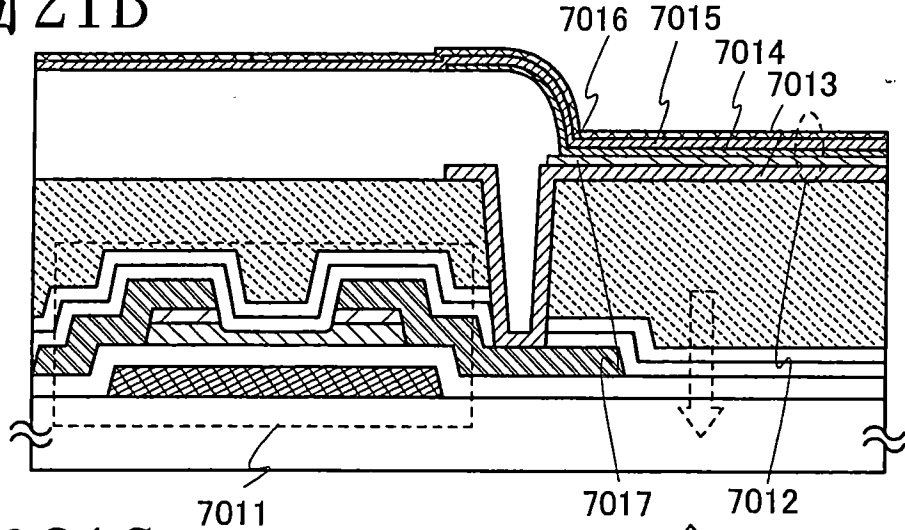


圖 21C

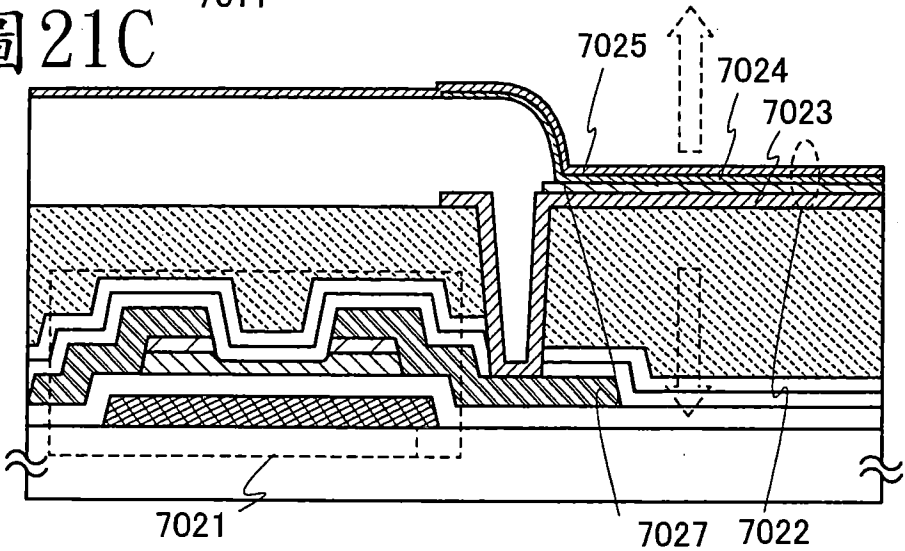


圖22A1

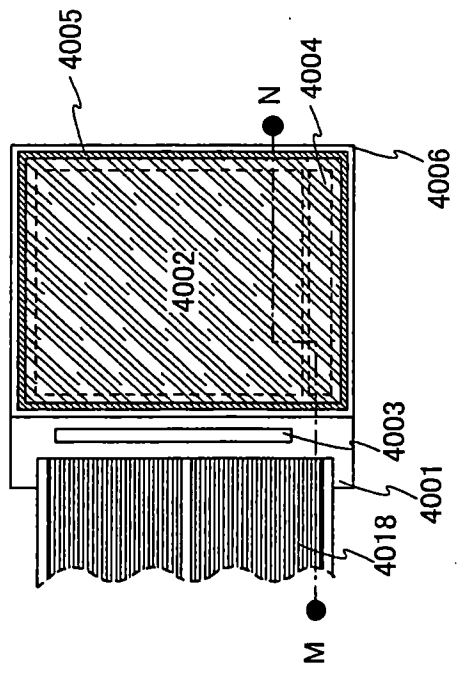


圖22A2

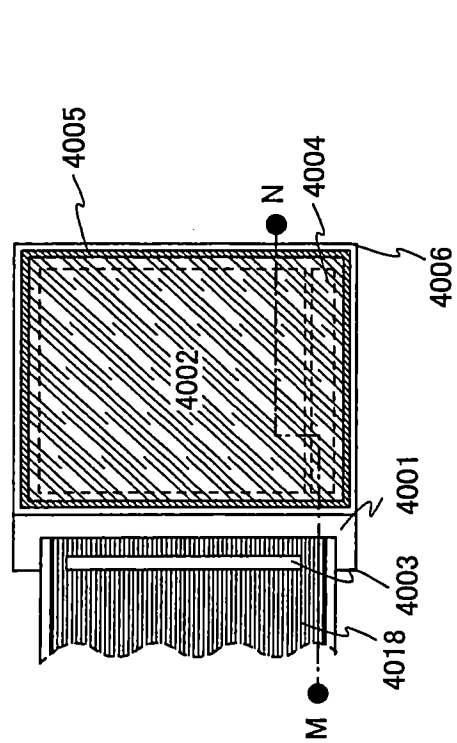


圖22B

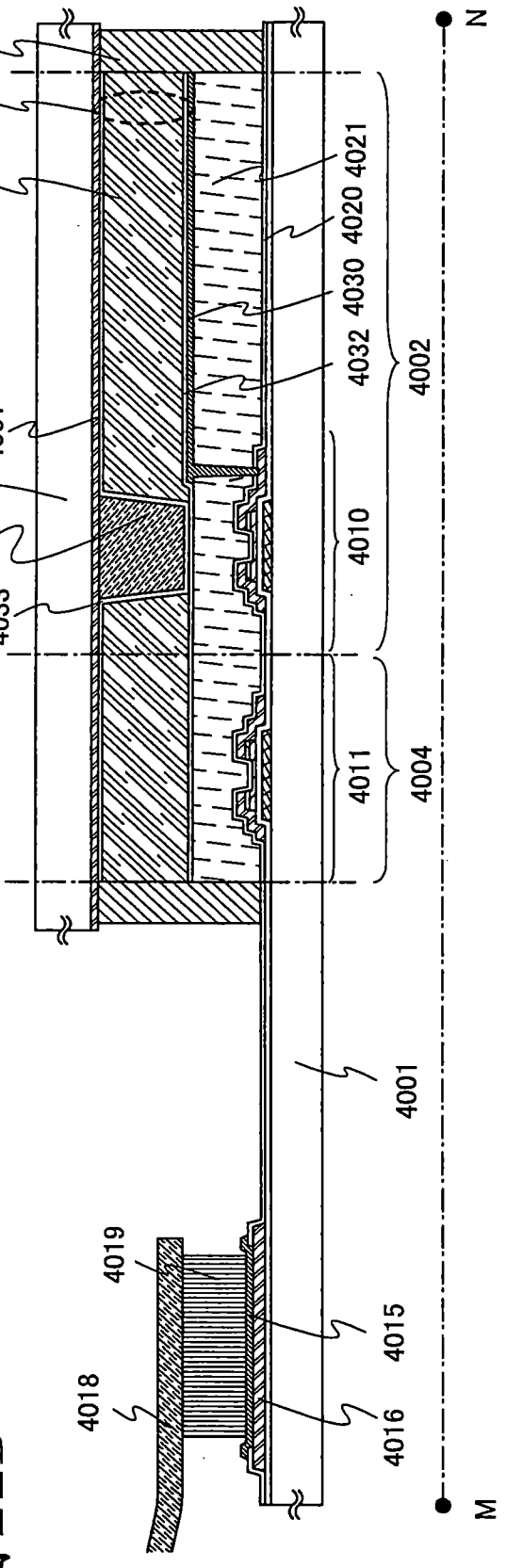


圖23

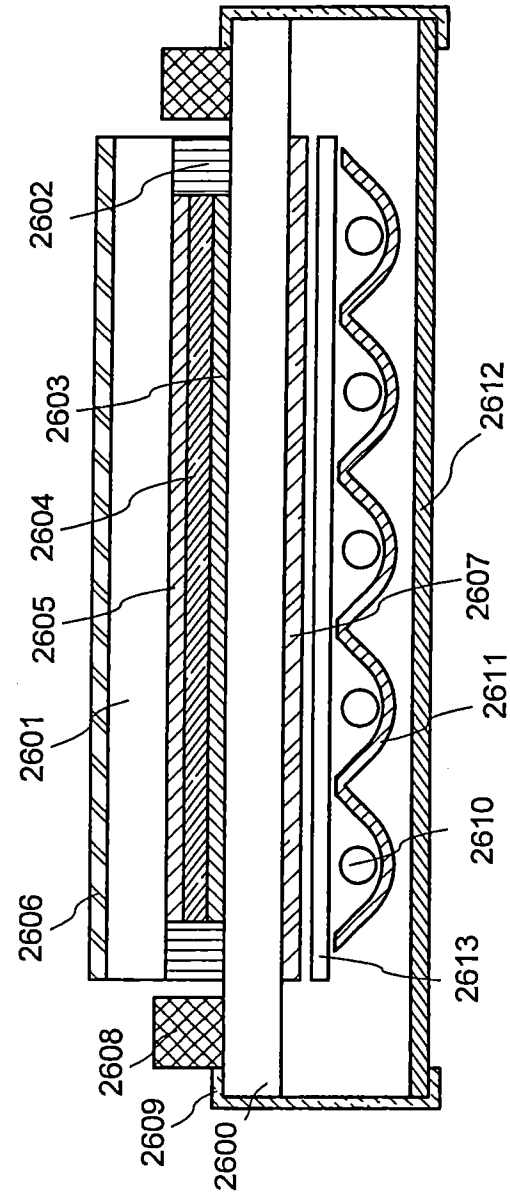


圖24A

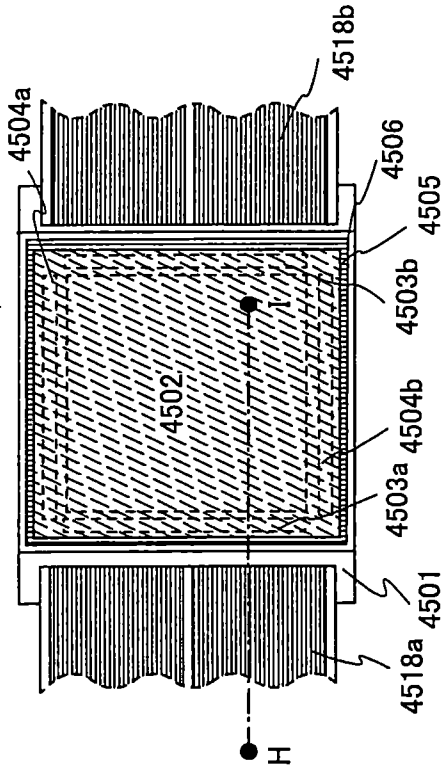


圖24B

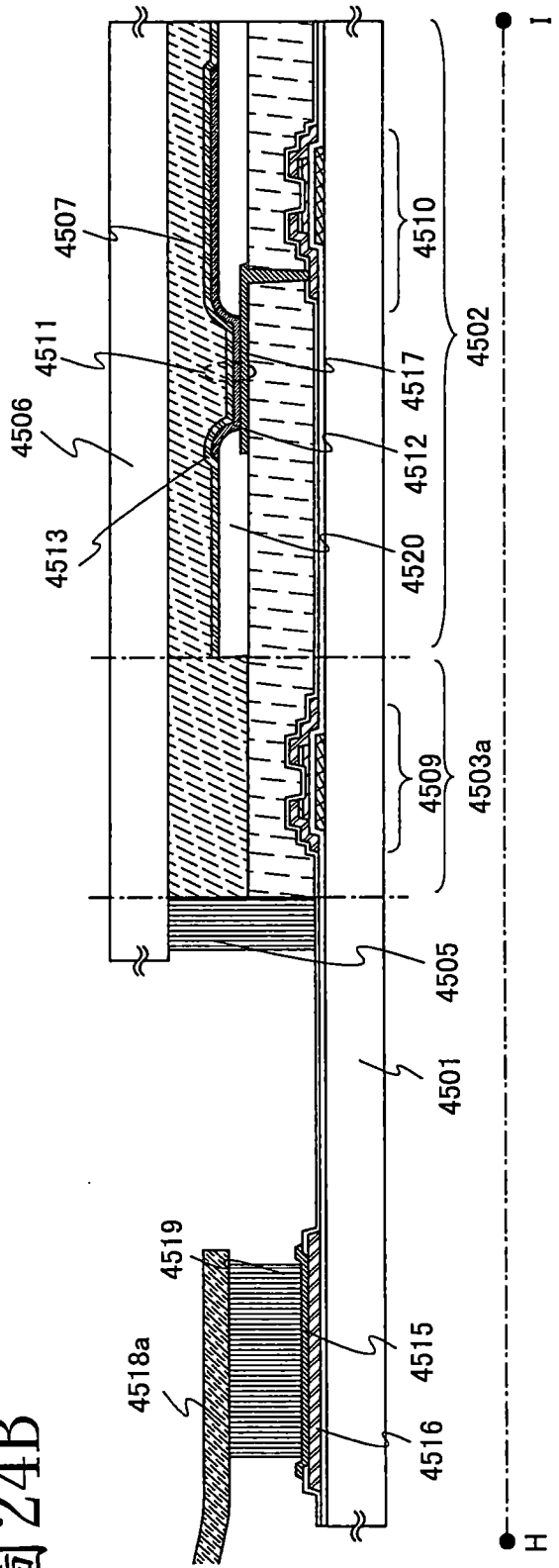


圖 25A

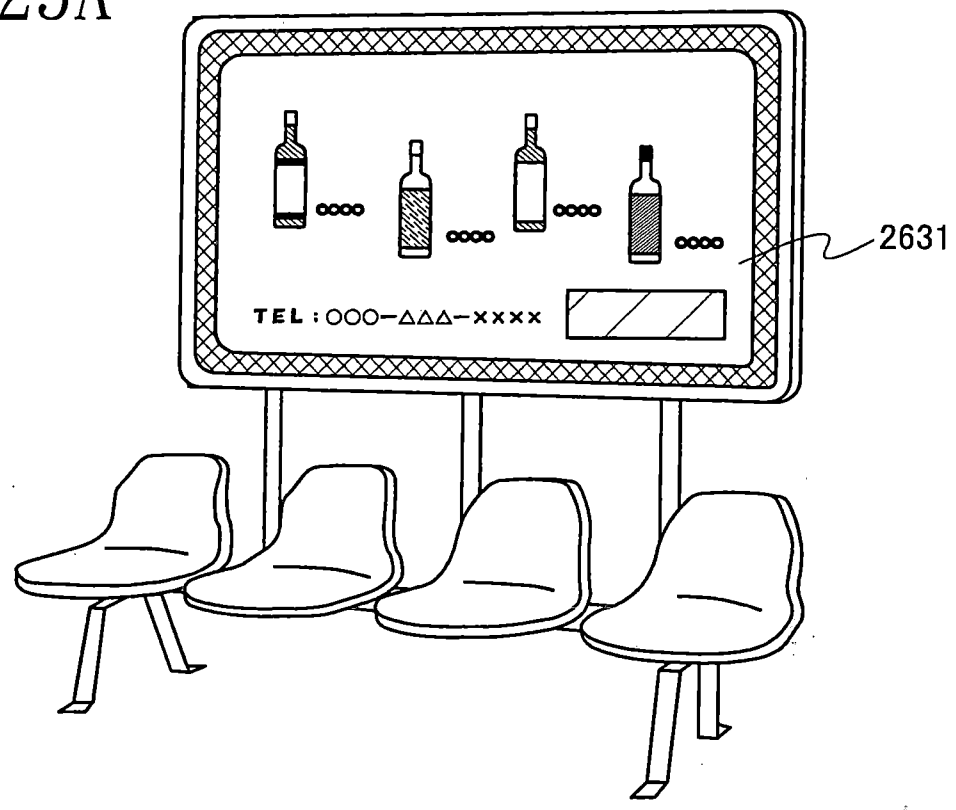


圖 25B

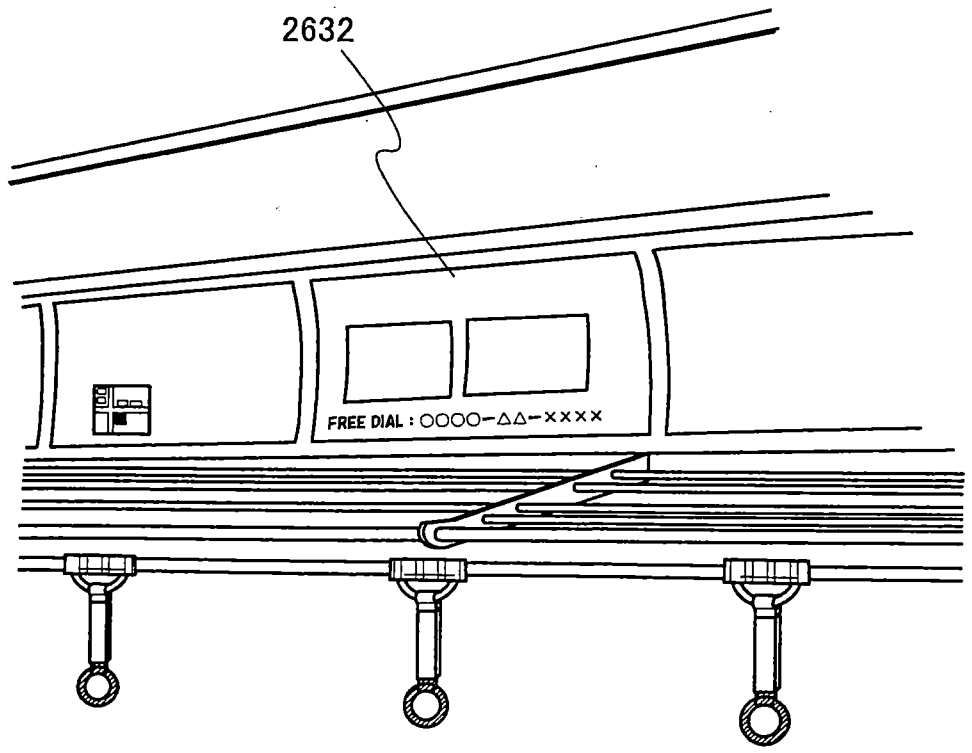


圖 26

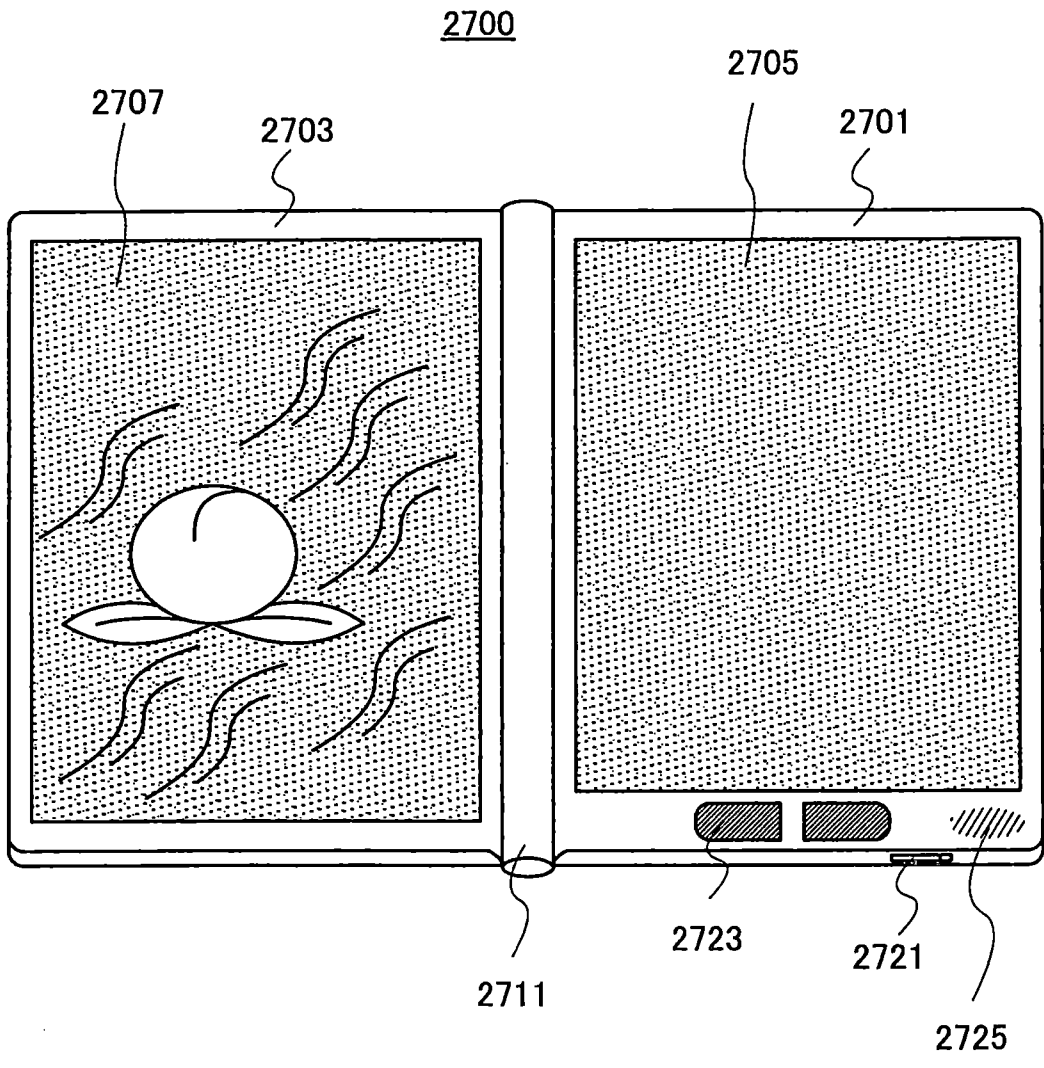


圖 27A

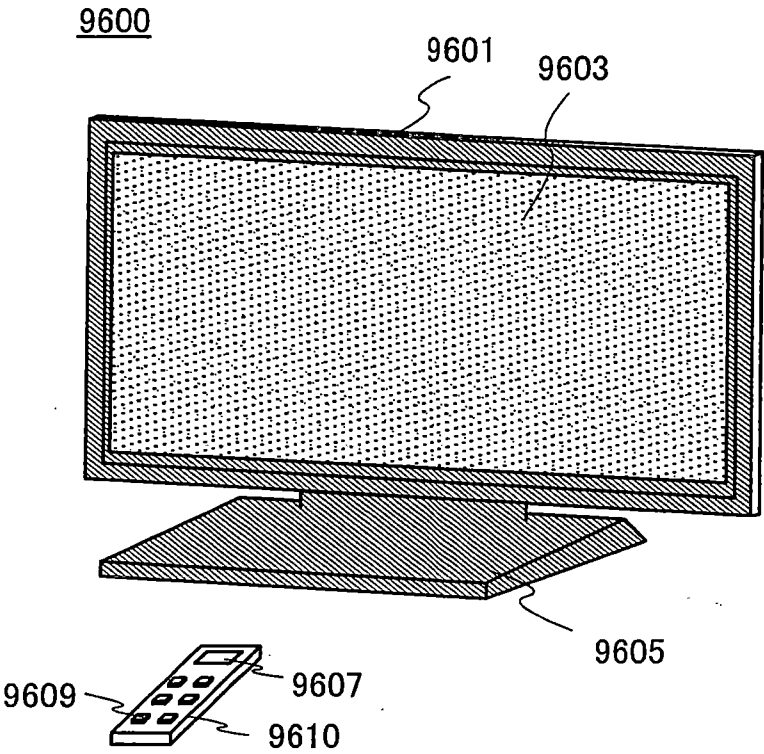


圖 27B

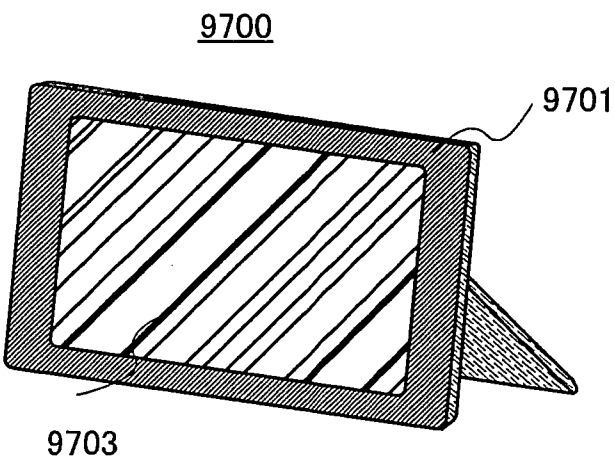


圖 28A

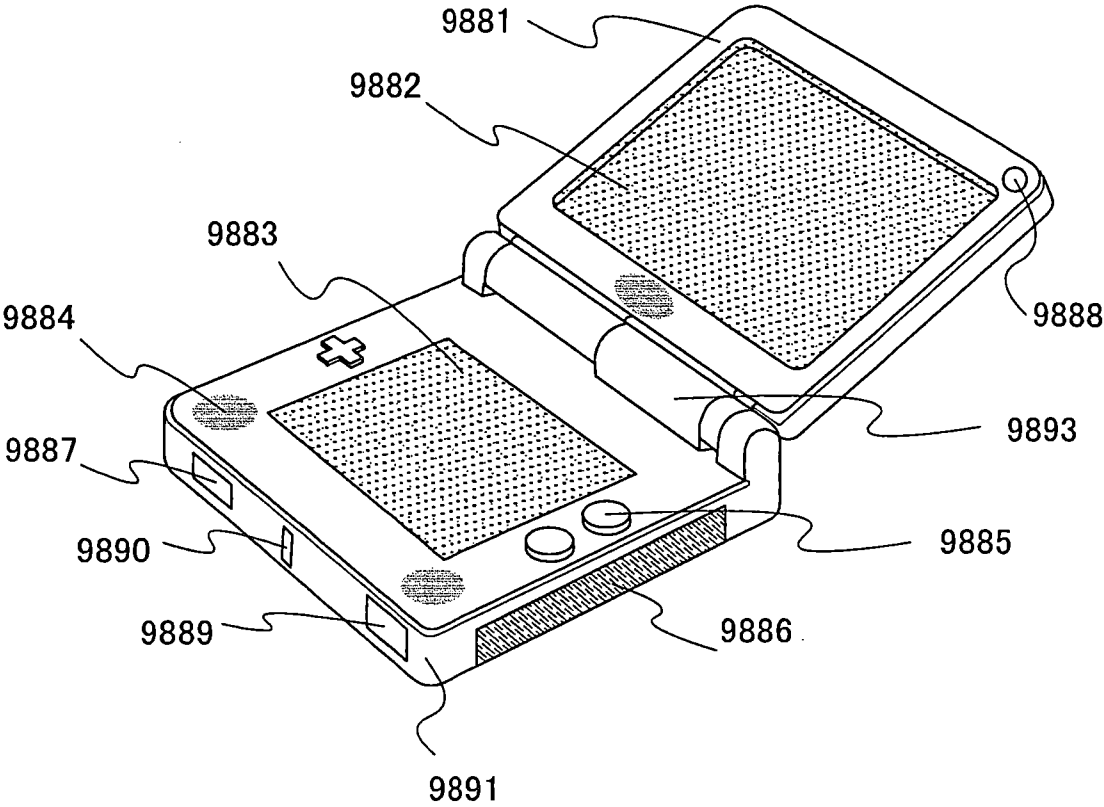


圖 28B

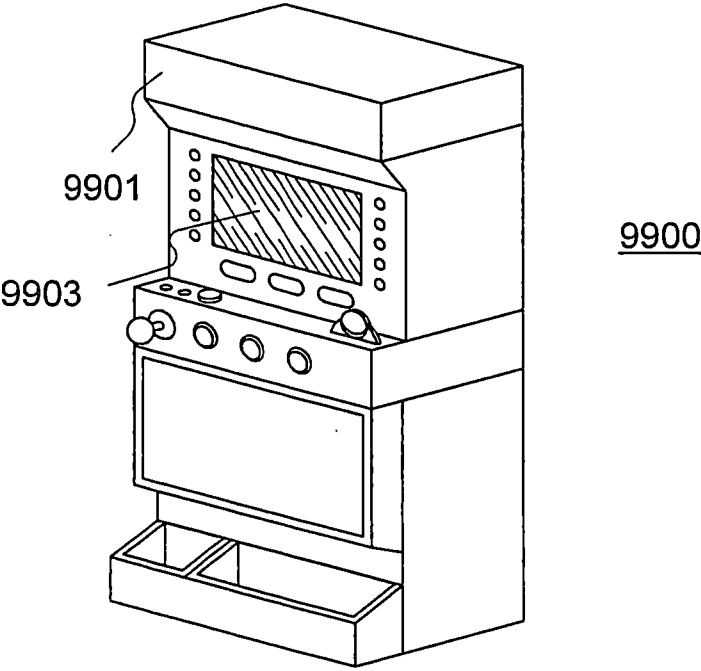


圖 29A

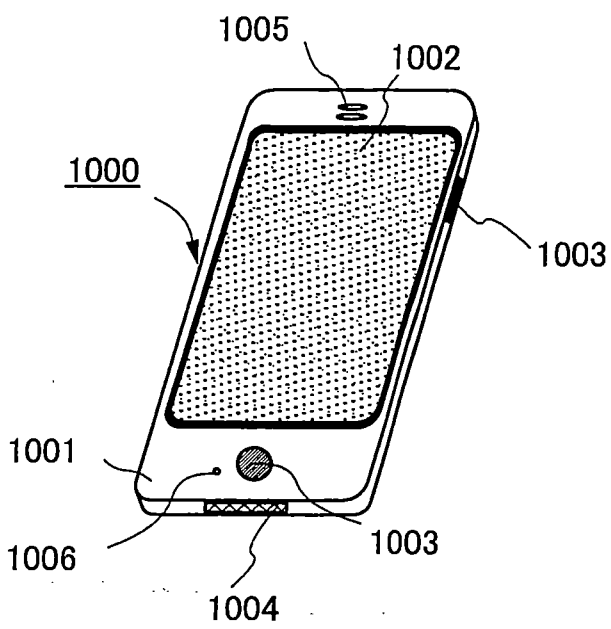


圖 29B

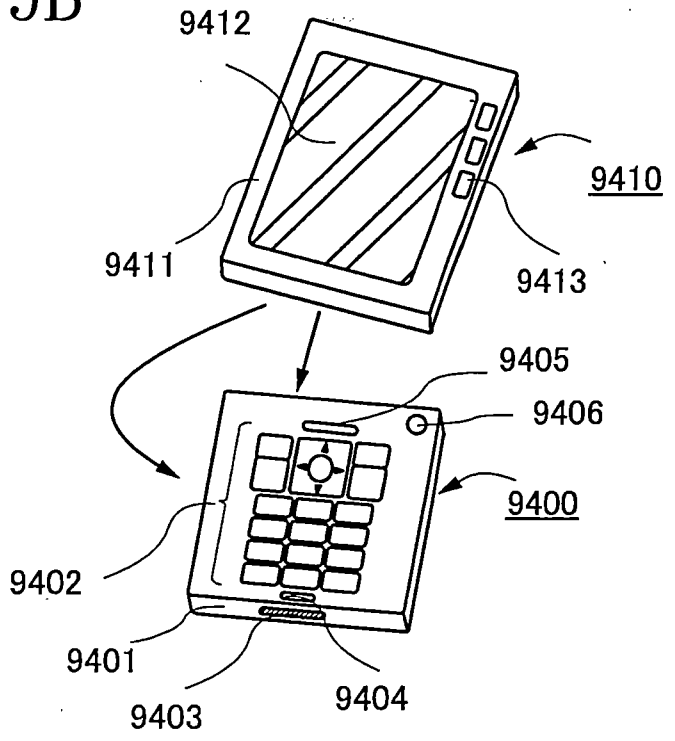


圖 30

