

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月29日(29.03.2018)



(10) 国際公開番号
WO 2018/055902 A1

(51) 国際特許分類:
G09F 9/30 (2006.01) H01L 51/50 (2006.01)
G09G 3/20 (2006.01) H05B 33/02 (2006.01)
G09G 3/3225 (2016.01)

(21) 国際出願番号: PCT/JP2017/027160

(22) 国際出願日: 2017年7月27日(27.07.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-184280 2016年9月21日(21.09.2016) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

(72) 発明者: 藤井 拓磨(FUJII, Takuma); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニ

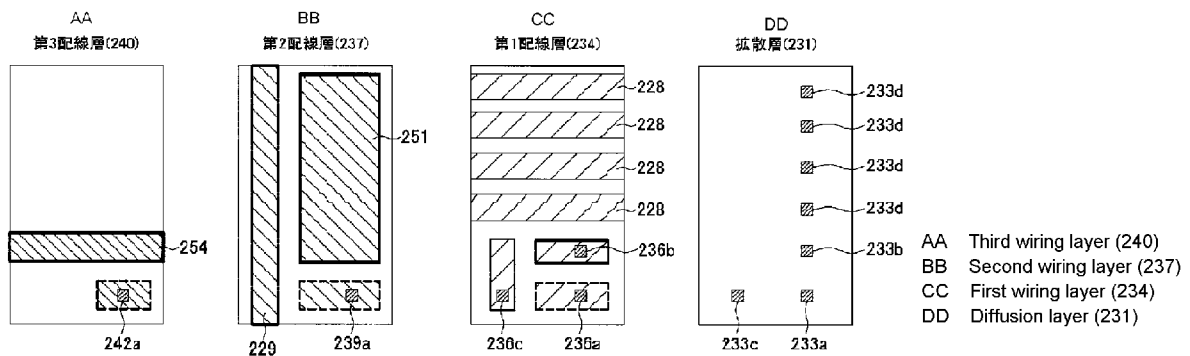
ーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 豊村 直史(Toyomura, Naobumi); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 亀谷 美明, 外(KAMEYA, Yoshiaki et al.); 〒1600004 東京都新宿区四谷3-1-3 第一富澤ビル はづき国際特許事務所 四谷オフィス Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DISPLAY DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 表示装置及び電子機器



(57) Abstract: [Problem] To make further improvements in reliability possible. [Solution] Provided is a display device, which is provided with: a pixel unit constituted by arranging a plurality of pixel circuits constituted from light-emitting elements and drive circuits for driving the light-emitting elements in a matrix form; scanning lines that are wiring connected to each of the pixel circuits and are provided so as to extend in a first direction corresponding to each row of the plurality of pixel circuits; and signal lines that are wiring connected to each of the pixel circuits and are provided so as to extend in a second direction orthogonal to the first direction corresponding to each column of the plurality of pixel circuits. Whichever of the scanning lines and signal lines have more lines provided for a single pixel circuit are positioned in a lower wiring layer, and electrodes for capacitance elements included in the drive circuits are positioned in any wiring layer for the scanning lines or signal lines.



WO 2018/055902 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 【課題】より信頼性を向上させることが可能になる。【解決手段】発光素子及び当該発光素子を駆動するための駆動回路から構成される画素回路が行列状に複数並べられて構成される画素部と、前記画素回路の各々に接続される配線であって、複数の前記画素回路の各行に対応して第1の方向に延伸して設けられる走査線と、前記画素回路の各々に接続される配線であって、複数の前記画素回路の各列に対応して前記第1の方向と直交する第2の方向に延伸して設けられる信号線と、を備え、前記走査線及び前記信号線のうちで、1つの前記画素回路に対して設けられる本数がより多い方が、より下層の配線層に位置し、前記駆動回路に含まれる容量素子の電極が、前記走査線及び前記信号線のいずれかが設けられる配線層に位置する、表示装置を提供する。

明 細 書

発明の名称：表示装置及び電子機器

技術分野

[0001] 本開示は、表示装置及び電子機器に関する。

背景技術

[0002] いわゆるアクティブマトリクス方式によって駆動される表示装置では、表示面の横方向（以下、水平方向ともいう）に沿って延伸し、表示面の縦方向（以下、垂直方向ともいう）に複数並べられて配置される走査線と、垂直方向に沿って延伸し、水平方向に複数並べられて配置されるデータ線（信号線）との各交点に対応する位置に、発光素子及び当該発光素子を駆動させるための駆動回路からなる画素回路が設けられる構成が一般的である。1つの画素回路が、1つの画素又は副画素に対応する。走査線及び信号線の電位が適切なタイミングで変更されることにより、画素回路内の駆動回路に設けられるアクティブ素子（トランジスタ等）のオン／オフが適宜制御され、当該画素回路における発光素子の発光が制御される。アクティブマトリクス方式によって駆動される表示装置として、例えば、発光素子として有機発光ダイオード（OLED：Organic Light Emitting Diode）を用いた表示装置（以下、有機EL（electroluminescence）表示装置ともいう）が開発されている（例えば、特許文献1－4）。

先行技術文献

特許文献

- [0003] 特許文献1：特開2015-55763号公報
特許文献2：特開2016-53636号公報
特許文献3：特開2016-53640号公報
特許文献4：特開2016-53641号公報

発明の概要

発明が解決しようとする課題

[0004] ここで、表示装置においては、例えばより高精細な表示を実現するためや、ウェアラブルデバイス等の比較的小型の電子機器に搭載するために、その画素サイズをより小型化することが求められている。画素サイズを小型化すると、画素回路のレイアウトも微細化されるため、以下のような不具合が生じ得る。すなわち、配線間の寄生容量の増大による各電極間のノイズ干渉による発光輝度均一性の悪化、容量素子の電極の面積の圧迫に起因するノイズ耐性悪化による輝度均一性の悪化、画素配線が密になることによる配線間ショート不良、及び小面積の配線パターンが正常に形成されないこと（いわゆる膜とび）による配線オープン不良等である。高精細で、かつより信頼性の高い表示装置を実現するためには、これらの不具合の発生を抑制する必要がある。

[0005] そこで、本開示では、より信頼性を向上させることが可能な、新規かつ改良された表示装置及び電子機器を提案する。

課題を解決するための手段

[0006] 本開示によれば、発光素子及び当該発光素子を駆動するための駆動回路から構成される画素回路が行列状に複数並べられて構成される画素部と、前記画素回路の各々に接続される配線であって、複数の前記画素回路の各行に対応して第1の方向に延伸して設けられる走査線と、前記画素回路の各々に接続される配線であって、複数の前記画素回路の各列に対応して前記第1の方向と直交する第2の方向に延伸して設けられる信号線と、を備え、前記走査線及び前記信号線のうちで、1つの前記画素回路に対して設けられる本数がより多い方が、より下層の配線層に位置し、前記駆動回路に含まれる容量素子の電極が、前記走査線及び前記信号線のいずれかが設けられる配線層に位置する、表示装置が提供される。

[0007] また、本開示によれば、映像信号に基づいて表示を行う表示装置、を備え、前記表示装置は、発光素子及び当該発光素子を駆動するための駆動回路から構成される画素回路が行列状に複数並べられて構成される画素部と、前記画素回路の各々に接続される配線であって、複数の前記画素回路の各行に対

応して第1の方向に延伸して設けられる走査線と、前記画素回路の各々に接続される配線であって、複数の前記画素回路の各列に対応して前記第1の方向と直交する第2の方向に延伸して設けられる信号線と、を有し、前記走査線及び前記信号線のうちで、1つの前記画素回路に対して設けられる本数がより多い方が、より下層の配線層に位置し、前記駆動回路に含まれる容量素子の電極が、前記走査線及び前記信号線のいずれかが設けられる配線層に位置する、電子機器が提供される。

[0008] 本開示によれば、画素部に対して設けられる互いに直交する2種類の配線（走査線及び信号線）について、1つの画素回路に対して設けられる本数がより多い方が、より下層の配線層に形成される。従って、より上層の配線層における配線パターンを比較的疎にすることができる。また、画素回路に含まれる容量素子の電極が、その2種類の配線のいずれかが設けられる配線層に形成される。つまり、配線パターンが比較的疎である配線層に容量素子の電極を設けることができるため、当該電極の配置の自由度が向上するとともに、当該電極の面積を十分確保することが可能になる。従って、配線パターンが比較的密であることに起因する不具合や、容量素子の電極の面積を十分に確保できないことに起因する不具合等を解消することが可能になる。よって、より信頼性の高い表示装置が実現され得る。

発明の効果

[0009] 以上説明したように本開示によれば、より信頼性を向上させることが可能になる。なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、又は上記の効果に代えて、本明細書に示されたいずれかの効果、又は本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0010] [図1]本実施形態に係る表示装置の全体構成を示す概略図である。

[図2]図1に示す画素部、走査部及び選択部の構成をより詳細に示す概略図である。

[図3]図2に示す画素回路の構成例を示す概略図である。

[図4]本実施形態に係る画素回路の動作について説明するための図である。

[図5]本実施形態に係る画素回路の他の構成例を示す概略図である。

[図6]画素回路の積層構造を概略的に示す断面図である。

[図7]本実施形態に係る配線層のレイアウトの一例について説明するための図である。

[図8]図7に示すレイアウトと比較するための図であって、第1配線層及び第2配線層にH走査線及びV信号線を形成する場合において、本実施形態とは異なる配線層にH走査線及びV信号線を形成した場合の一レイアウト例を示す図である。

[図9]本実施形態に係る配線層のレイアウトの他の例について説明するための図である。

[図10]図9に示すレイアウトと比較するための図であって、第1配線層、第2配線層及び第3配線層にH走査線及びV信号線を形成する場合において、本実施形態とは異なる配線層にH走査線及びV信号線を形成した場合の一レイアウト例を示す図である。

[図11]3つの副画素で1つの画素が形成される場合における、これら3つの副画素における第3ビアの配置の一例を示す図である。

[図12]4つの副画素で1つの画素が形成される場合における、これら4つの副画素における第3ビアの配置の一例を示す図である。

[図13]本実施形態に係る表示装置の具体的な一構成例を示す断面図である。

[図14]本実施形態に係る表示装置が適用され得る電子機器の一例である、スマートフォンの外観を示す図である。

[図15]本実施形態に係る表示装置が適用され得る電子機器の他の例である、デジタルカメラの外観を示す図である。

[図16]本実施形態に係る表示装置が適用され得る電子機器の他の例である、デジタルカメラの外観を示す図である。

[図17]本実施形態に係る表示装置が適用され得る電子機器の他の例である、ヘッドマウントディスプレイの外観を示す図である。

発明を実施するための形態

[0011] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0012] なお、各図面では、説明のため、断面図における一部の層や、レイアウトを示す上面図における一部の領域の大きさ等を誇張して表現している場合がある。各図面において図示される各層や各領域等の相対的な大きさは、必ずしも実際の層間又は領域間等における大小関係を正確に表現するものではない。

[0013] また、以下では、本開示の一例として、表示装置が有機EL表示装置である実施形態について説明する。ただし、本開示はかかる例に限定されず、本開示の対象となる表示装置は、アクティブマトリクス型の駆動方式によって駆動される表示装置であれば、各種の表示装置であってよい。

[0014] なお、説明は以下の順序で行うものとする。

1. 表示装置の全体構成
2. 画素回路の構成
3. 画素回路の動作
4. 配線層のレイアウト
5. 表示装置の具体的な構成例
6. 適用例
7. 補足

[0015] (1. 表示装置の全体構成)

図1及び図2を参照して、本開示の一実施形態に係る表示装置の全体構成について説明する。図1は、本実施形態に係る表示装置の全体構成を示す概略図である。図2は、図1に示す画素部、走査部及び選択部の構成をより詳細に示す概略図である。

[0016] 図1を参照すると、本実施形態に係る表示装置1は、表示パネル10上に

、画素部20と、走査部30と、選択部40と、が配置されて構成される。図2に示すように、画素部20は、複数の画素回路210が行列状に並べられて構成される。なお、便宜的に画素回路210と記載しているが、図2に示す「画素回路210」は、画素回路210の配線層を除いた部分を示しており、実際には、図2に示す「画素回路210」に対して各配線（後述する走査部30や選択部40から延伸する配線や、電源線332等）が接続されることにより、画素回路210が構成され得る。つまり、これらの配線は、複数の画素回路210に対して共通して設けられ得るものであるが、画素回路210の一部を構成し得るものでもあるため、図2では画素回路210の配線層を除いた部分を、便宜的に画素回路210として図示している。本明細書において、画素回路210と記載した場合には、このように、便宜的に、その配線層を除いた部位のみを指すことがある。

[0017] 1つの画素回路210が1つの副画素に対応する。ここで、表示装置1は、カラー表示が可能な表示装置であり、カラー画像を形成する単位となる1つの画素は、複数の副画素から構成される。具体的には、1つの画素は、赤色光を発光する副画素、緑色光を発光する副画素、及び青色光を発光する副画素の3つの副画素から構成される。図2では、模擬的に、各画素回路210に、各副画素に対応する色（R、G、B）を記載している。各画素回路210（すなわち、各副画素）における発光が適宜制御されることにより、画素部20において所望の画像が表示される。このように、画素部20は、表示装置1における表示面に対応する。

[0018] ただし、本実施形態では、1つの画素を構成する副画素の組み合わせは、RGBの3原色の副画素の組み合わせに限定されない。例えば、3原色の副画素に更に1色あるいは複数色の副画素を加えて1つの画素を構成することも可能である。具体的には、例えば、輝度向上のために3原色の副画素に対して白色光を発光する副画素を加えて1つの画素を構成したり、色再現範囲を拡大するために3原色の副画素に対して補色光を発光する少なくとも1つの副画素を加えて1つの画素を構成したりすることも可能である。あるいは

、表示装置 1 は、副画素が存在せず、1つの画素回路 210 が1つの画素に対応するように構成されてもよい。更にあるいは、表示装置 1 はカラー表示可能なものでなくてもよく、モノクロ表示を行うものであってもよい。

[0019] 走査部 30 は、画素部 20 の水平方向における一側に配置される。走査部 30 からは、垂直方向に並べられて設けられる複数の配線が、画素部 20 に向かって水平方向に延伸する。具体的には、図 2 に示すように、走査部 30 は、書き込み走査部 301 と、第 1 駆動走査部 311 と、第 2 駆動走査部 321 と、から構成される。書き込み走査部 301 からは複数の書き込み走査線 302 がそれぞれ画素回路 210 の各行に向かって延伸し、第 1 駆動走査部 311 からは複数の第 1 駆動線 312 がそれぞれ画素回路 210 の各行に向かって延伸し、第 2 駆動走査部 321 からは複数の第 2 駆動線 322 がそれぞれ画素回路 210 の各行に向かって延伸する。これら複数の配線（書き込み走査線 302、第 1 駆動線 312 及び第 2 駆動線 322）は、各画素回路 210 にそれぞれ接続されている。書き込み走査部 301、第 1 駆動走査部 311 及び第 2 駆動走査部 321 は、これら複数の配線の電位を適宜変更することにより、表示面全体として所望の画像が表示され得るように各画素回路 210 の動作を制御する。書き込み走査線 302、第 1 駆動線 312 及び第 2 駆動線 322 と、画素回路 210 との接続状態の詳細、並びに書き込み走査部 301、第 1 駆動走査部 311 及び第 2 駆動走査部 321 の機能については、図 3 を参照して後述する。

[0020] 選択部 40 は、画素部 20 の垂直方向における一側に配置される。選択部 40 からは、水平方向に並べられて設けられる複数の配線が、画素部 20 に向かって垂直方向に延伸する。具体的には、図 2 に示すように、選択部 40 は、信号出力部 401 から構成される。信号出力部 401 からは複数の信号線 402 がそれぞれ画素回路 210 の各列に向かって延伸する。これら複数の信号線 402 は、画素部 20 における各画素回路 210 にそれぞれ接続されている。信号出力部 401 は、これら複数の信号線 402 の電位を適宜変更することにより、表示面全体として所望の画像が表示され得るように各画

画素回路 210 の動作を制御する。信号線 402 と画素回路 210 との接続状態の詳細、及び信号出力部 401 の機能については、図 3 を参照して後述する。

[0021] このように、走査部 30 から水平方向に延伸する配線が、行列状に並べられた画素回路 210 の各行に対応して設けられ、各画素回路 210 に接続される。また、選択部 40 から垂直方向に延伸する配線が、行列状に並べられた画素回路 210 の各列に対応して設けられ、各画素回路 210 に接続される。そして、走査部 30 及び選択部 40 によって、これら複数の配線の電位が適宜変更されることにより、画素部 20 の各画素回路 210 の動作が制御される。

[0022] (2. 画素回路の構成)

図 3 を参照して、図 2 に示す画素回路 210 の構成について説明する。図 3 は、図 2 に示す画素回路 210 の構成を示す概略図である。図 3 では、図 2 に示す複数の画素回路 210 のうちの 1 つの画素回路 210 の回路構成を示すとともに、当該画素回路 210 における、書き込み走査線 302、第 1 駆動線 312、第 2 駆動線 322 及び信号線 402 の接続状態を示している。

[0023] 図 3 に示すように、画素回路 210 は、発光素子である有機発光ダイオード 211 と、当該有機発光ダイオード 211 に電流を流すことによって当該有機発光ダイオード 211 を駆動する駆動回路と、から構成される。当該駆動回路は、アクティブ素子である 4 つのトランジスタ（駆動トランジスタ 212、サンプリングトランジスタ 213、発光制御トランジスタ 214、及びスイッチングトランジスタ 217）と、容量素子（保持容量 215、及び補助容量 216）と、から構成される。これらの素子に対して各配線（上記の書き込み走査線 302、第 1 駆動線 312、第 2 駆動線 322 及び信号線 402、並びに後述する電源線 332 等）が接続されて、画素回路 210 が構成される。

[0024] なお、有機発光ダイオード 211 としては、一般的な構造を有する有機発

光ダイオードを用いることができる。また、駆動トランジスタ212、サンプリングトランジスタ213、発光制御トランジスタ214及びスイッチングトランジスタ217は、シリコン(Si)等の半導体上に形成されるPチャネル型の4端子(ソース/ゲート/ドレイン/バックゲート)のトランジスタであり、その構造は、一般的なPチャネル型の4端子のトランジスタと同様であってよい。従って、ここでは、有機発光ダイオード211、駆動トランジスタ212、サンプリングトランジスタ213、発光制御トランジスタ214及びスイッチングトランジスタ217の構造については、その詳細な説明を省略する。

[0025] 有機発光ダイオード211のカソードは、画素部20の全ての画素回路210に対して共通に設けられる共通電源線331(電位： V_{CATH})に接続される。有機発光ダイオード211のアノードには、駆動トランジスタ212のドレイン電極が接続される。

[0026] 駆動トランジスタ212のソース電極には発光制御トランジスタ214のドレイン電極が接続され、発光制御トランジスタ214のソース電極は電源線332(電位： V_{CC} 、 V_{CC} は電源電位)に接続される。また、駆動トランジスタ212のゲート電極はサンプリングトランジスタ213のドレイン電極に接続され、サンプリングトランジスタ213のソース電極は信号線402に接続される。

[0027] 従って、サンプリングトランジスタ213が導通状態にされることにより、駆動トランジスタ212のゲート電極に信号線402の電位に対応する電位が印加され(信号線402の電位が書き込まれ)、駆動トランジスタ212が導通状態にされる。また、このとき、発光制御トランジスタ214が導通状態にされることにより、駆動トランジスタ212のソース電極に信号電位 V_{CC} に対応する電位が印加され、駆動トランジスタ212にドレイン-ソース間電流 I_{ds} が発生し、有機発光ダイオード211が駆動されることとなる。このとき、ドレイン-ソース間電流 I_{ds} の大きさは、駆動トランジスタ212のゲート電位 V_g に応じて変化するため、駆動トランジスタ212のゲ

ート電位 V_g 、すなわちサンプリングトランジスタ213によって書き込まれた信号線402の電位に応じて、有機発光ダイオード211の発光輝度が制御されることとなる。

[0028] このように、駆動トランジスタ212は、そのドレイン-ソース間電流 I_{ds} によって有機発光ダイオード211を駆動させる機能を有する。また、サンプリングトランジスタ213は、信号線402の電位に応じて駆動トランジスタ212のゲート電圧を制御する、すなわち駆動トランジスタ212のオン/オフを制御することにより、信号線402の電位を画素回路210に書き込む機能を有する（すなわち、信号線402の電位を書き込む画素回路210をサンプリングする機能を有する）。また、発光制御トランジスタ214は、駆動トランジスタ212のソース電極の電位を制御することにより、駆動トランジスタ212のドレイン-ソース間電流 I_{ds} を制御し、有機発光ダイオード211の発光/非発光を制御する機能を有する。

[0029] 保持容量215は、駆動トランジスタ212のゲート電極（すなわち、サンプリングトランジスタ213のドレイン電極）と、駆動トランジスタ212のソース電極との間に接続される。つまり、保持容量215は、駆動トランジスタ212のゲート-ソース間電圧 V_{gs} を保持する。補助容量216は、駆動トランジスタ212のソース電極と、電源線332との間に接続される。補助容量216は、信号線402の電位を書き込んだときに駆動トランジスタ212のソース電位が変動するのを抑制する作用をなす。

[0030] 信号出力部401は、信号線402の電位（信号線電圧 Da_{te} ）を適宜制御することにより、当該信号線402の電位を画素回路210に書き込む（具体的には、上述したように、サンプリングトランジスタ213によって選択された画素回路210に対して信号線402の電位が書き込まれる）。本実施形態では、信号出力部401は、信号線402を介して、映像信号に対応する信号電圧 V_{sig} と、第1基準電圧 V_{ref} と第2基準電圧 V_{ofs} とを選択的に出力する。ここで、第1基準電圧 V_{ref} は、有機発光ダイオード211を確実に消光させるための基準電圧である。また、第2基準電圧 V_{ofs} は、映

像信号に対応する信号電圧 V_{sig} の基準となる電圧（例えば、映像信号の黒レベルに相当する電圧）であり、後述するしきい値補正動作を行う際に用いられる。

[0031] サンプリングトランジスタ213のゲート電極には書き込み走査線302が接続される。書き込み走査部301は、書き込み走査線302の電位（走査線電圧WS）を変更することによりサンプリングトランジスタ213のオン／オフを制御し、上述した信号線402の電位（例えば、映像信号に対応する信号電圧 V_{sig} ）を画素回路210に書き込む処理を実行する。実際には、図2を参照して説明したように、行列状に並べられた複数の画素回路210の各行に対して、複数の書き込み走査線302がそれぞれ延伸されている。書き込み走査部301は、各画素回路210への信号線402の電位の書き込みの際に、複数の書き込み走査線302に対して所定の値の走査線電圧WSを順次供給することにより、各画素回路210を行単位で順番に走査する。

[0032] なお、信号線402についても、実際には、図2を参照して説明したように、行列状に並べられた複数の画素回路210の各列に対して、複数の信号線402がそれぞれ延伸されている。信号出力部401から択一的に出力される映像信号に対応する信号電圧 V_{sig} 、第1基準電圧 V_{ref} 、及び第2基準電圧 V_{ofs} は、複数の信号線402を介して各画素回路210に対して、書き込み走査部301による走査によって選択された画素行の単位で書き込まれる。つまり、信号出力部401は、信号線402の電位を行単位で書き込む。

[0033] 発光制御トランジスタ214のゲート電極には第1駆動線312が接続される。第1駆動走査部311は、第1駆動線312の電位（第1駆動線電圧DS）を変更することにより発光制御トランジスタ214のオン／オフを制御し、上述した有機発光ダイオード211の発光／非発光を制御する処理を実行する。実際には、図2を参照して説明したように、行列状に並べられた複数の画素回路210の各行に対して、複数の第1駆動線312がそれぞれ

延伸されている。第1駆動走査部311は、書き込み走査部301による走査に同期して、複数の第1駆動線312に対して所定の値の第1駆動線電圧DSを順次供給することにより、各画素回路210の発光/非発光を適宜制御する。

[0034] ここで、更に、画素回路210には、有機発光ダイオード211のアノードにスイッチングトランジスタ217のソース電極が接続される。スイッチングトランジスタ217のドレイン電極はグラウンド線333（電位： V_{ss} 、 V_{ss} はグラウンド電位）に接続される。当該スイッチングトランジスタ217によって形成される電流経路によって、有機発光ダイオード211の非発光期間に駆動トランジスタ212に流れる電流が、グラウンド線333に流れることとなる。

[0035] ここで、後述するように、本実施形態に係る画素回路210を駆動する際には、駆動トランジスタ212のしきい値電圧 V_{th} を補正するしきい値補正動作が行われ、更に、当該しきい値補正動作を行う前段階として、しきい値補正準備動作が行われる。かかるしきい値補正準備動作では、駆動トランジスタ212のゲート電位 V_g 及びソース電位 V_s を初期化する動作が行われるが、その結果、駆動トランジスタ212のゲート-ソース間電圧 V_{gs} が、駆動トランジスタ212のしきい値電圧 V_{th} よりも大きくなる。これは、駆動トランジスタ212のゲート-ソース間電圧 V_{gs} を、当該駆動トランジスタ212のしきい値電圧 V_{th} よりも大きくしておかなければ、しきい値補正動作を正常に行うことができないからである。

[0036] 従って、上記の駆動トランジスタ212のゲート電位 V_g 及びソース電位 V_s を初期化する動作が行われると、有機発光ダイオード211の非発光期間であるにもかかわらず、有機発光ダイオード211のアノード電位 V_{ano} が当該有機発光ダイオード211のしきい値電圧 V_{thel} を超えてしまう事態が生じ得る。すると、駆動トランジスタ212から有機発光ダイオード211に電流が流れ込み、非発光期間であるにもかかわらず有機発光ダイオード211が発光する現象が生じることになる。

[0037] そこで、本実施形態では、かかる現象を防止するために、上述したスイッチングトランジスタ217による電流回路を設ける。これにより、上記の駆動トランジスタ212からの電流が、有機発光ダイオード211に流れ込むことなく、かかる電流回路の方に流れ込むこととなり、意図せぬ有機発光ダイオード211の発光を防止することが可能となる。

[0038] スwitchングトランジスタ217のゲート電極には、第2駆動線322が接続される。第2駆動走査部321は、第2駆動線322の電位（第2駆動線電圧AZ）を変更することによりスイッチングトランジスタ217のオン／オフを制御する。具体的には、第2駆動走査部321は、第2駆動線電圧AZを適宜変更することにより、被発光期間の間、より詳細には少なくともしきい値補正準備動作を行い、駆動トランジスタ212のゲートソース間電圧 V_{gs} が駆動トランジスタ212のしきい値電圧 V_{th} よりも大きくなっている期間の間、スイッチングトランジスタ217を導通状態にし、上述した電流回路を開放する。実際には、図2を参照して説明したように、行列状に並べられた複数の画素回路210の各行に対して、複数の第2駆動線322がそれぞれ延伸されている。第2駆動走査部321は、書き込み走査部301による走査に同期して、複数の第2駆動線322に対して所定の値の第2駆動線電圧AZを順次供給することにより、上記の期間の間スイッチングトランジスタ217が導通状態となるように、当該スイッチングトランジスタ217の駆動を適宜制御する。

[0039] なお、書き込み走査部301、第1駆動走査部311、第2駆動走査部321及び信号出力部401は、例えばシフトレジスタ回路等、上述した機能を実現し得る各種の回路によって、公知の手法を用いて構成され得るため、ここではその詳細な回路構成についての説明は省略する。

[0040] 以上、本実施形態に係る画素回路210の構成について説明した。

[0041] （3. 画素回路の動作）

以上説明した画素回路210の動作について説明する。図4は、本実施形態に係る画素回路210の動作について説明するための図である。図4では

、画素回路210の動作に係る各信号のタイミング波形図を示している。具体的には、図4では、1水平期間（1H期間）における、信号線402の電位（信号線電圧Datae）、書き込み走査線302の電位（走査線電圧WS）、第1駆動線312の電位（第1駆動線電圧DS）、第2駆動線322の電位（第2駆動線電圧AZ）、駆動トランジスタ212のソース電位 V_s 、及び駆動トランジスタ212のゲート電位 V_g の変化の様子をそれぞれ示している。

[0042] なお、サンプリングトランジスタ213、発光制御トランジスタ214、及びスイッチングトランジスタ217はPチャンネル型であるため、走査線電圧WS、第1駆動線電圧DS及び第2駆動線電圧AZが低電位の状態で、これらのトランジスタがオン状態、すなわち導通状態となり、走査線電圧WS、第1駆動線電圧DS及び第2駆動線電圧AZが高電位の状態で、これらのトランジスタがオフ状態、すなわち非導通状態となることに留意されたい。駆動トランジスタ212についても同様に、ゲート電位 V_g が低電位の場合に当該駆動トランジスタ212が導通状態となり、ゲート電位 V_g が高電位の場合に当該駆動トランジスタ212が非導通状態となる。また、上述したように、信号線電圧Dataeについては、映像信号に対応する信号電圧 V_{sig} 、第1基準電圧 V_{ref} 、及び第2基準電圧 V_{ofs} のいずれかが択一的に選択される。図4に示す波形図では、一例として、 $V_{ref} = V_c$ 。（電源電位）としている。

[0043] 有機発光ダイオード211の発光期間の終了時には、走査線電圧WSが高電位から低電位に遷移し、サンプリングトランジスタ213が導通状態にされる（時刻 t_1 ）。一方、時刻 t_1 において、信号線電圧Dataeは第1基準電圧 V_{ref} に制御されている。従って、走査線電圧WSが高電位から低電位に遷移することで、駆動トランジスタ212のゲート-ソース間電圧 V_{gs} が、当該駆動トランジスタ212のしきい値電圧 V_{th} 以下になるため、駆動トランジスタ212がカットオフする。駆動トランジスタ212がカットオフすると、有機発光ダイオード211への電流供給の経路が遮断されるため、有機

発光ダイオード211のアノード電位 V_{ano} が徐々に低下する。やがて、当該アノード電位 V_{ano} が、有機発光ダイオード211のしきい値電圧 V_{thel} 以下になると、有機発光ダイオード211が完全に消光状態となる（時刻 $t_1 \sim t_2$ の期間：消光期間）。

[0044] 消光期間に次いで、後述するしきい値補正動作を行う前の準備動作（しきい値補正準備動作）を行う期間が設けられる（時刻 $t_2 \sim t_3$ の期間：しきい値補正準備期間）。具体的には、しきい値補正準備期間が開始されるタイミングである時刻 t_2 で、走査線電圧 WS が高電位から低電位に遷移することで、サンプリングトランジスタ213が導通状態になる。一方、時刻 t_2 において、信号線電圧 $Date$ は第2基準電圧 V_{ofs} に制御されている。信号線電圧 $Date$ が第2基準電圧 V_{ofs} である状態において、サンプリングトランジスタ213が導通状態になることで、駆動トランジスタ212のゲート電位 V_g が当該第2基準電圧 V_{ofs} になる。

[0045] また、時刻 t_2 では、第1駆動線電圧 DS が低電位の状態にあり、発光制御トランジスタ214が導通状態にされている。従って、駆動トランジスタ212のソース電位 V_s は電源電圧 V_{cc} になる。このとき、駆動トランジスタ212のゲート-ソース間電圧 V_{gs} は、 $V_{gs} = V_{ofs} - V_{cc}$ となる。

[0046] ここで、しきい値補正動作を行うためには、駆動トランジスタ212のゲート-ソース間電圧 V_{gs} を、当該駆動トランジスタ212のしきい値電圧 V_{th} よりも大きくしておく必要がある。そのため、 $|V_g| = |V_{ofs} - V_{cc}| > |V_{th}|$ となるように各電圧値が設定される。

[0047] このように、駆動トランジスタ212のゲート電位 V_g を第2基準電圧 V_{ofs} に設定し、かつ、駆動トランジスタ212のソース電位 V_s を電源電圧 V_{cc} に設定する初期化動作が、しきい値補正準備動作である。つまり、第2基準電圧 V_{ofs} 及び電源電圧 V_{cc} が、それぞれ、駆動トランジスタ212のゲート電位 V_g 及びソース電位 V_s の初期化電圧である。

[0048] しきい値補正準備期間が終了すると、次に、駆動トランジスタ212のしきい値電圧 V_{th} を補正するしきい値補正動作が行われる（時刻 $t_3 \sim t_4$ の期間

：しきい値補正期間)。しきい値補正動作を行う期間では、まず、当該しきい値補正期間が開始されるタイミングである時刻 t_3 で、第1 駆動線電圧 DS が低電位から高電位に遷移し、発光制御トランジスタ 214 が非導通状態になる。これにより、駆動トランジスタ 212 のソース電位 V_s がフローティング状態になる。一方、時刻 t_3 において、走査線電圧 WS は高電位に制御されており、サンプリングトランジスタ 213 は非導通状態になっている。従って、時刻 t_3 において、駆動トランジスタ 212 のゲート電位 V_g もフローティング状態となり、駆動トランジスタ 212 のソース電極とゲート電極は、互いにフローティングの状態、保持容量 215 を介して接続された状態になる。これにより、図示するように、駆動トランジスタ 212 のソース電位 V_s 及びゲート電位 V_g が、当該駆動トランジスタ 212 のしきい値電圧 V_{th} に応じた所定の値に徐々に変化していく。

[0049] このように、駆動トランジスタ 212 のゲート電位 V_g の初期化電圧 V_{ofs} 及び駆動トランジスタ 212 のソース電位 V_s の初期化電圧 V_{oc} を基準として、フローティング状態において駆動トランジスタ 212 のしきい値電圧 V_{th} に応じた所定の値に駆動トランジスタ 212 のソース電位 V_s 及びゲート電位 V_g を変化させる動作が、しきい値補正動作である。このしきい値補正動作が進むと、やがて、駆動トランジスタ 212 のゲート-ソース間電圧 V_{gs} は、駆動トランジスタ 212 のしきい値電圧 V_{th} に収束する。このしきい値電圧 V_{th} に相当する電圧は保持容量 215 に保持される。

[0050] ここで、駆動トランジスタ 212 のしきい値電圧 V_{th} には当然設計値が存在するが、製造ばらつき等により、実際のしきい値電圧 V_{th} は、必ずしも当該設計値とは一致しない。これに対して、上記のようなしきい値補正動作を行うことにより、有機発光ダイオード 211 を発光させる前に、実際のしきい値電圧 V_{th} に相当する電圧を保持容量 215 に保持させることができる。これにより、後述するように、その後有機発光ダイオード 211 を発光させるために駆動トランジスタ 212 を駆動させる際に、当該駆動トランジスタ 212 のしきい値電圧 V_{th} のばらつきを打ち消すことができる。従って、

駆動トランジスタ212の駆動をより精度良く制御することが可能となり、
所望の輝度をより好適に得ることが可能となる。

[0051] しきい値補正期間が終了すると、次に、映像信号に対応する信号電圧 V_{sig} を書き込む信号書き込み動作が行われる（時刻 $t_4 \sim t_5$ の期間：信号書き込み期間）。信号書き込み期間では、当該信号書き込み期間が開始されるタイミングである時刻 t_4 において、走査線電圧 WS が高電位から低電位に遷移し、サンプリングトランジスタ213が導通状態にされる。一方、時刻 t_4 において、信号線電圧 $Date$ は映像信号に応じた信号電圧 V_{sig} に制御されているため、保持容量215に当該映像信号に応じた信号電圧 V_{sig} が書き込まれることとなる。この映像信号に対応する信号電圧 V_{sig} の書き込みの際に、駆動トランジスタ212のソース電極と電源線332との間に接続されている補助容量216は、駆動トランジスタ212のソース電位 V_s が変動するのを抑える役割を果たす。そして、映像信号に応じた信号電圧 V_{sig} が書き込まれる際、すなわち映像信号に応じた信号電圧 V_{sig} が駆動トランジスタ212のゲート電極に印加され当該駆動トランジスタ212が駆動される際に、駆動トランジスタ212のしきい値電圧 V_{th} が、しきい値補正動作において保持容量215に保持されたしきい値電圧 V_{th} に相当する電圧と相殺される。つまり、上記のしきい値補正動作を行ったことにより、画素回路210ごとの駆動トランジスタ212のしきい値電圧 V_{th} のばらつきが打ち消される。

[0052] 時刻 t_5 において走査線電圧 WS が低電位から高電位に遷移し、サンプリングトランジスタ213が非導通状態にされることで、信号書き込み期間が終了する。信号書き込み期間が終了すると、次に、時刻 t_6 から発光期間が開始される。発光期間が開始されるタイミングである時刻 t_6 では、第1駆動線電圧 DS が高電位から低電位に遷移することで、発光制御トランジスタ214が導通状態にされる。これにより、電源電圧 V_{cc} を有する電源線332から発光制御トランジスタ214を介して駆動トランジスタ212のソース電極に電流が供給される。

[0053] このとき、サンプリングトランジスタ213が非導通状態にあることで、

駆動トランジスタ212のゲート電極は信号線402から電氣的に切り離されてフローティング状態にある。駆動トランジスタ212のゲート電極がフローティング状態にあるときは、駆動トランジスタ212のゲートソース間に保持容量215が接続されていることにより、駆動トランジスタ212のソース電位 V_s の変動に連動してゲート電位 V_g も変動する。すなわち、駆動トランジスタ212のソース電位 V_s 及びゲート電位 V_g は、保持容量215に保持されているゲートソース間電圧 V_{gs} を保持したまま上昇する。そして、駆動トランジスタ212のソース電位 V_s は、トランジスタの飽和電流に応じた有機発光ダイオード211の発光電圧 V_{led} まで上昇する。

[0054] このように、駆動トランジスタ212のゲート電位 V_g がソース電位 V_s の変動に連動して変動する動作のことをブートストラップ動作という。換言すれば、ブートストラップ動作は、保持容量215に保持されたゲートソース間電圧 V_{gs} 、すなわち保持容量215の両端間電圧を保持したまま、駆動トランジスタ212のゲート電位 V_g 及びソース電位 V_s が変動する動作である。

[0055] そして、駆動トランジスタ212のドレインソース間電流 I_{ds} が有機発光ダイオード211に流れ始めることにより、当該ドレインソース間電流 I_{ds} に応じて有機発光ダイオード211のアノード電位 V_{ano} が上昇する。やがて、有機発光ダイオード211のアノード電位 V_{ano} が有機発光ダイオード211のしきい値電圧 V_{thel} を超えると、有機発光ダイオード211に駆動電流が流れ始め、有機発光ダイオード211が発光を開始する。

[0056] 以上説明した動作が、1H期間内に、各画素回路210において実行される。なお、上述したように、スイッチングトランジスタ217は、非発光期間に駆動トランジスタ212から有機発光ダイオード211に向かって流れ込む電流に起因して発生する当該有機発光ダイオード211の意図せぬ発光を防止するためのものであるから、第2駆動線電圧AZは、非発光期間においてスイッチングトランジスタ217が導通状態になるように適宜制御される。図示する例であれば、発光期間が終了する時刻 t_1 において第2駆動線電

圧AZが高電位から低電位に遷移し、次の発光期間が終開始される時刻 t_6 の直前で、第2駆動線電圧AZが低電位から高電位に遷移する。

[0057] なお、以上説明した本実施形態に係る表示装置1の全体構成や、画素回路210の構成、画素回路210の動作については、下記（4. 配線層のレイアウト）で後述する点を除いては、本願出願人による先行出願である国際公開第2014/103500号を参照することができる。換言すれば、本実施形態に係る表示装置1の全体構成、画素回路210の構成、及び画素回路210の動作は、下記（4. 配線層のレイアウト）で後述する点を除いては、国際公開第2014/103500号に記載のものと同様であってよい。ただし、以上説明したものはあくまで一例であって、本実施形態はかかる例に限定されない。本実施形態に係る表示装置1には、下記（4. 配線層のレイアウト）で後述する点が反映されていればよく、その他の点については、一般的な表示装置において用いられている各種の公知の構成を適用することができる。

[0058] 例えば、上述した構成例では、画素回路210は、4つのトランジスタを有していたが、画素回路210の構成はかかる例に限定されない。表示装置1に適用され得る画素回路の他の構成例を、図5に示す。図5は、本実施形態に係る画素回路の他の構成例を示す概略図である。

[0059] 図5を参照すると、画素回路220は、有機発光ダイオード221と、5つのトランジスタ222、223、224、225、226と、1つの保持容量227と、から構成される。かかる画素回路220の構成及び動作は、一般的なトランジスタを5つ有する画素回路の構成及び動作と同様であるから、ここでは詳細な説明は省略する。このように、本実施形態では、画素回路の構成として、各種の公知のものが適用されてよい。

[0060] （4. 配線層のレイアウト）

以上説明した画素回路210、220は、各トランジスタが形成される拡散層の上層に、配線が形成される配線層（メタル層）を複数層積層し、更にその上層に有機発光ダイオード211を形成することによって構成される。

この画素回路 210、220 における配線層のレイアウトについて説明する。ここでは、一例として、図 5 に示す画素回路 220 における配線層のレイアウトについて説明する。

[0061] なお、上記では詳細な説明を省略したが、画素回路 210 と同様に、画素回路 220 においても、各トランジスタ（図 5 に示す構成例ではトランジスタ 222、223、225、226）のゲート電極に、水平方向に延伸する配線が接続される。図 5 では 1 つの画素回路 220 のみを図示しているが、実際には、これらの配線は、行列状に並べられた複数の画素回路 220 の各行に対してそれぞれ設けられる。以下の説明では、複数の画素回路 220 の各行に対応して、水平方向に延伸して設けられる配線のことを H 走査線とも呼称する。図 5 に示すように、1 つの画素回路 220 には、4 本の H 走査線 228 が存在することとなる（図 5 では、配線層における実際の形状を模擬して H 走査線 228 を示している）。

[0062] また、画素回路 210 と同様に、画素回路 220 においても、映像信号に対応する信号電圧等を供給するための、垂直方向に延伸する配線（信号線）が接続される。図 5 では 1 つの画素回路 220 のみを図示しているが、実際には、当該配線は、行列状に並べられた複数の画素回路 220 の各列に対してそれぞれ設けられる。以下の説明では、複数の画素回路 220 の各列に対応して、垂直方向に延伸して設けられる配線のことを V 信号線とも呼称する。図 5 に示すように、1 つの画素回路 220 には、1 本の V 信号線 229 が存在することとなる（図 5 では、配線層における実際の形状を模擬して V 信号線 229 を示している）。

[0063] まず、図 6 を参照して、画素回路 220 の積層構造について説明する。図 6 は、画素回路 220 の積層構造を概略的に示す断面図である。図 6 では、画素回路 220 について、拡散層から有機発光ダイオード 221 のアノードまでの積層構造を概略的に図示している。

[0064] 図 6 を参照すると、画素回路 220 は、拡散層 231 の上層に、複数の配線層 234、237、240 が形成されて構成される。拡散層 231 では、

Si等の半導体基板上において、ソース領域、ドレイン領域及びチャンネル領域として機能するアクティブ領域や、ゲート絶縁膜、ゲート電極等が形成されることにより、各トランジスタ（トランジスタ222～226）が形成される。なお、図6では、簡単のため、トランジスタ等の拡散層に形成される素子については図示を省略している。

[0065] 拡散層231の上に絶縁体層232（以下、第1絶縁体層232という）が積層される。第1絶縁体層232は、例えばシリコン酸化物（SiO₂）等の絶縁体が所定の厚さ積層されて形成される（後述する第2絶縁体層235、第3絶縁体層238、及び第4絶縁体層241も同様）。

[0066] 第1絶縁体層232には、拡散層231の各トランジスタの各電極（ソース電極、ドレイン電極、及びゲート電極）等の上層の配線層と接続される領域に対応する位置に、当該領域と上層の後述する第1配線層234に形成される配線とを電氣的に接続するためのコンタクト233が形成される。コンタクト233は、第1絶縁体層232に貫通孔（コンタクトホール）を形成した後、当該コンタクトホールに例えばタングステン（W）等の導電体を埋め込むことによって形成される。

[0067] コンタクト233が形成された第1絶縁体層232の上に、配線層234（以下、第1配線層234という）が形成される。第1配線層234は、例えばアルミニウム（Al）等の導電体を所定の厚さ積層した後、その導電体膜を所定の形状にパターニングすることによって形成される（後述する第2配線層237、及び第3配線層240も同様）。第1配線層234、第2配線層237、及び／又は第3配線層240に、図5に示す各配線（H走査線228及びV信号線229を含む各種の配線）が形成される。

[0068] 第1配線層234の上に、絶縁体層235（以下、第2絶縁体層235という）が形成される。第2絶縁体層235には、下層の第1配線層234に形成された対応する配線と、上層の後述する第2配線層237に形成される対応する配線とを電氣的に接続するためのビア236（以下、第1ビア236という）が形成される。第1ビア236は、第2絶縁体層235に貫通孔

(ビアホール)を形成した後、当該ビアホールに例えばW等の導電体を埋め込むことによって形成される(後述する第2ビア239、及び第3ビア242も同様)。

[0069] 第1ビア236が形成された第2絶縁体層235の上に、配線層237(以下、第2配線層237という)が形成される。第2配線層237の上に、絶縁体層238(以下、第3絶縁体層238という)が形成される。第3絶縁体層238には、下層の第2配線層237に形成された対応する配線と、上層の後述する第3配線層240に形成される対応する配線とを電氣的に接続するためのビア239(以下、第2ビア239という)が形成される。

[0070] 第2ビア239が形成された第3絶縁体層238の上に、配線層240(以下、第3配線層240という)が形成される。第3配線層240の上に、絶縁体層241(以下、第4絶縁体層241という)が形成される。第4絶縁体層241には、下層の第3配線層240に形成された対応する配線と、上層の後述するアノード243とを電氣的に接続するためのビア242(以下、第3ビア242という)が形成される。

[0071] 第3ビア242が形成された第4絶縁体層241の上に、有機発光ダイオード211が形成されることで、画素回路210が作製される。図6では有機発光ダイオード211のアノード243のみを図示しているが、アノード243の上に、発光層として機能する有機層、及びカソードが順次積層されることで、有機発光ダイオード211が形成される。

[0072] ここで、本実施形態では、第2配線層237及び第3配線層240に、容量素子(図5に示す保持容量227)が形成される。具体的には、容量素子の下部電極(容量素子下部電極251)が、第2配線層237に形成される。当該第2配線層237の上層には、容量素子の容量に応じた厚さの絶縁体を介して、容量素子の上部電極(容量素子上部電極252)が形成される。容量素子上部電極252は、第3絶縁体層238の内部に設けられる。つまり、上記では説明を省略していたが、実際には、第3絶縁体層238は、容量素子上部電極252を境に2段階で積層されている。第2配線層237を

形成した後、容量素子の容量に応じた厚さの絶縁体を積層し、その上に配線層と同様の方法によって容量素子上部電極 252 が形成される。その後、更に所定の厚さの絶縁体を積層することによって、第3絶縁体層 238 が形成される。

[0073] 第3絶縁体層 238 においては、容量素子上部電極 252 に対応する位置にも第2ビア 239 が設けられる。そして、容量素子上部電極 252 は、第3配線層 240 に形成される電極 254 と、当該第2ビア 239 によって電氣的に接続される。電極 254 は、容量素子上部電極 252 の電位を引き出すためのものであり、容量素子上部電極 252 と同電位の電極であるから、以下では、当該電極 254 のことも容量素子上部電極 254 と呼称することとする。

[0074] ここで、画素回路 210 を構成する各配線（すなわち、H走査線 228 及びV信号線 229 等）と、容量素子（すなわち、保持容量 227）の具体的なレイアウトについて検討する。上述したように、これらの各配線は第1配線層 234、第2配線層 237、及び／又は第3配線層 240 に形成される。また、容量素子の容量素子下部電極 251 及び容量素子上部電極 254 は、第2配線層 237 及び第3配線層 240 にそれぞれ形成される。このように、各配線と容量素子の容量素子下部電極 251 及び容量素子上部電極 254 は、同一の配線層内に形成され得る。

[0075] ここで、例えば表示装置 1 における表示の高精細化等の理由により、画素サイズを小型化しようとする、画素回路 220 の正常な動作を妨げる各種の不具合が生じ得る。例えば、配線間の寄生容量の増大による各電極間のノイズ干渉による発光輝度均一性の悪化、容量素子の電極の面積の圧迫に起因するノイズ耐性悪化による輝度均一性の悪化、画素配線が密になることによる配線間ショート不良、及び小面積の配線パターンの膜とびによる配線オープン不良等である。従って、特に比較的小型の画素サイズが求められる場合においては、画素サイズを小型に保ちつつ、これらの不具合を極力発生させないように、第1配線層 234、第2配線層 237、及び第3配線層 240

のレイアウトを工夫することが重要となる。

[0076] 本発明者らは、鋭意検討した結果、上記の不具合を回避し得る、第1配線層234、第2配線層237、及び第3配線層240の好適なレイアウトに想到した。以下、図面を参照して、この好適なレイアウトについて詳細に説明する。

[0077] 図7は、本実施形態に係る配線層のレイアウトの一例について説明するための図である。図7、及び後述する図8－図10では、拡散層231、第1配線層234、第2配線層237、及び第3配線層240のレイアウトを、概略的に示している。

[0078] なお、図7、及び後述する図8－図10では、配線層のレイアウトについて説明するため、拡散層231については、コンタクト233のレイアウトのみを示している。また、第1配線層234、第2配線層237、及び第3配線層240については、各配線層間の接続状態について示すため、各配線層内の配線のレイアウトに加えて、第1ビア236、第2ビア239、及び第3ビア242のレイアウトについても併せて図示している。

[0079] また、図7、及び後述する図8－図10において、符号の末尾に「a」を付しているコンタクト及びビアは、最終的に上層においてアノード243に接続されるコンタクト及びビアを表している。同様に、符号の末尾に「b」を付しているコンタクト及びビアは、最終的に上層において容量素子下部電極251に接続されるコンタクト及びビアを表している。同様に、符号の末尾に「c」を付しているコンタクト及びビアは、最終的に上層においてV信号線229に接続されるコンタクト及びビアを表している。同様に、符号の末尾に「d」を付しているコンタクト及びビアは、最終的に上層においてH走査線228に接続されるコンタクト及びビアを表している。

[0080] 更に、図7、及び後述する図8－図10においては、説明のため、第1配線層234、第2配線層237、及び第3配線層240について、アノード243に係る配線（つまり、アノード243と同電位の配線）を破線で、容量素子下部電極251に係る配線（つまり、容量素子下部電極251自身、

及び容量素子下部電極 251 と同電位の配線) を太い実線で、V 信号線 229 に係る配線 (つまり、V 信号線 229 自身、及び V 信号線 229 と同電位の配線) を一点鎖線で、H 走査線 228 に係る配線 (つまり、H 走査線 228 自身、及び H 走査線 228 と同電位の配線) を細い実線で、示している。

[0081] 図 7 では、第 1 配線層 234 及び第 2 配線層 237 に H 走査線 228 及び V 信号線 229 を形成する場合におけるレイアウト例を示している。図 7 に示すように、本実施形態では、H 走査線 228 と V 信号線 229 について、1 つの画素回路 220 に対して設けられる本数がより多い方をより下層に形成する。図 5 に示す画素回路 220 の構成例であれば、上述したように、1 つの画素回路 220 に対して設けられる H 走査線 228 の本数は、V 信号線 229 の本数よりも多い。従って、図示するように、第 1 配線層 234 及び第 2 配線層 237 に H 走査線 228 及び V 信号線 229 を形成する場合であれば、第 1 配線層 234 において H 走査線 228 を形成し、第 2 配線層 237 において V 信号線 229 を形成する。

[0082] この場合、図 7 に示すように、第 1 配線層 234 には、H 走査線 228 とともに、拡散層 231 の対応する電極を第 3 配線層 240 の上層に形成されるアノード 243 まで接続するための配線 (図中に破線で示す配線。以下、アノード 243 に係る接続配線ともいう)、拡散層 231 の対応する電極を第 2 配線層 237 に形成される容量素子下部電極 251 まで接続するための配線 (図中に太い実線で示す配線。以下、容量素子に係る接続配線ともいう)、及び拡散層 231 の対応する電極を第 2 配線層 237 に形成される V 信号線 229 まで接続するための配線 (図中に一点鎖線で示す配線。以下、V 信号線 229 に係る接続配線ともいう) が形成される。そして、第 2 配線層 237 には、V 信号線 229 とともに、容量素子下部電極 251、及びアノード 243 に係る接続配線が形成される。更に、第 3 配線層 240 には、容量素子上部電極 254、及びアノード 243 に係る接続配線が形成される。なお、アノード 243 に係る接続配線、容量素子に係る接続配線、及び V 信号線 229 に係る接続配線は、各配線層においてそれぞれ 1 つずつ形成され

る。

[0083] ここで、比較のため、図8に、第1配線層234及び第2配線層237にH走査線228及びV信号線229を形成する場合における、本実施形態とは異なる配線層の一レイアウト例を示す。図8は、図7に示すレイアウトと比較するための図であって、第1配線層234及び第2配線層237にH走査線228及びV信号線229を形成する場合において、本実施形態とは異なる配線層にH走査線228及びV信号線229を形成した場合の一レイアウト例を示す図である。図8に示すように、図7に示す本実施形態に係るレイアウトとは逆に、H走査線228とV信号線229について、1つの画素回路220に対して設けられる本数がより多い方を、より上層に形成したとする。つまり、第1配線層234においてV信号線229を形成し、第2配線層237においてH走査線228を形成したとする。

[0084] この場合、図8に示すように、第1配線層234には、V信号線229とともに、アノード243に係る接続配線、容量素子に係る接続配線、及び拡散層231の対応する電極を第2配線層237に形成されるH走査線228まで接続するための配線（図中に細い実線で示す配線。以下、H走査線228に係る接続配線ともいう）が形成される。H走査線228に係る接続配線は、H走査線228の本数に応じた数だけ形成される。そして、第2配線層237には、より多くの本数が存在するH走査線228とともに、容量素子下部電極251、及びアノード243に係る接続配線が形成される。更に、第3配線層240には、容量素子上部電極254、及びアノード243に係る接続配線が形成される。

[0085] 図7に示す本実施形態に係るレイアウトと、図8に示すレイアウトとを比較すると、本実施形態に係るレイアウトでは、より本数が多い配線であるH走査線228がより下層の第1配線層234に形成されるため、当該第1配線層234の配線パターンは比較的密となる。一方、図8に示すレイアウトでは、より本数が多い配線であるH走査線228は第1配線層234に形成されないものの、H走査線228に係る接続配線をH走査線228の本数に

応じた数だけ第1配線層234に形成する必要がある。従って、H走査線228に係る接続配線の方が、H走査線228よりも面積は小さいとはいえ、結果的に、第1配線層234における配線パターンの疎密は、本実施形態に係るレイアウトと比べて大幅に小さいものとはならない。

[0086] これに対して、本実施形態に係るレイアウトでは、より本数が少ない配線であるV信号線229が第2配線層237に形成されるため、当該第2配線層237の配線パターンは比較的疎になる。一方、図8に示すレイアウトでは、より本数が多い配線であるH走査線228が第2配線層237に形成されるため、当該第2配線層237の配線パターンは比較的密となる。

[0087] このように、本実施形態によれば、H走査線228とV信号線229について、1つの画素回路220に対して設けられる本数がより多い方の配線であるH走査線228をより下層の第1配線層234に形成するように、第1配線層234及び第2配線層237のレイアウトを構成することにより、より上層の第2配線層237における配線パターンをより疎にすることが可能になる。

[0088] 第2配線層237における配線パターンがより疎になることにより、上述した、当該第2配線層237における配線間寄生容量の増大に起因する輝度均一性の悪化や、配線間ショート不良等の発生を抑制することが可能になる。また、本実施形態では、第2配線層237に容量素子下部電極251が設けられるため、第2配線層237の配線パターンが疎になることにより、当該容量素子下部電極251のレイアウトの自由度が増すとともに、当該容量素子下部電極251について、所望の容量を実現し得るような十分な面積を確保することが可能になる。従って、容量素子の電極の面積の圧迫に起因する輝度均一性の悪化や、小面積の配線パターン（電極）が設けられることによる配線オープン不良等の発生を抑制することが可能になる。よって、これらの各種の不具合の発生を抑制することができ、より信頼性の高い、かつより高精細な表示装置1を実現することが可能になる。

[0089] ここで、図7では、第1配線層234及び第2配線層237にH走査線2

2 8 及び V 信号線 2 2 9 をそれぞれ形成する場合における一レイアウト例を示したが、本実施形態はかかる例に限定されない。本実施形態に係るレイアウト方法（すなわち、H 走査線 2 2 8 と V 信号線 2 2 9 について、1 つの画素回路 2 2 0 に対して設けられる本数がより多い方をより下層に形成する方法）は、H 走査線 2 2 8 及び V 信号線 2 2 9 を他の配線層に形成する場合であっても、適用可能である。

[0090] 図 9 を参照して、本実施形態に係る配線層のレイアウトの他の例について説明する。図 9 は、本実施形態に係る配線層のレイアウトの他の例について説明するための図である。

[0091] 図 9 では、第 1 配線層 2 3 4、第 2 配線層 2 3 7 及び第 3 配線層 2 4 0 に H 走査線 2 2 8 及び V 信号線 2 2 9 を形成する場合における一レイアウト例を示している。図 9 に示すように、かかる場合であっても、本実施形態では、H 走査線 2 2 8 と V 信号線 2 2 9 について、1 つの画素回路 2 2 0 に対して設けられる数がより多い方をより下層に形成する。従って、例えば、図示するように、第 1 配線層 2 3 4 及び第 2 配線層 2 3 7 において H 走査線 2 2 8 を形成し、第 3 配線層 2 4 0 において V 信号線 2 2 9 を形成する。

[0092] この場合、図 9 に示すように、例えば、第 1 配線層 2 3 4 には、H 走査線 2 2 8 の一部（図示する例では 3 本）とともに、アノード 2 4 3 に係る接続配線、容量素子に係る接続配線、及び V 信号線 2 2 9 に係る接続配線が形成される。そして、第 2 配線層 2 3 7 には、残りの H 走査線 2 2 8（図示する例では 1 本）とともに、容量素子下部電極 2 5 1、アノード 2 4 3 に係る接続配線、及び V 信号線 2 2 9 に係る接続配線が形成される。更に、第 3 配線層 2 4 0 には、V 信号線 2 2 9 とともに、容量素子上部電極 2 5 4、及びアノード 2 4 3 に係る接続配線が形成される。図 7 に示す例では、複数の H 走査線 2 2 8 が同一の配線層に形成されていたが、このように、本実施形態では、複数の H 走査線 2 2 8 が互いに異なる配線層に分散して形成されてもよい。

[0093] ここで、比較のため、図 1 0 に、第 1 配線層 2 3 4、第 2 配線層 2 3 7 及

び第3配線層240にH走査線228及びV信号線229を形成する場合における、本実施形態とは異なる配線層の一レイアウト例を示す。図10は、図9に示すレイアウトと比較するための図であって、第1配線層234、第2配線層237及び第3配線層240にH走査線228及びV信号線229を形成する場合において、本実施形態とは異なる配線層にH走査線228及びV信号線229を形成した場合の一レイアウト例を示す図である。図10に示すように、図9に示す本実施形態に係るレイアウトとは逆に、H走査線228とV信号線229について、1つの画素回路220に対して設けられる本数がより多い方を、より上層に形成したとする。ここでは、第1配線層234においてV信号線229を形成し、第3配線層240においてH走査線228を形成したとする。

[0094] この場合、図10に示すように、第1配線層234には、V信号線229とともに、アノード243に係る接続配線、容量素子に係る接続配線、及びH走査線228に係る接続配線が形成される。そして、第2配線層237には、容量素子下部電極251とともに、アノード243に係る接続配線、及びH走査線228に係る接続配線が形成される。なお、第1配線層234及び第2配線層237において、H走査線228に係る接続配線は、H走査線228の本数に応じた数だけ形成される。更に、第3配線層240には、より多くの本数が存在するH走査線228とともに、容量素子上部電極254、及びアノード243に係る接続配線が形成される。

[0095] 図9に示す本実施形態に係るレイアウトと、図10に示すレイアウトとを比較すると、本実施形態に係るレイアウトでは、より本数が多い配線であるH走査線228の大半がより下層の第1配線層234に形成されるため、当該第1配線層234の配線パターンは比較的密となる。一方、図8に示すレイアウトでは、より本数が多い配線であるH走査線228は第1配線層234に形成されないものの、H走査線228に係る接続配線をH走査線228の本数に応じた数だけ第1配線層234に形成する必要がある。従って、H走査線228に係る接続配線の方が、H走査線228よりも面積は小さいと

はいえ、結果的に、第1配線層234における配線パターンの疎密は、本実施形態に係るレイアウトと比べて大幅に小さいものとはならない。

[0096] これに対して、本実施形態に係るレイアウトでは、より本数が少ない配線であるV信号線229が第3配線層240に形成されるため、第2配線層237及び第3配線層240の配線パターンは比較的疎になる。一方、図8に示すレイアウトでは、より本数が多い配線であるH走査線228が第3配線層240に形成されるため、H走査線228に係る接続配線をH走査線228の本数に応じた数だけ第2配線層237に形成する必要があり、当該第2配線層237の配線パターンは比較的密となる。

[0097] このように、図9に示すレイアウトによれば、H走査線228とV信号線229について、1つの画素回路220に対して設けられる数がより多い方の配線であるH走査線228をより下層の第1配線層234及び第2配線層237に形成するように、第1配線層234、第2配線層237及び第3配線層240のレイアウトを構成することにより、より上層の第2配線層237及び第3配線層240における配線パターンをより疎にすることが可能になる。従って、上述した図7に示すレイアウトを適用した場合と同様の効果を得ることが可能になる、すなわち、高精細でありつつ、より信頼性の高い表示装置1を実現することが可能になる。

[0098] 更に、本実施形態によれば、以下の効果も奏することができる。

[0099] 例えば図8及び図10に示すようなレイアウトを行うことによって、容量素子下部電極251について第2配線層237において所望の容量を実現し得るような十分な面積を確保することができなかつた場合には、所望の容量の容量素子を作成するために、配線層を増加させ、その増加させた配線層に容量素子を形成する必要が生じることがある。この場合、配線層を増加させることによるマスクの増加、工程の増加が発生するため、製造コストが増大化してしまう。これに対して、本実施形態に係るレイアウトによれば、上述したように、容量素子下部電極251の面積を十分に確保することが可能となるため、このような配線層の増加を生じさせることなく、所望の容量を有

する容量素子を形成することが可能となる。このように、本実施形態によれば、製造コストの増加を抑える効果も奏することができる。

[0100] また、本実施形態では、下層の配線層により本数の多い配線が形成されることにより、上層の配線層により本数の多い配線が形成され下層の配線層に孤立した接続配線（上述したH走査線228に係る接続配線等）が形成される場合に比べて、少なからず当該下層の配線層の配線パターンが密になる。このように、各トランジスタが形成される拡散層231により近い下層の配線層における配線パターンが密になることにより、トランジスタへの遮光効果を向上させることができる。従って、光が当たることによるトランジスタの特性変動をより抑制することができ、表示装置1の信頼性を更に向上させることができる。

[0101] また、上層の配線層、特に最上層の配線層における配線パターンを比較的疎にすることが可能になることにより、当該最上層の配線層の更に上層に形成される有機発光ダイオード221のアノード243の平坦性を向上させることができる。これにより、有機発光ダイオード221の発光効率を向上させることができ、表示品質の更なる向上が実現され得る。

[0102] また、上層の配線層の配線パターンを比較的疎にすることが可能になることにより、最上層の配線層である第3配線層240に形成されるアノード243に係る接続配線の配置（すなわち、当該アノード243に係る接続配線と上層のアノード243とを接続する第3ビア242の配置）の自由度が向上する。これにより、画素のレイアウトの設計がより容易になる。

[0103] この点について、図11及び図12を参照してより詳細に説明する。図11は、3つの副画素で1つの画素が形成される場合における、これら3つの副画素における第3ビア242の配置の一例を示す図である。図12は、4つの副画素で1つの画素が形成される場合における、これら4つの副画素における第3ビア242の配置の一例を示す図である。

[0104] 図11及び図12では、いずれも、図中左側に、1つの画素に対応する、アノード243及び有機層261（有機発光ダイオード221において発光

層として機能する層)が積層された構成の上面図を示すとともに、かかる構成に対する第3ビア242の配置を模擬的に示している。また、図中右側に、同じく1つの画素に対応する、拡散層231及び配線層(第1配線層234、第2配線層237及び第3配線層240)が積層された構成262の上面図を示すとともに、かかる構成に対する第3ビア242の配置を模擬的に示している。拡散層231及び配線層が積層された構成262については、簡単のため、各層の内部の詳細な図示は省略している。なお、図11及び図12において、有機層261、並びに拡散層231及び配線層が積層された構成262については、その対応する副画素の色を表す文字(R:Red、G:Green、B:Blue、W:White)を、符号の末尾に付している。実際には、各副画素の色は、有機発光ダイオード221よりも上層に設けられるカラーフィルタ(CF)によって制御されるため、有機層261、並びに拡散層231及び配線層が積層された構成262について、色による構造の違いは存在しない。

[0105] 図11に示すように、3つの副画素で1つの画素が形成される場合には、各副画素において、第3ビア242の配置は略同一である。従って、第3ビア242の配置の自由度が向上することによるメリットはあまり存在しない。

[0106] 一方、図12に示すように、4つの副画素で1つの画素が形成される場合には、各副画素において、第3ビア242の配置は異なる。つまり、副画素ごとに、第3配線層240におけるアノード243に係る接続配線の配置も変更する必要が生じる。この場合に、例えば図10に示すようなレイアウトを行った結果、第3配線層240における配線パターンが密であると、アノード243に係る接続配線の配置の自由度が低い。従って、アノード243に係る接続配線の配置を副画素ごとに異なるものとするために、副画素ごとに第3配線層240のレイアウト全体を異なるものとする必要が生じる恐れがある。この場合、それに応じて下層の第2配線層237及び第1配線層234のレイアウトも副画素ごとに異ならせる必要が生じ得るため、レイアウト

トのための作業量が膨大となり、設計者にとって大きな負担となる。

[0107] これに対して、本実施形態によれば、上層の配線層の配線パターンを比較的疎にすることが可能になるため、第3配線層240におけるアノード243に係る接続配線の配置の自由度が高い。従って、アノード243に係る接続配線の配置だけが副画素ごとに異なり、その他の配線の配置は副画素ごとに同一であるように、第3配線層240のレイアウトを構成することが可能になる。この場合、下層の第2配線層237及び第1配線層234のレイアウトについても、アノード243に係る接続配線の配置だけを副画素ごとに異ならせればよいため、レイアウトの設計の難易度は下がる。このように、本実施形態に係る配線層のレイアウト方法は、4つの副画素で1つの画素が形成される場合のように、副画素ごとに第3ビア242（すなわち、最上層の配線層とアノード243とを接続するビア）の配置が異なる場合において、その画素のレイアウト設計の難易度を低下させることができるという効果ももたらす。

[0108] 以上、本実施形態に係る配線層のレイアウトについて説明した。なお、以上では、図7及び図9に示す2つのレイアウト例だけを取り上げたが、配線層の数が上記で例示した3層とは異なる場合（例えばより多く4層以上である場合）、それらの配線層におけるH走査線228及びV信号線229の配置位置が異なる場合、H走査線228及びV信号線229の本数が異なる場合（例えばともに複数である場合）、及び1つの画素回路210、220に対して設けられるH走査線228及びV信号線229の本数の大小関係が逆である場合等であっても、本実施形態に係る配線層のレイアウト方法を適用することが可能である。本実施形態に係る配線層のレイアウト方法は、アクティブマトリクス方式によって駆動される表示装置であれば、各種の表示装置に対して適用され得る。配線層の数等にかかわらず、本実施形態に係る配線層のレイアウト方法を適用することにより、より下層の配線層におけるH走査線228に係る接続配線又はV信号線229に係る接続配線の数が削減されるため、結果的に、より上層の配線層の配線パターンを比較的疎にす

ることが可能となる。また、この配線パターンが比較的疎である配線層に、容量素子の電極（容量素子下部電極 2 5 1 及び／又は容量素子上部電極 2 5 4）を設けることにより、当該容量素子の電極の面積を十分確保することができる。従って、上述した実施形態と同様に、信頼性向上等の各種の効果を達成することが可能になる。

[0109] （５．表示装置の具体的な構成例）

以上説明した本実施形態に係る表示装置 1 の、より具体的な構成例について説明する。図 1 3 は、本実施形態に係る表示装置 1 の具体的な一構成例を示す断面図である。図 1 3 では、表示装置 1 の一部断面図を示している。

[0110] 図 1 3 を参照すると、本実施形態に係る表示装置 1 は、第 1 基板 1 1 上に、白色光を発する発光素子である複数の有機発光ダイオード 2 1 1 と、当該有機発光ダイオード 2 1 1 の上層に設けられ、当該有機発光ダイオード 2 1 1 の各々に対応して各色の C F が形成される C F 層 3 3 と、を備える。また、C F 層 3 3 の上層には、有機発光ダイオード 2 1 1 からの光に対して透明な材料で形成される第 2 基板 3 4 が配置される。また、第 1 基板 1 1 には、有機発光ダイオード 2 1 1 の各々に対応して、当該有機発光ダイオード 2 1 1 を駆動するための薄膜トランジスタ（T F T : Thin Film Transistor）1 5 が設けられる。T F T 1 5 は、上述した画素回路 2 1 0 を構成する各トランジスタ（駆動トランジスタ 2 1 2、サンプリングトランジスタ 2 1 3、発光制御トランジスタ 2 1 4 及びスイッチングトランジスタ 2 1 7）に対応するものである。T F T 1 5 によって任意の有機発光ダイオード 2 1 1 が選択的に駆動され、駆動された当該有機発光ダイオード 2 1 1 からの光が対応する C F を通過してその色が適宜変換され、第 2 基板 3 4 を介して上方から出射されることにより、所望の画像、文字等が表示される。

[0111] なお、以下の説明では、表示装置 1 における各層の積層方向を上下方向とも呼称する。その際、第 1 基板 1 1 が配置される方向を下方向とし、第 2 基板 3 4 が配置される方向を上方向とする。また、上下方向に垂直な面のことを水平面とも呼称する。

[0112] このように、図13に示す表示装置1は、カラー表示可能な、アクティブマトリックス方式で駆動される上面発光型の表示装置である。ただし、本実施形態はかかる例に限定されず、本実施形態に係る表示装置1は、第1基板11を介して光が出射される下面発光型の表示装置であってもよい。

[0113] (第1基板及び第2基板)

図示する構成例では、第1基板11はSi基板から構成される。また、第2基板34は石英ガラスから構成される。ただし、本実施形態はかかる例に限定されず、第1基板11及び第2基板34としては、各種の公知の材料が用いられてよい。例えば、第1基板11及び第2基板34は、高歪点ガラス基板、ソーダガラス(Na_2O 、 CaO 及び SiO_2 の混合物)基板、硼珪酸ガラス(Na_2O 、 B_2O_3 及び SiO_2 の混合物)基板、フォルステライト(Mg_2SiO_4)基板、鉛ガラス(Na_2O 、 PbO 及び SiO_2 の混合物)基板、表面に絶縁膜が形成された各種ガラス基板、石英基板、表面に絶縁膜が形成された石英基板、表面に絶縁膜が形成されたSi基板、又は有機ポリマー基板(例えば、ポリメチルメタクリレート(ポリメタクリル酸メチル:PMMA)、ポリビニルアルコール(PVA)、ポリビニルフェノール(PVP)、ポリエーテルスルホン(PES)、ポリイミド、ポリカーボネート、若しくはポリエチレンテレフタレート(PET)等)によって形成され得る。第1基板11と第2基板34を構成する材料は、同じであってもよいし、異なってもよい。ただし、上述したように表示装置1は上面発光型であるから、第2基板34は、有機発光ダイオード211からの光を好適に透過し得る、透過率の高い材料によって形成されることが好ましい。

[0114] (発光素子及び第2部材)

有機発光ダイオード211は、第1電極21と、第1電極21の上に設けられる有機層23と、有機層23上に形成される第2電極22と、を有する。より具体的には、第1電極21の上に、当該第1電極21の少なくとも一部を露出するように開口部25が設けられる第2部材52が積層されており、有機層23は、当該開口部25の底部において露出した第1電極21の上

に設けられる。つまり、有機発光ダイオード211は、第2部材52の開口部25において、第1電極21、有機層23及び第2電極22がこの順に積層された構成を有する。この積層構造が各画素の発光部24として機能する。つまり、有機発光ダイオード211の、第2部材52の開口部25に当たる部分が発光面となる。また、第2部材52は、画素間に設けられ画素の面積を画定する画素定義膜として機能する。

[0115] 有機層23は、有機発光材料からなる発光層を備え、白色光を発光可能に構成される。有機層23の具体的な構成は限定されず、各種の公知な構成であってよい。例えば、有機層23は、正孔輸送層と発光層と電子輸送層との積層構造、正孔輸送層と電子輸送層を兼ねた発光層との積層構造、又は正孔注入層と正孔輸送層と発光層と電子輸送層と電子注入層との積層構造等から構成することができる。また、これらの積層構造等を「タンデムユニット」とする場合、有機層23は、第1のタンデムユニット、接続層、及び第2のタンデムユニットが積層された2段のタンデム構造を有してもよい。あるいは、有機層23は、3つ以上のタンデムユニットが積層された3段以上のタンデム構造を有してもよい。有機層23が複数のタンデムユニットからなる場合には、発光層の発光色を赤色、緑色、青色と各タンデムユニットで変えることで、全体として白色を発光する有機層23を得ることができる。

[0116] 図示する構成例では、有機層23は、有機材料を真空蒸着することによって形成される。ただし、本実施形態はかかる例に限定されず、有機層23は各種の公知の方法によって形成されてよい。例えば、有機層23の形成方法としては、真空蒸着法等の物理的気相成長法（PVD法）、スクリーン印刷法やインクジェット印刷法といった印刷法、転写用基板の上に形成されたレーザ吸収層と有機層の積層構造に対してレーザを照射することでレーザ吸収層上の有機層を分離して当該有機層を転写するレーザ転写法、又は各種の塗布法等を用いることができる。

[0117] 第1電極21は、アノードとして機能する。つまり、第1電極21は、上記図6に示すアノード243に対応する。上述したように表示装置1は上面

発光型であるから、第1電極21は、有機層23からの光を反射し得る材料によって形成される。図示する構成例では、第1電極21はアルミニウムとネオジムとの合金（Al-Nd合金）によって形成される。また、第1電極21の膜厚は、例えば0.1 μ m~1 μ m程度である。ただし、本実施形態はかかる例に限定されず、第1電極21は、一般的な有機EL表示装置においてアノードとして機能する光反射側の電極の材料として用いられている各種の公知の材料によって形成することができる。また、第1電極21の膜厚も上記の例に限定されず、第1電極21は、一般的に有機EL表示装置において採用されている膜厚の範囲で適宜形成され得る。

[0118] 例えば、第1電極21は、白金（Pt）、金（Au）、銀（Ag）、クロム（Cr）、タングステン（W）、ニッケル（Ni）、銅（Cu）、鉄（Fe）、コバルト（Co）、若しくはタンタル（Ta）といった仕事関数の高い金属、又は合金（例えば、銀を主成分とし、0.3質量%~1質量%のパラジウム（Pd）と、0.3質量%~1質量%の銅とを含むAg-Pd-Cu合金、又はAl-Nd合金等）によって形成され得る。あるいは、第1電極21としては、アルミニウム又はアルミニウムを含む合金等の仕事関数の値が小さく、かつ光反射率の高い導電材料を用いることができる。この場合には、第1電極21上に適切な正孔注入層を設けるなどして正孔注入性を向上させることが好ましい。あるいは、第1電極21は、誘電体多層膜やアルミニウムといった光反射性の高い反射膜上に、インジウムとスズの酸化物（ITO）やインジウムと亜鉛の酸化物（IZO）等の正孔注入特性に優れた透明導電材料を積層した構造とすることもできる。

[0119] 第2電極22は、カソードとして機能する。上述したように表示装置1は上面発光型であるから、第2電極22は、有機層23からの光を透過し得る材料によって形成される。図示する構成例では、第2電極22はマグネシウムと銀との合金（Mg-Ag合金）によって形成される。また、第2電極22の膜厚は、例えば10nm程度である。ただし、本実施形態はかかる例に限定されず、第2電極22は、一般的な有機EL表示装置においてカソード

として機能する光透過側の電極の材料として用いられている各種の公知の材料によって形成することができる。また、第2電極22の膜厚も上記の例に限定されず、第2電極22は、一般的に有機EL表示装置において採用されている膜厚の範囲で適宜形成され得る。

[0120] 例えば、第2電極22は、アルミニウム、銀、マグネシウム、カルシウム（Ca）、ナトリウム（Na）、ストロンチウム（Sr）、アルカリ金属と銀との合金、アルカリ土類金属と銀との合金（例えば、マグネシウムと銀との合金（Mg-Ag合金））、マグネシウムとカルシウムとの合金（Mg-Ca合金）、アルミニウムとリチウムとの合金（Al-Li合金）等によって形成され得る。これらの材料を単層で用いる場合には、第2電極22の膜厚は、例えば4nm～50nm程度である。あるいは、第2電極22は、有機層23側から、上述した材料層と、例えばITOやIZOからなる透明電極（例えば、厚さ30nm～1μm程度）とが積層された構造とすることもできる。このような積層構造とした場合には、上述した材料層の厚さを例えば1nm～4nm程度と薄くすることもできる。あるいは、第2電極22は、透明電極のみで構成されてもよい。あるいは、第2電極22に対して、アルミニウム、アルミニウム合金、銀、銀合金、銅、銅合金、金、金合金等の低抵抗材料から成るバス電極（補助電極）を設け、第2電極22全体として低抵抗化を図ってもよい。

[0121] 図示する構成例では、第1電極21及び第2電極22は、真空蒸着法によって所定の厚さだけ材料を成膜した後に、当該膜をエッチング法によってパターンニングすることにより形成される。ただし、本実施形態はかかる例に限定されず、第1電極21及び第2電極22は、各種の公知の方法によって形成されてよい。第1電極21及び第2電極22の形成方法としては、例えば、電子ビーム蒸着法、熱フィラメント蒸着法、真空蒸着法を含む蒸着法、スパッタリング法、化学的気相成長法（CVD法）、有機金属化学気相蒸着法（MOCVD法）、イオンプレーティング法とエッチング法との組合せ、各種の印刷法（例えば、スクリーン印刷法、インクジェット印刷法、若しくは

メタルマスク印刷法等)、メッキ法(電気メッキ法、若しくは無電解メッキ法等)、リフトオフ法、レーザアブレーション法、又はゾルゲル法等を挙げることができる。

[0122] 第2部材52は、 SiO_2 をCVD法によって所定の膜厚だけ成膜し、その後当該 SiO_2 膜をフォトリソグラフィ技術及びエッチング技術を用いてパターンニングすることにより形成される。ただし、第2部材52の材料はかかる例に限定されず、第2部材52の材料としては、絶縁性を有する各種の材料を用いることができる。例えば、第2部材52を構成する材料としては、 SiO_2 、 MgF 、 LiF 、ポリイミド樹脂、アクリル樹脂、フッ素樹脂、シリコン樹脂、フッ素系ポリマー、又はシリコン系ポリマー等を挙げることができる。ただし、後述するように、第2部材52は、第1部材51の材料よりも屈折率が低い材料によって形成される。

[0123] (発光素子よりも下層の構成)

第1基板11において、有機発光ダイオード211を構成する第1電極21は、 SiON からなる層間絶縁層16上に設けられている。そして、この層間絶縁層16は、第1基板11上に形成された発光素子駆動部を覆っている。

[0124] 発光素子駆動部は、複数のTFT15から構成される。つまり、発光素子駆動部は、画素回路210の駆動回路に対応するものである。TFT15は、第1基板11上に形成されるゲート電極12、第1基板11及びゲート電極12上に形成されるゲート絶縁膜13、並びにゲート絶縁膜13上に形成される半導体層14から構成される。半導体層14のうち、ゲート電極12の直上に位置する領域がチャンネル領域14Aとして機能し、当該チャンネル領域14Aを挟むように位置する領域がソース／ドレイン領域14Bとして機能する。なお、図示する例では、TFT15はボトムゲート型であるが、本実施形態はかかる例に限定されず、TFT15はトップゲート型であってもよい。

[0125] 半導体層14の上層に、CVD法によって2層からなる層間絶縁層16(

下層層間絶縁層 16 A 及び上層層間絶縁層 16 B) が積層される。その際、下層層間絶縁層 16 A が積層された後、当該下層層間絶縁層 16 A のソース／ドレイン領域 14 B に当たる部分に、例えばフォトリソグラフィ技術及びエッチング技術を用いて当該ソース／ドレイン領域 14 B を露出させるようにコンタクトホール 17 が設けられ、当該コンタクトホール 17 を埋め込むようにアルミニウムからなる配線 18 が形成される。配線 18 は、例えば真空蒸着法とエッチング法とを組み合わせ形成される。その後、上層層間絶縁層 16 B が積層される。

[0126] 上層層間絶縁層 16 B の配線 18 が設けられる部分には、例えばフォトリソグラフィ技術及びエッチング技術を用いて当該配線 18 を露出させるようにコンタクトホール 19 が設けられる。そして、有機発光ダイオード 211 の第 1 電極 21 を形成する際には、当該第 1 電極 21 がコンタクトホール 19 を介して配線 18 と接触するように形成される。このように、有機発光ダイオード 211 は、その第 1 電極 21 が、配線 18 を介して TFT 15 のソース／ドレイン領域 14 B (図 3 に示す画素回路例であれば、駆動トランジスタ 212 のドレイン領域に対応する) と電氣的に接続される。

[0127] なお、上記の例では層間絶縁層 16 を SiON によって構成していたが、本実施形態はかかる例に限定されない。層間絶縁層 16 は、一般的な有機 EL 表示装置において層間絶縁層として用いられ得る各種の公知の材料によって形成されてよい。例えば、層間絶縁層 16 の構成材料としては、SiO₂系材料 (例えば、SiO₂、BPSG、PSG、BSG、AsSG、PbSG、SiON、SOG (スピノンガラス)、低融点ガラス、又はガラスペースト等)、SiN 系材料、絶縁性樹脂 (例えば、ポリイミド樹脂、ノボラック系樹脂、アクリル系樹脂、ポリベンゾオキサゾール等) を、単独で、あるいは適宜組み合わせ使用することができる。また、層間絶縁層 16 の形成方法も上記の例に限定されず、層間絶縁層 16 の形成には、CVD 法、塗布法、スパッタリング法、又は各種印刷法等の公知の方法を用いることができる。更に、上記の例では、配線 18 を、アルミニウムを真空蒸着法及びエッチ

ング法によって成膜及びパターニングすることによって形成していたが、本実施形態はかかる例に限定されない。配線18は、一般的な有機EL表示装置において配線として用いられる各種の材料を各種の方法によって成膜及びパターニングすることによって形成されてよい。

[0128] また、図13では、簡単のため、配線層を1層のみ図示している。実際には、図6を参照して説明したように、TFT15が形成された拡散層の上に複数の配線層が形成され、更にその上に有機発光ダイオード211が形成され得る。

[0129] (発光素子よりも上層の構成)

有機発光ダイオード211の第2部材52に設けられる開口部25は、その側壁が、下方に向かうにつれて開口面積が増加するように傾斜したテーパ形状を有するように形成される。そして、当該開口部25に第1部材51が埋め込まれる。つまり、第1部材51は、有機発光ダイオード211の発光面の直上に設けられる、発光素子からの出射光を上方に向かって伝播する層である。また、第2部材52の開口部25を上記のように形成することにより、第1部材51は、その積層方向における断面形状（すなわち、図示する断面形状）が略台形を有し、上方に底面を向けた切頭錐体形状を有する。

[0130] 第1部材51は、 $Si_{1-x}N_x$ を真空蒸着法によって開口部25を埋め込むように成膜し、その後当該 $Si_{1-x}N_x$ 膜の表面を化学機械研磨法（CMP法）等によって平坦化することにより形成される。ただし、第1部材51の材料はかかる例に限定されず、第1部材51の材料としては、絶縁性を有する各種の材料を用いることができる。例えば、第1部材51を構成する材料としては、 $Si_{1-x}N_x$ 、ITO、IZO、 TiO_2 、 Nb_2O_5 、臭素含有ポリマー、硫黄含有ポリマー、チタン含有ポリマー、又はジルコニウム含有ポリマー等を挙げることができる。第1部材51の形成方法もかかる例に限定されず、第1部材51の形成方法としては、各種の公知の方法が用いられてよい。

[0131] ただし、本実施形態では、第1部材51の屈折率 n_1 と、第2部材52の屈

折率 n_2 とが $n_1 > n_2$ の関係を満たすように、第 1 部材 5 1 及び第 2 部材 5 2 の材料が選択される。屈折率が上記の関係を満たすように第 1 部材 5 1 及び第 2 部材 5 2 の材料を選択することにより、第 1 部材 5 1 と対向する第 2 部材 5 2 の表面において、第 1 部材 5 1 を伝播した光が少なくとも一部反射されることとなる。より具体的には、第 1 部材 5 1 と第 2 部材 5 2 との間には、有機発光ダイオード 2 1 1 の有機層 2 3 及び第 2 電極 2 2 が形成されているので、第 2 部材 5 2 と有機層 2 3 との界面において、第 1 部材 5 1 を伝播した光が少なくとも一部反射される。つまり、第 1 部材 5 1 と対向する第 2 部材 5 2 の表面は光反射部（リフレクタ）5 3 として機能する。

[0132] 本実施形態では、上記のように第 1 部材 5 1 は有機発光ダイオード 2 1 1 の発光面の直上に設けられる。そして、第 1 部材 5 1 は上方に底面を向けた切頭錐体形状を有するため、有機発光ダイオード 2 1 1 の発光面から出射された光は、第 1 部材 5 1 と第 2 部材 5 2 との界面、すなわちリフレクタ 5 3 によって、光出射方向である上方に向かって反射されることとなる。このように、本実施形態によれば、リフレクタ 5 3 を設けることにより、有機発光ダイオード 2 1 1 からの出射光の取り出し効率を向上させることができ、表示装置 1 全体としての輝度を向上させることができる。

[0133] なお、本発明者らによる検討の結果、有機発光ダイオード 2 1 1 からの出射光の取り出し効率をより好適に向上させるためには、第 1 部材 5 1 及び第 2 部材 5 2 の屈折率は、 $n_1 - n_2 \geq 0.20$ の関係を満たすことが好ましい。更に好ましくは、第 1 部材 5 1 及び第 2 部材 5 2 の屈折率は、 $n_1 - n_2 \geq 0.30$ の関係を満たすことが望ましい。更に、有機発光ダイオード 2 1 1 からの出射光の取り出し効率をより向上させるためには、第 1 部材 5 1 の形状が、 $0.5 \leq R_1 / R_2 \leq 0.8$ 、かつ $0.5 \leq H / R_1 \leq 0.8$ の関係を満たすことが好ましい。ここで、 R_1 は第 1 部材 5 1 の光入射面（すなわち、積層方向における下方を向いた部位であって、有機発光ダイオード 2 1 1 の発光面と対向する面）の直径、 R_2 は第 1 部材 5 1 の光出射面（すなわち、積層方向における上方を向いた面）の直径、 H は第 1 部材 5 1 を切頭錐体とみな

した場合の底面と上面との距離（積層方向における高さ）である。

[0134] 平坦化された第1部材51の上層には、保護膜31及び平坦化膜32がこの順に積層される。保護膜31は、例えば、 $Si_{1-y}N_y$ を真空蒸着法によって所定の膜厚（ $3.0\mu m$ 程度）だけ積層することによって形成される。また、平坦化膜32は、例えば、 SiO_2 をCVD法によって所定の膜厚（ $2.0\mu m$ 程度）だけ積層し、その表面をCMP法等によって平坦化することによって形成される。

[0135] ただし、保護膜31及び平坦化膜32の材料及び膜厚はかかる例に限定されず、保護膜31及び平坦化膜32は、一般的な有機EL表示装置の保護膜及び平坦化膜として用いられている各種の公知の材料によって、一般的に有機EL表示装置において採用されている膜厚を有するように適宜形成されてよい。

[0136] ただし、本実施形態では、好適に、保護膜31の屈折率 n_3 が、第1部材51の屈折率 n_1 と同等又は第1部材51の屈折率 n_1 よりも小さくなるように、保護膜31の材料が選択される。更に、好適に、保護膜31の屈折率 n_3 と、平坦化膜32の屈折率 n_4 との差分の絶対値が 0.30 以下、より好ましくは 0.20 以下になるように、保護膜31及び平坦化膜32の材料が選択される。このように保護膜31及び平坦化膜32の材料を選択することにより、有機発光ダイオード211からの出射光が、第1部材51と保護膜31との界面、及び保護膜31と平坦化膜32との界面において反射または散乱されることを抑制することができ、光取り出し効率を更に向上させることができる。

[0137] 平坦化膜32の上層には、CF層33が形成される。このように、表示装置1は、有機発光ダイオード211が形成される第1基板11上にCF層33が形成される、いわゆるオンチップカラーフィルタ（OCCF）方式の表示装置である。CF層33の上層に、例えばエポキシ樹脂等の封止樹脂膜35を介して第2基板34が貼り合わされることにより、表示装置1が作製される。なお、封止樹脂膜35の材料はかかる例に限定されず、封止樹脂膜3

5の材料は、有機発光ダイオード211からの出射光に対する透過性が高いこと、下層に位置するCF層33及び上層に位置する第2基板34との接着性に優れていること、及び下層に位置するCF層33との界面及び上層に位置する第2基板34との界面における光の反射性が低いこと等を考慮して、適宜選択されてよい。ただし、本実施形態はかかる例に限定されず、表示装置1は、第2基板34上にCF層33が形成され、当該CF層33が有機発光ダイオード211と対向するように、第1基板11と第2基板34とが貼り合わされて作製される、いわゆる対向CF方式の表示装置であってもよい。

[0138] CF層33は、有機発光ダイオード211の各々に対して所定の面積を有する各色のCFが設けられるように、形成される。CF層33は、例えばレジスト材をフォトリソグラフィ技術で所定の形状に露光、現像することにより、形成され得る。また、CF層33の膜厚は、例えば2 μ m程度である。ただし、CF層33の材料、形成方法及び膜厚はかかる例に限定されず、CF層33は、一般的な有機EL表示装置のCF層として用いられている各種の公知の材料、及び各種の公知の方法によって、一般的に有機EL表示装置において採用されている膜厚を有するように適宜形成されてよい。

[0139] 図示する例では、CF層33は、それぞれが所定の面積を有する赤色のCF33R、緑色のCF33G、及び青色のCF33Bが連続的に水平面内に分布するように構成されている。なお、以下の説明では、CF33R、CF33G及びCF33Bを特に区別する必要がない場合には、これらのうちの1つ又は複数を指して、単にCF33aとも記載することとする。1つの有機発光ダイオード211と1つのCF33aとの組み合わせにより、1つの副画素が形成される。

[0140] 以上、表示装置1の具体的な構成例について説明した。なお、以上説明した表示装置1の構成、特にリフレクタ53の構成については、例えば本出願人による先行出願である、特開2013-191533号公報を参照することができる。ただし、本実施形態に係る表示装置1の構成はかかる例に限定

されない。上述したように、本実施形態に係る表示装置 1 には、上記（４、配線層のレイアウト）で説明した点が反映されていればよく、その他の点については、一般的な表示装置において用いられている各種の公知の構成を適用することができる。

[0141] （６．適用例）

以上説明した本実施形態に係る表示装置 1 の適用例について説明する。ここでは、以上説明した本実施形態に係る表示装置 1 が適用され得る電子機器のいくつかの例について説明する。

[0142] 図 1 4 は、本実施形態に係る表示装置 1 が適用され得る電子機器の一例である、スマートフォンの外観を示す図である。図 1 4 に示すように、スマートフォン 5 0 1 は、ボタンから構成されユーザによる操作入力を受け付ける操作部 5 0 3 と、各種の情報を表示する表示部 5 0 5 と、を有する。当該表示部 5 0 5 に、表示装置 1 が適用され得る。

[0143] 図 1 5 及び図 1 6 は、本実施形態に係る表示装置 1 が適用され得る電子機器の他の例である、デジタルカメラの外観を示す図である。図 1 5 は、デジタルカメラ 5 1 1 を前方（被写体側）から眺めた外観を示しており、図 1 6 は、デジタルカメラ 5 1 1 を後方から眺めた外観を示している。図 1 5 及び図 1 6 に示すように、デジタルカメラ 5 1 1 は、本体部（カメラボディ） 5 1 3 と、交換式のレンズユニット 5 1 5 と、撮影時にユーザによって把持されるグリップ部 5 1 7 と、各種の情報を表示するモニタ 5 1 9 と、撮影時にユーザによって観察されるスルー画を表示する電子ビューファインダ（EVF : Electronic View Finder） 5 2 1 と、を有する。当該モニタ 5 1 9 及び EVF 5 2 1 に、表示装置 1 が適用され得る。

[0144] 図 1 7 は、本実施形態に係る表示装置 1 が適用され得る電子機器の他の例である、ヘッドマウントディスプレイ（HMD : Head Mounted Display）の外観を示す図である。図 1 7 に示すように、HMD 5 3 1 は、各種の情報を表示する眼鏡形の表示部 5 3 3 と、装着時にユーザの耳に掛止される耳掛け部 5 3 5 と、を有する。当該表示部 5 3 3 に、表示装置 1 が適用され得る

。

[0145] 以上、本実施形態に係る表示装置 1 が適用され得る電子機器のいくつかの例について説明した。なお、表示装置 1 が適用され得る電子機器は上記で例示したものに限定されず、表示装置 1 は、例えば、テレビジョン装置、電子ブック、スマートフォン、携帯情報端末（PDA：Personal Digital Assistant）、ノート型PC（Personal Computer）、ビデオカメラ、又はゲーム機器等、外部から入力された画像信号又は内部で生成した画像信号に基づいて表示を行うあらゆる分野の電子機器に搭載される表示装置に適用することが可能である。

[0146] （7. 補足）

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0147] 例えば、上述した実施形態では、画素回路 210 の駆動回路を構成する各トランジスタ（駆動トランジスタ 212、サンプリングトランジスタ 213、発光制御トランジスタ 214 及びスイッチングトランジスタ 217）は、Pチャネル型であったが、本開示に係る技術はかかる例に限定されない。例えば、これらのトランジスタはNチャネル型であってもよい。

[0148] また、本明細書に記載された効果は、あくまで説明的又は例示的なものであって限定的なものではない。つまり、本開示に係る技術は、上記の効果とともに、又は上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏し得る。

[0149] なお、以下のような構成も本開示の技術的範囲に属する。

（1）

発光素子及び当該発光素子を駆動するための駆動回路から構成される画素

回路が行列状に複数並べられて構成される画素部と、

前記画素回路の各々に接続される配線であって、複数の前記画素回路の各行に対応して第1の方向に延伸して設けられる走査線と、

前記画素回路の各々に接続される配線であって、複数の前記画素回路の各列に対応して前記第1の方向と直交する第2の方向に延伸して設けられる信号線と、

を備え、

前記走査線及び前記信号線のうちで、1つの前記画素回路に対して設けられる本数がより多い方が、より下層の配線層に位置し、

前記駆動回路に含まれる容量素子の電極が、前記走査線及び前記信号線のいずれかが設けられる配線層に位置する、

表示装置。

(2)

前記駆動回路は複数のトランジスタを有し、

複数の前記トランジスタが形成される拡散層の上に、前記走査線、前記信号線及び前記容量素子が形成される複数の配線層が積層される、

前記(1)に記載の表示装置。

(3)

前記発光素子は有機発光ダイオードであり、

前記有機発光ダイオードが、最上層の前記配線層の上に位置する、

前記(2)に記載の表示装置。

(4)

1つの前記画素回路によって1つの副画素が構成され、

4つの前記副画素によって1つの画素が構成される、

前記(1)～(3)のいずれか1項に記載の表示装置。

(5)

前記走査線の数、前記信号線の数よりも多い、

前記(1)～(4)のいずれか1項に記載の表示装置。

(6)

前記走査線は水平方向に延伸する配線であり、
前記信号線は垂直方向に延伸する配線である、
前記(1)～(5)のいずれか1項に記載の表示装置。

(7)

複数の前記走査線の全てが同一の配線層に位置する、又は複数の前記信号線の全てが同一の配線層に位置する、
前記(1)～(6)のいずれか1項に記載の表示装置。

(8)

複数の前記走査線が互いに異なる複数の配線層に分散して配置される、又は複数の前記信号線が互いに異なる複数の配線層に分散して配置される、
前記(1)～(7)のいずれか1項に記載の表示装置。

(9)

映像信号に基づいて表示を行う表示装置、
を備え、
前記表示装置は、
発光素子及び当該発光素子を駆動するための駆動回路から構成される画素回路が行列状に複数並べられて構成される画素部と、
前記画素回路の各々に接続される配線であって、複数の前記画素回路の各行に対応して第1の方向に延伸して設けられる走査線と、
前記画素回路の各々に接続される配線であって、複数の前記画素回路の各列に対応して前記第1の方向と直交する第2の方向に延伸して設けられる信号線と、
を有し、
前記走査線及び前記信号線のうちで、1つの前記画素回路に対して設けられる本数がより多い方が、より下層の配線層に位置し、
前記駆動回路に含まれる容量素子の電極が、前記走査線及び前記信号線のいずれかが設けられる配線層に位置する、

電子機器。

符号の説明

- [0150] 1 表示装置
- 10 表示パネル
- 20 画素部
- 30 走査部
- 40 選択部
- 210、220 画素回路
- 211、221 有機発光ダイオード
- 212 駆動トランジスタ
- 213 サンプリングトランジスタ
- 214 発光制御トランジスタ
- 215、227 保持容量
- 216 補助容量
- 217 スイッチングトランジスタ
- 222、223、224、225、226 トランジスタ
- 228 H走査線
- 229 V信号線
- 231 拡散層
- 232、235、238、241 絶縁体層
- 233 コンタクト
- 236、239、242 ビア
- 234、237、240 配線層
- 243 アノード
- 251 容量素子下部電極
- 252、254 容量素子上部電極
- 261 有機層
- 301 書き込み走査部

- 3 0 2 書き込み走査線
- 3 1 1 第 1 駆動走査部
- 3 1 2 第 1 駆動線
- 3 2 1 第 2 駆動走査部
- 3 2 2 第 2 駆動線
- 3 3 1 共通電源線
- 3 3 2 電源線
- 3 3 3 グランド線
- 4 0 1 信号出力部
- 4 0 2 信号線
- 5 0 1 スマートフォン（電子機器）
- 5 1 1 デジタルカメラ（電子機器）
- 5 3 1 HMD（電子機器）

請求の範囲

- [請求項1] 発光素子及び当該発光素子を駆動するための駆動回路から構成される画素回路が行列状に複数並べられて構成される画素部と、
前記画素回路の各々に接続される配線であって、複数の前記画素回路の各行に対応して第1の方向に延伸して設けられる走査線と、
前記画素回路の各々に接続される配線であって、複数の前記画素回路の各列に対応して前記第1の方向と直交する第2の方向に延伸して設けられる信号線と、
を備え、
前記走査線及び前記信号線のうちで、1つの前記画素回路に対して設けられる本数がより多い方が、より下層の配線層に位置し、
前記駆動回路に含まれる容量素子の電極が、前記走査線及び前記信号線のいずれかが設けられる配線層に位置する、
表示装置。
- [請求項2] 前記駆動回路は複数のトランジスタを有し、
複数の前記トランジスタが形成される拡散層の上に、前記走査線、前記信号線及び前記容量素子が形成される複数の配線層が積層される、
請求項1に記載の表示装置。
- [請求項3] 前記発光素子は有機発光ダイオードであり、
前記有機発光ダイオードが、最上層の前記配線層の上に位置する、
請求項2に記載の表示装置。
- [請求項4] 1つの前記画素回路によって1つの副画素が構成され、
4つの前記副画素によって1つの画素が構成される、
請求項1に記載の表示装置。
- [請求項5] 前記走査線の数、前記信号線の数よりも多い、
請求項1に記載の表示装置。
- [請求項6] 前記走査線は水平方向に延伸する配線であり、

前記信号線は垂直方向に延伸する配線である、
請求項 1 に記載の表示装置。

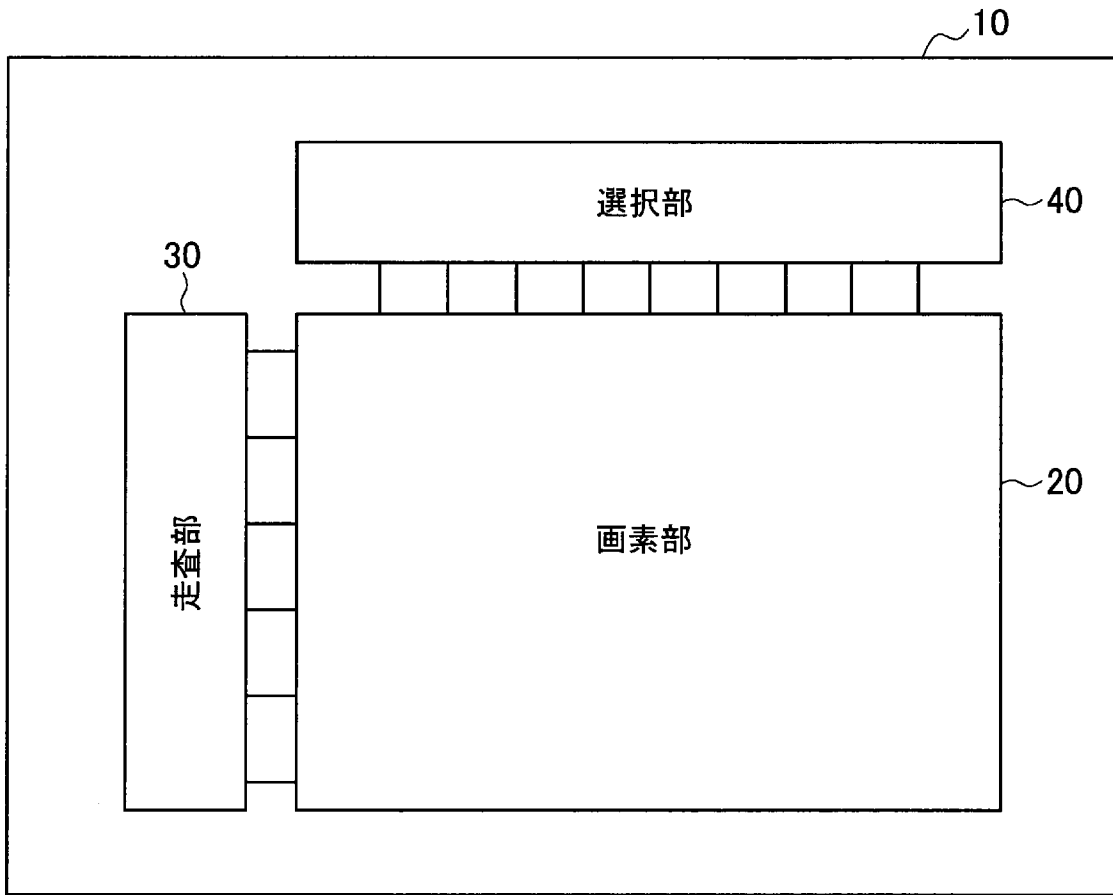
[請求項7] 複数の前記走査線の全てが同一の配線層に位置する、又は複数の前記信号線の全てが同一の配線層に位置する、
請求項 1 に記載の表示装置。

[請求項8] 複数の前記走査線が互いに異なる複数の配線層に分散して配置される、又は複数の前記信号線が互いに異なる複数の配線層に分散して配置される、
請求項 1 に記載の表示装置。

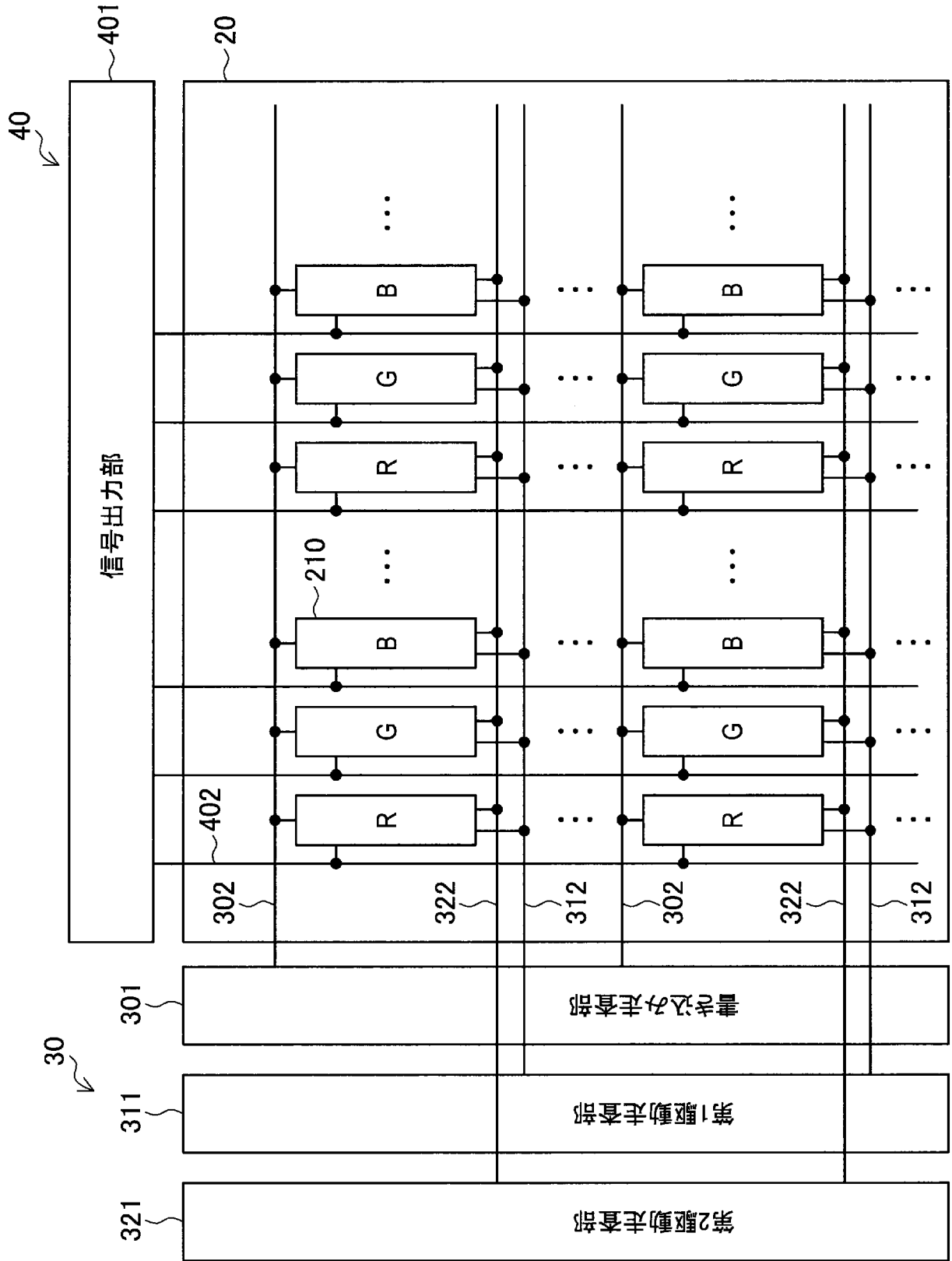
[請求項9] 映像信号に基づいて表示を行う表示装置、
を備え、
前記表示装置は、
発光素子及び当該発光素子を駆動するための駆動回路から構成される画素回路が行列状に複数並べられて構成される画素部と、
前記画素回路の各々に接続される配線であって、複数の前記画素回路の各行に対応して第 1 の方向に延伸して設けられる走査線と、
前記画素回路の各々に接続される配線であって、複数の前記画素回路の各列に対応して前記第 1 の方向と直交する第 2 の方向に延伸して設けられる信号線と、
を有し、
前記走査線及び前記信号線のうちで、1 つの前記画素回路に対して設けられる本数がより多い方が、より下層の配線層に位置し、
前記駆動回路に含まれる容量素子の電極が、前記走査線及び前記信号線のいずれかが設けられる配線層に位置する、
電子機器。

[図1]

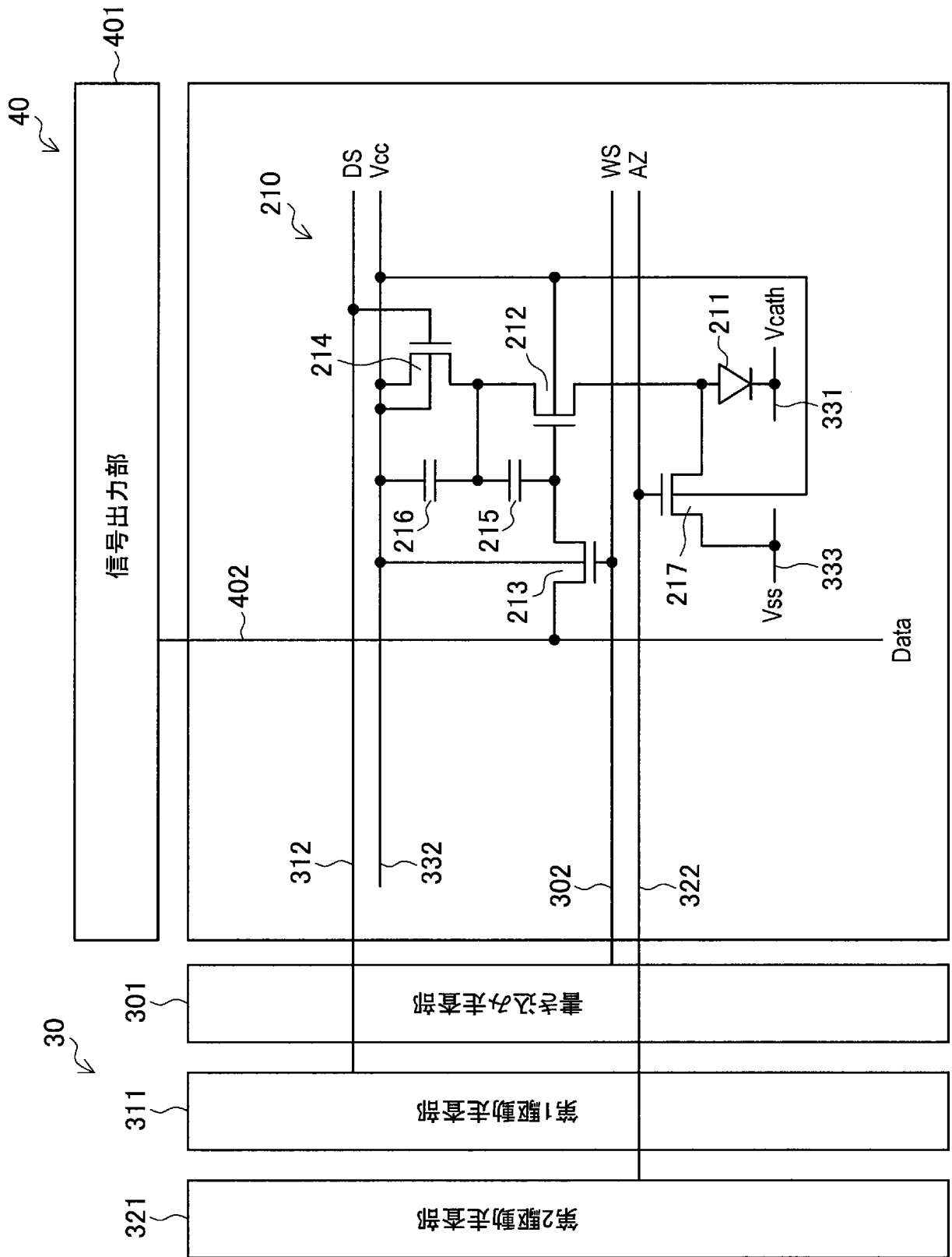
1



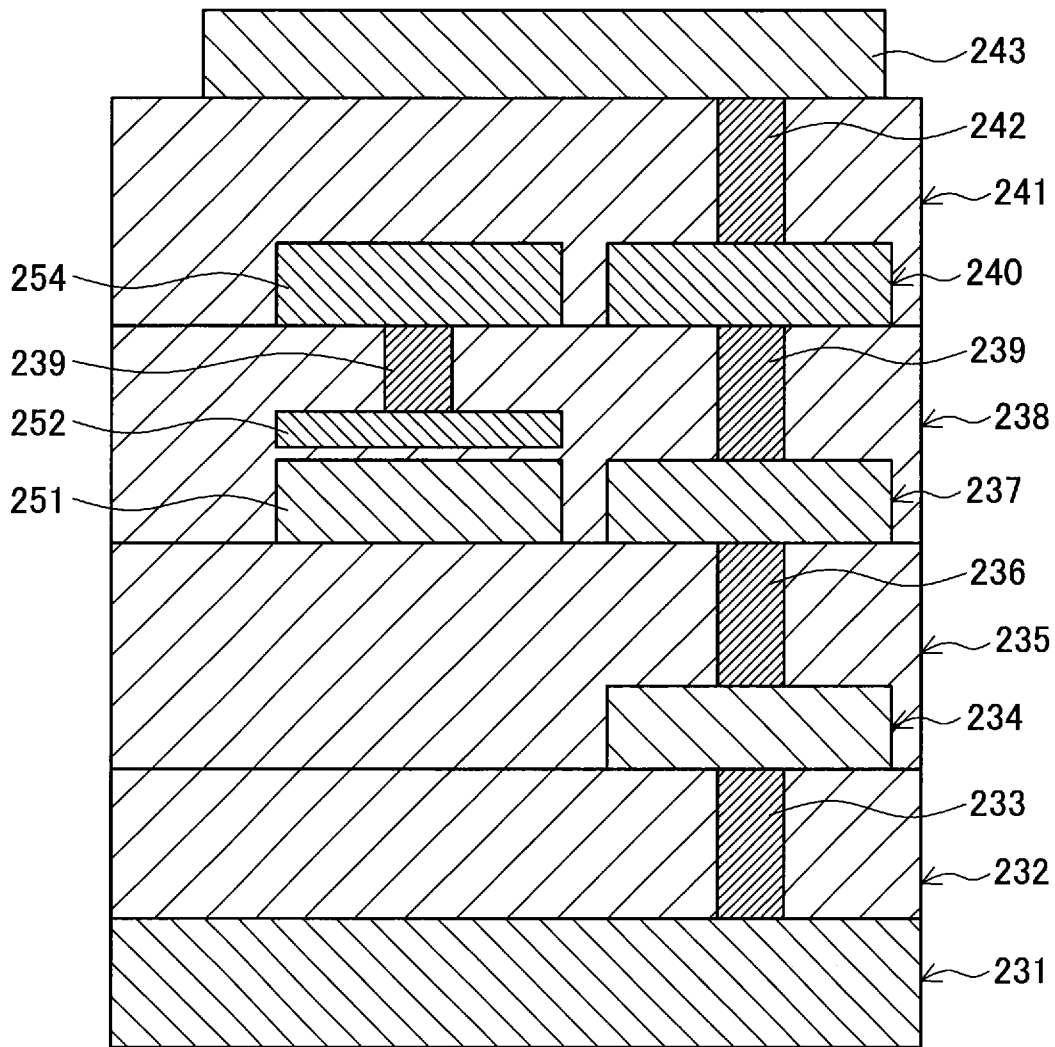
[図2]



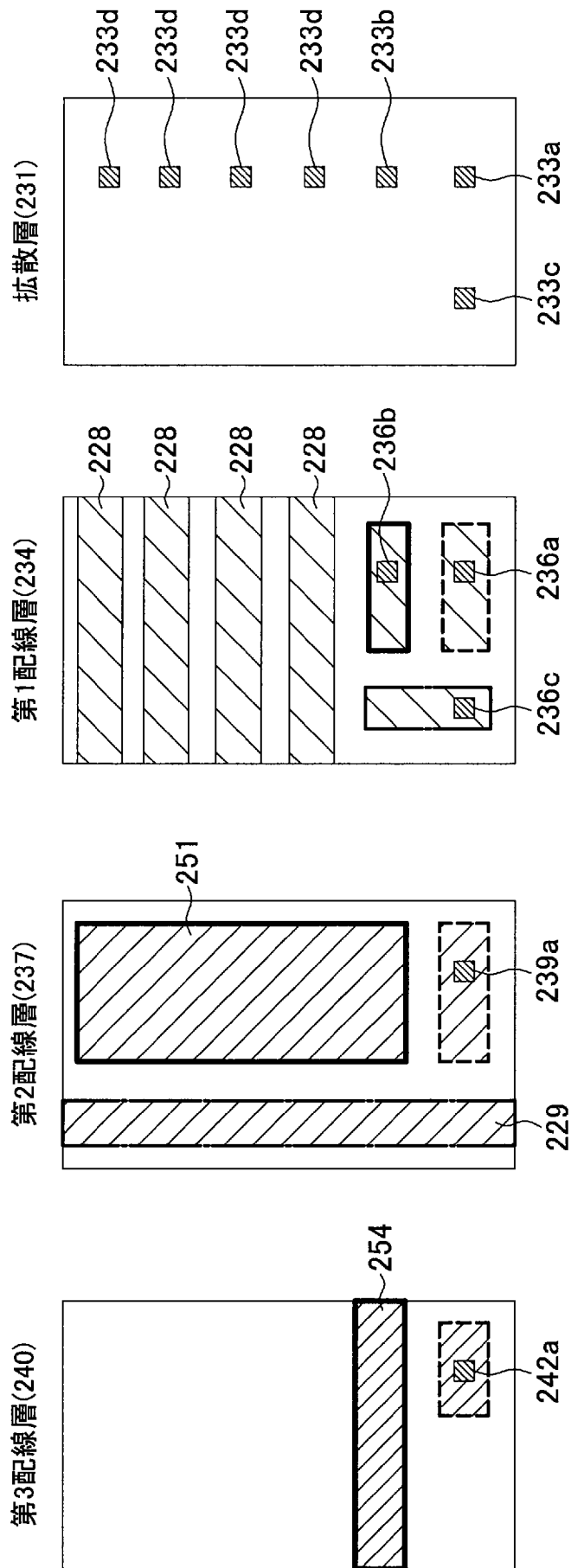
[図3]



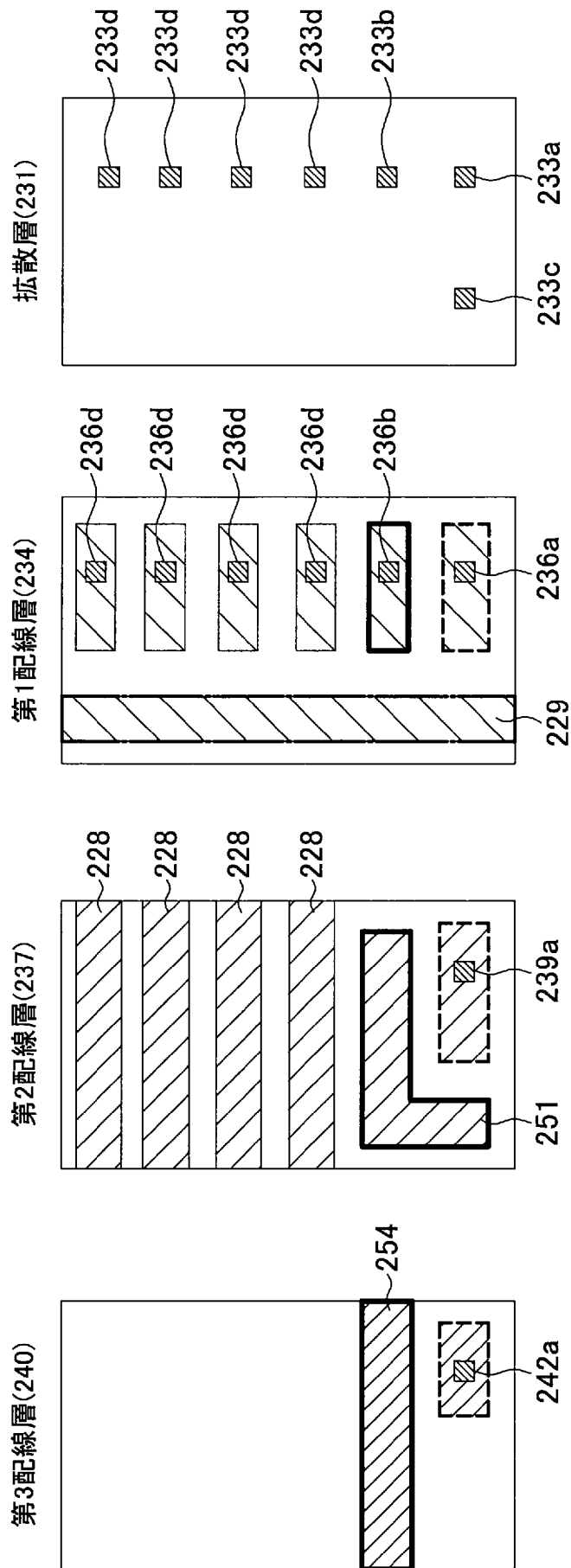
[図6]



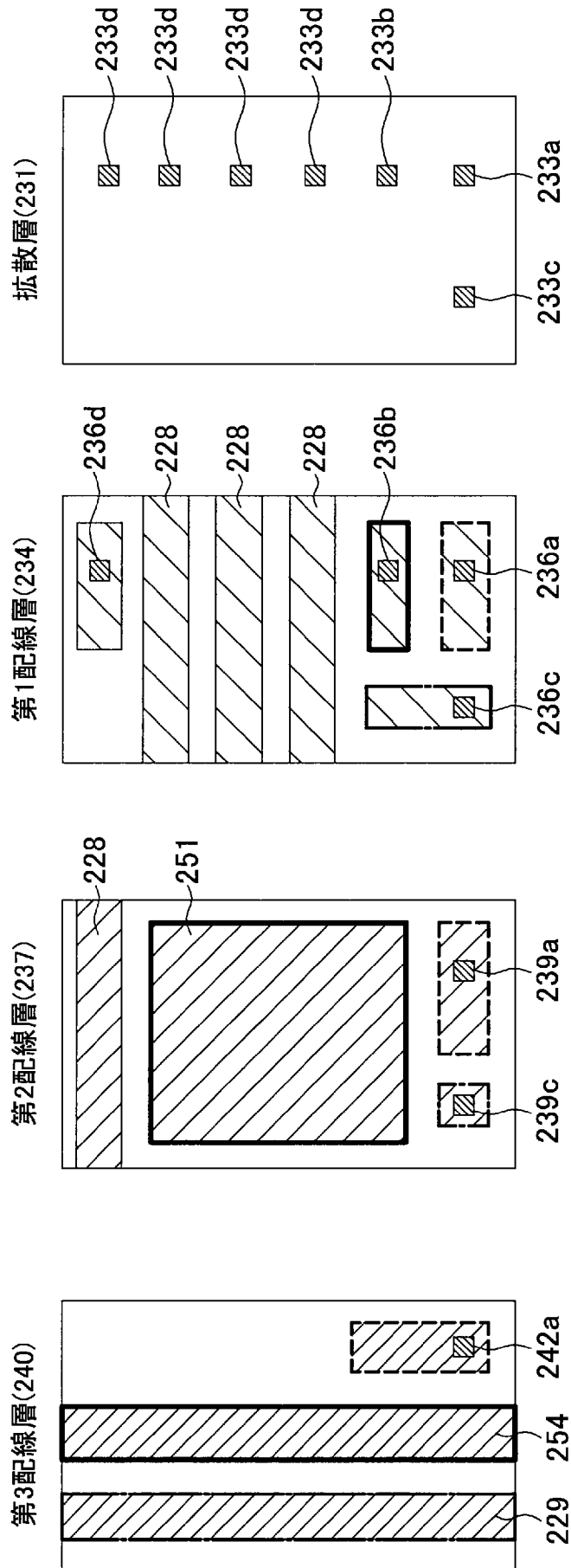
[図7]



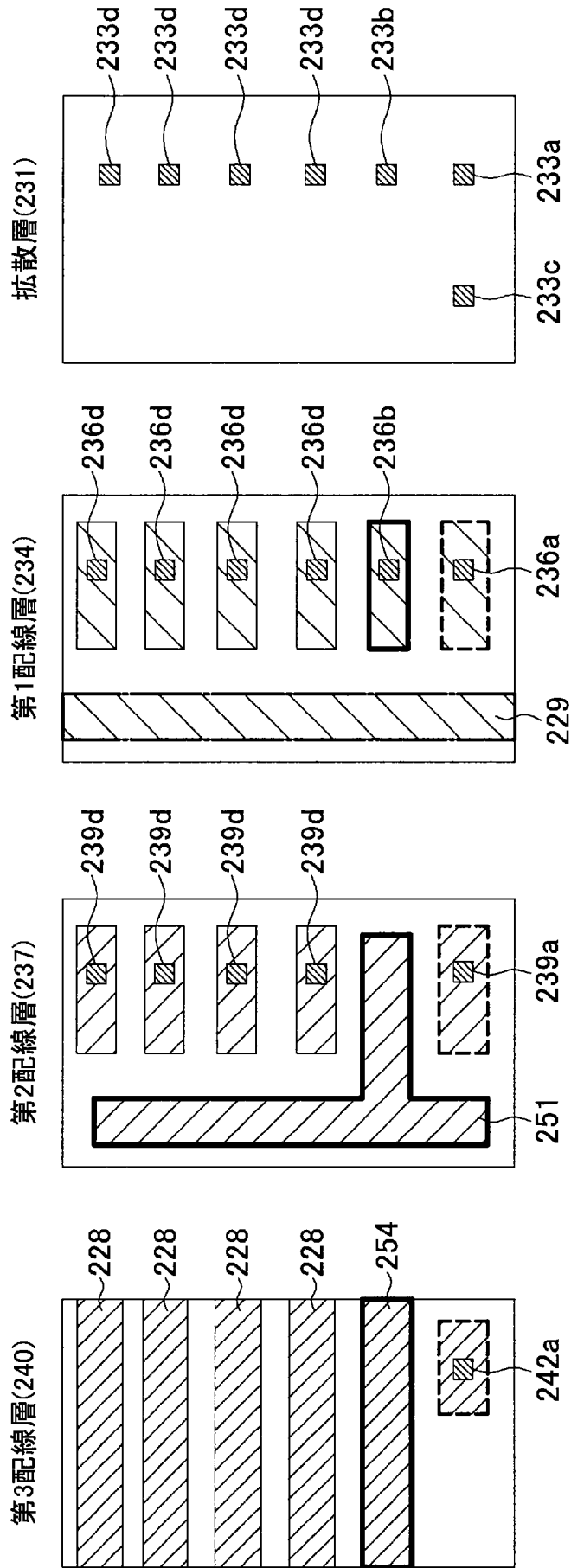
[図8]



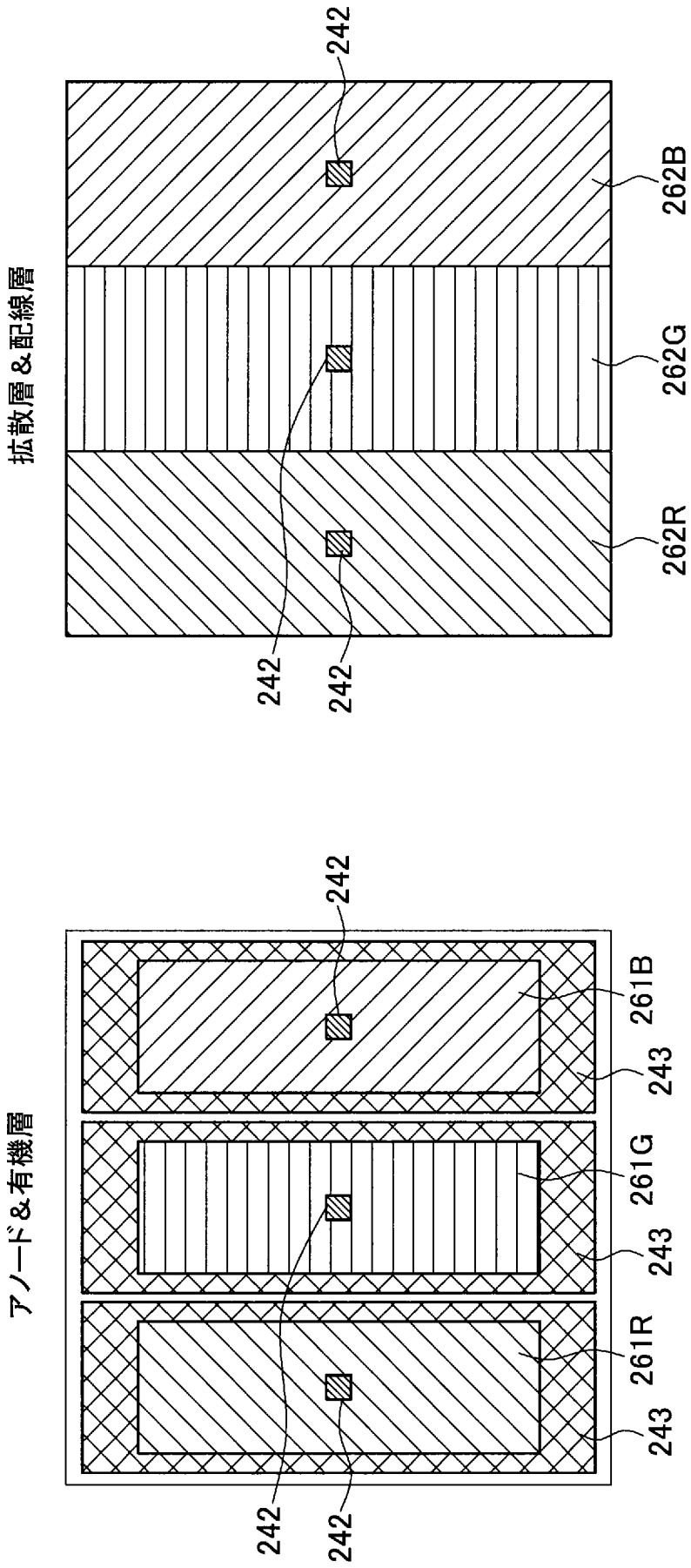
[図9]



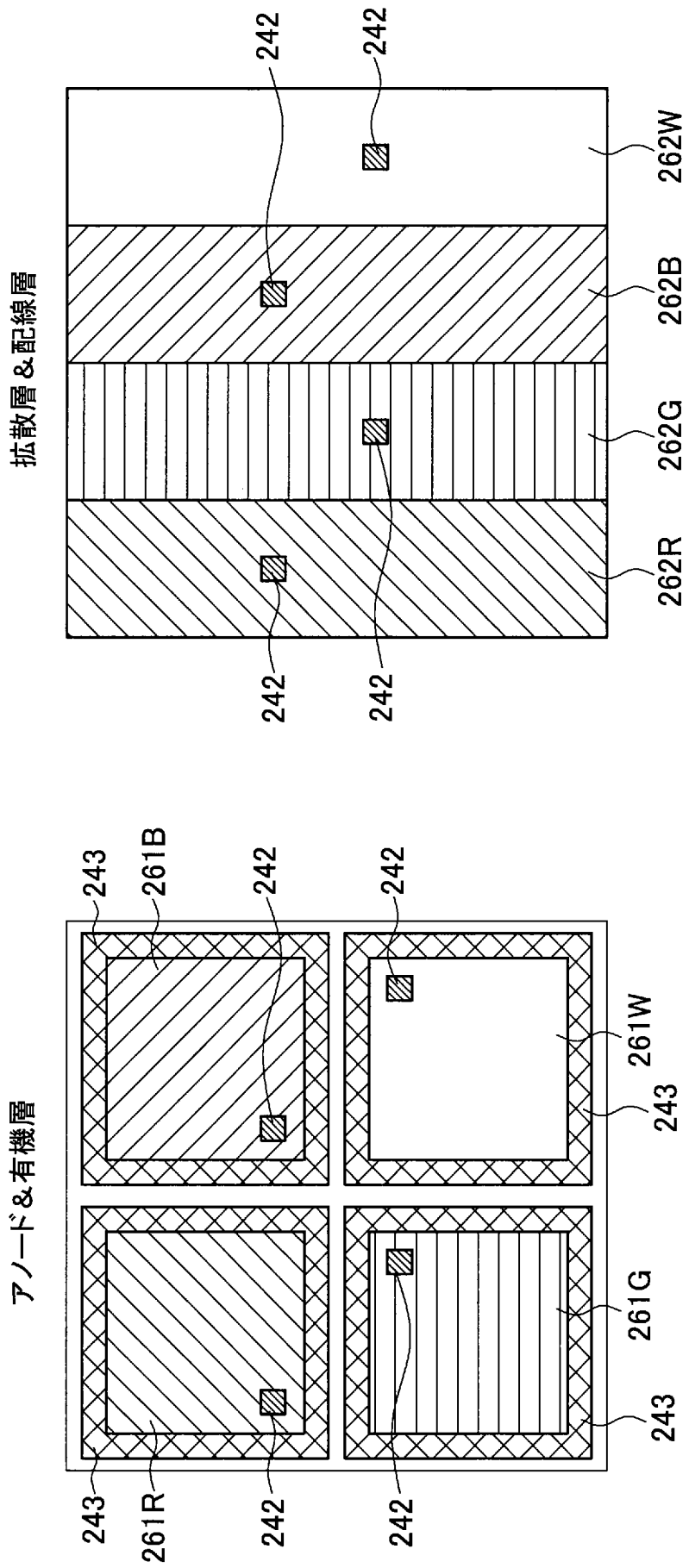
[図10]



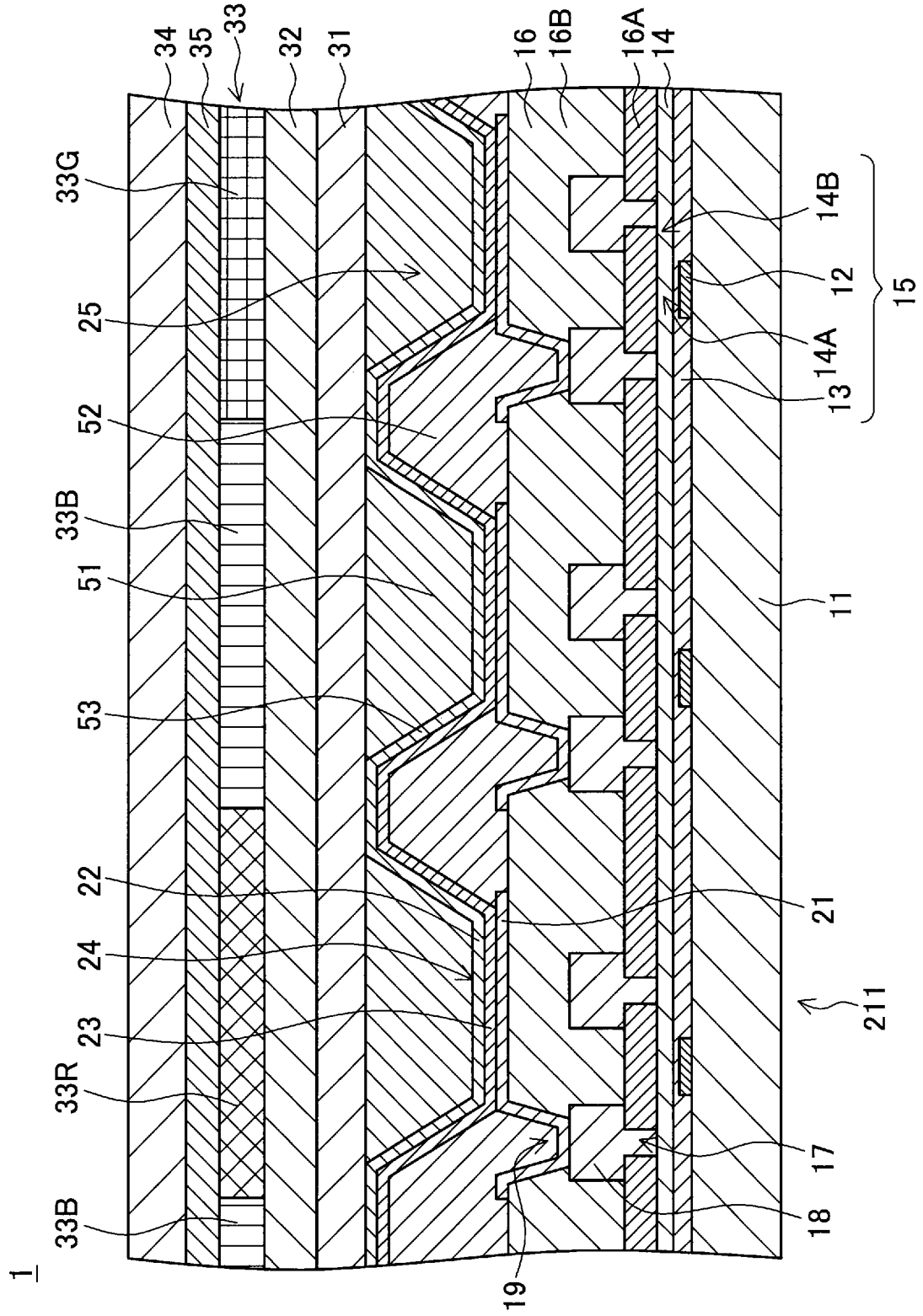
[図11]



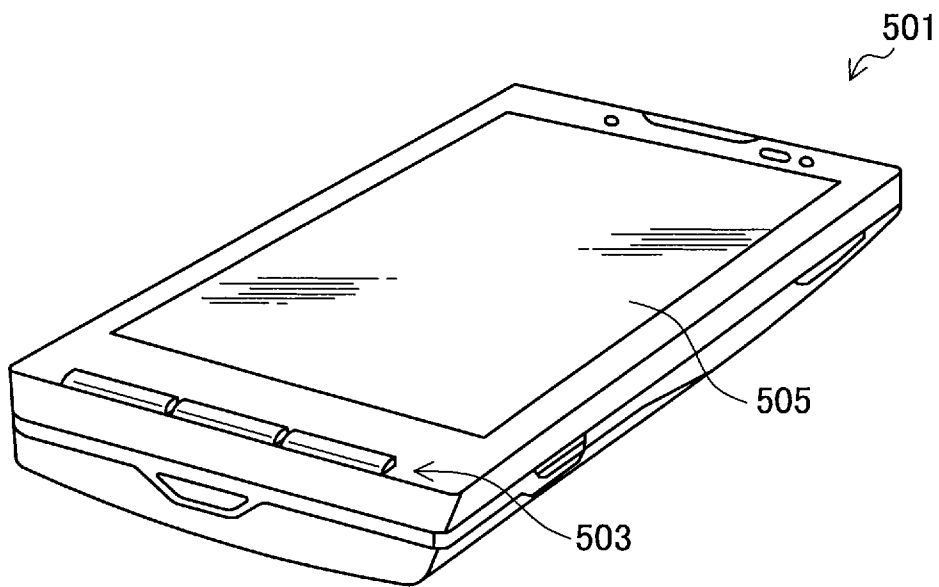
[図12]



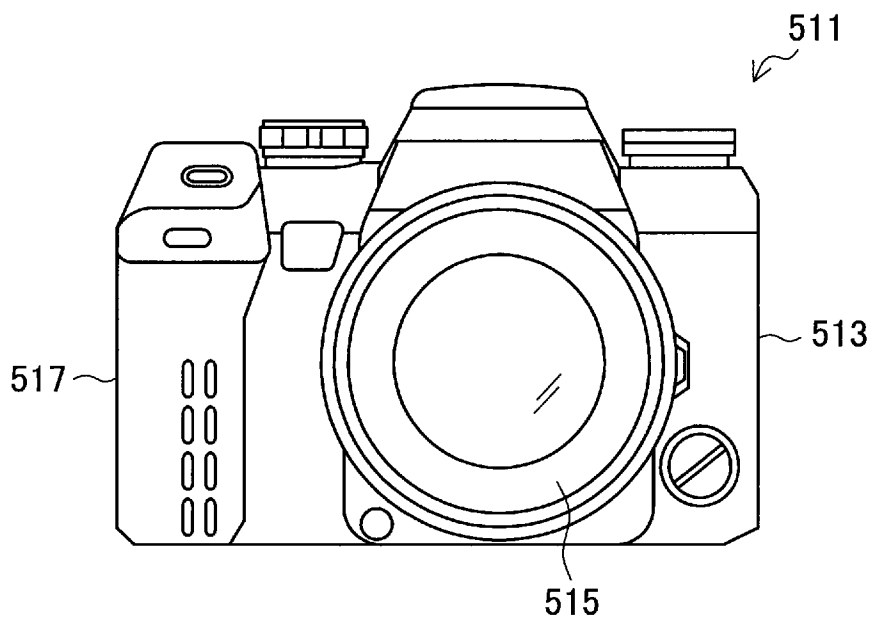
[図13]



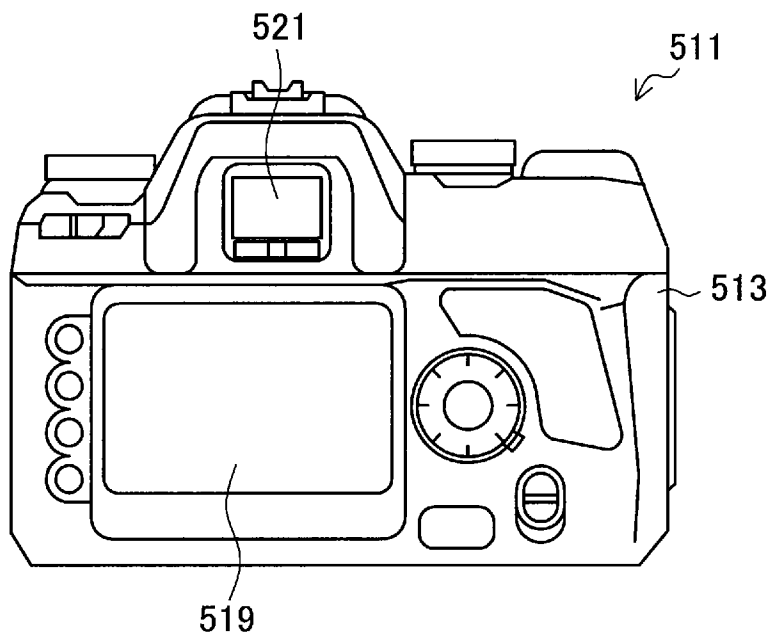
[図14]



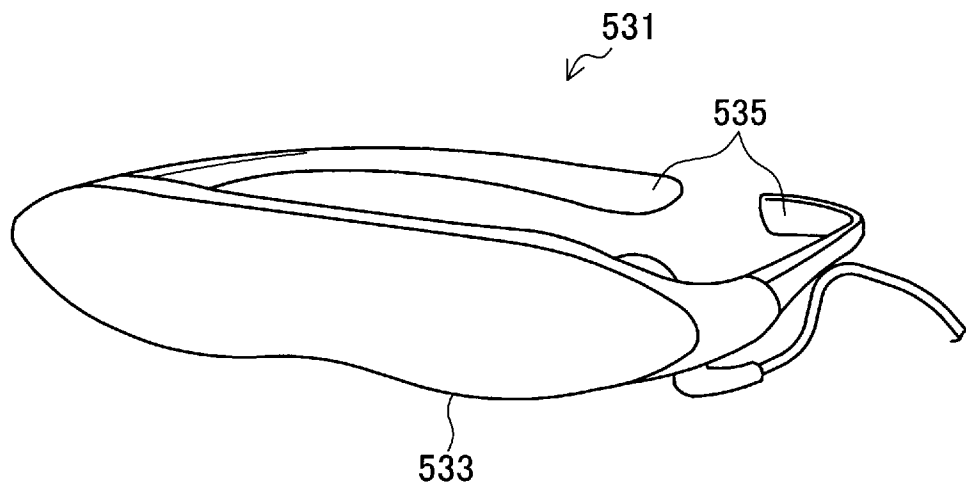
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/027160

A. CLASSIFICATION OF SUBJECT MATTER <i>G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/3225(2016.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i</i>										
According to International Patent Classification (IPC) or to both national classification and IPC										
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) <i>G09F9/30, G09G3/20, G09G3/3225, H01L51/50, H05B33/02</i>										
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched										
<table border="0"> <tr> <td>Jitsuyo Shinan Koho</td> <td>1922-1996</td> <td>Jitsuyo Shinan Toroku Koho</td> <td>1996-2017</td> </tr> <tr> <td>Kokai Jitsuyo Shinan Koho</td> <td>1971-2017</td> <td>Toroku Jitsuyo Shinan Koho</td> <td>1994-2017</td> </tr> </table>			Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017	Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017
Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017							
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017							
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)										
C. DOCUMENTS CONSIDERED TO BE RELEVANT										
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.								
X Y	JP 2016-53641 A (Seiko Epson Corp.), 14 April 2016 (14.04.2016), paragraphs [0019] to [0073], [0084] to [0114]; fig. 2, 22 to 30 (Family: none)	1-7, 9 8								
X Y	JP 2015-111275 A (Semiconductor Energy Laboratory Co., Ltd.), 18 June 2015 (18.06.2015), paragraphs [0113] to [0170]; fig. 7, 21, 22 & US 2007/0002084 A1 paragraphs [0162] to [0219]; fig. 7, 21, 22 & CN 1892734 A	1-7, 9 8								
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.										
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family										
Date of the actual completion of the international search 04 October 2017 (04.10.17)		Date of mailing of the international search report 17 October 2017 (17.10.17)								
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.								

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/027160

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-154229 A (Semiconductor Energy Laboratory Co., Ltd.), 25 August 2016 (25.08.2016), paragraphs [0549] to [0554]; fig. 47 & US 2016/0240683 A1 paragraphs [0598] to [0603]; fig. 47	8

<p>A. 発明の属する分野の分類（国際特許分類（I P C））</p> <p>Int.Cl. G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/3225(2016.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i</p>												
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（I P C））</p> <p>Int.Cl. G09F9/30, G09G3/20, G09G3/3225, H01L51/50, H05B33/02</p>												
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2017年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2017年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2017年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2017年	日本国実用新案登録公報	1996-2017年	日本国登録実用新案公報	1994-2017年		
日本国実用新案公報	1922-1996年											
日本国公開実用新案公報	1971-2017年											
日本国実用新案登録公報	1996-2017年											
日本国登録実用新案公報	1994-2017年											
<p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>												
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X Y</td> <td>JP 2016-53641 A（セイコーエプソン株式会社）2016.04.14, 段落[0019]-[0073], [0084]-[0114], 図2, 22-30（ファミリーなし）</td> <td>1-7, 9 8</td> </tr> <tr> <td>X Y</td> <td>JP 2015-111275 A（株式会社半導体エネルギー研究所）2015.06.18, 段落[0113]-[0170], 図7, 21, 22 & US 2007/0002084 A1 段落[0162]-[0219], 図7, 21, 22 & CN 1892734 A</td> <td>1-7, 9 8</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X Y	JP 2016-53641 A（セイコーエプソン株式会社）2016.04.14, 段落[0019]-[0073], [0084]-[0114], 図2, 22-30（ファミリーなし）	1-7, 9 8	X Y	JP 2015-111275 A（株式会社半導体エネルギー研究所）2015.06.18, 段落[0113]-[0170], 図7, 21, 22 & US 2007/0002084 A1 段落[0162]-[0219], 図7, 21, 22 & CN 1892734 A	1-7, 9 8	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号										
X Y	JP 2016-53641 A（セイコーエプソン株式会社）2016.04.14, 段落[0019]-[0073], [0084]-[0114], 図2, 22-30（ファミリーなし）	1-7, 9 8										
X Y	JP 2015-111275 A（株式会社半導体エネルギー研究所）2015.06.18, 段落[0113]-[0170], 図7, 21, 22 & US 2007/0002084 A1 段落[0162]-[0219], 図7, 21, 22 & CN 1892734 A	1-7, 9 8										
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>												
<p>* 引用文献のカテゴリー</p> <table border="0"> <tr> <td>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」 口頭による開示、使用、展示等に言及する文献</td> <td>「&」 同一パテントファミリー文献</td> </tr> <tr> <td>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>			「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの											
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの											
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの											
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献											
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願												
<p>国際調査を完了した日</p> <p>04.10.2017</p>	<p>国際調査報告の発送日</p> <p>17.10.2017</p>											
<p>国際調査機関の名称及びあて先</p> <p>日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官（権限のある職員）</p> <p>村川 雄一</p> <p>電話番号 03-3581-1101 内線 3273</p>	<p>21 3608</p>										

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2016-154229 A (株式会社半導体エネルギー研究所) 2016.08.25, 段落[0549]-[0554], 図 47 & US 2016/0240683 A1 段落[0598]-[0603], 図 47	8