



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I462110 B

(45)公告日：中華民國 103 (2014) 年 11 月 21 日

(21)申請案號：098109550

(22)申請日：中華民國 98 (2009) 年 03 月 24 日

(51)Int. Cl. : G11C29/08 (2006.01)

G11C17/16 (2006.01)

(30)優先權：2008/04/03 美國

61/042,052

2008/12/23 美國

12/342,367

(71)申請人：席登斯公司 (加拿大) SIDENSE CORP. (CA)

加拿大

(72)發明人：庫加諾維克茲 伍洛德克 KURJANOWICZ, WLODEK (CA)

(74)代理人：林志剛

(56)參考文獻：

US 5007026

US 6515923B1

US 7136322B2

US 7298665B2

US 2006/0244099A1

US 2007/0257331A1

審查人員：蕭明椿

申請專利範圍項數：22 項 圖式數：12 共 48 頁

(54)名稱

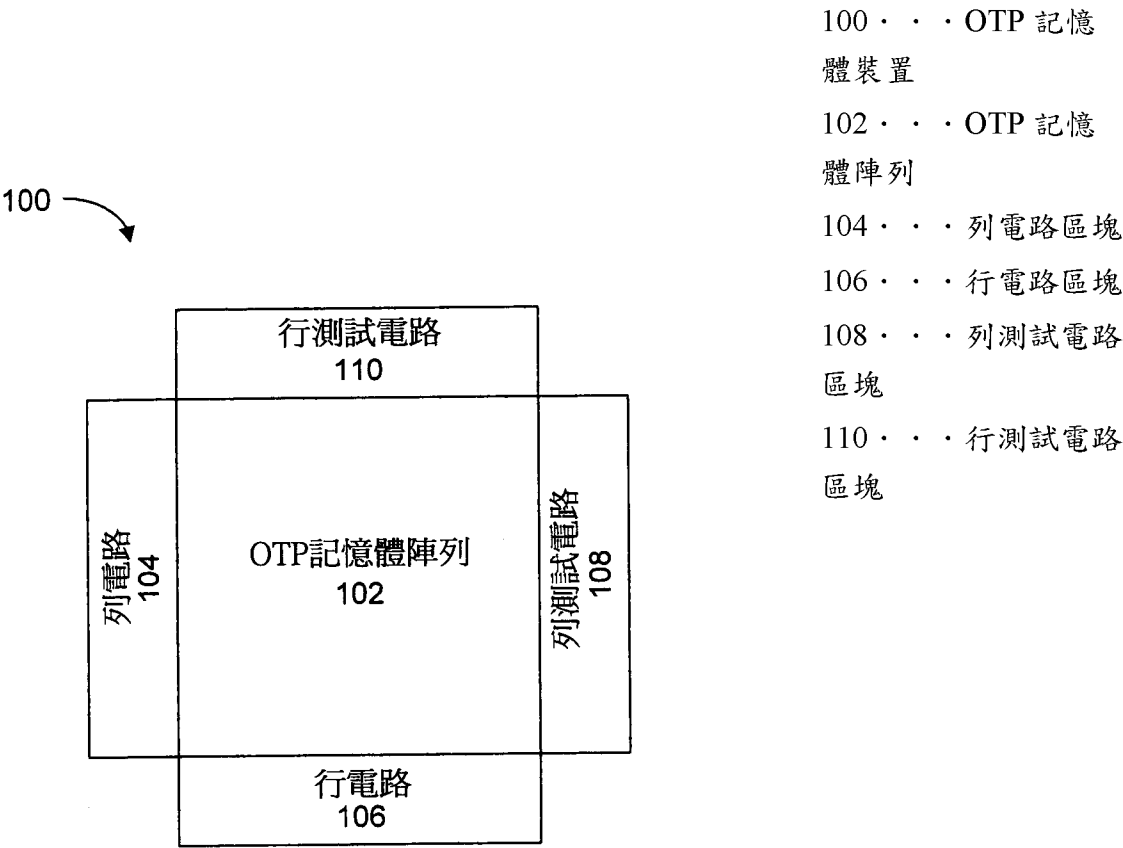
未程式化的單次可程式化記憶體陣列的測試電路

TEST CIRCUIT FOR AN UNPROGRAMMED OTP MEMORY ARRAY

(57)摘要

用以測試未程式化的 OTP 記憶體之電路在於確保字線及位元線連接、行解碼器、字線驅動器、解碼的校正、感測、及多工化適當地操作。OTP 測試系統包含行測試電路及列測試電路的其中之一者或二者，該行測試電路在讀取操作的期間將所有位元線充電至由程式化的 OTP 記憶體胞格所提供之電壓位準相似的電壓位準，以回應於測試字線的激活，該等位元線電壓可予以感測，藉以允許用於行解碼及感測放大器電路的測試；該列測試電路在讀取操作的期間將測試位元線充電至與由程式化的 OTP 記憶體胞格所提供之電壓位準相似的電壓位準，以回應於 OTP 記憶體陣列之字線的激活，此測試位元線的電壓可予以感測，藉以允許用於列解碼及驅動器電路的測試。

Circuits for testing unprogrammed OTP memories to ensure that wordline and bitline connections, column decoders, wordline drivers, correctness of decoding, sensing and multiplexing operate properly. The OTP testing system includes one or both of column test circuitry and row test circuitry. The column test circuitry charges all the bitlines to a voltage level similar to that provided by a programmed OTP memory cell during a read operation, in response to activation of a test wordline. The bitline voltages can be sensed, thereby allowing for testing of the column decoding and sense amplifier circuits. The row test circuitry charges a test bitline to a voltage level similar to that provided by a programmed OTP memory cell during a read operation, in response to activation of a wordline of the OTP memory array. This test bitline voltage can be sensed, thereby allowing for testing of the row decoding and driver circuits.



第6圖

公告本

859052

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98109550

※申請日：98 年 03 月 24 日

※IPC 分類：

G11C 29/08 (2006.01)
G11C 19/16 (2006.01)

一、發明名稱：(中文／英文)

未程式化的單次可程式化記憶體陣列的測試電路

Test circuit for an unprogrammed OTP memory array

二、中文發明摘要：

用以測試未程式化的 OTP 記憶體之電路在於確保字線及位元線連接、行解碼器、字線驅動器、解碼的校正、感測、及多工化適當地操作。OTP 測試系統包含行測試電路及列測試電路的其中之一者或二者，該行測試電路在讀取操作的期間將所有位元線充電至由程式化的 OTP 記憶體胞格所提供之電壓位準相似的電壓位準，以回應於測試字線的激活，該等位元線電壓可予以感測，藉以允許用於行解碼及感測放大器電路的測試；該列測試電路在讀取操作的期間將測試位元線充電至與由程式化的 OTP 記憶體胞格所提供之電壓位準相似的電壓位準，以回應於 OTP 記憶體陣列之字線的激活，此測試位元線的電壓可予以感測，藉以允許用於列解碼及驅動器電路的測試。

三、英文發明摘要：

TEST CIRCUIT FOR AN UNPROGRAMMED OTP MEMORY ARRAY

Circuits for testing unprogrammed OTP memories to ensure that wordline and bitline connections, column decoders, wordline drivers, correctness of decoding, sensing and multiplexing operate properly. The OTP testing system includes one or both of column test circuitry and row test circuitry. The column test circuitry charges all the bitlines to a voltage level similar to that provided by a programmed OTP memory cell during a read operation, in response to activation of a test wordline. The bitline voltages can be sensed, thereby allowing for testing of the column decoding and sense amplifier circuits. The row test circuitry charges a test bitline to a voltage level similar to that provided by a programmed OTP memory cell during a read operation, in response to activation of a wordline of the OTP memory array. This test bitline voltage can be sensed, thereby allowing for testing of the row decoding and driver circuits.

四、指定代表圖：

(一)、本案指定代表圖為：第(6)圖。

(二)、本代表圖之元件代表符號簡單說明：

100：OTP 記憶體裝置

102：OTP 記憶體陣列

104：列電路區塊

106：行電路區塊

108：列測試電路區塊

110：行測試電路區塊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

[相關申請案之對照]

此申請案主張 2008 年 4 月 3 日所申請之美國臨時專利申請案第 61/042,052 號的優先權之權益，該申請案將全部結合於本文以供參考用。

【發明所屬之技術領域】

大致地，本發明有關非依電性記憶體；且更特定地，本發明係針對單次可程式化（OTP）記憶體。

【先前技術】

反熔絲記憶體係單次可程式化（OTP）記憶體的一類型，其中可以以資料將該裝置單次地永久程式化（電性地），此資料係由末端使用者所程式化以供特殊應用之用。存在有若干類型之 OTP 記憶體胞格可予以使用，因為可將任何資料程式化，所以 OTP 記憶體以撓性之位準提供使用者。

反熔絲記憶體可使用於所有的單次可程式化應用中，包含 RF-ID 標籤。RF-ID 標籤的應用正在產業中獲得更多的承認，尤其在例如販售、保全、運輸、後勤、及軍事的應用中。反熔絲記憶體的簡單性及完全 CMOS 可相容性允許 RF-ID 標籤概念被應用至積體電路製造及測試方法；因此，IC 製造的生產率可藉由在 IC 製造及封裝期間以及在印刷電路板組合期間，使用結合有 RF 通訊介面之反熔

絲記憶體於每個晶圓及/或晶圓之每個晶粒之上，以允許無接點程式化及讀取晶片特定或晶圓特定資訊，而增加。

第 1 圖係熟知反熔絲記憶體胞格的電路圖，而第 2 及第 3 圖分別顯示第 1 圖中所示之反熔絲記憶體胞格的平面及橫剖面視圖。第 1 圖之反熔絲記憶體胞格包含傳遞，或存取電晶體 10，用以耦接位元線 BL 至反熔絲裝置 12 的底板；反熔絲裝置 12，係視為閘極電介質崩潰為基之反熔絲裝置；字線 WL，係耦接至存取電晶體 10 的閘極以使其導通；以及胞格板電壓 V_{cp} ，係耦接至反熔絲裝置 12 的頂板，用以程式化反熔絲裝置 12。

從第 2 及 3 圖可觀察到的是，存取電晶體 10 及反熔絲裝置 12 的佈局係非常筆直且簡單的。存取電晶體 10 的閘極 14 及反熔絲裝置 12 的頂板 16 係以相同的多晶矽層所建構，該多晶矽層跨越主動區 18 而延伸。在各個多晶矽層之下的主動區 18 之中，係形成薄的閘極氧化物 20（亦熟知為閘極電介質），用以電性隔離多晶矽與下方的主動區。在閘極 14 的兩側係擴散區 22 及 24，其中擴散區 24 在該處係耦接至位元線。雖然並未顯示，但熟習於本項技藝之該等人士將瞭解的是，可應用諸如側壁間隔物形成、微摻雜擴散（LDD）、及閘極矽化之標準的 CMOS 處理。雖然係廣泛使用傳統的單一電晶體及電容器之胞格組態，但由於可獲得用於高密度應用之半導體陣列面積的節省，僅電晶體之反熔絲胞格係進一步所欲的，此等僅電晶體之反熔絲應為可靠且同時簡單，以便以低成本的 CMOS

方法來製造。

第 4a 圖顯示其中可以以任一標準 CMOS 方法所製造之反熔絲電晶體的橫剖面視圖。此反熔絲電晶體及其變化例係揭示於 2005 年 10 月 21 日所申請之共同擁有的美國專利申請案第 10/553,873 號，及 2007 年 6 月 13 日所申請之共同擁有的美國專利申請案第 11/762,552 號中，該等申請案的內容將結合以供參考。在所顯示的實例中，反熔絲電晶體係幾乎相同於簡單的厚閘極氧化物或具備一浮動擴散端子的輸入/輸出 MOS 電晶體。所揭示之反熔絲電晶體（亦稱為分通道電容器或半電晶體）可予以可靠地程式化，使得多晶矽閘極與基板間之熔絲鏈路可預測地定位至裝置的特定區域。第 4a 圖之橫剖面視圖係沿著裝置的通道長度以取得；大致地，可瞭解該通道係在上方多晶矽閘極之下的區域，而具有由鄰接個別擴散區的多晶矽閘極之邊緣所界定的長度。

反熔絲胞格 30 包含可變厚度閘極氧化物 32，係形成於基板通道區 34 之上；多晶矽閘極 36；側壁間隔物 38；場氧化物區 40；擴散區 42；以及 LDD 區 44，係在擴散區 42 之中。位元線接點 46 係顯示成為與擴散區 42 電性接觸。可變厚度閘極氧化物係由厚閘極氧化物 32 與薄閘極氧化物 33 所組成，使得通道長度的一部分由厚閘極氧化物所覆蓋，以及通道長度的剩餘部分由薄閘極氧化物所覆蓋。大致地，薄閘極氧化物係其中可發生氧化物崩潰於該處的區域；相反地，與擴散區 42 接觸之厚閘極氧化物邊緣

則界定其中可防止閘極氧化物崩潰於該處的接達邊緣，且在閘極 36 與擴散區 42 之間的電流係流動用於程式化的反熔絲電晶體。雖然厚氧化物部分延伸至通道區之內的距離根據罩幕坡度而定，但厚氧化物部分係較佳地形成為至少與形成於同一晶片上之高壓電晶體的最小長度一樣地長。

在此實例中，擴散區 42 係透過位元線接點 46 或用以自多晶矽閘極 36 感測電流之其他線而連接至位元線，且可摻雜以適應程式化電壓或電流，此擴散區 42 係緊鄰可變厚度閘極氧化物的厚氧化物部分而形成。爲了要進一步保護反熔絲胞格 30 的邊緣免於遭受高壓損壞或電流洩漏，可在製造過程期間將電阻器保護氧化物（RPO）（亦熟知爲自行對齊金屬矽化物保護膜氧化物）引入，以進一步將金屬粒子間隔自側壁間隔物 38 的邊緣；較佳地，此 RPO 係使用於自行對齊金屬矽化過程之期間，用以僅防止一部分之擴散區 42 及一部分之多晶矽閘極 36 遭受自行對齊金屬矽化。熟知的是，自行對齊金屬矽化的電晶體係已知具有更的漏電流且因此具有更低的崩潰電壓，所以具有非自行對齊金屬矽化的擴散區 42 將降低漏電流。可針對低壓電晶體或高壓電晶體或該兩電晶體之組合而摻雜擴散區 42，以產生相同或不同的擴散輪廓。

反熔絲胞格 30 的簡略平面視圖係顯示於第 4b 圖之中，可將位元線接點 46 使用做爲目視參考點，而以第 4a 圖之對應的橫剖面視圖來定向平面視圖。主動區 48 係其中形成通道區 34 及擴散區 42 於該處之裝置的區域，其係在

製造過程的期間由 OD 罩幕所界定。點線的輪廓 50 界定其中厚閘極氧化物將在製造過程的期間經由 OD2 罩幕所形成的區域；更特定地，由該點線的輪廓 50 所圍繞的區域指明其中厚氧化物將被形成於該處的區域。OD 單純地表示氧化物界定罩幕，其係使用於 CMOS 處理之期間，用以界定其中將形成氧化物於該處的區域於基板上，以及 OD2 表示與第一氧化物界定罩幕不同之第二氧化物界定罩幕。依據此發明之實施例，係使藉由主動區 48 的邊緣及 OD2 罩幕的最右邊邊緣所定界的薄閘極氧化物區域最小化；在所顯示的實施例中，此區域可藉由將最右邊的 OD2 罩幕邊緣朝向主動區 48 之平行的邊緣偏移而最小化。其內容係結合於本文以供參考之 2007 年 6 月 13 日所申請之共同擁有的美國專利申請案第 11/762,552 號敘述其中可使用於非依電性記憶體陣列中之交錯的單一電晶體反熔絲記憶體胞格。

第 5 圖係依據此發明之實施例的單一電晶體反熔絲記憶體胞格記憶體陣列之平面視圖佈局。在此實例中，僅顯示 4 條字線及 4 條位元線。在記憶體陣列 60 中之各個單一電晶體反熔絲胞格 30 具有一多晶矽閘極 62，且具有與第 4a 及 4b 圖之反熔絲胞格 30 相同的結構。在記憶體陣列 60 中，形成各個反熔絲記憶體胞格之多晶矽閘極 62 的多晶矽線係共用於列之所有的反熔絲記憶體胞格。記憶體陣列 60 係顯示包含 16 個反熔絲記憶體胞格，其中在第一列 64、第二列 66、第三列 68、及第四列 70 的各者之中係

配置 4 個，字線 WLi 、 $WLi+1$ 、 $WLi+2$ 、及 $WLi+3$ 係分別連接至列 64、66、68、及 70 的多晶矽閘極 62。點線的輪廓 72 界定記憶體陣列中的區域，其中厚閘極氧化物係經由厚閘極氧化物界定罩幕而形成於區域過程的期間。在第 5 圖中所示的組態中，來自列 64 及 66 之各個對的記憶體胞格分享共同擴散區 74 及共同位元線接點 76，各個位元線接點係連接至諸如位元線 BLn 、 $BLn+1$ 、 $BLn+2$ 、及 $BLn+3$ 之不同的位元線，連接至各個位元線的是預充電電路 78 以及行解碼器及感測放大器電路區塊 80，預充電電路 78 係負責將所有的位元線預充電至預定電壓以供讀取操作之用，而行解碼器及感測放大器電路區塊 80 則包含多工裝置，用於以一或更多條位元線來分享一感測放大器。使用第 5 圖之架構的記憶體陣列的實際佈局可使預充電電路 79 座落於該等位元線之一末端處而與行解碼器及感測放大器電路區塊 80 相對，或使預充電電路 78 與行解碼器及感測放大器電路區塊 80 鄰接或成一體。

現將參照第 4a 及 4b 圖之反熔絲胞格 30 以及第 5 圖之記憶體陣列 60 以解說程式及讀取操作的概觀。大致地，反熔絲電晶體係藉由較佳地使閘極氧化物破裂於薄/厚閘極氧化物邊界及薄閘極氧化物/源極擴散邊緣的其中之一處，而程式化，此係藉由施加足夠高的電壓差動於將被程式化的胞格之閘極與通道之間，且若有的話，施加實質更低的電壓差動於所有其他的胞格上，而予以完成；因此，一旦形成永久的導電鏈路時，施加至多晶矽閘極的電流

將透過該鏈路及通道以流至擴散區，而可由習知的感測放大器電路所感測。在此實例中，反熔絲胞格 30 的程式化係藉由將所選擇之位元線接地至 0 伏（0V）且將所選擇之列驅動至程式化電壓位準（VPP）而達成，該程式化電壓位準係典型比提供至其他電路 VDD 電壓供應更大。在該等條件之下，係打算使薄閘極氧化物在當形成於通道區 34 與字線間之大的電場存時崩潰，藉以產生導電性連接於通道區 34 與多晶矽閘極 36 之間，此導電性連接可稱為導電性鏈路或反熔絲。例如，在第 5 圖中，若將 BLn 接地，且將 WLi 選擇成為被驅動至 VPP 時，則一旦形成導電性鏈路時，將使 BLn 與 WLi 之交叉處的反熔絲胞格 30 程式化。因此，若對應之位元線接地時，可使連接至 WLi 之任一反熔絲電晶體程式化；相反地，抑制連接至 WLi 之任一反熔絲電晶體的程式化則藉由將連接至其之位元線偏動至 VDD 而作成，因為降低之電場不足以形成導電性鏈路。

爲了要以所形成的導電性鏈路來讀取程式化或未程式化的反熔絲電晶體，所有的位元線接係預充電至 VSS，隨後將所選擇的字線驅動至 VDD，具有導電性鏈路之任一程式化的反熔絲電晶體將驅動其對應之位元線至 VDD，而透過其之 VDD 經由導電性鏈路來驅動字線，然後可感測增加的位元線電壓；不具有導電性鏈路之任一未程式化的反熔絲電晶體將不具有效應於其對應之位元線之上，此意指的是，該位元線將維持在 VSS 預充電位準。

熟習於本項技藝之該等人士應理解的是，OTP 記憶體

係由末端顧客所程式化，而非由製造商或販售者。因而，應有由製造商所提供之一些檢定，其中在由末端使用者之使用前，已將所提供的 OTP 記憶體測試以便合適地操作；更特定地，製造商應檢定 OTP 記憶體的電路可合適地作用，且故障的胞格可使用熟知之冗餘技術，在由末端使用者之不成功的程式化之後，以額外的列或行來加以置換。尤其，此測試應確保諸如列解碼器及行解碼器之所製造的電路如所設計一樣地作用，且應確保字線及位元線的形成期間並不會存在有製造的缺陷。

然而，很難以測試上述之 OTP 記憶體裝置的功能性，因為位元線係預充電至對應於未程式化的胞格之電壓位準的電壓位準，且當該等胞格未程式化時，將字線驅動至讀取電壓將不具效應。針對上述之 OTP 記憶體裝置，該等位元線將僅當激活程式化的 OTP 記憶體胞格時才會朝向 VDD 上升。

因此，所欲的是，能提供用以測試未程式化的 OTP 記憶體陣列而無需程式化任何 OTP 記憶體胞格的電路。

【發明內容】

本發明的目的在於排除或減輕先前之 OTP 測試方法及系統的至少一缺點。

在第一觀點中，本發明提供一種單次可程式化（OTP）記憶體，該 OTP 記憶體包含記憶體陣列、解碼電路、測試電路、及感測電路。該記憶體陣列包含未程式化的 OTP

胞格，而該等解碼電路係定位於該記憶體陣列的第一末端處。測試電路係定位於該記憶體陣列的第二且相對的末端處，用以在測試操作的期間將至少一位元線朝向第一電壓耦接，以回應於激活的字線，該至少一位元線係在正常讀取操作的期間被預充電至第二電壓。感測電路則感測該至少一位元線的電壓。依據此觀點之一實施例，該至少一位元線的第一電壓對應於由程式化的 OTP 胞格所提供的讀取電壓。

在另一實施例中，測試電路耦接連接至該等未程式化的 OTP 胞格之複數個位元線至第一電壓，以及該等解碼電路包含連接至該複數個位元線的行電路。在此實施例中，該測試電路包含一系列測試胞格，該等測試胞格具有由該激活的字線所形成之其閘極端子，且該等測試胞格的各者係連接至該複數個位元線的其中之一者。該等測試胞格的各者係遮罩程式化，以耦接第一電壓至對應的位元線，以回應於該激活的字線；選擇性地，該等測試胞格的各者在結構及佈局上係與該等未程式化的 OTP 胞格的其中之一者相同，且可程式化用以耦接激活的字線之第一電壓至對應的位元線。該等未程式化的 OTP 胞格的各者及該等測試胞格的各者可為具有相同佈局的單一電晶體反熔絲胞格，或具有相同佈局的雙電晶體反熔絲胞格。

在此觀點的又一實施例中，該等解碼電路包含連接至複數個字線的列電路，激活的字線係該複數個字線的其中之一者，以及該複數個字線係連接至該等未程式化的胞格

之列。在此實施例中，該測試電路包含一行測試胞格，該等測試胞格具有由該複數個字線所形成之其閘極端子，其中在該處之該等測試胞格的各者係連接至該至少一位元線。該等測試胞格的各者遮罩可程式化，以耦接第一電壓至該至少一位元線，以回應於激活的字線；選擇性地，該等測試胞格的各者在結構及佈局上係與該等未程式化的 OTP 胞格的其中之一者相同，且可程式化用以耦接激活的字線之第一電壓至對應的位元線。再者，感測電路係專用的測試感測放大器，用以感測該至少一位元線之第一電壓，且該測試電路包含測試耦合裝置，用以選擇性地連接該至少一位元線至一行未程式化的 OTP 胞格的位元線。

在第二觀點中，本發明提一種單次可程式化（OTP）記憶體，該 OTP 記憶體包含記憶體陣列、列測試電路、行測試電路、及感測電路。該記憶體陣列具有連接至字線及位元線之未程式化的 OTP 胞格。該列測試電路係連接至該等字線，用以充電測試位元線至第一電壓，以回應於該等字線的其中之一者的激活。該行測試電路在測試操作的期間將該等位元線耦接至第一電壓，以回應於測試字線的激活，其中在該處之該等位元線係在正常讀取操作的期間被預充電至第二電壓。感測電路則感測該等位元線及該測試位元線的電壓。依據第二觀點之實施例，列測試電路係連接至該等字線的第一末端，且用以驅動該等字線的列電路係連接至該等字線的第二末端，該第二末端係相對於該第一末端。該列測試電路包含一行的列測試胞格，該等列測

試胞格具有由該等字線所形成之其閘極端子，該等列測試胞格的各者係連接至該測試位元線。行測試電路係連接至該等位元線的第一末端，且行電路係連接至該等位元線的第二末端，該第二末端係相對於該第一末端。該行測試電路包含一系列的行測試胞格，該等行測試胞格係連接至該等位元線，且具有由該測試位元線所形成之其閘極。該等列測試胞格及該等行測試胞格包含遮罩可程式化的胞格，該等遮罩可程式化的胞格具有連接至第一電壓的第一擴散區及連接至該等位元線的其中之一者和該測試位元線的第二擴散區。

在第三觀點中，本發明提供一種未程式化的單次可程式化（OTP）記憶體陣列的測試方法，該方法包含激活測試電路及感測至少一位元線。激活的步驟包含耦接至少一位元線至第一電壓位準，該至少一位元線係在正常讀取操作的期間被預充電至第二電壓位準。感測的步驟包含提供對應於電壓位準之存在及缺席的其中之一者的邏輯狀態。依據第三觀點之實施例，激活包含驅動耦接至程式化的測試記憶體胞格之列的字線，該等程式化的測試記憶體胞格耦接複數個位元線至第一電壓位準。該方法可包含反複改變行位址且感測該複數個位元線之不同位元線的進一步之步驟。該等程式化的測試記憶體胞格包含遮罩程式化的記憶體胞格。在激活步驟之前，將未程式化的 OTP 記憶體胞格程式化成為該等程式化的測試記憶體胞格。

在第三觀點的另一實施例中，該至少一位元線包含連

接至一行程式化的測試記憶體胞格之測試位元線，且激活包含驅動耦接至該等程式的測試記憶體胞格的其中之一者的字線，用以耦接該測試位元線至第一電壓位準。此實施例進一步包含在感測步驟之後，預充電該測試位元線至第二電壓位準，且改變列位址，用以驅動耦接至該等程式化的測試記憶體胞格的另一者之另一字線。該等程式化的測試記憶體胞格包含遮罩程式化的記憶體胞格，或在激活之前，將未程式化的 OTP 記憶體胞格程式化成為該等程式化的測試記憶體胞格。

當檢視下文與附圖結合之本發明特定實施例的說明時，本發明之其他觀點及特性將呈明顯於一般熟習本項技藝之該等人士。

【實施方式】

大致地，本發明提供用以測試未程式化的 OTP 記憶體之方法及系統，以確保字線及位元線連接、行解碼器、字線驅動器、解碼的校正、感測、及多工化適當地操作。OTP 測試系統包含行測試電路及列測試電路的其中之一者或二者，該行測試電路在讀取操作的期間將所有位元線充電至與由程式化的 OTP 記憶體胞格所提供之電壓位準相似的電壓位準，以回應於測試字線的激活，該等位元線電壓可予以感測，藉以允許用於行解碼及感測放大器電路的測試；該列測試電路在讀取操作的期間將測試位元線充電至與由程式化的 OTP 記憶體胞格所提供之電壓位準相似的

電壓位準，以回應於 OTP 記憶體陣列之字線的激活，此測試位元線的電壓可予以感測，藉以允許用於列解碼及驅動器電路的測試。因此，可測試諸如字線及位元線之信號線的連續性，以做為用以驅動該等信號線之可依賴的邏輯。

第 6 圖係描繪本發明實施例之方塊圖。OTP 記憶體裝置 100 包含由連接至字線及位元線之 OTP 記憶體胞格所組成的 OTP 記憶體陣列 102，其中在該處之字線水平地延伸及位元線垂直地延伸於 OTP 記憶體陣列 102 之內。連接至該等字線之第一末端的是列電路區塊 104，其包含例如諸如列解碼器及列驅動器之列關聯的電路；連接至該等位元線之第一末端的是行電路區塊 106，其包含例如諸如行解碼器及感測放大器之行關聯的電路；連接至該等字線之第二且相對之末端的是列測試電路區塊 108，其係使用以測試該等列電路之功能性及各個字線的實體情形；以及連接至該等位元線之第二且相對之末端的是行測試區塊 110，其係使用以測試該等行電路之功能性及各個位元線的實體情形。應注意的是，針對 OTP 記憶體裝置 100，僅顯示記憶體陣列及相關聯的記憶體電路，例如熟習於本項技藝之人士將瞭解的是，存在有爲了要致能合適操作之所需的其他電路及邏輯。該等列測試電路 108 及行測試電路 110 的實體設置致能該等字線及位元線之實體完整性或連續性的測試；爲了要使電路區域架空最小化，可將列測試電路 108 及行測試電路 110 形成爲具有與 OTP 記憶體陣列 102 之記憶體胞格相同的實體佈局及實質相同結構之記憶體胞

格，因而，該等測試胞格可仿真該等 OTP 記憶體陣列之記憶體胞格的電性行為。依據一實施例之列測試電路 108 及行測試電路 110 的進一步細節係顯示於第 7 圖之中。

第 7 圖係顯示第 6 圖之 OTP 記憶體裝置 100 的實施例實例之平面視圖的電晶體層次佈局；尤其，係描繪 OTP 記憶體陣列 102、列測試電路 108、及行測試電路 110 的電晶體層次之實例，而行電路區塊 106 顯示諸如預充電電路、行解碼器、及感測放大器之已知的行電路。列電路區塊 104 並未顯示於第 7 圖之中；然而，熟習於本項技藝之人士將瞭解的是，該等電路係熟知於本項技藝之中。第 7 圖中所示之所有電晶體係 n 通道電晶體。OTP 記憶體陣列 102 係諸如第 4a、4b、及 5 圖中所顯示及所描繪的單一電晶體反熔絲記憶體胞格之反熔絲胞格 30 的陣列。在此實例中，針對該 OTP 記憶體陣列 102，僅顯示 4 條字線 WLi 至 $WLi+3$ 及 4 條位元線 BLn 至 $BLn+3$ 。現將該等字線及位元線稱為常態字線及常態位元線；單一電晶體反熔絲記憶體胞格的特性已描述於上文，且因此，不再針對本實施例來加以敘述。

行測試電路 110 係連接至常態位元線的第二末端，該第二末端係相對於第一末端，而該等常態位元線係連接至行電路區塊 106。此設置的目的在於測試整個位元線長度的實體完整性。該行測試電路 110 包含一系列諸如遮罩程式化僅讀記憶體（MROM）胞格的行測試電路，其中在該處具有 MROM 胞格對常態位元線之一對一的比例。如第 7

圖中所示，MROM 胞格 200、202、204、及 206 具有對應於測試字線 WL-test 的多晶矽閘極，其中該等 MROM 胞格之各者在該處具有經由位元線接點而連接至對應的常態位元線之汲極端子 208，及連接至電源供應器 VDD 之源極端子 210。依據本實施例，各個 MROM 胞格在結構上係與反熔絲電晶體裝置相似，且受到相同的處理步驟，除了它們並不具有可變厚度閘極氧化物之外。在第 7 圖的實例中，係使用與 OTP 記憶體陣列 102 中之厚閘極氧化物界定罩幕 72 相同的厚閘極氧化物界定罩幕 212，以界定厚閘極氧化物於 WL_test 之多晶矽閘極之下方的通道區之上；換言之，MROM 胞格 200、202、204、及 206 作用相似於形成在與 OTP 記憶體裝置 100 相同的基板上之核心邏輯電晶體或 I/O 電晶體。

在操作中，該等 MROM 胞格之各者將其對應的常態位元線充電至大約 $VDD - V_{tn}$ ，以回應於 WL_test 被激活或驅動至諸如 VDD 或 VREF 的正電壓，其中 V_{tn} 在該處係 n 通道電晶體的臨限電壓。若存在有缺陷於行解碼邏輯中，或諸如斷裂之實體缺陷於行測試電路 110 與行電路 106 間之任何處的位元線之中時，則該位元線將不具有 $VDD - V_{tn}$ 電壓位準；因而，感測常態位元線上之 $VDD - V_{tn}$ 電壓的失敗指示與該位元線或用於該位元線之行解碼關聯的某一類型的失敗。

列測試電路 108 係連接至常態位元線的第二末端，該第二末端係相對於第一末端，而該等常態位元線係連接至

列電路區塊 104（未顯示）。此設置的目的在於測試整個字線長度的實體完整性。該列測試電路 108 包含一行諸如 MROM 胞格的列測試胞格，其中在該處具有 MROM 胞格對常態字線之一對一的比例。如第 7 圖中所示，MROM 胞格 214、216、218、及 220 各具有對應於常態字線的其中之一者的多晶矽閘極，其中該等 MROM 胞格之各者在該處具有經由位元線接點連接至測試位元線 BL_test 之分享的汲極端子 222、及連接至電源供應器 VDD 或 VREF 之分享的或專用的源極端子 224。雖然測試位元線 BL_test 係連接至測試感測放大器 226，但選擇性地，可在測試期間將其選擇性地耦接至區塊 106 中之常態感測放大器的其中之一者，如稍後將在第 10 圖中顯示地。依據本實施例，各個 MROM 胞格在結構上係與反熔絲電晶體裝置相似，除了它們並不具有可變厚度閘極氧化物之外。在第 7 圖的實例中，厚閘極氧化物界定罩幕 72 係延伸以界定各個多晶矽閘極之下的通道區之上的厚閘極氧化物；換言之，MROM 胞格 214、216、218、及 220 作用相似於形成在與 OTP 記憶體裝置 100 相同的基板上之核心邏輯電晶體或 I/O 電晶體。

在操作中，該等 MROM 胞格之各者將測試位元線 BL_test 充電至大約 $VDD - V_{tn}$ ，以回應於常態位元線被激活或驅動至諸如 VDD 的正電壓，其中 V_{tn} 在該處係 n 通道電晶體的臨限電壓。倘若並不具有實體缺陷於該等位元線之中時，若 WL_test 及該等常態字線 WL_i 至 WL_{i+3} 之

各者被驅動至 VDD 以上的電壓位準時，則將所有常態位元線及測試位元線 BL_test 驅動至完全 VDD 位準；若存在有缺陷於列解碼邏輯之中，或諸如斷裂之實體缺陷於列測試電路 108 與列電路 104（未顯示）之間任何處的常態字線之中時，則測試位元線將不具有 $VDD-V_{tn}$ 電壓位準。因此，在 BL_test 感測 $VDD-V_{tn}$ 的失效將指示與該列關聯之某一類型的損壞。

第 8 圖顯示 OTP 記憶體陣列 102、列測試電路 108、及行測試電路 110 的等效電路圖。第 8 圖中所使用的反熔絲胞格 30 係由與熟知之用於 n 通道電晶體的符號相異之不同的電晶體符號所表示；尤其，所使用的反熔絲電晶體符號指明的是，該反熔絲電晶體具有可變厚度閘極氧化物。行電路區塊 106 係顯示成為如第 7 圖中之總括方格。第 8 圖清楚地顯示行測試電路 110 可如何耦接常態位元線至可由行電路區塊 106 所感測的電壓位準，以及列測試電路 108 可如何耦接測試位元線至可由測試感測放大器 226 所感測的電壓位準。因為可感測該等位元線電壓，所以可在運送至將程式化 OTP 記憶體陣列 102 的末端使用者之前，將列電路 104 及行電路 106 加以測試。如稍後將敘述地，可將測試算法展開而透過行及列位址自動地循環，以檢查所預期之自位元線所感測的資料是否可適當地讀出。

在第 7 及 8 圖的實施例中，列測試電路 108 及行測試電路 110 係視為部分之 OTP 記憶體陣列 102，因為 MROM 胞格係以用以製造反熔絲記憶體胞格之實質相同的尺寸及

方法所製造；因而，用以實施該等測試電路的電路區域架空係最小的。第 9 圖係依據本發明實施例之 OTP 記憶體裝置 100 的選擇性實施例，其進一步地使列測試電路及行測試電路的電路區域架空最小化。

在第 9 圖中，OTP 記憶體裝置 300 包含第 7 圖中所示之相同的 OTP 記憶體陣列 102 及行電路區塊 106。在本實施例中，行測試電路 302 包含一行，諸如與 OTP 記憶體陣列 102 中之反熔絲胞格 30 相同的反熔絲電晶體之行測試胞格，此列之行測試胞格將在第一測試循環中被程式化。列測試電路 304 係與列測試電路 108 相同，除了其並不包含測試感測放大器之外；選擇性地，該列測試電路 304 可包含一行諸如與 OTP 記憶體陣列 102 中之反熔絲胞格 30 相同的反熔絲電晶體（未顯示）之列測試胞格，此行之列測試胞格將在第一測試循環中被程式化。該等測試電路二者至少具有與第 7 圖中所示之對應的測試電路相同的功能性。行測試電路 302 包含反熔絲電晶體 306、308、310、及 312，各具有由多晶矽測試字線 WL_{test} 所形成的閘極。該等反熔絲電晶體 306、308、310、及 312 之各者具有以位元線接點連接至對應的常態位元線之汲極擴散區 314，厚閘極氧化物界定罩幕 316 描繪反熔絲電晶體的可變厚度閘極氧化物之厚及薄的閘極氧化物部分，使得並未由多晶矽字線 WL_{test} 的下面之厚閘極氧化物界定罩幕 316 所覆蓋之部分主動區係由薄閘極氧化物所覆蓋；因此，反熔絲電晶體 306、308、310、及 312 的構造應與形成於 OTP

記憶體陣列 102 中之反熔絲胞格 30 相同。反熔絲電晶體 306、308、310、及 312 並未消耗基板區域到如 MROM 胞格 200、202、204、及 206 一樣的程度，因此可降低行測試電路 302 相對於行測試電路 110 的電路區域架空。在該列測試電路 304 之中，顯示為 n 通道電晶體 318 的測試耦接裝置選擇性地連接測試位元線 BL_test 至鄰接的常態位元線 BL_{n+3} ，以回應於測試控制信號 TEST。

第 10 圖顯示 OTP 記憶體陣列 102、列測試電路 304、及行測試電路 302 的等效電路圖。爲了要描繪反熔絲電晶體 306、308、310、及 312 的程式化狀態，將電阻器符號連接於各個反熔絲電晶體 306、308、310、及 312 的閘極端子與源極端子之間，此電阻器的缺席表示反熔絲電晶體之未程式化的狀態。因此，一旦成功地程式化時，可使用行測試電路 302 以耦接常態位元線至 VDD。

現將敘述行測試電路 302 的大致操作。在測試行電路 106 的功能性之前，將反熔絲電晶體 306、308、310、及 312 程式化，此係由偏動該等常態位元線至 VSS 且同時驅動該測試字線 WL_test 至 VPP 而達成。若程式化成功時，則在各個反熔絲電晶體 306、308、310、及 312 中將形成導電性鏈路 320，所以可將任一程式驗證邏輯測試成爲用於行測試電路 302 的反熔絲電晶體之部分的程式化操作。在所製造的裝置中，可存在有冗餘的測試及測試行，使得若其中之一者由於任何理由而故障時，可使用其他者以取代之。假定程式化成功時，則行電路 106 可藉由將

WL_test 驅動至例如諸如 VDD 的讀取電壓位準而測試，因為反熔絲電晶體 306、308、310、及 312 具有導電性鏈路形成於該處之中，所以 WL_test 會將該等常態位元線耦接至 VDD。

現將敘述列測試電路 304 的大致操作。在測試模式的期間，將信號 TEST 驅動至 VDD 以開啓測試耦接裝置 318 且連接 BL_test 至 BL_n+3；然後，在行電路區塊 106 之內的行解碼邏輯器將 BL_test 的電壓定路線至現有的感測放大器，該感測放大器接著提供對應於 BL_test 的電壓的邏輯狀態。因此，將現有的感測放大器再使用，藉以排除針對列測試電路 304 而包含額外的專用感測放大器之需要。

注意的是，可將第 7 及 9 圖中所示的列測試電路及行測試電路實施例的不同組合與 OTP 記憶體陣列一起使用，例如可以以反熔絲胞格來置換列測試電路 304 的 MROM 胞格；因而，在執行該等列的任一測試之前，將先使該等反熔絲胞格受到程式化。選擇性地，可僅使用列測試電路及行測試電路的其中之一與 OTP 記憶體陣列。雖然可藉由外部測試設備自記憶體裝置來讀出資料以供估算之用，但可將自行測試邏輯器包含於晶片上，用以相對預期之邏輯位準來比較所感測之資料邏輯位準。

第 11 圖係流程圖，顯示依據本發明實施例之使用上述的列及行測試電路之 OTP 記憶體陣列的測試方法。方法步驟可加以自動化且設計成為可由晶片上控制器所執行，或經由外部計算裝置所自動執行的內建自行測試（BIST）

算法。若使用第 9 圖中所實施之行測試電路 302 時，則將假定的是，已將諸如胞格 306、308、310、及 312 之行測試電路 302 的所有反熔絲胞格成功地程式化。測試方法開始於步驟 400，其中在該步驟處，將第一列激活或驅動至有效用以開啓其所連接至之電晶體裝置的電壓位準，該第一列可包含於測試電路 110 或 302 之測試字線 WL_test ，用以開啓在該處之中的 MROM 胞格或反熔絲胞格，或包含常態字線 WLi 至 $WLi+3$ 的其中之一，用以開啓列測試電路 108 或 304 的 MROM 胞格，此產生常態位元線 BLn 至 $BLn+3$ 或測試位元線 BL_test 對 VDD 的耦接。隨後，在步驟 402 處，產生常態位元線或測試位元線的感測，且將感測的結果提供至測試系或測試器，用於通過或失效之結果的決定。

應注意的是，行解碼電路典型地耦接預定數目之位元線至有限數目的感測放大器電路。在此一記憶體架構中，決定更多的行是否存在以便感測之決定係在步驟 404 作成，在其中存在有更多的行以便感測的情勢中，將行位址改變於步驟 406 處，且將其他的位元線感測於步驟 402 處。步驟 402、404、及 406 的反複係執行於當使用行測試電路以針對所有的行位址來測試行解碼時。針對列測試，步驟 402 係執行一次以供測試位元線之用；在此一情況中，方法前進至步驟 408。

更多的字線是否存在以便驅動之決定係在步驟 408 作成，若目前的測試係用以測試行電路時，則並不具有更多

的字線以便驅動，因此，測試結束於步驟 410 處；相反地，若目前的測試係用以測試列電路時，則維持驅動字線。在此情勢中，方法前進至步驟 412，其中在該處將測試位元線放電，且在步驟 414，將列位址改變。列位址可依據例如諸如順序的圖案之任一圖案而改變，一旦已將新的列位址門鎖時，則方法返回至步驟 400，其中對應於新的列位址之新的字線被驅動於該處。反複步驟 400、402、404、408、412、及 414，直至並無進一步之字線將被驅動為止。若在任一反複之後接收到失效的結果時，則反複的數目可藉由使系統終止測試而減少；因此，第 11 圖中所描繪之步驟可使用於分別利用行及列測試電路的行電路測試或列電路測試。若行測試電路及列測試電路二者均包含於記憶體裝置之中時，則用於行電路及列電路二者之測試可以以任一順序來執行。

雖然第 7 及 9 圖之 OTP 記憶體裝置 100 及 OTP 記憶體裝置 300 的上述實施例使用第 4a 及 4b 圖中所示之單一電晶體反熔絲胞格，但本發明的實施例並未受限於單一電晶體反熔絲胞格，而是可使用其中記憶體陣列係由雙電晶體反熔絲胞格組成於該處之選擇性實施例；例如，依據該選擇性實施例，可將第 2 及 3 圖之雙電晶體反熔絲胞格使用於 OTP 記憶體陣列 102、行測試電路、及列測試電路之中。

第 12 圖係依本發明選擇性實施例之具有列及行測試電路之雙電晶體反熔絲記憶體陣列的平面視圖。OTP 記憶

體裝置 500 包含 OTP 記憶體陣列 502、行電路 504、行測試電路 506、及列測試電路 508。列電路並未顯示於第 12 圖中，且行電路 504 可與上文實施例中所示及所述的行電路 106 相同。OTP 記憶體陣列 502 係顯示包含兩列之雙電晶體反熔絲胞格，該等雙電晶體反熔絲胞格的各者具有第 2 及第 3 圖中所示的結構，其中在該處之存取電晶體 510 係形成與反熔絲裝置 512 串聯，第一列包含字線 WL0 及 VCP0，而第二列包含字線 WL1 及 VCP1，厚閘極氧化物界定罩幕 514 界定其中厚氧化物將被形成於內的區域。如第 12 圖中所示，在同一行的第一列及第二列中之雙電晶體胞格分享共同的擴散區 516，該擴散區 516 具有連接至對應位元線之位元線接點。

在第 12 圖的選擇性實施例中，行測試電路 506 包含在佈局尺寸上與 OTP 記憶體陣列 502 中之該等雙電晶體反熔絲胞格相同的雙電晶體反熔絲胞格。存取電晶體 520 的閘極端子係由多晶矽線 WL_test 所形成，以及反熔絲裝置 522 的閘極端子係由多晶矽線 VCP_test 所形成；存取電晶體 520 的擴散區 524 係耦接至對應的常態位元線。該等反熔絲胞格與 OTP 記憶體陣列 502 中之該等反熔絲胞格不同，首先，厚氧化物界定罩幕 518 覆蓋存取電晶體 520 與反熔絲裝置 522 二者，此意指的是，該反熔絲裝置係以厚閘極氧化物所形成；其次，反熔絲裝置 522 具有耦接至 VDD 供應器之額外的擴散區。因此，當將 VCP_test 及 WL_test 二者驅動為至少 VDD 時，則存取電晶體 520 及反熔絲裝

置 522 會開啓以耦接常態位元線至 VDD，藉以耦接該常態位元線至 VDD；因而，可將行測試電路 506 之雙電晶體反熔絲胞格如 MROM 胞格一樣地製造。選擇性地，可將厚氧化物界定罩幕 518 定尺寸以將反熔絲裝置 522 排除在外，且可將耦接至 VDD 之額外的擴散區省略，藉以組構出與 OTP 記憶體陣列 502 中之該等反熔絲胞格相同的反熔絲胞格。在此一選擇性組態中，該等反熔絲胞格係在任何測試操作將被執行之前程式化。

列測試電路 508 包含在佈局尺寸上與 OTP 記憶體陣列 502 中之該等雙電晶體反熔絲胞格相同的雙電晶體反熔絲胞格。存取電晶體 526 的閘極端子係由對應列之多晶矽字線（亦即，WL1）所形成，以及反熔絲裝置 528 的閘極端子係由同一對應列之多晶矽線（亦即，VCP1）所形成；存取電晶體 526 的擴散區 530 係經由位元線接點而耦接至測試位元線 BL_test，該測試位元線 BL_test 係連接至專用的測試感測放大器 532，但如上文實施例中所示地，可將 BL_test 定路線至常態位元線，以供藉由現有之感測放大器的感測之用。列測試電路 508 的雙電晶體反熔絲胞格係與行測試電路 506 中之該等雙電晶體反熔絲胞格相同，其中反熔絲裝置 528 具有耦接至 VDD 之額外的擴散區，且具有例如由厚閘極氧化物界定罩幕 514 所覆蓋之區域所界定的厚閘極氧化物；因此，當將字線及其對應的 VCP 驅動到至少 VDD 時，BL_test 係耦接至 VDD。至於在列測試電路 508 中之反熔絲裝置，可將其組構成爲係在執行任

何測試操作之前被程式化之真正的反熔絲胞格。

依據進一步選擇性的實施例，可將反熔絲裝置或存取電晶體自行測試電路 506 及列測試電路 508 的其中之一者或二者省略，以進一步使電路區域架空最小化。

上述實施例准許未程式化的 OTP 記憶體陣列的測試，且尤其是其中跨越該記憶體陣列而延伸之實體導線及與該等導線相關聯之對應邏輯電路的測試。如上述實施例中所示地，該等實體導線係位元線，且該對應邏輯電路係行解碼邏輯器；選擇性地，該等實體導線係字線，且該對應邏輯電路係列解碼邏輯器。當然的是，與實體導線關聯的其他電路亦可簡單地使用上述實施例，藉由執行讀取及/或程式操作，以針對合適的功能性來加以測試。

在上述說明中，針對解說之緣故，多數的細節係陳明以便提供本發明實施例之徹底的瞭解；然而，將呈明顯於熟習本項技藝之人士的是，該等特定的細節並非為實行本發明所必要的。在其他情況中，为了不使發明混淆，熟知的電性結構和電路係以方塊圖形式顯示；例如，有關此處所敘述之本發明實施例是否實施成為軟體常式、硬體電路、韌體、或其之組合的特定細節並未予以提供。

本發明之實施例亦可顯示為儲存於機器可讀取媒體中的軟體產品（該機器可讀取媒體亦可稱為電腦可讀取媒體、處理器可讀取媒體、或具有電腦可讀取程式碼實施於其中之電腦可使用媒體）。該機器可讀取媒體可為包含碟片、小型碟片僅讀記憶體（CD-ROM）、記憶體裝置（依電

或非依電性)、或其相似的儲存機制之磁性、光學、或電性儲存媒體之任何適用的實體媒體。該機器可讀取媒體可包含各式各樣組合之指令、碼順序、組態資訊、或其他資料。其中,當執行時,可使處理器執行依據本發明實施例之方法中的步驟。熟習於本項技藝之該等人士將理解的是,實施上述發明所必要之其他指令及運算亦可儲存在該機器可讀取媒體之上,來自機器可讀取媒體之運行的軟體可與電路介面,以執行上述之任務。

本發明之上述實施例僅打算做為實例;改變、修正、及變化可由熟習於本項技藝之該等人士實行為特殊的實施例,而不會背離由附錄於本文之申請專利範圍所唯一界定之本發明的範疇。

【圖式簡單說明】

本發明之實施例僅藉由實例而參照附圖來加以敘述,其中:

第 1 圖係 DRAM 型反熔絲胞格的電路圖;

第 2 圖係第 1 圖之 DRAM 型反熔絲胞格的平面佈局;

第 3 圖係沿著線 A-A 之第 2 圖 DRAM 型反熔絲胞格的橫剖面視圖;

第 4a 圖係可變厚度閘極氧化物反熔絲電晶體的橫剖面視圖;

第 4b 圖係第 4a 圖之可變厚度閘極氧化物反熔絲電晶體的平面佈局;

第 5 圖係使用第 4a 圖的可變厚度閘極氧化物記憶體胞格之單一電晶體反熔絲記憶體陣列的平面視圖；

第 6 圖係依據本發明實施例之 OTP 記憶體裝置的方塊圖；

第 7 圖係依據本發明實施例之具有列及行測試電路之單一電晶體反熔絲記憶體陣列的平面視圖；

第 8 圖係第 7 圖之單一電晶體反熔絲記憶體陣列的電路圖；

第 9 圖係依據本發明選擇性實施例之具有列及行測試電路之單一電晶體反熔絲記憶體陣列的平面視圖；

第 10 圖係第 9 圖之單一電晶體記憶體陣列的電路圖；

第 11 圖係顯示使用列及行測試電路之 OTP 記憶體陣列的測試方法之流程圖；以及

第 12 圖係依據本發明選擇性實施例之具有列及行測試電路之雙電晶體反熔絲記憶體陣列的平面視圖。

【主要元件符號說明】

10、510、520、526：通過，或存取電晶體

12、512、522、528：反熔絲裝置

14：閘極

16：頂板

18、48：主動區

20、33：薄閘極氧化物

- 22、24、42、524、530：擴散區
- 30：反熔絲胞格
- 32：可變厚度閘極氧化物(厚閘極氧化物)
- 34：基板通道區
- 36、62：多晶矽閘極
- 38：側壁間隔物
- 40：場氧化物區
- 44：LDD 區
- 46：位元線接點
- 50：點線的輪廓
- 60：記憶體陣列
- 64、66、68、70：列
- 74、516：共同擴散區
- 76：共同位元線接點
- 78：預充電電路
- 80：行解碼器及感測放大器電路區塊
- 100、300、500：OTP 記憶體裝置
- 102、502：OTP 記憶體陣列
- 104：列電路區塊
- 106、504：行電路區塊
- 108、304、508：列測試電路區塊
- 110、302、506：行測試電路區塊
- 200、202、204、206、214、216、218、220：MROM

胞格

208：汲極端子

210：源極端子

212、72、316、514：厚閘極氧化物界定罩幕

222：分享的汲極端子

224：分享的源極端子

226、532：測試感測放大器

306、308、310、312：反熔絲電晶體

314：汲極擴散區

318：n通道電晶體

400～414：步驟

518：厚氧化物界定罩幕

七、申請專利範圍：

1. 一種單次可程式化（OTP）記憶體，包含：

一記憶體陣列，具有未程式化的 OTP 胞格；

解碼電路，係定位於該記憶體陣列的第一末端處；

包含測試胞格的一測試電路，係定位於該記憶體陣列的第二且相對的末端處，該測試胞格係遮罩程式化，用以在測試操作的期間同時耦接所有位元線至第一電壓，以回應於激活的字線，該位元線係在正常讀取操作的期間被預充電至第二電壓；以及

感測電路，用以感測該位元線的電壓。

2. 如申請專利範圍第 1 項之單次可程式化（OTP）記憶體，其中該位元線的該第一電壓對應於由一程式化的 OTP 胞格所提供的讀取電壓。

3. 如申請專利範圍第 1 項之單次可程式化（OTP）記憶體，其中該測試胞格耦接連接至該未程式化的 OTP 胞格之複數個位元線至該第一電壓，以及該解碼電路包含連接至該複數個位元線的行電路。

4. 如申請專利範圍第 3 項之單次可程式化（OTP）記憶體，其中該測試胞格包含一系列測試胞格，具有由該激活的字線所形成之其閘極端子，該測試胞格的各者係連接至該位元線的其中之一者。

5. 如申請專利範圍第 4 項之單次可程式化（OTP）記憶體，其中該未程式化的 OTP 胞格的各者及該測試胞格的各者係具有相同佈局的單一電晶體反熔絲胞格。

6. 如申請專利範圍第 4 項之單次可程式化 (OTP) 記憶體，其中該未程式化的 OTP 胞格的各者及該測試胞格的各者係具有相同佈局的雙電晶體反熔絲胞格。

7. 如申請專利範圍第 1 項之單次可程式化 (OTP) 記憶體，其中該解碼電路包含連接至複數個字線的列電路，該激活的字線係該複數個字線的其中之一者，以及該複數個字線係連接至該未程式化的 OTP 胞格之列。

8. 如申請專利範圍第 7 項之單次可程式化 (OTP) 記憶體，其中該測試胞格係第一測試胞格，且該單次可程式化 (OTP) 記憶體更包含一行第二測試胞格，具有由該複數個字線所形成之其閘極端子，該第二測試胞格的各者係連接至一測試位元線。

9. 如申請專利範圍第 8 項之單次可程式化 (OTP) 記憶體，其中該第二測試胞格的各者係遮罩程式化以耦接該第一電壓至該測試位元線，以回應於任何激活的字線。

10. 如申請專利範圍第 8 項之單次可程式化 (OTP) 記憶體，其中該感測電路係一專用的測試感測放大器，用以感測該測試位元線之該第一電壓。

11. 如申請專利範圍第 8 項之單次可程式化 (OTP) 記憶體，其中該測試電路包含一測試耦接裝置，用以選擇性地連接該測試位元線至連接至一行未程式化的 OTP 胞格的位元線。

12. 一種單次可程式化 (OTP) 記憶體，包含：

一記憶體陣列，具有連接至字線及位元線之未程式化

的 OTP 胞格；

包含第一遮罩程式化胞格的一列測試電路，係連接至該字線，用以充電一測試位元線至第一電壓，以回應於該字線的其中之一者的激活；

包含第二遮罩程式化胞格的一行測試電路，用以在測試操作的期間同時耦接所有該位元線至該第一電壓，以回應於一測試字線的激活，該位元線係在正常讀取操作的期間被預充電至第二電壓；以及

感測電路，用以感測該位元線及該測試位元線的電壓。

13. 如申請專利範圍第 12 項之單次可程式化（OTP）記憶體，其中該列測試電路係連接至該字線的第一末端，以及用以驅動該字線的列電路係連接至該字線的第二末端，該第二末端係相對於該第一末端。

14. 如申請專利範圍第 13 項之單次可程式化（OTP）記憶體，其中該行測試電路係連接至該位元線的第一末端，以及行電路係連接至該位元線的第二末端，該第二末端係相對於該第一末端。

15. 如申請專利範圍第 14 項之單次可程式化（OTP）記憶體，其中該第一遮罩程式化胞格具有由該字線所形成之其閘極端子，該第一遮罩程式化胞格的各者係連接至該測試位元線。

16. 如申請專利範圍第 15 項之單次可程式化（OTP）記憶體，其中該第二遮罩程式化胞格係連接至該位元線且

具有由該測試字線所形成之其閘極。

17. 如申請專利範圍第 16 項之單次可程式化（OTP）記憶體，其中該第一遮罩程式化胞格及該第二遮罩程式化胞格具有連接至該第一電壓的第一擴散區及連接至該位元線的其中之一者和該測試位元線的第二擴散區。

18. 一種未程式化的單次可程式化（OTP）記憶體陣列的測試方法，包含：

激活包含遮罩程式化記憶體胞格的一測試電路，用以同時耦接所有位元線至第一電壓位準，該位元線係在正常讀取操作的期間被預充電至第二電壓位準；以及

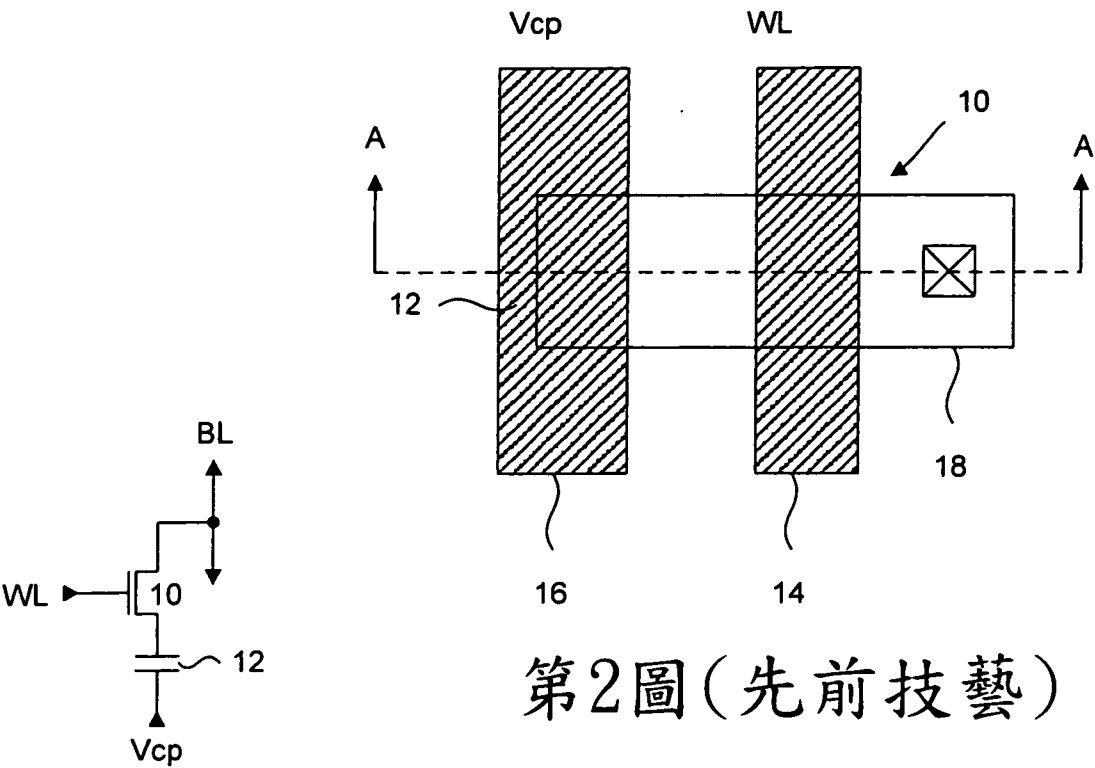
感測該位元線，以提供對應於該電壓位準之存在及不存在的其中之一者的邏輯狀態。

19. 如申請專利範圍第 18 項之方法，其中該激活包含驅動一字線，該字線係耦接至該遮罩程式化記憶體胞格，該遮罩程式化記憶體胞格同時耦接該位元線至該第一電壓位準。

20. 如申請專利範圍第 19 項之方法，進一步包含重複改變行位址且感測該複數個位元線之不同的位元線。

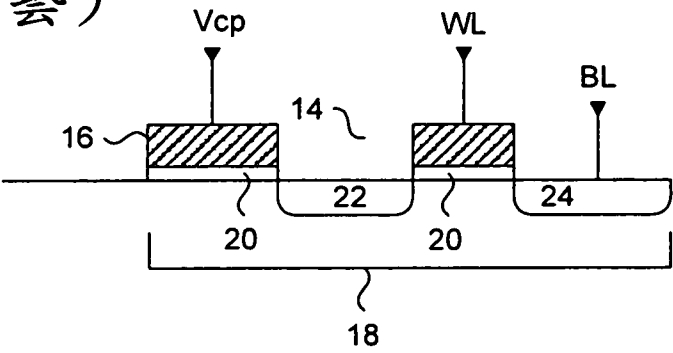
21. 如申請專利範圍第 18 項之方法，其中該遮罩程式化記憶體胞格係第一遮罩程式化記憶體胞格，該方法更包含激活包含耦接至一測試位元線的第二遮罩程式化記憶體胞格的另一測試電路，由驅動耦接至該第二遮罩程式化記憶體胞格的其中之一者的一字線，用以在感測之後耦接該測試位元線至第一電壓位準。

22. 如申請專利範圍第 21 項之方法，進一步包含在感測之後，預充電該測試位元線至該第二電壓位準，且改變列位址，用以驅動耦接至該第二遮罩程式化記憶體胞格的其中之一者之另一字線。

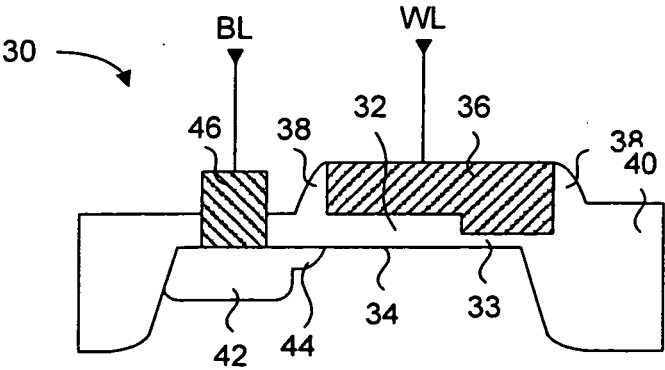


第2圖(先前技藝)

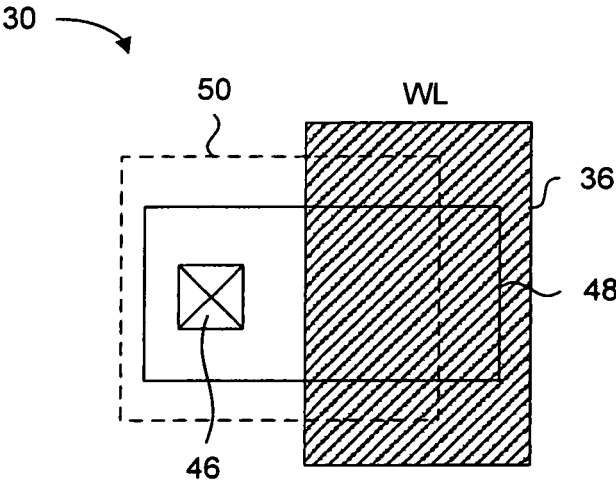
第1圖(先前技藝)



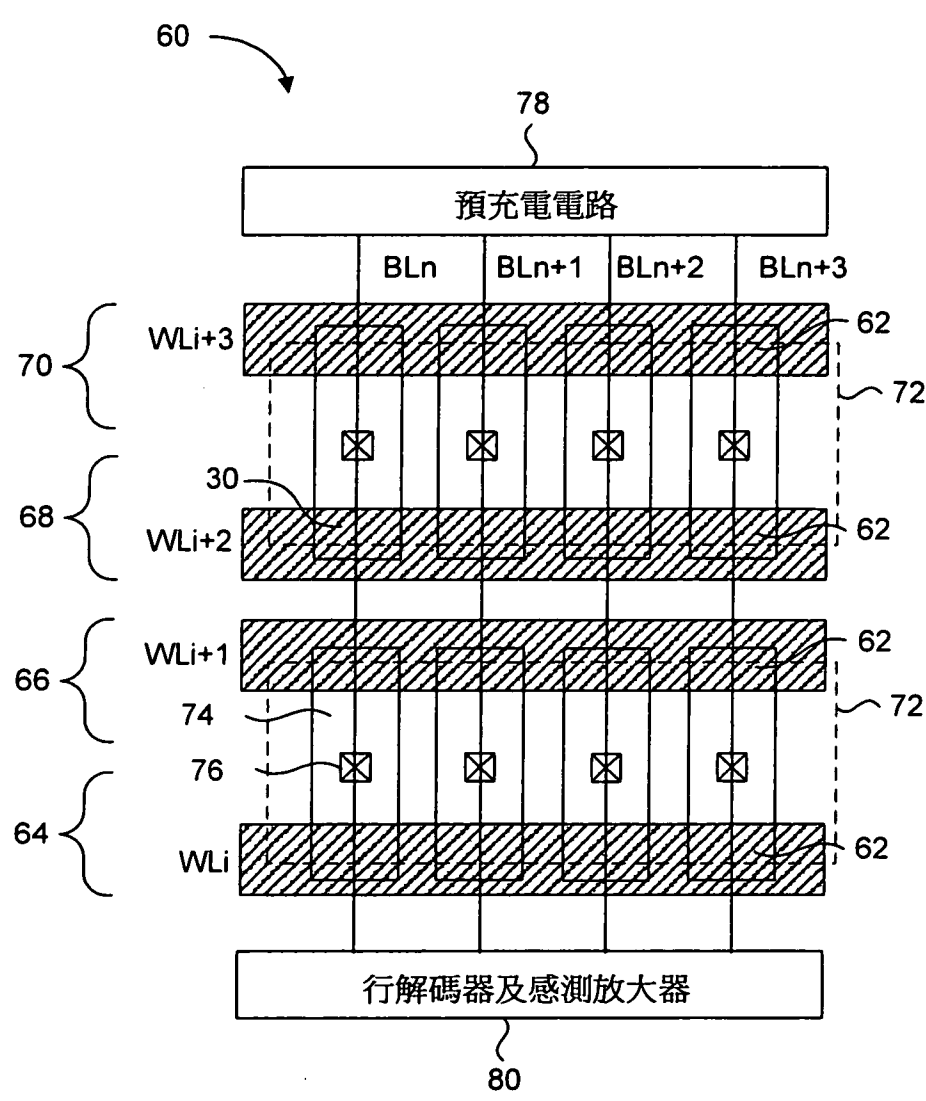
第3圖(先前技藝)



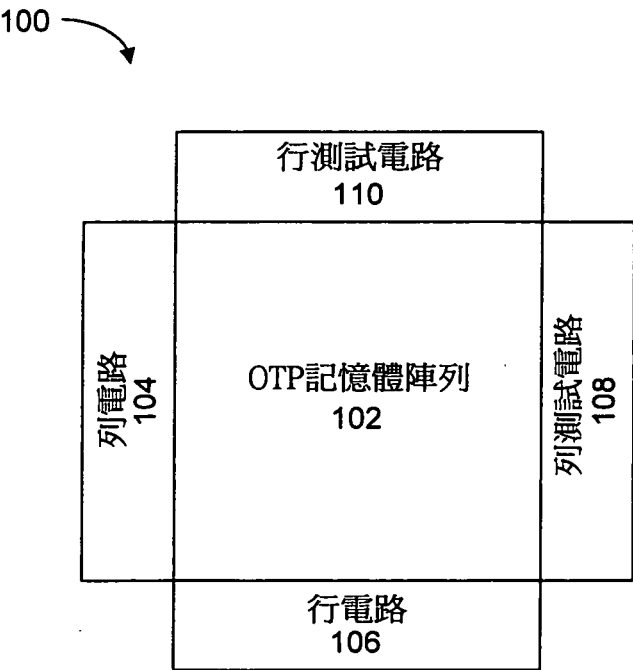
第4a圖



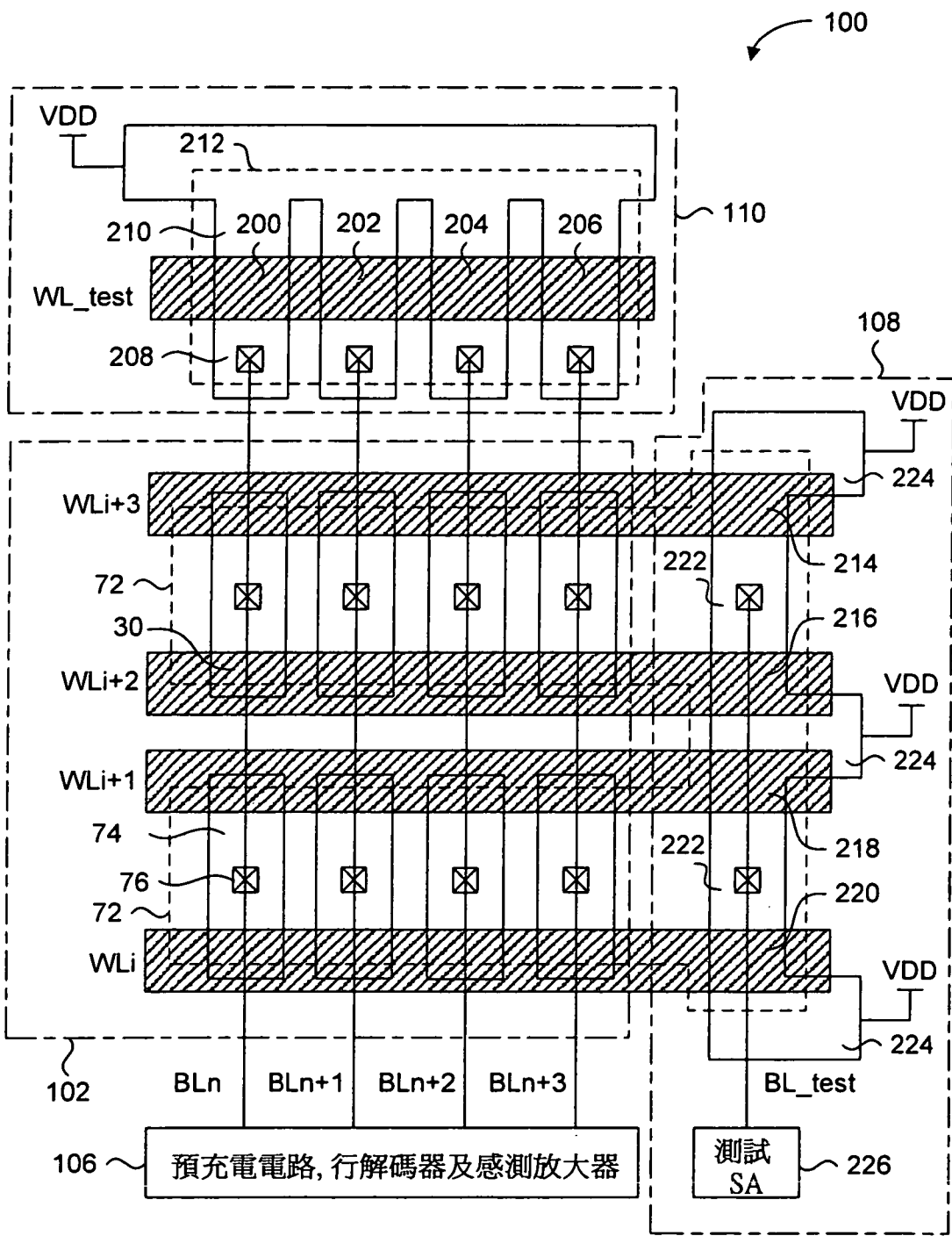
第4b圖



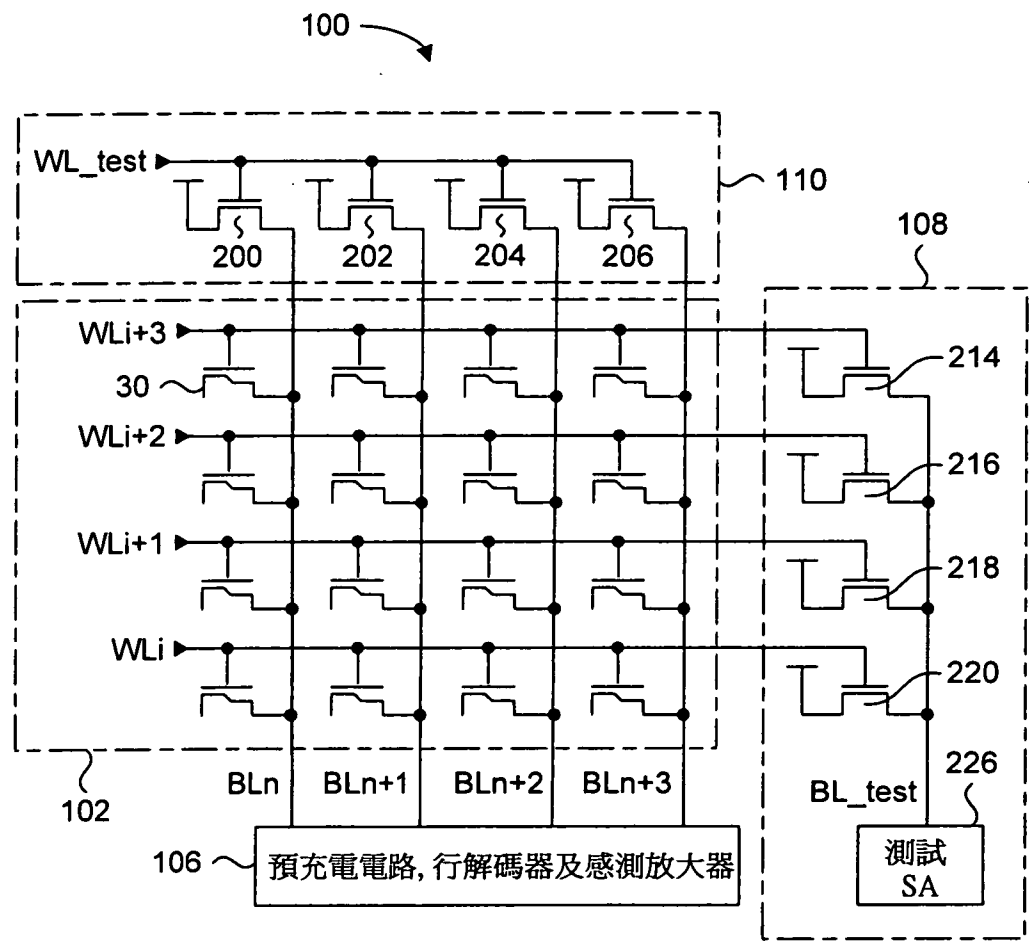
第5圖



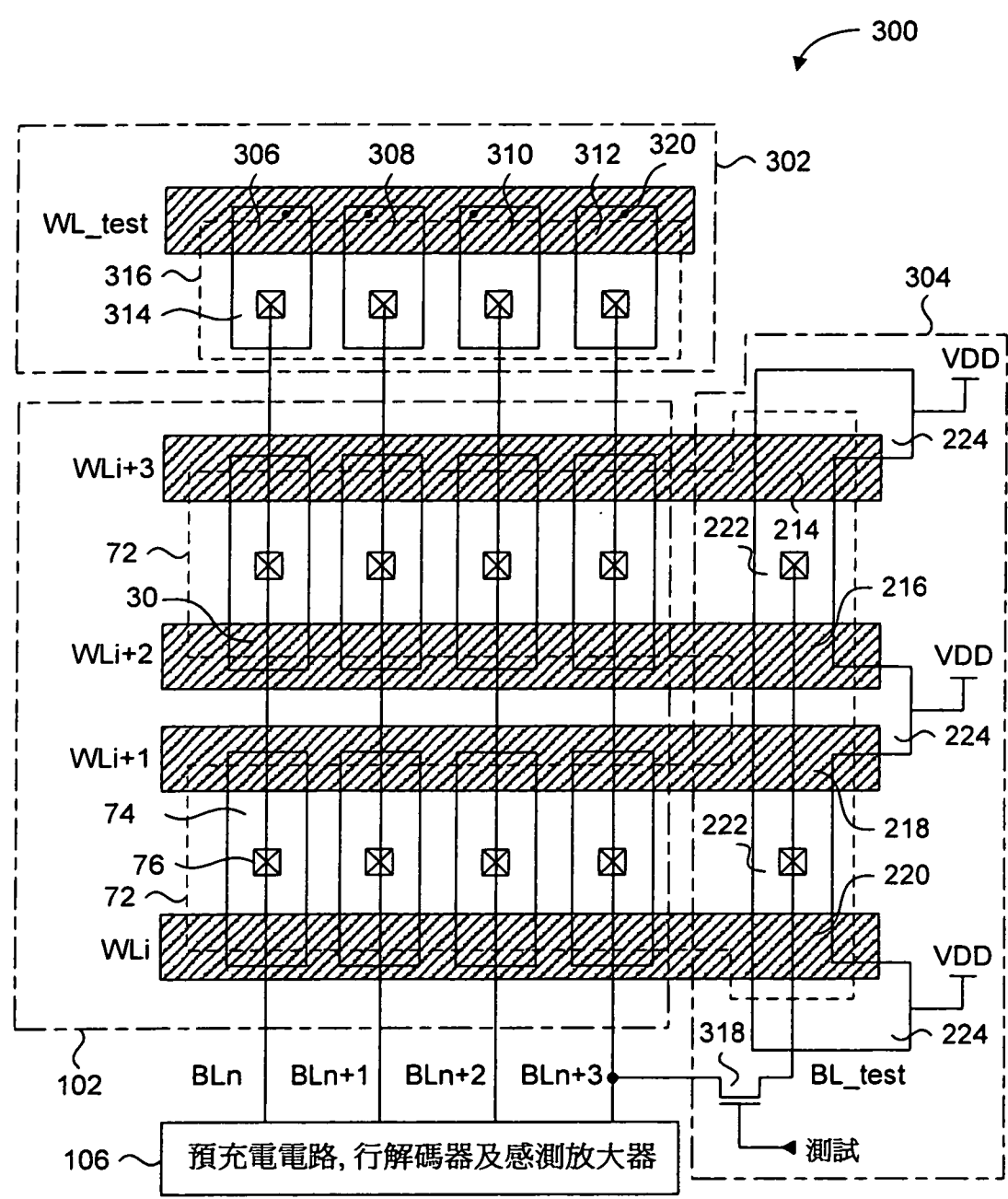
第6圖



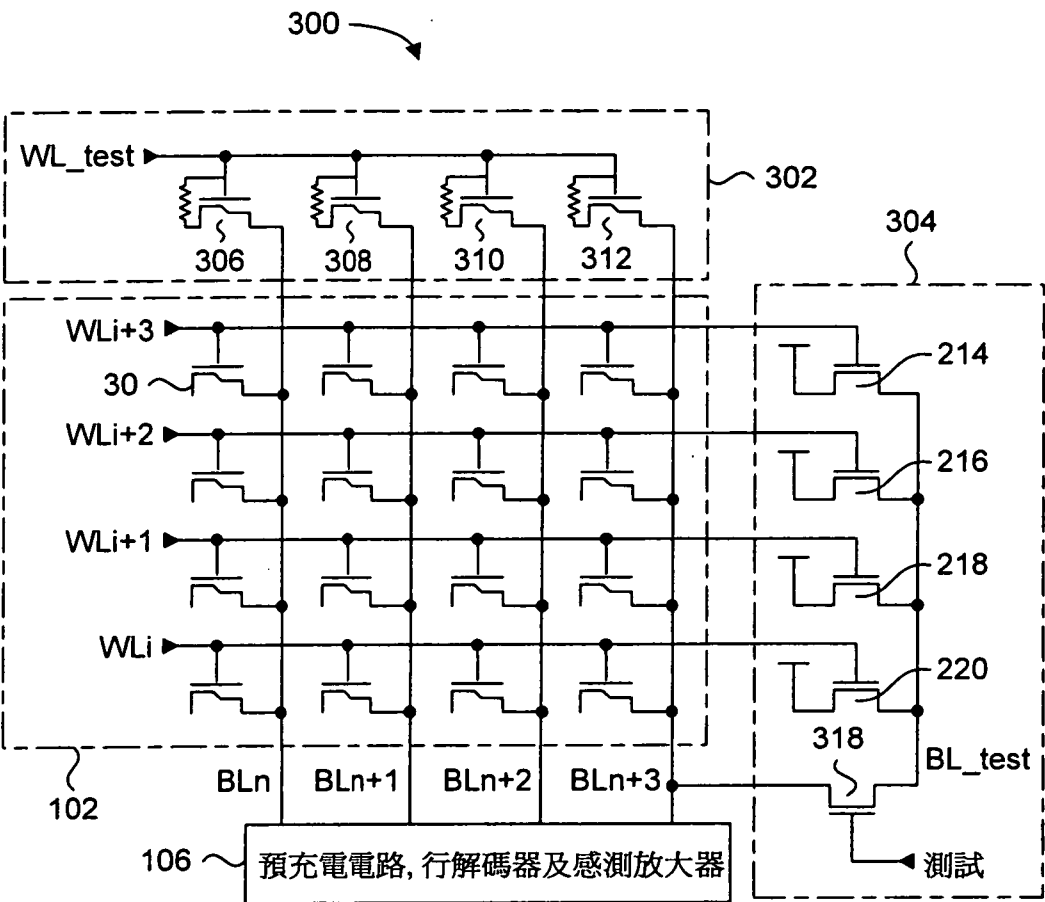
第7圖



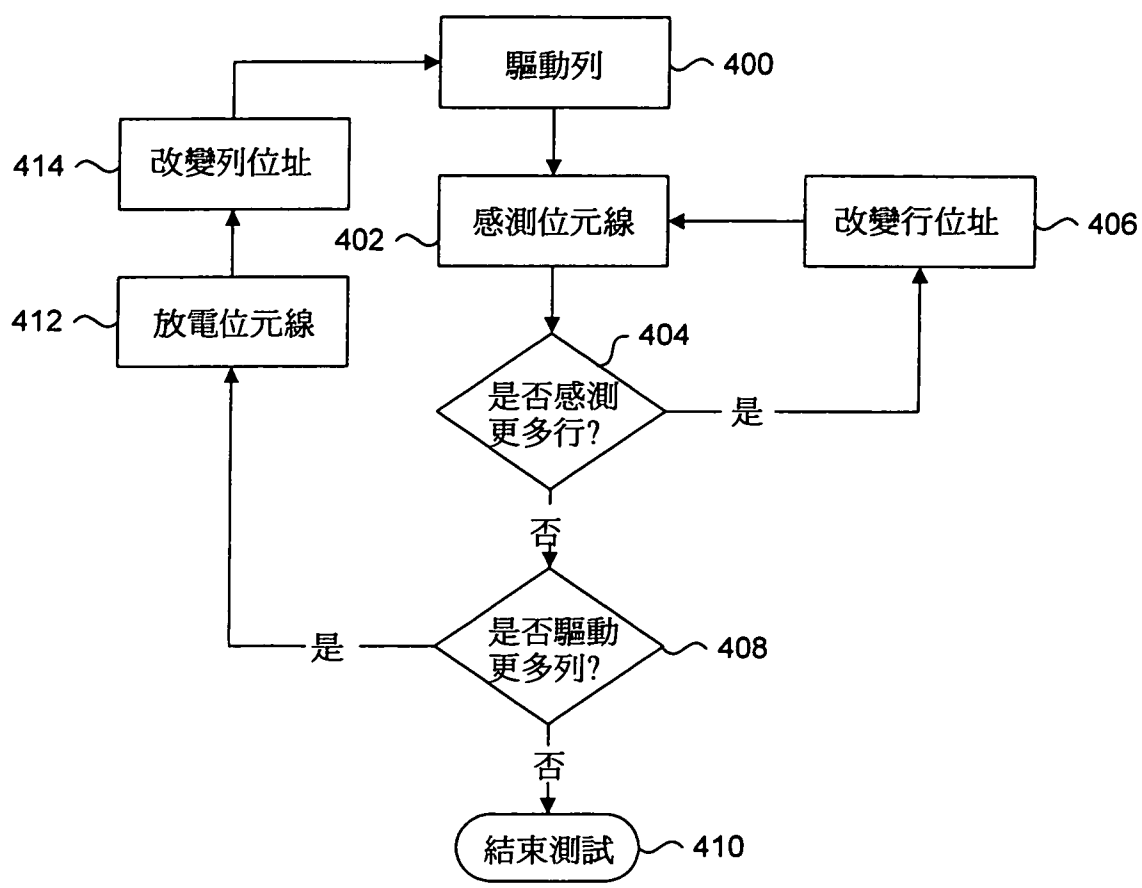
第8圖



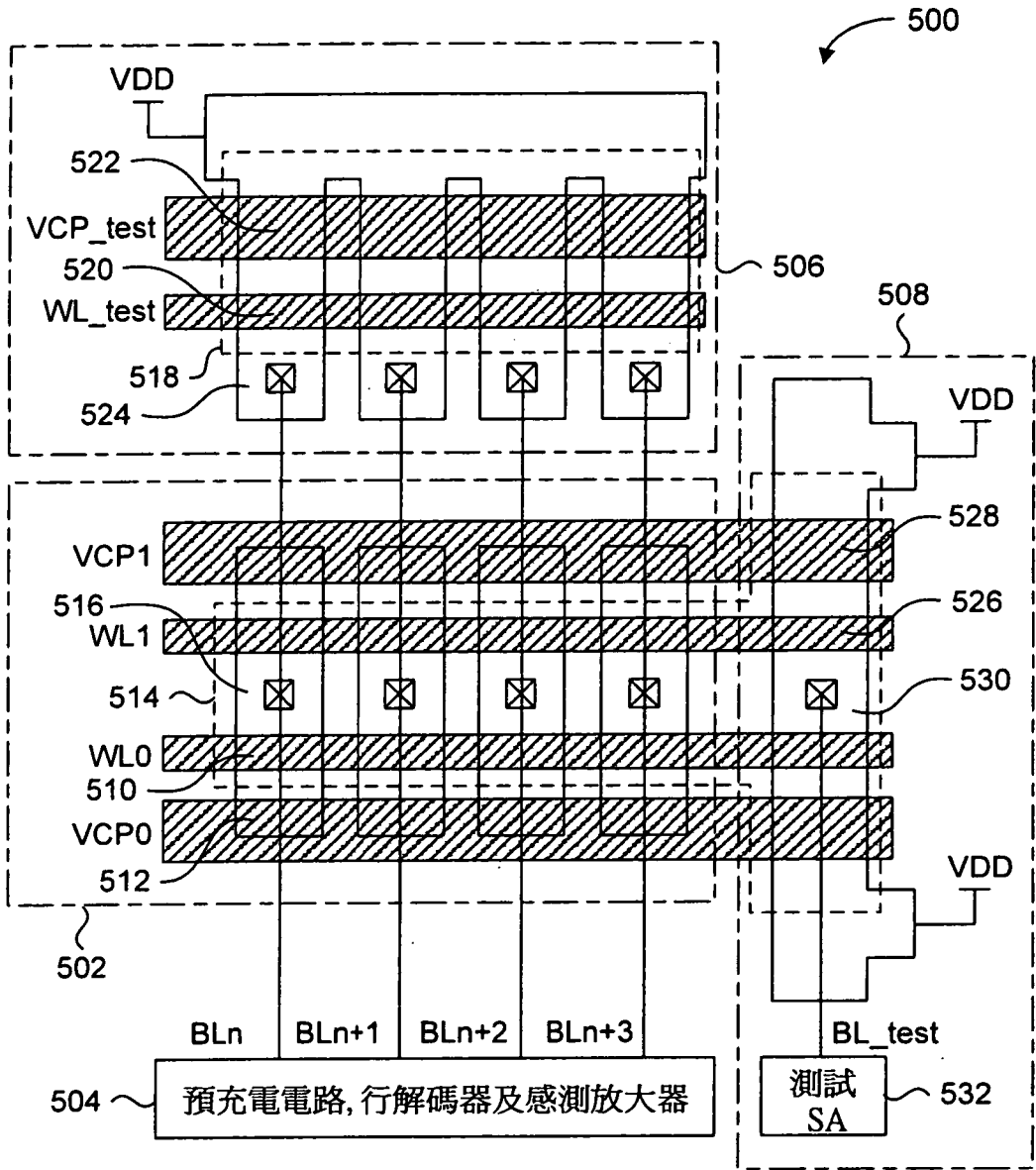
第9圖



第10圖



第11圖



第12圖