(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06F 15/78

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0201513
(24) 등록일자 1999년03월15일

(21) 출원번호 10-1996-0039192
(22) 출원일자 1996년09월06일
(65) 공개번호 특1997-0016978
(43) 공개일자 1997년04월28일
(30) 우선권주장 95-229537 1995년09월06일 일본(JP)
96-235894 1996년08월19일 일본(JP)

(73) 특허권자 세이코 앱슨 가부시키가이샤 야스카와 히데아키
일본 도쿄도 신쥬구구 니시신주구 2-4-1
(72) 발명자 요코우찌 히데아키
일본국 나가노켄 스와시 오와 3-3-5 세코 에푸손 가부시키가이샤내
(74) 대리인 이병호, 최달용

심사관 : 안철흥

(54) 싱글 칩 마이크로컴퓨터 및 그것을 내장한 전자기기

요약

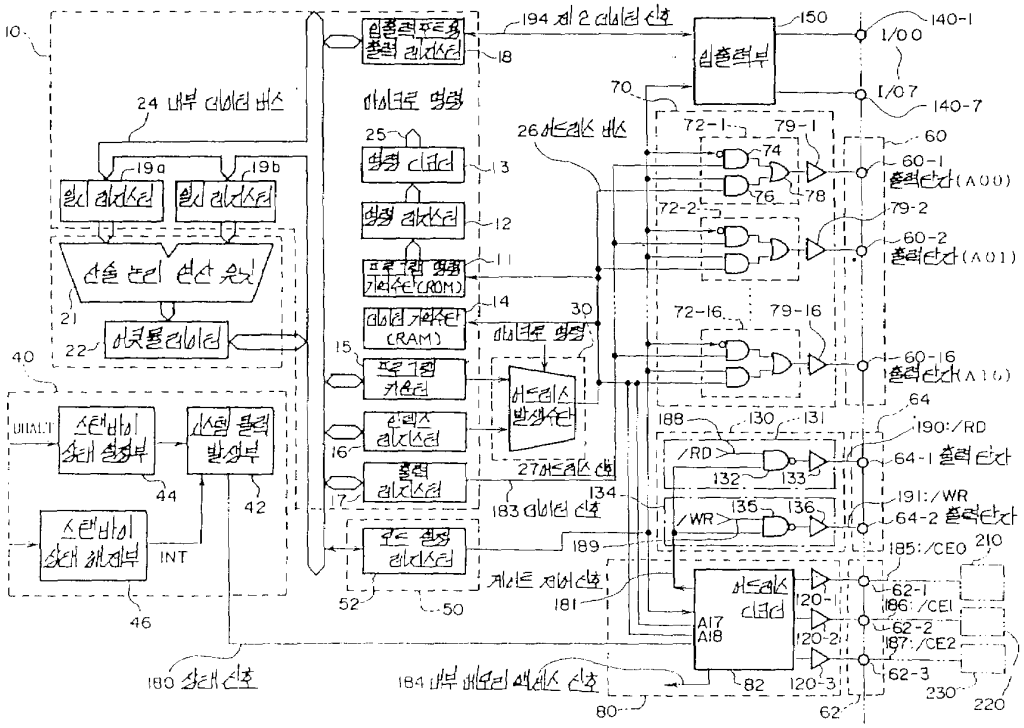
[과제]

시스템 전체의 소비전력을 감소시켜 전자수첩이나 전자사전 등에 알맞은 싱글 칩 마이크로컴퓨터 및 그것을 내장한 전자기기를 제공하는 것이다.

[해결수단]

칩 선택신호(/CE0, /CE1, /CE2)가 택일적으로 선택되는 복수의 외부 접속소자(210,220,230)가 접속되어 프로그램 명령을 실행하는 것이다. 싱글 칩 마이크로컴퓨터(1)는 복수의 외부 접속소자를 선택하는 칩 선택 신호를 액티브로 하여 출력하는 칩 선택신호 출력단자(62)를 가진다. 또한, 프로그램 명령의 실행을 일시 정지시켜 스탠바이상태로 설정하는 스탠바이상태 설정신호(180)를 출력하는 스탠바이상태 설정수단(40)를 가진다. 또한, 스탠바이상태 설정수단(40)의 스탠바이상태 설정신호(180)에 근거하여 액티브로 되어 있는 칩 선택 신호를 논액티브(nonactive)로 설정 제어하는 제어수단(80)을 가진다.

대표도



명세서

[발명의 명칭]

싱글 칩 마이크로컴퓨터 및 그것을 내장한 전자기기

[도면의 간단한 설명]

제1도는 본 발명에 관련된 싱글 칩 마이크로컴퓨터의 구성의 일부를 나타내는 블럭도.

제2도는 제1도의 싱글 칩 마이크로컴퓨터에 포함되는 어드레스 디코더를 나타내는 회로도.

제3도는 본 발명에 관련된 싱글 칩 마이크로컴퓨터의 구성의 일부를 나타내는 블럭도.

제4도는 본 발명에 관련된 싱글 칩 마이크로컴퓨터의 동작을 나타내는 타이밍차트.

제5도는 본 발명에 관련된 싱글 칩 마이크로컴퓨터를 내장한 전자기기의 일례를 나타내는 구성도.

제6도는 제5도의 싱글 칩 마이크로컴퓨터의 일부의 동작을 나타내는 타이밍차트.

제7도는 본 발명에 관련된 싱글 칩 마이크로컴퓨터를 내장한 전자기기의 다른 일례를 나타내는 구성도.

제8도는 본 발명에 관련된 싱글 칩 마이크로컴퓨터를 내장한 전자기기의 또 다른 일례를 나타내는 구성도.

* 도면의 주요부분에 대한 부호의 설명

1 : 싱글 칩 마이크로컴퓨터　　11 : 프로그램 명령 기억수단

12 : 명령 레지스터　　30 : 어드레스 발생수단

40 : 스탠바이상태 설정수단　　50 : 모드설정수단

60-1 ~ 60-16 : 제1출력단자(A0~A16)

62-1 ~ 62-3 : 제2출력단자　　64-1, 64-2 : 제3출력단자

70 : 제1제어수단　　72-1 ~ 72-16 : 게이트수단

80 : 제2제어수단　　90 : 제1게이트수단

100 : 제2게이트수단　　130 : 제3제어수단

131 : 제1게이트수단　　134 : 제2게이트수단

180 : 스탠바이상태 설정신호(상태신호)

181 : 게이트 제어신호　　182 : 모드설정신호

185, 186, 187 : 칩 선택신호(/CE0, /CE1, /CE2)

188 : 리드제어신호　　189 : 라이트제어신호

210, 220 : 제1외부 접속소자　　230 : 제3외부 접속소자

240 : 제2외부 접속소자

[발명의 상세한 설명]

[발명의 목적]

[발명이 속하는 기술분야 및 그 분야의 종래기술]

본 발명은 싱글 칩 마이크로컴퓨터 및 그것을 내장한 전자기기에 관한 것이다.

[발명이 이루고자 하는 기술적 과제]

이런 종류의 외부 메모리가 접속된 마이크로컴퓨터에서는, 복수의 각 외부 메모리는 해당 각 외부 메모리를 선택하기 위한 칩 이네이블(chip enable)신호중 어느 하나를 액티브상태로 하여 마이크로컴퓨터의 출력단자로 부터 출력하는 것으로, 선택상태로 설정된다. 그리고, 이 선택기간중에 외부메모리의 어드레스 지정이 행하여지는 것이 일반적이다.

즉, 외부 메모리의 어드레스를 지정하는데에는, 메모리 어드레스 신호의 상위 비트의 논리에 근거하여 복수의 각 외부 메모리에 공급되는 각 칩 가능 신호중 어느 하나를 액티브로 하여, 원하는 외부 메모리의 메모리 어드레스 영역에 어드레스 신호를 공급하는 것으로 행할수 있다. 그리고, 이 어드레스 지정중(외부 메모리의 선택기간중)에는 마이크로컴퓨터의 출력단자로부터 칩가능신호를 액티브로 하여 출력하는 것으로, 외부 메모리로의 액세스를 행하였다.

또한, 소비전력 감소의 관점에서, CPU 클럭을 정지시켜 프로그램 명령의 실행을 일지 정지시키는 스탠바이 상태로 설정하는 것이 일반적이다.

그러나, 상기 장치에서는 CPU에서 출력되는 메모리 어드레스 신호가 외부 메모리영역을 지정하는 경우, CPU를 스탠바이 상태로 설정하더라도 칩 가능 신호가 액티브 상태로 출력된다. 이 때문에, 외부 메모리내에 내장된 센스 증폭기등은 구동상태 그대로 된다. 따라서, ROM이나 RAM 등의 외부 메모리 디바이스는 구동된 그대로이며, 외부 디바이스의 내부에서 전류가 계속 흘러 시스템 전체의 소비전류가 커져 버리는

문제점이 있다.

또한, 내부 메모리 및 외부 메모리의 각각에 프로그램 명령을 격납하여, 어느 한쪽 메모리에 기억되어 있는 프로그램 명령을 선택적으로 프로그램 실행할 수 있는 기능을 갖춘 장치를 생각할 수 있다.

그러나, 이 장치에서는 외부 메모리에 격납된 프로그램 명령에 근거하여 프로그램 실행을 하더라도, CPU에서 출력되는 메모리 어드레스 신호는 외부 메모리영역을 지정하기 때문에, 외부 메모리가 이네이블(enable)그대로 된다. 이 때문에, 상기와 같은 시스템 전체의 소비전류가 커져 전지구동 등을 필요로 하는 휴대기간등을 응용할 수 없다고 하는 문제점이 있다.

또한, 상기 문제를 해결하기 위해, 외부 메모리로 프로그램 명령을 실행시키지 안혹, 일단 내부 메모리내의 프로그램으로 분기시켜 프로그램 명령을 실행시키는 수법을 생각할 수 있다. 그러나, 이 수법에서는 소프트웨어의 오버헤드가 큰 것으로 되거나, 소프트웨어의 디버그가 곤란해진다는 문제점이 있다.

또한, 통상 이런 종류의 장치는 메모리 액세스를 위한 메모리 어드레스 신호를 그 전용 단자를 통해 외부에 출력하고 있다. 따라서 메모리 어드레스 신호용 단자는 외부 메모리를 제어하기 위해서만 사용되고 있고, 다른 시스템과 조합하여 사용하는 경우에는 메모리 어드레스 신호용 단자와는 별도의 출력단자를 설치할 필요가 있었다. 이 때문에, 단자수의 증대와 함께 칩사이즈가 커져 고가격화를 초래하였다.

본 발명은 상기한 기술의 문제점을 해결하는 것을 과제로 하여 이루어진 것이며, 그 목적으로 하는 바는 CPU를 스탠바이 상태로 설정하더라도 외부 메모리내에서 전류가 흐르는 것을 방지하여, 소비전력의 감소를 도모할 수 있는 싱글 칩 마이크로컴퓨터 및 그것을 내장한 전자기기를 제공하는데 있다.

또한, 본 발명의 다른 목적은, 외부 메모리상에서 프로그램 명령등을 실행하더라도 시스템의 소비전류의 증가를 억제하여 전자수첩이나 전자사전등으로의 응용을 적합하게 실시할 수 있는 싱글 칩 마이크로컴퓨터 및 그것을 내장한 전자기기를 제공하는데 있다.

또한, 본 발명의 또 다른 목적은, 단자수의 증가를 억제하여 다른 시스템과의 조합을 적합하게 실현할 수 있는 싱글 칩 마이크로컴퓨터 및 그것을 내장한 전자기기를 제공하는데 있다.

[발명의 구성 및 작용]

본 발명의 싱글 칩 마이크로컴퓨터는, 칩 선택 신호에 의해 택일적으로 선택되는 복수의 외부 접속소자가 접속되어 프로그램 명령을 실행하는 것이다. 싱글 칩 마이크로컴퓨터는, 상기 복수의 외부 접속소자중 어느 하나를 선택하는 칩 선택 신호를 액티브로 하여 출력하는 칩 선택신호 출력단자를 가진다. 또한, 상기 프로그램 명령의 실행을 일시 정지시켜 스탠바이 상태로 설정하는 스탠바이상태 설정신호를 출력하는 스탠바이상태 설정수단을 가진다. 또한, 상기 스탠바이상태 설정수단으로부터의 상기 스탠바이상태 설정신호에 근거하여 스탠바이상태로 설정되어 있는 기간에, 액티브로 되어 있는 상기 칩 선택신호를 논액티브로 변경제어하는 제어수단을 가진다.

본 발명에 의하면, 이하의 작용효과를 가진다.

(1) 제어수단에 의해, 싱글 칩 마이크로컴퓨터가 스탠바이상태일 때에는 칩 선택신호가 반드시 논액티브 상태가 된다. 이 때문에, 외부접속소자를 디스이네이블(disenable)로 하고 외부 접속소자의 내부에 전류가 흐르지 않아 시스템의 소비전력을 감소시킬 수 있다.

(2) 싱글 칩 마이크로컴퓨터 내부의 메모리에 격납된 프로그램 명령을 실행하고 있는 경우라도, 또한 외부접속소자에 격납된 프로그램 명령을 실행 하고 있는 경우라도, 스탠바이일 때에는 외부 접속소자를 디스이네이블로 할 수 있다. 이 때문에, 시스템 전체의 소비전류를 작게 할 수 있다. 따라서, 전지구동을 필요로 하는 휴대기기 등에 응용한 경우, 전지수명의 장기화, 전지 개수의 삭감 등에 의한 전자기기의 소형화가 가능해진다.

또한, 외부 접속소자에 프로그램 명령을 격납해 두고, 이 프로그램 명령에 근거하여 제어할 수 있는 것으로 부터, 내부 메모리내의 프로그램 명령으로 CPU의 제어를 분기시킬 필요도 없고, 소프트웨어의 오버헤드를 감소시 킬 수 있는 동시에, 소프트웨어의 디버그의 간이화가 이루어진다. 또한, 오비 접속소자로서는, 예를들면 메모리, 표시디바이스 등이어도 된다.

또한, 본 발명에서는 상기 복수의 외부 접속소자는 복수의 외부 메모리로 구성한다. 또한, 상기 복수의 외부 메모리에 공급되는 메모리 어드레스 신호를 출력하는 메모리 어드레스 신호 출력단자를 가진다. 또한, 상기 메모리 어드레스 신호 출력단자로부터의 상기 메모리 어드레스 신호에 따라 선택된 상기 외부 메모리 사이에서 메모리 데이터 신호가 입출력되는 입출력단자를 가진다.

본 발명에 의하면, 복수의 외부 접속소자를 복수의 외부 메모리로 하는 것으로, 메모리영역이 확대되어 메모리 용량이 증대된다. 덧붙여, 프로그램 명령을 격납할 수 있어 소프트웨어의 오버헤드의 감소를 확실하게 할 수 있다.

또한 , 본 발명의 다른 실시예에 의한 싱글 칩 마이크로컴퓨터에서는, 복수의 제 1 외부 접속소자와 적어도 하나의 제 2 외부 접속소자가 접속되고, 프로그램 명령의 실행에 따라 칩 선택신호로 선택된 상기 복수의 제 1 외부 접속소자의 어느 하나에 어드레스 신호를 공급하고, 상기 제 2 외부 접속소자에 데이터신호를 공급하고 있다. 그리고, 상기 어드레스 신호 및 상기 데이터 신호의 어느 한쪽을 택일적으로 출력하는 제 1 출력단자를 가진다. 또한, 어느 하나의 상기 제 1외부 접속소자를 선택하는 칩 선택신호를 액티브로 하여 출력하는 제 2 출력단자를 가진다. 또한, 스탠바이상태 설정신호를 출력하는 것으로, 상기 프로그램 명령의 실행을 일시 정지시켜 스탠바이상태로 설정하는 스탠바이상태 설정수단을 가진다. 또한, 모드설정 신호를 출력하는 것으로, 상기 제 1 출력단자로부터 상기 어드레스 신호를 출력시키는 제 1 모드 및 상기 제 1 출력단자로부터 상기 데이터신호를 출력시키는 제 2 모드중 어느 한쪽의 모드를 설정하는 모드설정 수단을 가진다. 또한, 상기 모드설정 수단으로부터의 상기 모드설정 신호에 근거하여, 상기 제 1 출력단자로부터 상기 어드레스 신호 및 상기 데이터신호의 한쪽을 출력 제어하는 제 1 제어수단을 가진다.

또한, 상기 스탠바이상태 설정수단으로부터의 상기 스탠바이상태 설정신호에 근거하여, 스탠바이상태로 설정되어 있는 기간에, 상기 제 2 출력단자로부터 출력되고 있는 상기 칩 선택신호를 논액티브로 변경 제어하는 제 2 제어수단을 가진다. 본 발명에 의하면, 이하의 작용효과를 가진다.

(1) 제 2 제어수단에 의해 싱글 칩 마이크로컴퓨터가 스탠바이상태일 때에는 칩 선택신호가 반드시 논액티브상태가 된다. 이 때문에, 제 1 외부 접속소자를 디스이네이블로 하여 제 1 외부 접속소자 내부에 전류가 흐르지 않아 시스템의 소비전력을 감소시킬 수 있다.

즉, 제 1 외부 접속소자에 어드레스를 지정하는 경우에는, 제 2 출력단자에 의해 칩 선택신호를 액티브로 하여 출력하고, 또한 제 1 출력단자로부터 어드레스 신호가 출력된다.

스탠바이상태 설정수단에 의해 스탠바이상태로 설정할 때, 액티브로 되어 있는 칩 선택신호를 제 2 제어수단에 의해 논액티브로 한다.

그리고, 이상의 동작을 제 1 모드로 하여 실행하고, 모드설정수단에 의해 제 2모드로 절환하여, 제 1 출력단자로부터는 데이터신호가 제 2 외부 접속소자를 향하여 공급되게 된다.

따라서, 제 1 모드시에 실행되는 어드레스 신호출력시에, 제 1 외부 접속소자의 내부에 전류를 흐르게 하는 일이 없어, 시스템의 소비전력을 감소시킬 수 있다.

(2) 모드설정수단에 의해, 제 1 모드 및 제 2 모드중 어느 하나의 모드 설정신호를 설정하는 것으로, 어드레스 신호용 제 1 출력단자로부터는 어드레스 신호 또는 데이터신호가 적당히 선택되어 페치된다.

즉, 모드설정신호가 제 1 모드로 설정되어 있을 때에는 제 1 외부 접속소자에 대한 액세스가 가능하지만, 제 2 모드로 설정되어 있을 때에는 제 1 외부 접속소자에 대한 액세스가 금지된다. 이와 같이 양자를 구별하는 것으로, 제 2 모드로 설정되어 있을 때, 제 1 출력단자에 나타나는 것은 데이터신호이고, 어드레스 신호가 아니기 때문에, 제 1 외부 접속소자에 대한 액세스를 금지하여, 제 2 외부 접속소자에 데이터신호가 공급되어, 데이터신호가 잘못하여 제 1 외부 접속소자에 공급되는 등의 오류동작이 방지된다.

이와 같이, 제 1 출력단자로 어드레스신호와 데이터신호를 겸용하는 것으로, 단자수를 감소시켜 장치의 소형화를 도모할 수 있다.

또한, 본 발명에서는 상기 제 2 제어수단은 상기 어드레스 신호의 상위비트와 상기 모드설정신호에 근거하여, 상기 제 1 모드시에 상기 칩 선택신호를 액티브로 하여 출력하는 제 1 게이트수단을 가진다. 또한, 상기 제 1 게이트수단의 출력을 입력하여, 상기 스탠바이상태 설정신호에 근거하여, 스탠바이 상태로 설정되어 있는 기간에 액티브로 되어 있는 상기 칩 선택신호를 논액티브로 하여 출력하는 제 2 게이트수단을 가진다.

본 발명에 의하면, 제 1 게이트수단에 의해 제 1 외부접속소자의 어느 것인가가 선택된다. 그리고, 선택되면 상태신호에 근거하여, 제 2 게이트수단으로 액티브로 되어 있는 칩 선택신호를 강제적으로 논액티브로 할 수 있다. 또한, 본 발명에서는 상기 모드설정수단은 상기 제 1 모드와 상기 제 2 모드를 교대로 주기적으로 설정한다.

본 발명에 의하면, 제 1 외부 접속소자를 액세스하는 시간은 짧지만, 제 2 외부 접속소자의 조작, 예를들면 인간이 키를 누르는 시간은 싱글칩 마이크로컴퓨터의 처리능력 상에서는 충분히 길다. 이 때문에, 제 1 외부 접속소자의 데이터신호를 처리하고 있는 경우라도, 제 2 모드로 하여 제 2 외부 접속소자의 입력처리를 할 수 있다. 따라서, 모드설정신호를 제 1 모드와 제 2 모드로 주기적으로 절환하여, 제 1 외부 접속소자의 액세스와 제 2 외부 접속소자의 처리를 병렬처리를 하더라도, 실용상 전혀 문제없이 실현할 수 있다.

또한, 본 발명에서는 상기 적어도 하나의 제 2 외부 접속소자는 키 매트릭스를 포함한다. 또한, 상기 키 매트릭스는 상기 제 2 모드 시에, 상기 제 1 출력단자로부터 출력되는 상기 데이터신호에 근거하여 키 입력처리를 행한다.

본 발명에 의하면, 제2모드로 설정되면 제1출력단자로부터 데이터 신호가 출력된다. 이 데이터신호의 출력에 의해 키 매트릭스를 주사하여, 키입력을 입출력단자를 통해 페치하는 것으로, 키 매트릭스가 가동상태가 된다. 이것을 제2모드시에 행하는 것으로 내부에 데이터입력을 행할 수 있다.

또한, 본 발명에서는 , 상기 제1외부 접속소자의 적어도 하나는 외부 메모리로 구성된다. 또한, 상기 제1출력단자로부터 출력되는 상기 어드레스 신호에 따라 선택된 상기 외부 메모리의 사이에서 메모리 데이터신호가 입출력되는 입출력단자를 가진다.

본 발명에 의하면, 외부 접속소자의 적어도 하나를 외부 메모리로 하는 것으로, 메모리영역이 확대되어 메모리용량이 증대된다. 덧붙여, 프로그램 명령을 격납할 수 있어, 소프트웨어의 오버헤드를 감소시킬 수 있다.

또한, 본 발명에서는 상기 모드설정신호에 의해 제1모드가 설정되었을 때, 상기 제1외부 접속소자로의 리드/라이트신호를 출력하는 제3출력단자를 가진다. 또한, 상기 모드설정신호에 의해 제2모드가 설정되었을 때, 상기 제3출력단자로부터 출력되는 상기 리드/라이트신호의 출력을 저지하도록 제어하는 제3제어수단을 가진다.

본 발명에 의하면, 제2모드시에는 제3제어수단에 의해 라이트신호, 리드신호의 출력을 저지할 수 있다. 이 때문에, 제2외부 기억소자에 데이터를 출력할 때, 읽기, 기록 동작은 발생하지 않는다. 그리고, 제1출력단자로부터 어드레스 신호가 출력될 때에만 읽기,기록을 행하는 것으로, 부정 데이터를 제1외부 접속소자로부터 읽어내거나 제1외부 접속소자에 기입하거나 하는 경우는 없다. 또한, 제1모드시에는 제3출력단자로부터 리드신호, 라이트신호를 출력하는 것으로, 제1외부 접속소자로의 읽기, 기록을 입출력단자를 통해 행할 수 있다.

또한, 본 발명에서는 상기 제3출력단자는 상기 모드설정신호에 의해 제1모드가 설정되었을 때, 상기 제1

외부 접속소자로의 리드신호를 출력하는 제4출력단자를 가진다. 또한, 상기 모드설정신호에 의해 제1모드가 설정되었을 때, 상기 제1외부 접속소자로의 라이트신호를 출력하는 제5출력 단자를 가진다. 상기 제2제어수단은 상기 모드설정신호에 근거하여 상기 제2모드 시에, 상기 제4출력단자로부터 출력하는 상기 리드신호 및 상기 제5출력단자로부터 출력하는 상기 라이트신호중 어느 한쪽 신호의 출력을 저지하는 게이트 제어신호를 발생시키는 게이트 제어신호 발생수단을 가진다. 상기 제3제어수단은 상기 게이트 제어신호에 근거하여, 상기 제4출력단자로 부터 출력되는 상기 리드신호를 출력을 저지하는 제1게이트수단을 가진다. 또한, 상기 게이트 제어신호에 근거하여, 상기 제5출력단자로부터 출력되는 상기 라이트신호를 출력을 저지하는 제2게이트수단을 가진다.

본 발명에 의하면, 제1게이트수단에 의해 게이트 제어신호를 제어하는 것으로, 리드신호의 출력을 조정할 수 있다. 즉, 제1모드 시에 리드신호를 출력시켜 제1외부 접속소자로의 읽기가 행하여지고, 제2모드 시에 리드신호의 출력이 금지되어 읽기가 중지된다.

마찬가지로, 제2게이트수단으로 게이트 제어신호를 제어에 의해, 라이트신호의 출력을 조정할 수 있다. 즉, 제1모드 시에 라이트신호를 출력시켜 제1외부 접속소자로의 기록이 행하여지고, 제2모드 시에 라이트신호의 출력이 금지되어 기록이 중지된다.

또한, 본 발명에서는 상기 프로그램 명령에 근거하여 마이크로 명령을 순차 출력하는 마이크로 명령 발생수단을 가진다. 또한, 상기 스탠바이상태 설정수단은 상기 마이크로 명령에 근거하여 상기 스탠바이상태 설정신호를 발생하는 신호발생수단을 가진다.

본 발명에 의하면, 마이크로 명령 발생수단으로 발생되는 마이크로명령에 의해, 스탠바이상태 설정신호를 액티브로 하고, 싱글 칩 마이크로컴퓨터 본체의 스탠바이 상태시에 칩 선택신호를 논액티브로 할 수 있다.

또한, 본 발명의 다른 실시예에 의한 싱글 칩 마이크로컴퓨터는 적어도 하나의 외부 메모리와, 적어도 하나의 키 매트릭스와, 적어도 하나의 표시수단이 접속된다. 그리고, 프로그램 명령의 실행에 따라 상기 적어도 하나의 외부메모리에 메모리 어드레스 신호를 공급하여, 메모리 데이터신호의 리드·라이트의 제어를 행하는 것이다. 또한, 상기 적어도 하나의 키 매트릭스에 키 주사신호를 공급하여 키 입력처리의 제어를 행하는 것이다. 또한, 상기 적어도 하나의 표시수단에 표시데이터 신호를 공급하여 데이터 표시제어를 행하는 것이다. 그리고, 상기 메모리 어드레스 신호, 상기 키 주사신호 및 상기 표시데이터 신호중 어느 한쪽을 택일적으로 출력하는 제1출력단자를 가진다. 또한, 상기 적어도 하나의 외부 메모리의 사이에서 상기 메모리 데이터 신호의 입출력을 행하는 입출력 단자를 가진다. 또한, 상기 제1출력단자에서 출력되는 상기 키 주사신호 및 상기 표시신호중 어느 한쪽을 격납하는 출력 레지스터를 가진다. 또한, 상기 입출력단자로부터 입출력되는 상기 메모리 데이터 신호를 격납하는 입출력 레지스터를 가진다. 또한, 상기 메모리 어드레스 신호를 발생하는 어드레스 발생수단을 가진다. 또한, 상기 적어도 하나의 외부 메모리 및 상기 적어도 하나의 표시수단중 어느 하나를 선택하는 칩 선택신호를 액티브로 하여 출력하는 제2출력단자를 가진다. 또한, 스탠바이상태 설정신호를 출력하는 것으로, 상기 프로그램 명령의 실행을 일시 정지시켜 스탠바이상태로 설정하는 스탠바이상태 설정수단을 가진다. 또한, 모드설정신호를 출력하는 것으로, 상기 제1출력단자로부터 상기 메모리 어드레스 신호를 출력시키는 제1모드와, 상기 제1출력단자로부터 상기 키 주사신호 및 상기 표시신호의 한쪽을 출력시키는 제2모드중 어느 한쪽 모드를 설정하는 모드설정수단을 가진다. 또한, 상기 모드설정신호에 근거하여, 상기 제1모드에서는 상기 어드레스 발생수단으로 발생된 상기 메모리 어드레스 신호를 상기 제1출력단자로부터 출력제어하고, 상기 제2모드에서는 상기 출력 레지스터에 격납되어 있는 상기 키 주사신호 및 표시신호중 어느 하나를 상기 제1출력단자로 부터 출력 제어하는 제1제어수단을 가진다. 또한, 상기 스탠바이상태 설정수단으로부터의 상기 스탠바이상태 설정신호에 근거하여, 스탠바이상태로 설정되어 있는 기간에, 상기 제2출력단자로부터 출력되어 있는 상기 칩 선택신호를 논액티브로 변경제어하는 제2제어수단을 가진다.

본 발명에 의하면 이하의 작용효과를 가진다.

(1) 칩 선택신호의 액티브동작에 의해 표시수단을 활성화하여 연산결과등의 표시데이터신호를 표시할 수 있다. 이 표시를 행하면 제2제어수단에 의해 칩 선택신호를 논액티브로 할 수 있기 때문에, 표시수단 내부에서 쓸데없는 소비전류가 흐르는 것을 방지할 수 있고, 시스템 전체의 소비전력의 감소를 도모할 수 있다.

(2) 외부 메모리를 액세스하는 시간은 짧지만, 사람이 키를 누르는 시간은 싱글 칩 마이크로컴퓨터의 처리능력상에서는 충분히 길다. 이 때문에, 모드설정신호를 제1모드와 제2모드로 주기적으로 절환하여 메모리 액세스와 키 처리를 병렬처리를 하더라도 실용상 전혀 문제없이 실현할 수 있다.

즉, 제2모드로 설정되면 제1 출력단자로부터 키 주사신호가 출력된다. 이 키 주사신호로 키 매트릭스를 주사하여 키 입력을 입력용 단자를 통해 넣음으로써 키 매트릭스가 가동상태가 된다.

제2모드에서 프로그램 명령으로 키 입력처리가 행해진 후에는 외부 메모리를 액세스하기 위해, 외부 메모리에 격납되어 있는 제2데이터신호 등의 검색처리에 들어가고, 모드설정수단은 제1모드로 설정할 필요가 있다. 그리고, 모드설정수단이 제1모드로 설정되면, 외부 메모리에 대한 액세스가 가능해지고, 데이터의 검색 이외에, 등록처리, 소트 등의 처리를 할 수 있다. 이때,키 매트릭스로부터의 입력데이터를 받을수 없는데, 사람의 손에 의한 입력은 통상 30msec~50msec로 1회 샘플링하면 입력을 받을수 없는 경우는 없다. 따라서, 외부 메모리의 메모리 데이터 신호를 입출력 단자를 통해 처리 하고 있는 경우라도, 30msec~50msec마다 모드설정수단을 제2모드로 하여 키 입력처리를 함으로써, 키 입력을 빠뜨리고 읽는 일 없이 처리를 계속할 수 있다.

또한, 본 발명에 관련된 전자기기는 상기의 싱글 칩 마이크로컴퓨터를 포함하는 전자기기로 구성된다.

따라서, 상기의 싱글 칩 마이크로컴퓨터를 내장하고 있어 저소비전력화를 도모할 수 있다.

이하, 본 발명의 적당한 실시 형태의 일례에 대하여 도면을 참조하여 구체적으로 설명한다.

[싱글 칩 마이크로컴퓨터의 기본구성에 대하여]

우선, 본 발명의 특징적인 구성인 설정수단, 스탠바이상태 설정수단 등에 앞서, 싱글 칩 마이크로컴퓨터의 기본구성의 개요에 대하여 제1도을 이용하여 설명한다. 제1도는 싱글 칩 마이크로컴퓨터의 기본구성을 나타내는 블록도이다.

본 예의 싱글 칩 마이크로컴퓨터(1)는 제1도로 나타내는 바와 같이, 복수, 예를들면 3개의 각 외부 접속소자(210,220,230)등이 접속되고, 프로그램 명령의 실행에 근거하여, 각 외부 접속소자중 어느 하나에 칩 선택신호와 어드레스 신호를 공급하는 기능을 가진다. 그리고, 본 예의 싱글 칩 마이크로컴퓨터(1)는 내부 기억수단(10), 처리수단(20), 어드레스 발생수단(30), 스탠바이 상태 설정수단(40), 모드설정수단(50), 메모리 어드레스 출력단자로서의 제1출력단자(60), 제1제어수단(70), 칩 선택출력단자로서의 제2출력단자(62), 제어수단으로서의 제2제어수단(80), 제3출력단자(64), 제3제어수단(130), 입출력단자(140), 입출력부(150)를 포함하여 구성된다.

내부 기억수단(10)은, 제1도로 나타내는 바와 같이, 프로그램 명령 기억수단(11), 명령 레지스터(12), 마이크로 명령발생수단으로서의 명령디코더(13), 데이터 기억수단(14), 프로그램카운터(15), 인덱스 레지스터(16), 출력 레지스터(17), 입출력 레지스터(18), 일시 레지스터(19a, 19b)를 포함하여 구성된다.

프로그램 명령 기억수단(11)은, 예를들면 ROM 등으로 형성되고 프로그램 명령이 기억되어 있다. 명령 레지스터(12)는 프로그램 명령 기억수단(11)으로부터의 출력인 프로그램 명령을 일시 기억하는 기능을 가진다. 마이크로 명령 발생수단으로서의 명령 디코더(13)는 명령 레지스터(12)에 일시 기억된 프로그램 명령에 근거하여, 마이크로 명령을 순차 출력하는 기능을 가지며, 예를들면, PLA(프로그램 가능 논리 어레이), 마이크로 ROM 등으로 구성된다.

데이터 기억수단(14)은, 예를들면 RAM 등으로 형성되어 어드레스 버스(26)를 통해 입력되는 어드레스 신호(27)에 근거하여, 데이터 기억수단(14)내에서 지정된 어드레스에 대응하는 데이터를 데이터 버스(24)를 통해 예를들면 일시 레지스터(19a)에 로드하는 기능을 가진다. 프로그램 카운터(15)는 프로그램 명령 기억수단(11)내의 데이터의 어드레스를 지정하는 기능을 가진다. 인덱스 레지스터(16)는, 특별히 한정되지 않지만, 예를들면 데이터 기억수단(14)내의 데이터의 어드레스를 지정하는 기능을 가진다.

출력 레지스터(17)는 내부 데이터 버스에 접속되어 각종 데이터가 기입되는 것이다. 그리고, 기입된 데이터신호(183)(예를들면 후술되는 키 매트릭스)(제5도)의 주사신호, 표시 수단의 표시 데이터 신호등)를 게이트수단(72)을 통해 제1출력단자(60)에 출력하는 기능을 가진다. 또한, 출력 레지스터(17)는 산술논리연산 유닛(21)으로부터의 소정의 연산결과를 격납하고, 그 격납된 데이터를 프로그램 명령에 따라서 임의로 리라이팅하는 구성으로 해도 된다. 또한, 본 예에서는 출력레지스터(17)와 데이터 기억수단(14)이 별개의 몸으로 구성되어 있는데, 출력 레지스터(17)를 데이터 기억수단(14)의 일부로서 구성해도 된다.

입출력 레지스터(18)는 제2데이터, 예를들면 메모리 데이터 신호, 예를들면 각종 입출력 데이터, 예를들면 연산출력을 격납하는 것이다. 그리고, 기입된 제2데이터신호(194)는 입출력부(150)를 통해 입출력단자(I/0 1~I/07)(140-1~140-7)에 보내어진다. 일시 레지스터(19a, 19b)는 마이크로 명령(25)에 근거하여, 산술논리연산 유닛(21)으로부터의 출력을 일시 기억하는 기능과 산술논리연산 유닛(21)에 데이터를 출력하는 기능 등을 가지며, 특히, 산술논리연산 유닛(21)으로의 연산수, 피연산수를 기억하는 기능을 가진다.

처리수단(20)은 산술논리연산 유닛(21), 어큐뮬레이터(22)를 포함하여 구성된다. 산술논리연산 유닛(21)은 마이크로명령(25)에 근거하여 데이터의 산술논리연산을 행하는 기능을 가진다. 어큐뮬레이터(22)는 연산처리되어 순차변화하는 계산결과를 입력하여 저장해 두는 것이다.

또한, 본예에서는 내부 기억수단, 처리수단으로서 상기한 바와 같은 구성에 의한 예를 나타내었는데 이것에 한정되지 않고 다른 조합으로 구성해도 된다.

어드레스 발생수단으로서의 어드레스 발생회로(30)는 제1외부 접속소자(210, 220, 230)등으로 제2데이터신호(194)의 어드레스를 지정하는 어드레스신호(27)를 출력하는 기능과, 프로그램 명령 기억수단(11)의 어드레스를 지정하는 기능과, 데이터 기억수단(14)의 어드레스를 지정하는 기능을 가진다. 그리고, 이들 각 기능의 전환은 마이크로 명령(25)에 근거하여 행하여진다.

1-2. 싱글 칩 마이크로컴퓨터의 동작 시퀀스

여기에서, 상기 싱글 칩 마이크로컴퓨터(1)의 기본적인 동작 시퀀스에 대해 제1도을 이용하여 설명한다.

우선, 프로그램 명령 기억수단(11)에 격납된 프로그램 명령이 페치되어 명령 레지스터(12)에 기입된다. 명령 레지스터(12)에 기입된 프로그램 명령은 명령 디코더(13)로 디코드되어 제어신호인 각종 마이크로명령(25)으로 출력된다. 이 마이크로 명령(25)에 근거하여 싱글 칩 마이크로컴퓨터(1)의 각 구성블럭이 제어된다.

여기에서, 마이크로 명령(25)이, 예를들면 어드레스를 참조하는 연산명령인 경우, 어드레스 발생수단(30)으로 발생하는 어드레스가 어드레스 버스(26)를 통해 데이터 기억수단(14)에 입력하여 데이터 기억수단(14)내의 데이터의 어드레스를 지정한다. 이 어드레스의 데이터는 데이터 버스(24)를 통해 일시 레지스터(19a)에 로드된다. 이때, 마찬가지로 어큐뮬레이터(22)의 데이터가 데이터 버스(24)를 통해 일시 레지스터(19b)에 로드된다. 또한, 어드레스 버스(26)에 프로그램 카운터(15) 및 인덱스 레지스터(16)중 어느쪽의 데이터를 출력할까는 마이크로 명령(25)과 타이밍에 의해 어드레스 발생수단(30)으로 선택된다.

그리고, 2개의 일시 레지스터(19a, 19b)에 각각 로드된 각 데이터는 산술논리연산 유닛(21)으로 연산처리되어, 어큐뮬레이터(22)에 연산결과를 기억한다. 어큐뮬레이터(22)의 데이터는 내부 데이터 버스(24)를 통해 출력 레지스터(17), 입출력 포트용 출력 레지스터등으로 전송된다.

2-1. 설정수단, 스탠바이상태 설정수단에 대하여

이어서 본 발명의 특징적인 구성인 설정수단, 스탠바이상태 설정수단등에 대하여 제1도~제3도을 이용하여

설명한다. 제2도는 어드레스 디코더를 나타내는 회로도이다. 제3도는 싱글 칩 마이크로컴퓨터의 구성의 일부를 나타내는 블럭도이다.

스탠바이상태 설정수단(40)는 싱글 칩 마이크로컴퓨터(1) 본체를 스탠바이상태로 설정하는 기능을 가진다. 여기에서, 스탠바이상태란 싱글 칩 마이크로컴퓨터(1) 본체의 전원을 정지시키지 않고 클럭만을 정지시키는 것으로 프로그램 명령의 실행을 일시 정지시키는 상태를 말한다.

또한, 스탠바이상태 설정수단(40)은 스탠바이상태로 설정하는 스탠바이상태 설정신호로서의 상태신호(180)를 출력하는 기능을 가지며, 신호발생수단으로서의 시스템 클럭 발생부(42), 스탠바이상태 설정부(44), 스탠바이상태 해제부(46)를 포함하여 구성된다.

시스템 클럭 발생부(42)는 마이크로 명령(25)에 근거하여 상태신호(180)를 발생하는 기능을 가진다. 스탠바이상태 설정부(44)는 스탠바이상태로 설정하는 타이밍으로 마이크로 명령, 예를들면 UHALT 명령 등에 근거하여 시스템 클럭 발생회로(42)의 클럭을 정지시키는 기능을 가진다.

스탠바이상태 해제부(46)는 스탠바이상태 설정기간중, INT 명령 등으로 인터럽트 제어를 행하는 것으로, 시스템 클럭의 정지상태를 해제하여, 통상의 동작으로 복귀시키는 기능을 가진다.

상기한 바와 같은 제어에 의해, 어떤 타이밍에서는 스탠바이상태, 다른 타이밍에서는 통상의 동작상태가 되는 스탠바이상태 설정신호로서의 상태신호(180)가 출력된다. 또한, 본예에서는 스탠바이상태를 '1', 그렇지 않은 경우를 '0'으로 하는 하이 액티브로 하고 있다.

또한, 이 싱글 칩 마이크로컴퓨터(1)의 기본 타이밍신호는 시스템 클럭 발생회로(42)에서 출력되고, 마이크로 명령(25)에 의해 시스템 클럭 발생회로(42)는 기본 타이밍신호의 출력을 정지시켜 싱글 칩 마이크로컴퓨터(1)가 스탠바이상태로 설정된다. 이 싱글 칩 마이크로컴퓨터(1)를 스탠바이상태로 설정하는 프로그램 명령은 일반적으로 HALT명령이 사용된다.

모드설정수단(50)에 포함되는 모드설정 레지스터(52)는 제어선을 통해 싱글 칩 마이크로컴퓨터(1)의 내부 데이터 버스(24)에 접속되어, 예를들면 D형 플립플롭 회로등으로 형성되고(제3도), 모드설정신호(182)를 제1제어수단(70), 제2제어수단(80), 제3제어수단(130), 입출력부(150)등으로 출력하는 기능을 가진다. 여기에서, 모드설정신호(182)는 프로그램 명령에 근거하여 제1출력단자(60)로부터 어드레스 신호(27)를 출력시키는 제1모드 1, 및 데이터신호(183)를 출력시키는 제2모드 0중 어느 한쪽 모드를 설정하는 신호이다.

즉, 모드설정신호(182)가 1인 경우는 게이트수단(72-1~72-16)에 의해 어드레스 버스(26)가 선택되고, 출력 드라이버(79-1~79-16)를 통해 어드레스 신호(27)가 출력단자(60-1~60-16)에 출력된다.

한편, 모드설정신호(182)가 0인 경우는, 게이트수단(72-1~72-16)에 의해 데이터 버스를 통해 공급되는 데이터신호(183)가 선택되고, 출력 드라이버(79-1~79-16)를 통해 출력 레지스터(17)의 데이터신호(183)가 출력단자(60-1~60-16)에 출력된다. 또한, 이 제1모드와 제2모드는 교대로 주기적으로 설정해도, 그렇지 않아도 된다. 또한, 여기에서 말하는 데이터신호(183)는 키 주사신호, 표시데이터 신호, 연산결과 등의 메모리 데이터 신호 등을 포함한다.

제 1출력단자(60)(60-1~60-16)는 어드레스신호(27) 및 데이터신호(183)중 어느 한쪽을 택일적으로 출력하는 것이며, 복수, 예를들면 17개 형성되어 있다. 출력단자로서의 제2출력단자(62)(62-1~62-3)는 어드레스신호(27)에 근거하여 복수의 외부 접속소자(210,220,230)를 선택하는 칩 선택신호(185, 186, 187)중 어느 하나의 칩 선택신호를 액티브로 하여 출력하는 것이며, 복수, 예를들면 3개 형성되어 있다. 제3출력단자(64)(64-1, 64-2)는 각 외부 접속소자(210,220,230)로의 리드/라이트 신호를 출력하는 것이며, 복수, 예를들면 리드 · 라이트 각각 1개씩 합계 2개가 형성되어 있다.

제1제어수단(70)은 모드설정수단(50)의 모드설정신호(182)에 근거하여 제1출력단자(60(60-1~60-16)를 제어하는 기능을 가지며, 복수, 예를들면 17개의 게이트수단(72)(72-1~72-16), 복수, 예를들면 17개의 드라이버(79)(79-1~79-16)를 포함하여 구성된다.

게이트수단(72)(72-1~72-16)은 제1모드일 때 데이터신호(183)의 출력을 저지시키는 기능을 가진다. 그리고, 제2모드 시에 데이터신호(183)를 드라이버(79)를 통해 출력시킨다. 이 게이트수단(72)에는 출력 레지스터(17)의 데이터신호(183)외에 어드레스 신호(27)가 입력되고, 마이크로 명령(25)에 따라 설정된 모드설정신호(182)에 근거하여 어느 한쪽이 선택되어 드라이버(79)를 통해 외부에 출력된다.

제어수단으로서의 제2제어수단(80)은 스탠바이상태 설정수단(40)으로 부터의 스탠바이상태 설정신호로서의 상태신호(180)에 근거하여, 제2출력단자(62)(62-1~62-3)중 어느 하나로부터 출력되고 있는 칩 선택신호 (185(/CE0), 186(/CE1), 187(/CE2))의 전부를 논액티브로 설정 제어하는 기능을 가지며 어드레스 디코더(82), 드라이버(120)(120-1~120-3)를 포함하여 구성된다.

어드레스 디코더(82)에는 어드레스 버스(26)를 통해 공급되는 (A0)으로부터 (A19)까지의 어드레스 신호(27)의 19비트중 상위 2비트(A17, A18)와, 모드설정신호(182)와, 시스템 클럭 발생부(42)로부터 출력되는 상태신호(180)가 입력된다. 그리고, 어드레스 디코더(82)는 이들 각 신호에 근거하여 후술하는 바와 같이, 제2 모드 '0'일 때, 내부 메모리 액세스신호(184) 및 게이트 제어신호(181)를 출력하고, 제1 모드 '1'일 때, 칩 선택신호((/CE1)185, (/CE2)186, (/CE3)187)중 어느 하나를 출력하는 기능을 가지며, 제1게이트 수단(90), 제2게이트수단(100), 게이트 제어신호 발생수단(110)을 포함하여 구성된다. 또한, 제1모드시에는 제2출력단자(62)(62-1~62-3)중 어느 하나로 부터, 칩 선택신호((CE1)185, (/CE2)186), (/CE3)187)중 어느 하나가 액티브 상태로 출력된다. 이 칩 선택신호는 드라이버(120-1, 120-2, 120-3)를 통해 출력단자(62-1, 62-2, 62-3)에 출력된다.

제1게이트수단(90)은 어드레스 공간의 수, 예를들면 4에 따른 어드레스 신호(27)의 상위 비트, 예를들면 2비트의 논리에 근거하여, 각 외부 접속소자(210, 220, 230)등을 선택하는 기능을 가진다.

제2게이트수단(100)은 선택된 외부 접속소자(210, 220, 230)에 대응한 제1게이트수단(90)의 출력과 상태

신호(180)에 근거하여, 칩 선택신호(185, 186, 187)중 어느 하나가 액티브로 되어 있더라도 논액티브로 하는 기능을 가진다.

제3제어수단(130)은 모드설정신호(182)가 제2모드일 때, 제2제어수단(80)에서 출력되는 게이트 제어신호(181)에 근거하여 리드 제어신호((/RD)188), 혹은 라이트 제어신호((/WR)189)의 출력을 저지하는 기능을 가지며, 제1게이트수단(131), 제2게이트수단(134)을 포함하여 구성된다.

제1게이트수단(131)은 게이트 제어신호(181)에 근거하여 리드제어 신호용 제 4출력단자로서의 출력단자(64-1)에 리드신호((/RD)188)을 출력하는 기능을 가지며, NAND 게이트(132), 드라이버(133)를 포함하여 구성된다. 리드 제어신호(188)는 어드레스 디코더(82)로부터 출력되는 게이트 제어신호(181)의 제어에 근거하여 NAND 게이트(132)및 드라이버(133)를 통해 출력단자(64-1)에 보내진다.

제2게이트수단(134)은 게이트 제어신호(181)에 근거하여 라이트신호용 제5출력단자로서의 출력단자(64-2)에 라이트신호((/WR)189)를 출력하는 기능을 가지며, NAND 게이트(135), 드라이버(136)를 포함하여 구성된다. 라이트제어신호(189)는 어드레스 디코더(82)로부터 출력되는 게이트 제어신호(181)의 제어에 근거하여 NAND 게이트(135) 및 드라이버(136)를 통해 출력단자(64-2)에 보내진다.

게이트 제어신호 발생수단(110)은 어드레스 신호(27)의 상위 2비트(A17, A18)의 논리와 모드설정신호(182)에 근거하여 게이트 제어신호(181)를 발생시키는 기능을 가지며, OR 게이트(112), AND 게이트(114)를 포함하여 구성된다.

여기에서, 입출력부(150)의 내부구성에 대해 제3도을 이용하여 설명한다. 제3도에는 특히 입출력부(150)가 상세하게 도시되어 있다.

입출력부(150)는 입출력 절환 레지스터(152), 선택회로(154, 156), 입력버퍼(158), 출력버퍼(160), 선택회로(162)를 포함하여 구성된다.

입출력 절환 레지스터(152)는 제어선을 통해 내부 데이터 버스(24)에 접속되어, 예를들면 D형 플립플롭회로등으로 형성된다. 이 입출력 절환 레지스터(152)의 절환신호는 예를들면 1 일 때는 출력모드로 설정되고, 0일 때는 입력모드로 설정된다. 입출력 절환 레지스터(152)의 절환신호는 모드설정신호(182) 및 I/O 리드신호와 함께 선택회로(154)에 입력하고, 모드설정신호(182) 및 메모리 액세스신호와 함께 선택회로(156)에 입력한다.

선택회로(154)는 그 출력으로 입력버퍼(158)를 제어하고, 선택회로(156)는 그 출력으로 출력버퍼(160)를 제어하고 있다. 그리고, 입력버퍼(158)와 출력버퍼(160)는 동일한 입출력단자(140)에 접속되어 있고, 이들은 쌍방향 버퍼를 구성하고 있다(다른 입력 버퍼와 출력버퍼에 있어서도 같다).

선택회로(162)에는 입출력 포트용 출력 레지스터(18)의 제2데이터신호, 예를들면 메모리 데이터 신호 또는 내부 데이터 버스(24)의 데이터를 모드 설정신호(182)에 의해 적당히 절환하여 출력버퍼(160)에 출력한다.

또한, 본예에서는 간단히 하기 위해 상당히 단순한 구성으로 했는데, 복수 종류의 데이터 버스, 입력 포트용 레지스터를 포함하는 다수의 레지스터류, 입력단자등 다수의 단자류, 스택 포인터 등을 가지는 구성이어도 된다.

[설정수단인 제2제어수단의 동작에 대하여]

여기에서, 제2제어수단(80)의 동작을 제2도에 근거하여 설명한다.

우선, 모드설정신호(182)가 1이 설정되면, 외부 메모리 액세스 모드로서 동작한다. 본예에서는 CPU는 512K 바이트(19비트 어드레스)의 어드레스 공간을 가지며, 각각 128K 바이트의 4개의 어드레스 그룹으로 분할된다. 즉, 어드레스 디코더(82)에는 어드레스 신호(27)의 (A18)과 (A17)이 입력되고, 표1로 나타내는 바와 같이, 어드레스 버스 19비트, 512K의 공간을 128K의 4개의 공간으로 분할하고 있다. 이것을 표1에 나타낸다.

[표 1]

	$\overline{CE2}$	$\overline{CE1}$	$\overline{CE0}$	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	해당 메모리
128K	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	내부 메모리
				0			0				0				0				0				
				0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
				1			F				F				F				F				
128K	1	1	0	2			0				0				0				0				외부 메모리 디바이스 0
				3			F				F				F				F				
128K	1	0	1	4			0				0				0				0				외부 메모리 디바이스 1
				5			F				F				F				F				
128K	0	1	1	6			0				0				0				0				외부 메모리 디바이스 2
				7			F				F				F				F				

여기에서, 어드레스 00000H 에서 어드레스 1FFFFH 까지는 싱글 칩 마이크로컴퓨터(1)의 내부 메모리의 어드레스공간, 어드레스 20000H 에서 어드레스 3FFFFH 까지는 외부 접속소자(210)의 어드레스 공간, 어드레스 40000H 에서 어드레스 5FFFFH 까지는 외부 접속소자(220)의 어드레스 공간, 어드레스 60000H 에서 어드레스 7FFFFH 까지는 외부 접속소자(230)의 어드레스공간으로 각각 분할되어 있다.

어드레서 버스(26)가 외부 접속소자(210, 220, 230)의 어드레스공간을 나타내고 있을 때, 모드설정신호(182)는 1이 되고, 각각의 외부 메모리 이네이블 신호인 칩 선택신호((/CE0), (/CE1), (/CE2))중 어느 하나가 액티브로 되어 외부 메모리 액세스가 유효해진다. 이와 같이, 각각 4개의 어드레스 그룹으로 분류되어 어드레스 디코더(82)에 의해 내부 메모리 액세스신호(184), 칩 선택신호((/CE0)~(/CE2))중 어느 하나가 액티브로 된다.

여기에서, 상태신호(180)는 싱글 칩 마이크로컴퓨터(1)가 동작중에는 0이 되고, 싱글 칩 마이크로컴퓨터(1)가 스탠바이상태일 때는 1이 된다. 그리고, 모드설정신호(182)가 1일 때, 상태신호(180)를 1로 설정한다. 따라서, 외부 접속소자를 정지시키고 내부에서의 전류를 정지시켜 시스템 전체의 소비전력을 감소시킬수 있다.

단, 칩 선택신호중 어느 하나가 액티브로 될 때, CPU로부터 출력되는 리드제어신호(188) 또는 라이트제어신호(189)는 각각 NAND 게이트 및 출력 버퍼를 통해 해당하는 신호 (/RD) 또는 (/WR)이 출력단자(190, 191)에 출력되고, 제1외부 접속소자, 예를들면 RAM의 데이터의 읽기, 기록이 이루어진다.

[전체동작에 대하여]

이어서, 상기한 구성을 가지는 싱글 칩 마이크로컴퓨터(1)의 전체동작에 대하여 제1도~제4도를 이용하여 설명한다. 제4도는 상기의 동작을 나타낸 타이밍차트이다. 제4도의 예는 1 머신사이클이 4 클럭으로 구성되어 있는 경우를 나타낸다.

도 4의 T1 사이클은 어드레스 신호(27)가 내부 메모리에 해당하는 어드레스의 경우이고, 모드설정신호(182)는 모드 0으로 설정된다. 그리고, 어드레스 디코더(82)로부터 내부 메모리 액세스신호(184)와 리드제어신호가 출력하여 어드레스 신호에 따라 해당하는 내부 메모리의 데이터가 읽혀진다.

여기에서, 모드설정 레지스터(52)에 0이 설정되면, 어드레스 디코더(82)에 의해 칩 선택신호(185~187), 리드제어신호(188), 라이트제어신호는 모두 H 레벨로, 논액티브가 되어, 외부 접속소자(210)에 대한 액세스는 금지된다.

또한, 게이트수단(72)에 의해 출력 레지스터(17)의 데이터신호(183)가 선택되어 어드레스 신호용 제1출력단자(60)에는 그 데이터신호(183)가 나타난다.

이 데이터신호(183)는, 예를들면 후술하는 제2외부 접속소자로서의 키 매트릭스에 대한 주사신호로서 공급된다. 이 때, 입출력 절환 레지스터(152)는 0으로 설정되어, 키 매트릭스로부터의 키 입력이 입력버퍼(158) 및 내부 데이터버스(14)를 통해 CPU에 페치된다.

그런데, 이 모드설정 레지스터(52)는 메모리 맵(I/O)로 구성된 주변회로로 구성되어 있다. 따라서, 기입신호는 레지스터 선택신호와 CPU 내부의 라이트제어신호의 앤드논리에 의해 얻어진 신호로 구성되어 있다.

즉, 모드설정 레지스터(52)의 어드레스가 어드레스 XXXX 에 지정되어 있으면, 어드레스 XXXX 가 액세스되었을 때 디코드되고, 레지스터 선택신호가 발생되어 모드설정 레지스터(52)가 선택되며, 또한 라이트제어

신호가 발생된 타이밍으로, 프로그램 명령의 실행에 의해 모드설정 레지스터(52)의 원하는 값이 기입된다.

제1도의 예에서는 모드설정 레지스터(52)가 0일 때, (A0~A16)의 출력은 출력 레지스터(17)의 데이터신호(183)가 출력되고, 프로그램 명령의 실행에 의해 모드설정을 1로 설정하면 (A0~A16)은 어드레스출력이 된다. 또한, 모드설정 레지스터(52)는 메모리 맵 (I/0)로 구성되어 있기 때문에, 메모리 조작 명령에 의해 용이하게 리라이팅할 수 있다.

T2의 사이클에서는 모드설정신호(182)는 모드 1로 설정된다. 그리고, 리드제어신호(188)가 제1게이트수단(131)을 통해 (/RD190)으로서 출력단자(64-1)에서 출력되는 동시에, 칩 선택신호(185)가 출력단자(62-1)에서 출력하여 어드레스 신호(27)에 따라 해당하는 외부 접속소자(210), 예를들면 RAM의 데이터신호가 읽혀지고, 입출력단자(140)를 통해 CPU에 페치된다.

즉, ((/RD)188)은 제1 게이트수단(131)에 의해 모드설정신호(182)가 1일 때, 출력드라이브(133)를 통해 출력단자(64-1)에 출력된다.

그리고, 외부 접속소자, 예를들면 RAM의 데이터신호를 읽을 때에는 입출력 절환 레지스터(152)에 0을 설정하여 선택회로(154)에 의해 입력버퍼(158)를 액티브로 하고, 어드레스 신호에 따라 외부 접속소자, 예를들면 RAM으로부터의 제2데이터신호를 내부 데이터 버스(24)를 통해 페치한다.

여기에서, 스탠바이상태 설정수단(40)으로부터 출력되는 상태신호(180)가 1이 되어 CPU가 스탠바이상태가 된다. 이것에 의해, 제2제어수단(80)에 상태신호(180)가 1의 상태로 입력되는 것으로, 액티브로 되어 있는 칩 선택신호(185)가 논액티브로 되고, 출력단자(62-1)로부터 출력되어, 외부 접속소자(210)가 비활성상태가 된다. 이것에 의해 외부 접속소자(210)내에서 전류는 소비되지 않아 시스템 전체의 정전력화(停電力化)를 도모할 수 있다. 또한, 스탠바이상태의 해제는 스탠바이상태 해제부(46)의 INT 명령등에 의해, 스탠바이상태가 해제되어 통상 동작으로 복귀한다.

T4의 사이클에서는 모드설정신호(182)는 모드 1로 설정된다. 그리고, (/RD190)과 선택신호(186)가 출력되어 어드레스 신호(27)에 따라 해당하는 외부 접속소자(220), 예를들면 RAM의 데이터신호가 읽혀지고, 입출력단자(140)를 통해 CPU에 페치한다.

여기에서, 스탠바이상태 설정수단(40)으로부터 출력되는 상태신호(180)가 되어 CPU가 스탠바이상태가 된다. 이것에 의해, 제2제어수단(80)에 상태신호(180)가 1의 상태로 입력되는 것으로, 액티브로 되어 있는 칩 선택신호(186)가 논액티브가 되고, 출력단자(62-2)로부터 출력되어, 외부 접속소자(220)가 비활성상태가 된다. 이것에 의해, 외부 접속소자(220) 내에서 전류는 소비되지 않아 시스템 전체의 정전력화를 도모할 수 있다.

T6의 사이클에서는 모드설정신호(182)는 모드 1로 설정된다. 그리고, (/RD190)과 칩 선택신호(187)가 출력되어 어드레스 신호(27)에 따라 해당하는 외부 접속소자(230), 예를들면 RAM의 데이터신호가 읽혀지고, 입출력단자(140)를 통해 CPU에 페치한다.

여기에서, 스탠바이상태 설정수단(40)으로부터 출력되는 상태신호(180)가 1이 되어 CPU가 스탠바이상태가 된다. 이것에 의해, 제2제어수단(80) 상태신호(180)가 1의 상태로 입력되는 것으로, 액티브로 되어 있는 칩 선택신호(187)가 논액티브가 되고, 출력단자(62-3)로부터 출력되어, 외부 접속소자(230)가 비활성상태가 된다. 이것에 의해, 외부 접속소자(230)내에서 전류는 소비되지 않아 시스템 전체의 정전력화를 도모할 수 있다.

T8의 사이클에서는 모드설정신호(182)는 모드 0으로 설정된다. 그리고, 라이트 제어신호(189)와 내부 메모리 액세스신호(184)가 출력되어, CPU에서의 데이터가 어드레스 신호(27)에 따라 내부 메모리에 기입된다.

T9의 사이클에서는 모드설정신호(182)는 모드 1로 설정된다. 그리고, 라이트제어신호(189)가 제2게이트수단(134)을 통해 (/WR191)로서 출력단자(64-2)로부터 출력되는 동시에, 칩 선택신호(185)가 출력단자(62-1)로부터 출력하여, 입출력 포트용 출력 레지스터(18)의 제2데이터신호(194)가 입출력단자(140)를 통해 출력하여, 해당하는 외부 접속소자(210), 예를들면 RAM의 어드레스 신호(27)에 의해 특정된 어드레스에 기입된다.

즉, 라이트 제어신호(189)는 제2게이트수단(134)에 의해 모드설정신호(182)가 1일 때, 출력드라이브(136)를 통해 출력단자(64-2)에 출력된다.

그리고, 외부 접속소자, 예를들면 RAM에 데이터신호를 기입할 때에는 입출력 절활 레지스터(152)에 1을 설정하여 선택회로(156)로부터 출력버퍼(160)를 액티브로 하고, 입출력 포트용 출력 레지스터(18)의 제2데이터신호(194)를 선택회로(162)를 통해 출력버퍼(160)에 보내어, 어드레스 신호에 따라 제1외부 접속소자, 예를들면 RAM의 해당하는 어드레스에 기입한다.

여기에서, 스탠바이상태 설정수단(40)으로부터 출력되는 상태신호(180)가 1이 되어, CPU가 스탠바이상태가 된다. 이것에 의해, 제2제어수단(80)에 상태신호(180)가 1의 상태로 입력되는 것으로, 액티브로 되어 있는 칩 선택신호(185)가 논액티브가 되고, 출력단자(62-1)로부터 출력되어, 외부 접속소자(210)가 비활성상태가 된다. 이것에 의해, 외부 접속소자(210)내에서 전류는 소비되지 않아 시스템 전체의 정전력화를 도모할 수 있다.

T11의 사이클에서는 모드설정신호(182)는 모드 1로 설정된다. 그리고, (/WR191)과 칩 선택신호(186)가 출력되고, 입출력포트용 출력 레지스터(18)의 제2데이터신호(194)가 입출력단자(140)를 통해 출력되어, 해당하는 외부 접속소자(220), 예를들면 RAM의 어드레스 신호(27)에 의해 특정된 어드레스에 기입된다.

여기에서, 스탠바이상태 설정수단(40)으로부터 출력되는 상태신호(180)가 1이 되어, CPU가 스탠바이상태가 된다. 이것에 의해, 제2제어수단(80)에 상태신호(180)가 1이 상태로 입력되는 것으로, 액티브로 되어 있는 칩 선택신호(186)가 논액티브로 되고, 출력단자(62-2)로부터 출력되어, 외부 접속소자(220)가 비활

성상태가 된다. 이것에 의해, 외부 접속소자(220)내에서 전류는 소비되지 않아 시스템 전체의 정전력화를 도모할 수 있다.

T13의 사이클에서는 모드설정신호(182)는 모드 1로 설정된다. 그리고, (/WR191)과 칩 선택신호(187)가 출력되고, 입출력포트용 출력 레지스터(18)의 제2데이터신호(194)가 입출력단자(140)를 통해 출력되어, 해당하는 외부 접속소자(230), 예를들면 RAM의 어드레스 신호(27)에 의해 특정된 어드레스에 기입된다.

여기에서, 스탠바이상태 설정수단(40)으로부터 출력되는 상태신호(180)가 1이 되어, CPU가 스탠바이상태가 된다. 이것에 의해, 제2제어수단(80)에 상태신호(180)가 1의 상태로 입력되는 것으로, 액티브로 되어 있는 칩 선택신호(187)가 논액티브로 되고, 출력단자(62-3)로부터 출력되어, 외부 접속소자(230)가 비활성상태가 된다. 이것에 의해, 외부 접속소자(230)내에서 전류는 소비되지 않아 시스템 전체의 정전력화를 도모할 수 있다. 상기와 같이 본 실시예 1에 의하면 이하의 효과를 가진다.

(1) 제2제어수단에 의해, 싱글 칩 마이크로컴퓨터가 스탠바이상태일 때는 칩 선택신호가 반드시 논액티브 상태가 된다. 이 때문에, 외부 접속소자를 디스이네블로 하여 내부에 전류가 흐르지 않아 시스템의 소비전력을 감소시킬수 있고, 전지구동 등을 필요로 하는 휴대기기 등에 응용할 수 있다.

(2) 싱글 칩 마이크로컴퓨터 내부의 메모리에 격납된 프로그램 명령을 실행하고 있는 경우라도, 외부 접속소자에 격납된 프로그램 명령을 실행하고 있는 경우라도, 스탠바이일 때에는 외부 접속소자를 디스이네블로 할 수 있다. 이 때문에, 시스템 전체의 소비전류를 작게 할 수 있다. 따라서, 전지구동을 필요로 하는 휴대기기 등에 응용한 경우, 전지수명의 장기화, 전지 개수의 삭감 등에 의한 전자기기의 소형화가 가능해진다.

또한, 외부 접속소자에 프로그램 명령을 격납해두고 이 프로그램 명령에 근거하여 제어할 수 있는 것으로부터, 내부 메모리내의 프로그램 명령으로 CPU의 제어를 분기시킬 필요도 없고, 소프트웨어의 오버헤드를 감소시킬수 있는 동시에 소프트웨어의 디버그의 간이화가 행해진다.

(3) 모드설정수단에 의해, 제1모드 및 제2모드중 어느 하나의 모드 설정신호를 설정하는 것으로, 어드레스 신호용 제1출력단자로부터는 어드레스 신호 또는 데이터신호가 적당히 선택되어 페치된다.

즉, 모드설정신호가 제1모드로 설정되어 있을 때에는 제1외부 접속소자에 대한 액세스가 가능하지만 제2모드로 설정되어 있을 때에는 외부 접속소자, 예를들면 RAM에 대한 액세스가 금지된다. 제2모드일 때에는 예를들면 키매트릭스에 데이터신호가 공급되어 데이터신호가 잘못하여 외부 접속소자, 예를들면 RAM에 공급되는 등의 오류동작이 방지된다. 이와 같이, 제1출력단자로 어드레스 신호와 데이터신호를 겸용하는 것으로, 단자수를 감소시켜 장치의 소형화를 도모할 수 있다.

(4) 제2모드시에는 제3제어수단에 의해 라이트신호, 리드신호의 출력을 저지할 수 있다. 이 때문에, 예를들면 키 매트릭스에 데이터신호를 출력할 때, 읽기, 기록동작은 발생되지 않는다. 그리고, 제1출력단자로부터 어드레스 신호가 출력될 때에만 읽기·기록을 행하는 것으로, 부정데이터를 외부 접속소자, 예를들면 RAM으로부터 읽어내거나, 외부 접속소자, 예를들면 RAM에 기입하거나 하는 일은 없다. 또한, 제1모드시에는 제3출력단자로부터 리드신호, 라이트신호를 출력하는 것으로, 외부 접속소자, 예를들면 RAM으로의 읽기, 기록을 입출력단자를 통해 행할수 있다.

(5) 제1게이트수단으로 모드설정신호에 영향을 주는 게이트 제어신호를 제어하는 것으로, 리드신호의 출력을 조정할 수 있다. 즉, 제1모드시에 리드신호를 출력시켜 제1외부 접속소자로의 읽기가 행해지고, 제2모드시에 리드신호의 출력이 금지되어 읽기가 중지된다.

마찬가지로, 제2게이트수단에 의해 모드설정신호에 영향을 주는 게이트 제어신호를 제어에 의해 라이트신호의 출력을 조정할 수 있다. 즉, 제1 모드시에 라이트신호를 출력시켜 외부 접속소자, 예를들면 RAM으로의 기입이 행하여지고, 제2모드시에 라이트신호의 출력이 금지되어 기록이 중지된다.

(6) 게이트수단으로 어드레스 신호의 출력을 방지할 수 있어, 외부 접속소자, 예를들면 RAM으로의 액세스 등의 오류동작을 방지할 수 있다. 또한, 제2모드시에는 제1출력단자로부터 출력되는 데이터신호를, 예를들면 키매트릭스를 통해 입출력단자에 입력시킬수 있다.

(7) 제1게이트수단으로 외부 접속소자중 어느 하나가 선택된다. 그리고, 선택되면 상태신호에 근거하여 제2게이트수단으로 액티브로 되어 있는 칩 선택신호를 강제적으로 논, 액티브로 할 수 있다.

(8) 마이크로 명령 발생수단으로 발생되는 마이크로명령에 의해 스탠바이상태 설정신호를 액티브로 하고, 싱글 칩 마이크로컴퓨터 본체의 스탠바이 상태시에 칩 선택신호를 논액티브로 할 수 있다.

(9) 어드레스 신호용 단자와 데이터출력용 단자를 겸용했기 때문에, 전자수첩·전자사전 등에 응용되는 싱글 칩 마이크로컴퓨터의 출력 단자수를 적게 할 수 있고, IC 및 실장품(實裝品)의 비용감소 및 소형화가 도모되고, 완성품의 소형화, 박형화를 실현할 수 있어 전자수첩, 전자사전 등에 특히 유효하다.

이어서, 본 발명에 관계되는 실시예 2에 대해 제5도 및 제6도에 근거하여 설명한다. 또한, 실시예 1과 실질적으로 같은 구성요소에 관해서는 설명을 생략하고, 다른 부분에 대해 서술한다. 본 실시예 2는 실시예 1의 싱글 칩 마이크로컴퓨터(1)에 제1 외부 접속소자와, 제 2외부 접속소자와, 제 3외부 접속소자를 접속한 것이다. 제5도는 싱글 칩 마이크로컴퓨터를 사용한 전자기기의 구성을 나타내는 블럭도이다.

본예에서는 제1도의 싱글 칩 마이크로컴퓨터(1)에 제 1외부 접속소자로서의 스태틱 RAM(이하 SRAM)(210), 마스크 ROM(220) 등을 접속하고, 제 3외부 접속소자로서의 표시수단(230)을 접속하고, 제 2외부 접속소자로서의 키보드(240)를 접속한 예를 나타내고 있다.

이 싱글 칩 마이크로컴퓨터(200)는 프로그램 명령의 실행에 따라 SRAM(210), 마스크 ROM(220)중 어느 하나에 메모리 어드레스 신호를 공급하고, 제 2데이터신호의 리드·라이트 제어를 행하여, 표시수단(230)에 데이터신호, 예를들면 표시데이터신호를 공급하고, 데이터 표시 제어를 행하여 키보드(240)에 데이터신호, 예를들면 키 주사신호를 공급하여, 키 입력처리의 제어를 행하는 기능을 가진다.

싱글 칩 마이크로컴퓨터(200)와 각 외부 접속소자(210, 220, 230)는 데이터 입력단자(I/01~I/07), 기록제어신호(/WE(/WRITE)), 읽기제어신호(/READ), 칩 선택신호(/CE0, /CE1, /CE2), 메모리 어드레스 신호(A0~A16)등으로 연결되어 있다.

SRAM(210)은 1M비트(128K바이트)로 형성된다. 마스크 ROM(220)은 1M비트(128K바이트)로 형성된다. 또한, 마스크 ROM(220)에는 프로그램 명령도 격납되고, 마스크 ROM(220)에 격납된 프로그램 명령에 의해 HALT명령이 실행되면 싱글 칩 마이크로컴퓨터(200)는 스탠바이상태가 된다. 이 때, 외부 메모리 이네이블 신호인 /CE0신호, /CE1신호 및 /CE2신호의 전부가 논 · 액티브가 된다.

표시수단(230)은 LCD 드라이브(232), LCD 패널(234)을 포함하여 구성된다. 제5도로 나타낸 전자기기의 구성은 전자수첩이나 전자사전 등에 응용할 수 있고 LCD 드라이브(232)를 통해 싱글 칩 마이크로컴퓨터(200)는 소정의 표시데이터(192)를 LCD 패널(234)에 표시할수 있다. 또한, (192)는 LCD 드라이브(232)로부터 출력되어 LCD 패널(234)을 구동하기 위한 표시신호이다.

키 매트릭스로서의 키보드(240)는 싱글 칩 마이크로컴퓨터(200)의 출력단자(A0~A7)와 입력단자(IN0~IN7)에 의한 키 매트릭스로 구성되고, 제1출력단자(A0~A16)중 (A0~A7)로부터 출력되는 주사신호를 입력단자(IN0~IN7)에 입력하고 제1모드일 때, 키 매트릭스의 키 입력처리를 행하는 기능을 가진다.

키보드(240)에 연결되는 제1출력단자(A0~A7)는 어드레스 신호출력도 겸하고 있고, 상기 실시예 1로 설명한 바와 같이, 모드설정신호(182)에 의해 프로그램 명령에 따라 어드레스 신호 출력이 되거나, 키 입력판정을 위한 키 스캔 출력신호가 되거나 한다. 또한, 제1출력단자(A8~A16)는 어드레스신호와 데이터신호가 겸용되는 단자인데, 키 매트릭스에는 접속되어 있지 않기 때문에, 키 입력용 주사신호는 출력되지 않고, 대신에 다른 입출력단자(I/00~I/07)로 출력되는 제2데이터신호, 예를들면 내부에서 연산처치된 연산결과 등의 출력을 입출력단자(I/00~I/07)와 겸용하여 사용해도 된다. 상기의 경우, 내부의 출력 레지스터(17)에는 제2데이터신호로서의 연산결과 등을 격납하는 레지스터와 키 입력 조작용 주사신호의 데이터신호를 격납하는 레지스터의 쌍방의 기능을 갖게 해도 된다.

출력단자(A0~A7)가 키 스캔 출력신호일 때, 칩 선택신호((/CE0), (/CE1), (/CE2))의 전부가 논액티브가 되기 때문에, 부정데이터를 SRAM(210), 마스크 ROM(220)으로부터 읽어내거나, SRAM(210)로 기입하거니 하는 경우는 없다.

이어서 동작을 설명한다.

싱글 칩 마이크로컴퓨터(200)가 외부 접속소자를 액세스하고 있을 때에는 모드설정신호가 1이 되어, 어드레스 신호(A0~A16)용 단자에는 어드레스 신호가 출력된다.

이때, 싱글 칩 마이크로컴퓨터(200)로부터 SRAM(210)에 대해 칩 선택신호(/CE0)가 출력되어 있고, SRAM(210)는 액세스 가능한 상태에 있다. 여기에서 액티브로 되어 있는 칩 선택신호를 논액티브로 한다. 또한, 제6도으로 나타낸 바와 같이, 어떤 사이클 Tn 사이에 모드(1), 모드(0)를 주기적으로 절환하고, 또한 상태신호를 1로 설정하도록 해도 된다. 이것에 의해, 액티브로 되어 있는 임의의 칩 선택신호를 논액티브로 하는 것으로, 예를들면 외부 접속소자가 RAM 등인 경우, 내장되는 센스 증폭기등에 전류가 흐르지 않아 소비전력을 감소시킬수 있다.

이어서, 키보드(240)의 입력데이터를 싱글 칩 마이크로컴퓨터가 패치하는 경우에는 모드설정신호를 0으로 한다.

그리고, 제1도의 산술논리 연산유닛(21)에 의해 출력 레지스터(17)에 키 스캔하기 위한 데이터를 기록하고, 출력 레지스터(17)의 데이터를 어드레스 신호(A0~A7)용 단자에 출력하여 스캔하고, 입력단자(IN0~IN7)를 통해 키 데이터를 순차 읽는다. 이 때, 라이트 제어신호(/WE), 리드제어 신호(/RE), 칩 선택신호(/CE0, /CE1, /CE2)는 논액티브로 되어 있어, SRAM(210), 마스크 ROM(220) 등에 대한 액세스는 금지된다.

그런데, 통상의 응용에서는, SRAM(210), 마스크 ROM(220)등을 액세스하는 시간은 짧지만, 인간이 키를 누르는 시간은 싱글 칩 마이크로컴퓨터(200)의 처리능력 상에서는 충분히 길다. 이 때문에, 모드 설정신호를 1 또는 0으로 주기적으로 절환하여 메모리 액세스와 키처리를 병렬처리를 하더라도, 실용상 전혀 문제없이 실현할 수 있다.

여기에서, 예를들면 전자 전화번호부 등을 예로들어 설명하면, 전자 전화번호부의 전원을 ON 했을 때에는 키 입력의 입력 대기상태로 되어 있어 모드설정 레지스터는 0으로 설정되어 있고, (A0~A7)은 키 스캔용 출력데이터가 출력되어 있다. 그리고, 프로그램 명령에 의해 키 입력처리가 가능하게 되어 있다.

여기에서, 예를들면 키 입력에 의해 인명(人名)등을 입력하면, 프로그램은 인명에 대응하고 전화번호의 검색처리로 들어간다. 이 때에는 전화번호가 격납되어 있는 SRAM(210) 등을 액세스하기 위해, 모드설정 레지스터는 1로 리라이팅될 필요가 있다.

그리고, 모드설정이 모드 1로 설정되면 SRAM(210)등에 대한 액세스가 가능하게 되어 데이터의 검색 이외에 등록처리, 소트 등의 처리를 할 수 있다.

여기에서, 사람의 손에 의한 키 입력은 통상 30msec~50msec로 1회 샘플링하면 되기 때문에, 이 처리중에는 SRAM(210)등의 데이터를 처리하고 있는 경우라도 30msec~50msec 마다 모드설정을 0으로 절환하여 키 입력처리를 하는 것으로, 키 입력을 빠뜨리고 읽는 일 없이 처리를 계속할 수 있다.

또한, 이러한 샘플링, 키처리는, 통상 마이크로컴퓨터에 내장되어 있는 타이머 인터럽트 기능을 사용하면 용이하게 실현할수 있다.

상기와 같이, 본 실시예 2에 의하면 이하의 효과를 가진다.

(1) 제1외부 접속소자를 액세스하는 시간은 짧지만, 예를들면 제2외부 접속소자의 조작, 예를들면 인간이 키를 누르는 시간은 싱글 칩 마이크로컴퓨터의 처리능력 상에서는 충분히 길다. 이 때문에, 제1외부 접속

소자의 데이터 신호를 처리하고 있는 경우라도 제2모드로 하여 제2외부 접속소자의 입력처리를 할 수 있다. 따라서, 모드설정신호를 제1모드와 제2모드로 교대로 주기적으로 절환하여 제1외부 접속소자의 액세스와 제2외부 접속소자의 처리를 병렬처리를 하더라도, 실용상 전혀 문제없이 실현할수 있다.

(2) 키주사신호의 출력에 의해 키 매트릭스를 주사하여, 키 입력을 입출력단자를 통해 패치하는 것으로 키 매트릭스가 가동상태가 된다. 이것을 제2모드 시에 행하는 것으로 내부에 데이터입력을 행할수 있다.

(3) 외부 메모리를 액세스하는 시간은 짧지만, 인간이 키를 누르는 시간은 싱글 칩 마이크로컴퓨터의 처리능력 상에서는 충분히 길다. 이 때문에, 모드설정신호를 제1모드와 제2모드로 주기적으로 절환하여 메모리 액세스와 키처리를 병렬처리를 하더라도, 실용상 전혀 문제없이 실현할수 있다.

즉, 제2모드로 설정되면, 제1출력단자로부터 데이터신호가 출력한다. 이 데이터신호에 의해 키 매트릭스를 주사하여, 키 입력을 입력용 단자를 통해 패치함으로써 키 매트릭스가 가동상태가 된다.

제2모드로 프로그램 명령에 의해 키 입력처리가 이루어진 후에는 외부 메모리에 격납되어있는 메모리 데이터 신호등의 검색처리로 들어가고 모드설정수단은 제1모드로 설정된다. 그리고, 모드설정수단이 제1모드로 설정되면 외부 메모리에 대한 액세스가 가능해진다. 이때, 키 매트릭스로부터의 입력데이터를 받을 수는 없지만, 사람의 손에 의한 입력은 통상 30msec~50msec로 1회 샘플링하면 입력을 잘못 받는 일은 없다. 따라서, 외부 메모리의 제2데이터신호를 입출력단자를 통해 처리하고 있는 경우라도 30msec~50msec마다 모드설정수단을 제2모드로 하여 키 입력처리를 함으로써 키 입력을 빠뜨리고 읽는 일 없이 처리를 계속할 수 있다.

(4) 상기의 싱글 칩 마이크로컴퓨터를 내장하고 있어 저소비 전력화를 도모할 수 있다. 또한, 제1외부 접속소자를 기억수단으로 하는 것으로, 프로그램 명령을 격납할 수 있고, 소프트웨어의 오버헤드를 감소시킬수 있다.

(5) 표시수단을 접속하는 것으로, 싱글 칩 마이크로컴퓨터 내부에서의 연산결과, 연산처리 등을 표시할수 있다.

(6) 표시 드라이브 내에 어드레스 신호에 근거하여 표시패널의 각 위치를 지정하는 수단을 내장해두는 것으로, 표시패널에 표시되는 표시 데이터신호등의 지정을 칩 선택신호, 어드레스 신호 등에 근거하여 지정할 수 있다. 이것에 의해, 표시 데이터 신호 등을 표시패널 상에 문자, 도형 등으로서 표시할수 있다.

(7) 키보드 이외에 다이아라 IC등의 다른 IC을 접속하는 경우에서도, 종래의 어드레스 출력으로 밖에 사용하지 않았던 출력단자를 다이아라 IC 등의 제어에 사용할 수 있기 때문에, 보다 복잡한 시스템구성일수록 본 발명을 적용함으로써 그 효과는 현저해진다.

또한, 본 발명에 관련된 장치와 방법은 그 몇개의 특정한 실시예에 따라 설명했는데, 당업자는 본 발명의 주지 및 범위에서 일탈하지 않고 본 발명의 본문에 기술한 실시예에 대해 여러가지의 변형을 할 수 있다. 예를들면, 상기 실시예 2에 있어서, 외부 접속소자로서 SRAM, ROM, 표시수단 등 접속한 구성을 예시했는데 이것에 한정되지 않고, 제7도로 나타내는 바와 같이, 싱글 칩 마이크로컴퓨터(300)에 접속되는 외부 접속소자로 하여 모두 기억수단(310, 320, 330)을 형성해도 된다. 또한, 제7도에서는 키 매트릭스(340)를 실시예 2와 같이 입력단자에 설치하지 않고, 입출력단자(I/0 0~I/0 7)에 설치한 구성으로 하고 있다.

또한, 도 8로 나타내는 바와 같이, 싱글 칩 마이크로컴퓨터(400)에 접속되는 제1외부 접속소자로서 1개의 SRAM(410)만을 접속하는 구성으로 해도 된다. 이 제8도의 예에서는 칩 선택신호를 1개의 SRAM(410)에 대해 2개 출력할 수 있는 구성으로 하고 있다.

또한, 상기한 각 실시예 1,2에서는, 메모리 공간을 4분할하여 그 중 1개를 내부 메모리, 나머지 3개를 외부 메모리로 했는데, 이것에 한정되지 않고 다른 내부 메모리를 2 혹은 3으로 하고, 외부 메모리를 1개로 해도 된다. 또한, 외부 메모리 1개에 대해 외부 메모리공간을 1개 형성하고 구성으로 했는데, 이것에 한정되지 않고 외부 메모리 1개에 대해 외부 메모리 공간을 복수개 형성하는 구성이어도 된다.

그리고 또한, 메모리공간을 4분할로 했는데, 이것에 한정되지 않고 2개(단, n은 1이상의 자연수)로 분할해도 된다. 이 경우, 분할된 각 메모리 공간을 지정하는 것은 어드레스 신호의 상위 n 비트에 근거하여 판정하면 된다. 이때, 제1출력단자는 mn이 되는 m개 형성할 필요가 있다. 또한, SRAM을 64K비트(8K바이트)의 구성으로 해도 된다.

더욱이, 1머신 사이클이 4클럭으로 구성된 것을 예로들어 설명했는데, 1머신 사이클이 2클럭, 6클럭 등 몇개라도 된다. 또한, 표시 드라이버로의 표시 데이터 신호의 입출력을 입출력 포트를 통해 행해도 된다.

또한, 본 발명의 싱글 칩 마이크로컴퓨터에 제1, 제2, 제3외부 접속소자중 어느 하나 혹은 모두를 접속한 전자기기로서 전자계산기, 휴대전화, 워드프로세서, 전자수첩, 전자사전 등에 응용할 수 있다.

[발명의 효과]

(57) 청구의 범위

청구항 1

칩 선택신호에 의해 택일적으로 선택되는 복수의 외부 접속소자가 접속되어 프로그램 명령을 실행하는 싱글 칩 마이크로컴퓨터에 있어서, 상기 복수의 외부 접속소자중 어느 하나를 선택하는 칩 선택신호를 액티브로 하여 출력하는 칩 선택신호 출력단자와; 상기 프로그램 명령의 실행을 일시 정지시켜 스탠바이상태로 설정하는 스탠바이상태 설정신호를 출력하는 스탠바이상태 설정수단; 및 상기 스탠바이상태 설정수단으로부터의 상기 스탠바이상태 설정신호에 근거하여 스탠바이상태로 설정되어 있는 기간에 액티브로 되어 있는 상기 칩 선택신호를 논액티브로 변경제어하는 제어수단을 포함하는 것을 특징으로 하는 싱글 칩 마이크로컴퓨터.

청구항 2

제1항에 있어서, 상기 복수의 외부 접속소자는 복수의 외부 메모리로 구성되고, 상기 복수의 외부 메모리에 공급되는 메모리 어드레스신호를 출력하는 메모리 어드레스신호 출력단자; 및 상기 메모리 어드레스신호 출력단자로부터의 상기 메모리 어드레스 신호에 따라 선택된 상기 외부 메모리 사이에서 메모리 데이터 신호가 입출력되는 입출력단자를 또한 구비한 것을 특징으로 하는 싱글 칩 마이크로컴퓨터.

청구항 3

복수의 제1외부 접속소자와 적어도 하나의 제2외부 접속소자가 접속되고, 프로그램 명령의 실행에 따라 칩 선택신호에 의해 선택된 상기 복수의 제1외부 접속소자중 어느 하나에 어드레스 신호를 공급하고, 상기 제2외부 접속소자에 데이터신호를 공급하는 싱글 칩 마이크로컴퓨터에 있어서, 상기 어드레스신호 및 상기 데이터신호중 어느 한쪽을 택일적으로 출력하는 제1출력단자와; 어느 하나의 상기 제1외부 접속소자를 선택하는 칩 선택신호를 액티브로 하여 출력하는 제2출력단자와; 스탠바이상태 설정신호를 출력하는 것으로, 상기 프로그램 명령의 실행을 일시 정지시켜 스탠바이상태로 설정하는 스탠바이상태 설정수단과; 모드설정신호를 출력하는 것으로, 상기 제1출력단자로부터 상기 어드레스 신호를 출력시키는 제1모드 및 상기 제1출력단자로부터 상기 데이터 신호를 출력시키는 제2모드중 어느 한쪽의 모드를 설정하는 모드설정수단과; 상기 모드설정수단으로부터의 상기 모드설정신호에 근거하여 상기 제1출력단자로부터 상기 어드레스신호 및 상기 데이터신호의 한쪽을 출력제어하는 제1제어수단; 및 상기 스탠바이상태 설정수단으로부터의 상기 스탠바이상태 설정신호에 근거하여 스탠바이상태로 설정되어 있는 기간에 상기 제2출력단자로부터 출력되고 있는 상기 칩 선택신호를 논액티브로 변경제어하는 제2제어수단을 포함하는 것을 특징으로 하는 싱글 칩 마이크로컴퓨터.

청구항 4

제3항에 있어서, 상기 제2제어수단은, 상기 어드레스 신호의 상위 비트와 상기 모드설정신호에 근거하여, 상기 제1모드시에 상기 칩 선택신호를 액티브로 하여 출력하는 제1게이트수단; 및 상기 제1게이트수단의 출력을 입력하고, 상기 스탠바이상태 설정신호에 근거하여 스탠바이상태로 설정되어 있는 기간에 액티브로 되어 있는 상기 칩 선택신호를 논액티브로 하여 출력하는 제2게이트수단를 포함하는 것을 특징으로 하는 싱글 칩 마이크로컴퓨터.

청구항 5

제3항에 있어서, 상기 모드설정수단은 상기 제1모드와 상기 제1모드를 교대로 주기적으로 설정하는 것을 특징으로 하는 싱글 칩 마이크로컴퓨터.

청구항 6

제5항에 있어서, 상기 적어도 하나의 제2외부 접속소자는 키 매트릭스를 포함하고, 상기 키 매트릭스는 상기 제2모드시에 상기 제1출력단자로부터 출력되는 상기 데이터신호에 근거하여 키 입력처리를 행하는 것을 특징으로 하는 싱글 칩 마이크로컴퓨터.

청구항 7

제3항 내지 제6항중 어느 한항에 있어서, 상기 제1외부 접속소자의 적어도 하나는 외부 메모리로 구성되고, 상기 제 1출력단자로부터 출력되는 상기 어드레스 신호에 따라, 선택된 상기 외부 메모리 사이에서 메모리 데이터 신호가 입출력되는 입출력단자를 또한 구비하는 것을 특징으로 하는 싱글 칩 마이크로컴퓨터.

청구항 8

제7항에 있어서, 상기 모드설정신호에 의해 제1모드가 설정되었을 때, 상기 제1외부 접속소자로의 리드/라이트신호를 출력하는 제3출력단자; 및 상기 모드설정신호에 의해 제2모드가 설정되었을 때, 상기 제3출력단자로부터 출력되는 상기 리드/라이트신호의 출력을 저지하도록 제어하는 제3 제어수단을 구비하는 것을 특징으로 하는 싱글 칩 마이크로컴퓨터.

청구항 9

제8항에 있어서, 상기 제3출력단자는 상기 모드설정신호에 의해 제1모드가 설정되었을 때, 상기 제1외부 접속소자로의 리드신호를 출력하는 제4출력단자; 및 상기 모드설정신호에 의해 제1모드가 설정되었을 때, 상기 제1외부 접속소자로의 라이트신호를 출력하는 제5출력단자를 가지며, 상기 제2제어수단은 상기 모드설정신호에 근거하여 상기 제2모드시에, 상기 제4출력단자로부터 출력하는 상기 리드신호 및 상기 제5출력단자로부터 출력하는 상기 라이트신호중 어느 한쪽의 신호의 출력을 저지하는 게이트 제어신호를 발생하는 게이트 제어신호 발생수단을 또한 가지며, 상기 제3제어수단은, 상기 게이트 제어신호에 근거하여 상기 제4출력단자로부터 출력되는 상기 리드 신호를 출력을 저지하는 제1 게이트수단; 및 상기 게이트 제어신호에 근거하여 상기 제5출력단자로부터 출력되는 상기 라이트신호를 출력을 저지하는 제2게이트수단를 포함하는 것을 특징으로 하는 싱글 칩 마이크로컴퓨터.

청구항 10

제3항에 있어서, 상기 프로그램 명령에 근거하여 마이크로 명령을 순차 출력하는 마이크로 명령 발생수단을 가지며, 상기 스탠바이상태 설정수단은 상기 마이크로명령에 근거하여 상기 스탠바이상태 설정신호를 발생하는 신호발생수단을 포함하는 것을 특징으로 하는 싱글 칩 마이크로컴퓨터.

청구항 11

적어도 하나의 외부 메모리와, 적어도 하나의 키 매트릭스와, 적어도 하나의 표시수단이 접속되고, 프로

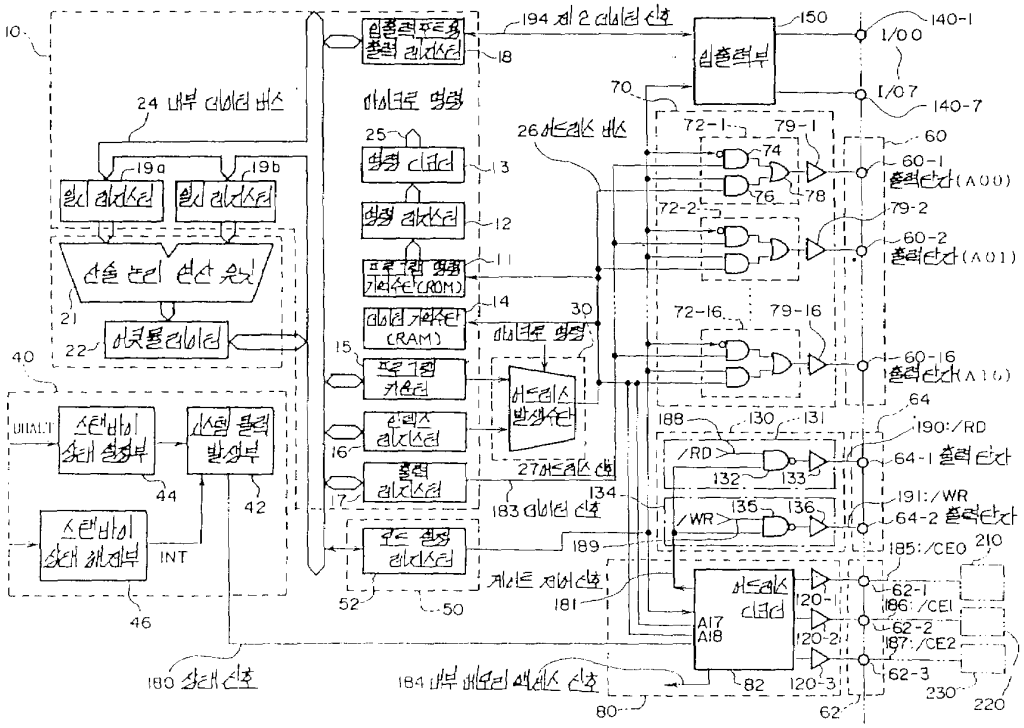
그램 명령의 실행에 따라 상기 적어도 하나의 외부 메모리에 메모리 어드레스신호를 공급하여 메모리 데이터 신호의 리드·라이트의 제어를 행하고, 상기 적어도 하나의 키 매트릭스에 키 주사신호를 공급하여 키 입력처리의 제어를 행하고, 상기 적어도 하나의 표시수단에 표시데이터신호를 공급하여 데이터 표시 제어를 행하는 싱글 칩 마이크로컴퓨터에 있어서, 상기 메모리 어드레스신호, 상기 키 주사신호 및 상기 표시데이터신호중 어느 한쪽을 택일적으로 출력하는 제1출력단자와; 상기 적어도 하나의 외부 메모리 사이에서 상기 메모리 데이터신호의 입출력을 행하는 입출력단자와; 상기 제1출력단자로부터 출력되는 상기 키 주사신호 및 상기 표시신호중 어느 한쪽을 격납하는 출력 레지스터와; 상기 입출력단자로부터 입출력되는 상기 메모리 데이터신호를 격납하는 입출력 레지스터와; 상기 메모리 어드레스 신호를 발생하는 어드레스 발생수단과; 상기 적어도 하나의 외부 메모리 및 상기 적어도 하나의 표시수단중 어느 하나를 선택하는 칩 선택신호를 액티브로 하여 출력하는 제2출력단자와; 스탠바이상태 설정신호를 출력하는 것으로, 상기 프로그램 명령의 실행을 일시 정지시켜 스탠바이상태로 설정하는 스탠바이상태 설정수단과; 모드설정신호를 출력하는 것으로, 상기 제1출력단자로부터 상기 메모리 어드레스신호를 출력시키는 제1모드와, 상기 제1출력단자로부터 상기 키 주사신호 및 상기 표시신호의 한쪽을 출력시키는 제2모드중 어느 한쪽의 모드를 설정하는 모드설정수단과; 상기 모드설정신호에 근거하여 상기 제1모드에서는 상기 어드레스 발생수단으로 발생된 상기 메모리 어드레스신호를 상기 제1출력단자로부터 출력제어하고, 상기 제2모드에서는 상기 출력 레지스터에 격납되어 있는 상기 키 주사신호 및 표시신호중 어느 하나를 상기 제1출력단자로부터 출력제어하는 제1제어수단; 및 상기 스탠바이상태 설정수단으로부터의 상기 스탠바이상태 설정신호에 근거하여 스탠바이상태로 설정되어 있는 기간에, 상기 제2출력단자로부터 출력되어 있는 상기 칩 선택신호를 논액티브로 변경제어하는 제2제어수단를 포함하는 것을 특징으로 하는 싱글 칩 마이크로컴퓨터.

청구항 12

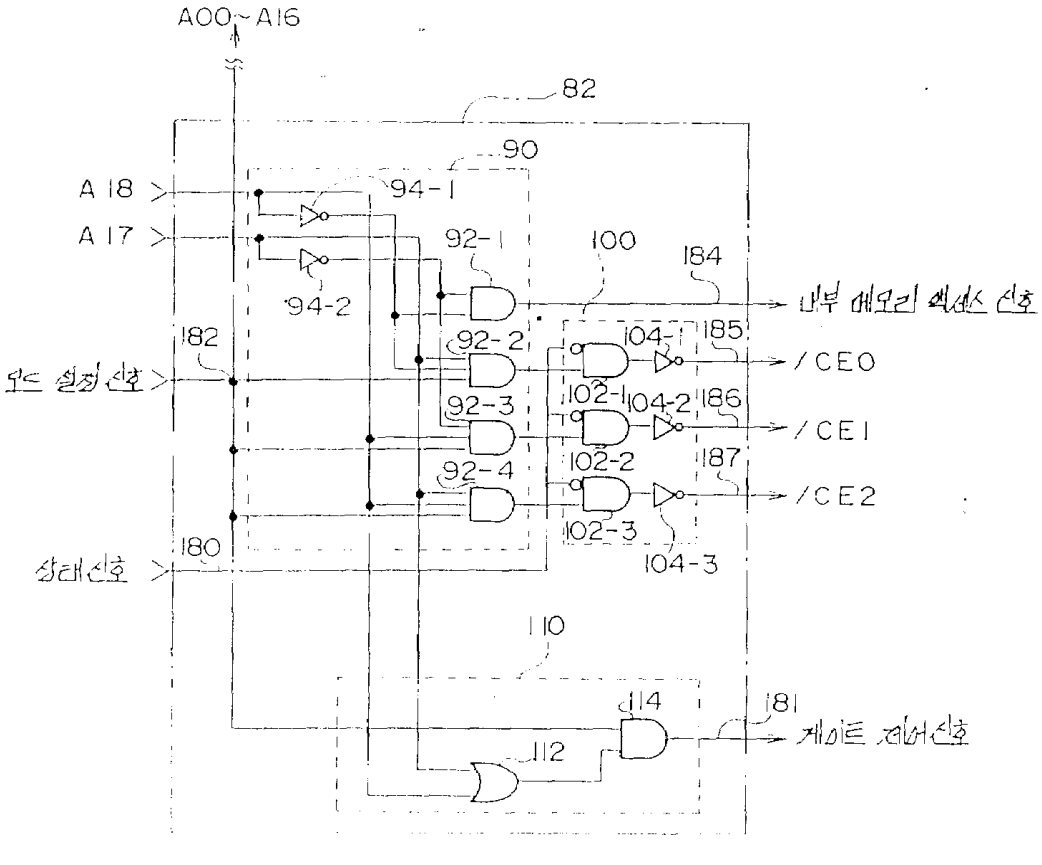
제1항, 제3항 또는 제11항에 기재된 싱글 칩 마이크로컴퓨터를 포함하는 전자기기.

도면

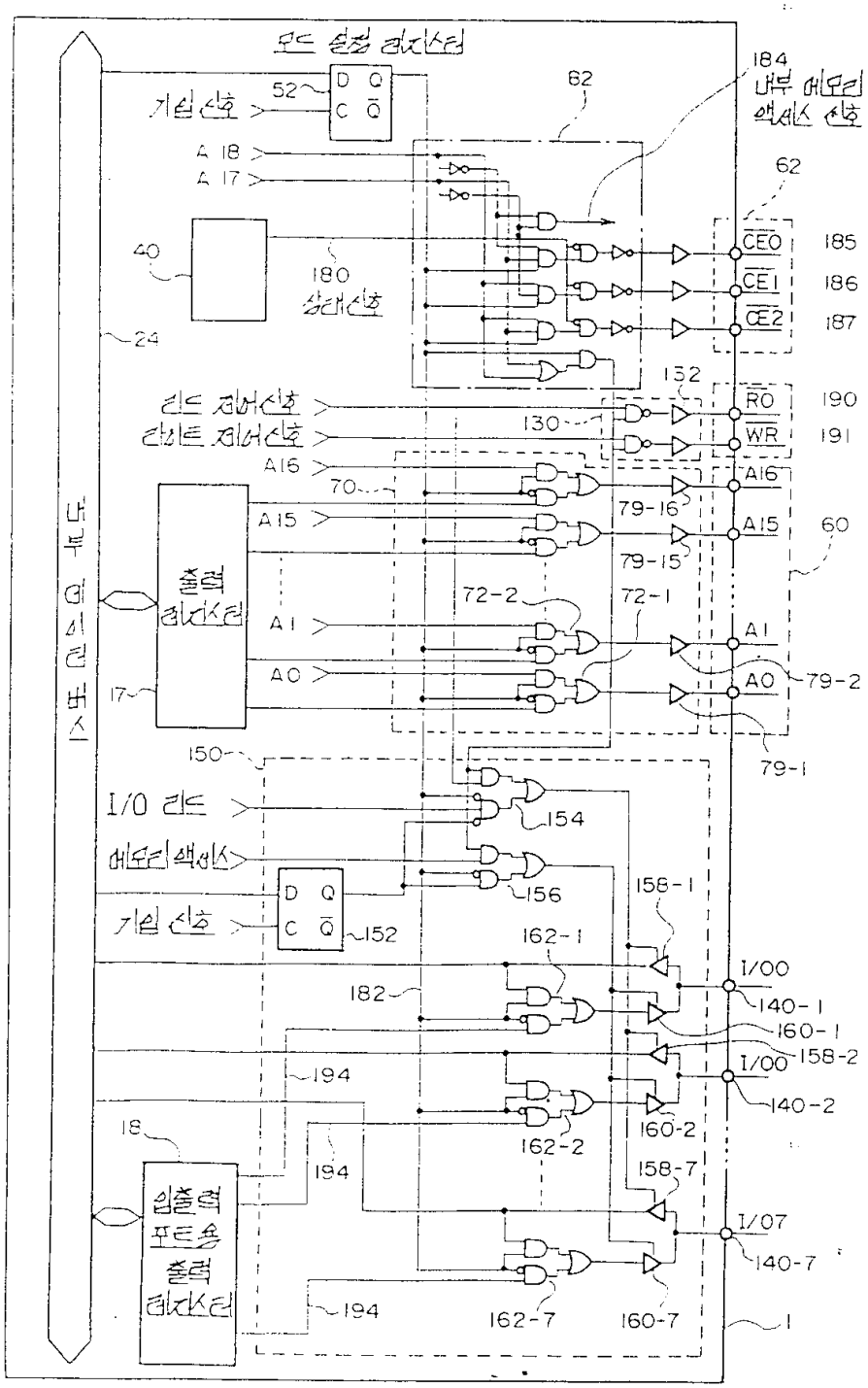
도면1



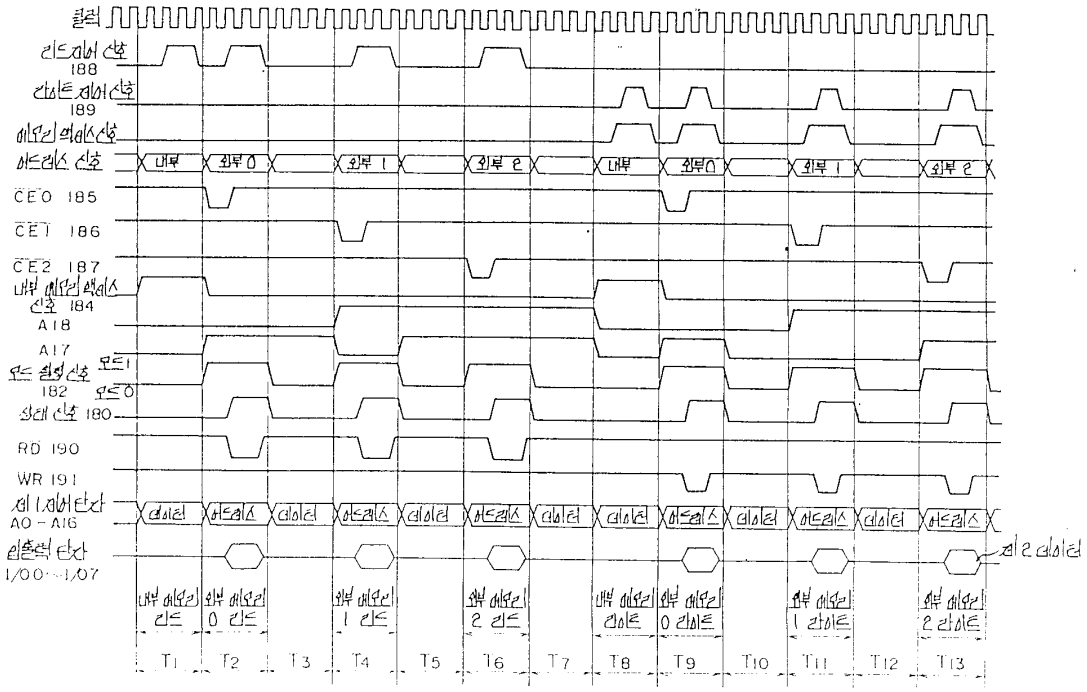
도면2


A00~A16
82
90
A18
A17
94-1
94-2
92-1
92-2
92-3
92-4
100
184
내부 메모리 액세스 신호
182
모드 설정 신호
104-1
185
/CE0
102-1
104-2
186
/CE1
102-2
187
/CE2
102-3
104-3
180
상태신호
110
114
181
게이트 제어신호
112

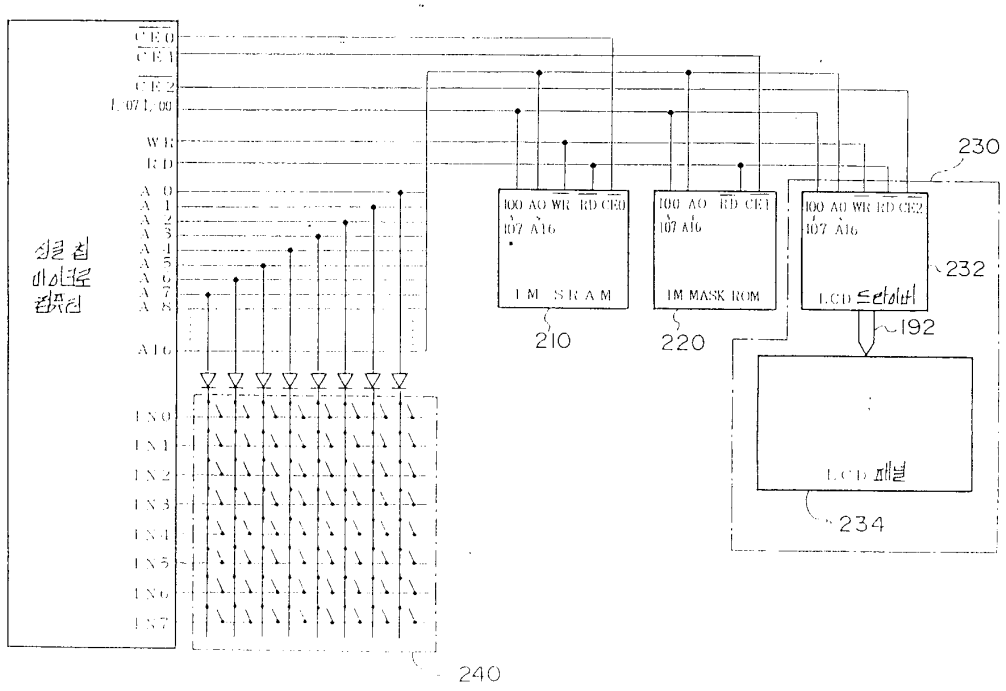
도면3


모드 설정 레지스터
52
D Q
C Q
기입 신호
62
184
내부 메모리 액세스 신호
A 18
A 17
62
40
180
상태신호
24
CE0
CE1
CE2
185
186
187
152
리드 제어신호
라이트 제어신호
130
RO
WR
190
191
A16
70
79-16
A15
79-15
60
출력 레지스터
72-2
72-1
A1
A0
79-2
17
79-1
150
I/O 리드
154
메모리 액세스
156
D Q
C Q
기입 신호
152
158-1
162-1
I/00
182
140-1
160-1
158-2
194
I/00
140-2
160-2
162-2
18
158-7
I/07
입출력 포트용 출력 레지스터
194
140-7
162-7
160-7
194
1
내부 데이터 버스

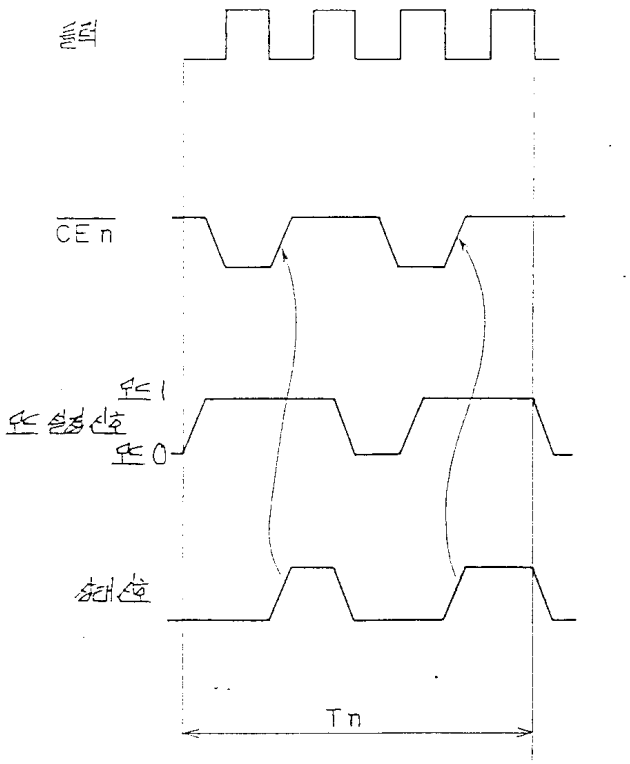
도면4


클럭
리드제어 신호 188
라이트제어신호 189
레지스터선택신호
어드레스 신호
CE0 185
CE1 186
CE2 187
내부 메모리 액세스 신호 184
A18
A17
모드 설정신호 182
모드0
상태 신호 180
RD 190
WR 191
제1데이터단자 A0 - A16
입출력 단자 I/O0 - I/O7
내부
외부 0
외부 1
외부 2
데이터
어드레스
제2데이터
내부 메모리 리드
외부 메모리 0 리드
외부 메모리 1 리드
외부 메모리 2 리드
내부 메모리 라이트
외부 메모리 0 라이트
외부 메모리 1 라이트
외부 메모리 2 라이트
T1 T2 T3 T4 T5 T6 T7 T8 T9 T10 T11 T12 T13

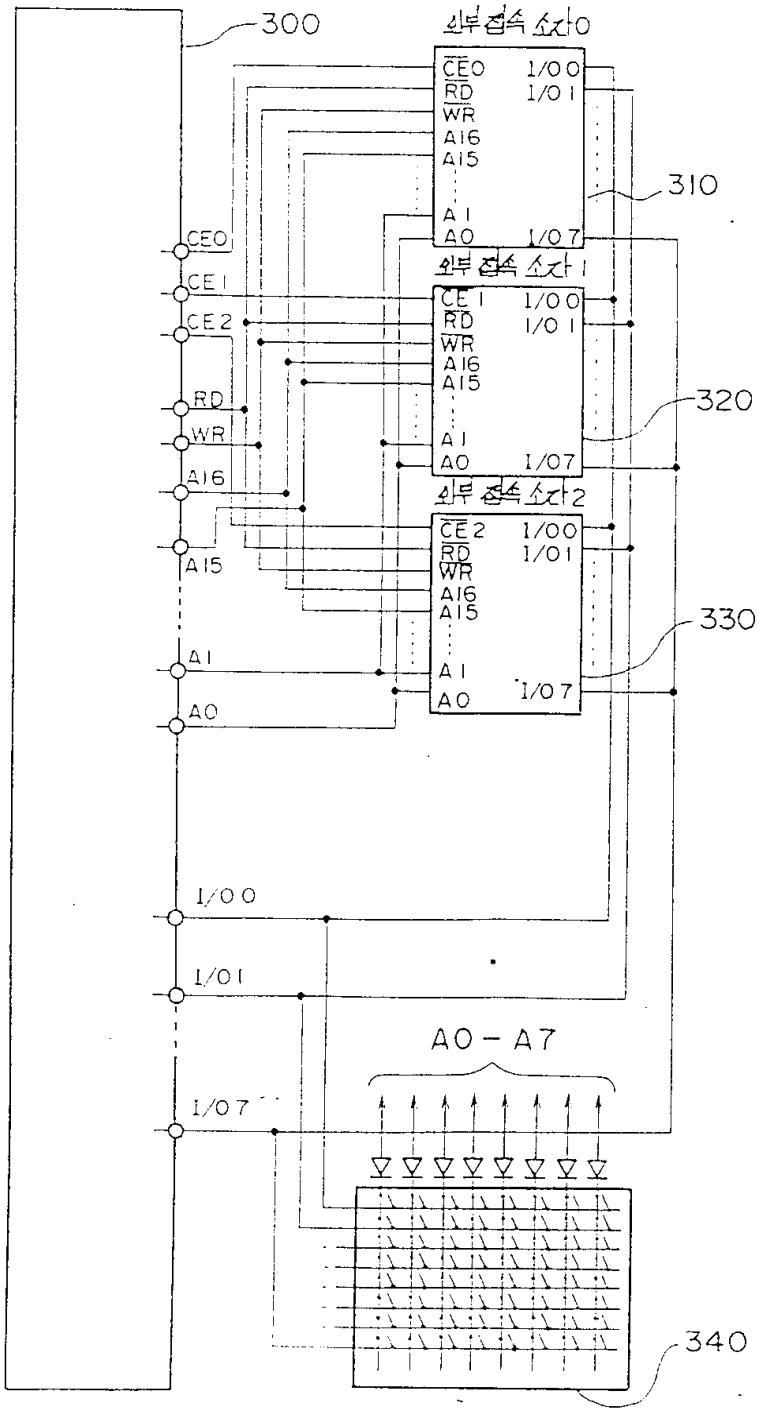
도면5


싱글 칩 마이크로 컴퓨터
CE0
CE1
CE2
I/O7, I/O0
WR
RD
A0
A1
A2
A3
A4
A5
A6
A7
A16
IN0
IN1
IN2
IN3
IN4
IN5
IN6
IN7
I/O0 A0 WR RD CE0
I/O7 A16
I M S R A M
210
I/O0 A0 RD CE1
I/O7 A16
IM MASK ROM
220
I/O0 A0 WR RD CE2
I/O7 A16
LCD 드라이버
232
192
LCD 패널
234
230
240

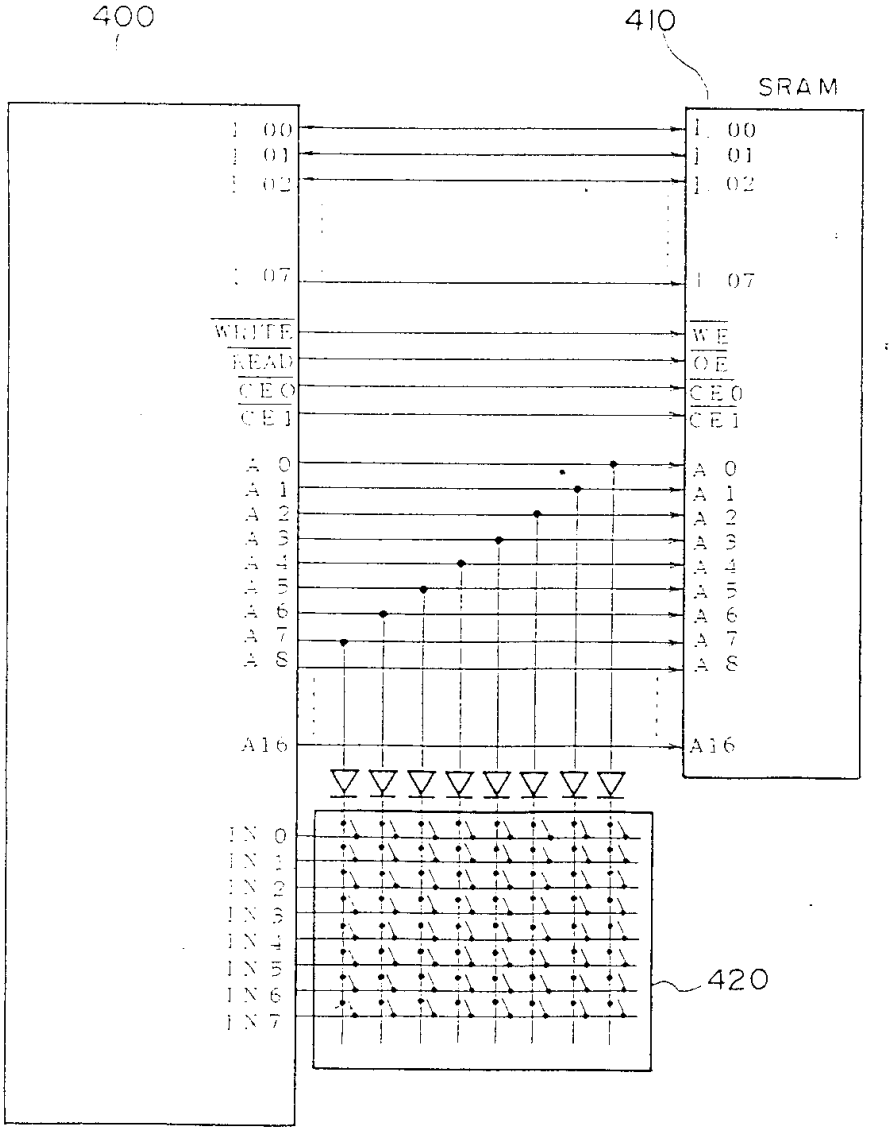
도면6



도면7


300
외부 접속 소자 0
CE0
RD
WR
A16
A15
A1
A0
I/O0
I/O1
I/O7
310
외부 접속 소자 1
320
외부 접속 소자 2
330
CE0
CE1
CE2
RD
WR
A16
A15
A1
A0
I/O0
I/O1
I/O7
A0 - A7
340

도면8


400
410
SRAM
I 00
I 01
I 02
I 07
WRITE
READ
CE0
CE1
A 0
A 1
A 2
A 3
A 4
A 5
A 6
A 7
A 8
A16
IN 0
IN 1
IN 2
IN 3
IN 4
IN 5
IN 6
IN 7
420