

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
30. Oktober 2014 (30.10.2014)



(10) Internationale Veröffentlichungsnummer
WO 2014/173590 A1

(51) Internationale Patentklassifikation:

H01L 33/00 (2010.01) *B23K 26/40* (2014.01)

H01S 5/02 (2006.01) *H01L 33/32* (2010.01)

B23K 26/00 (2014.01)

(21) Internationales Aktenzeichen: PCT/EP2014/055528

(22) Internationales Anmeldedatum:
19. März 2014 (19.03.2014)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102013104270.8 26. April 2013 (26.04.2013) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS
GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **PLÖSSL, Andreas**; Johann-Igl-Weg 24, 93051
Regensburg (DE).

(74) Anwalt: **EPPING HERMANN FISCHER
PATENTANWALTSGESELLSCHAFT
MBH**;
Schloßschmidstr. 5, 80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,
BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP,
KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ,
TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ,
RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE,
SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

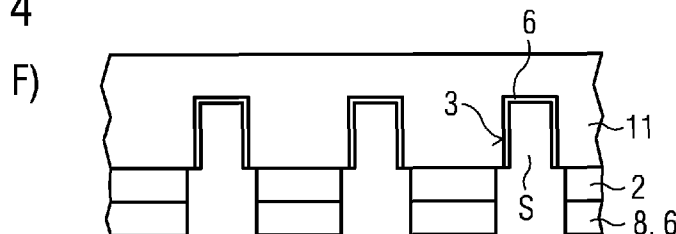
Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)

(54) Title: METHOD FOR PRODUCING AN OPTOELECTRONIC SEMICONDUCTOR CHIP, AND OPTOELECTRONIC
SEMICONDUCTOR CHIP

(54) Bezeichnung : VERFAHREN ZUR HERSTELLUNG EINES OPTOELEKTRONISCHEN HALBLEITERCHIPS UND
OPTOELEKTRONISCHER HALBLEITERCHIP

FIG 4



(57) Abstract: In at least one embodiment, the method is designed for producing optoelectronic semiconductor chips (10) and comprises the following steps: A) providing a carrier assemblage (11), which is a sapphire wafer, B) applying a semiconductor layer sequence (2) to the carrier assemblage (11), and C) dividing the carrier assemblage (11) and the semiconductor layer sequence (2) to form the individual semiconductor chips (10). Step C) here comprises: D) producing in each case a multiplicity of selectively etchable material changes in the carrier assemblage (11) in separating regions (S) by means of a focused, pulsed laser radiation (L), wherein the laser radiation (L) has a wavelength at which the carrier assemblage (11) is transparent, and E) wet-chemically etching the material changes, such that the carrier assemblage (11) is singulated to form individual carriers (1) for the semiconductor chips (10) solely by means of the wet-chemical etching or in combination with a further material removal method.

(57) Zusammenfassung: In mindestens einer Ausführungsform ist das Verfahren zur Herstellung von optoelektronischen Halbleiterchips (10) eingerichtet und umfasst die Schritte: A) Bereitstellen eines Trägerverbunds (11), der ein Saphirwafer ist, B) Aufbringen einer Halbleiterschichtenfolge (2) auf den Trägerverbund (11), und C) Zerteilen des Trägerverbunds

[Fortsetzung auf der nächsten Seite]



(11) und der Halbleiterschichtenfolge (2) zu den einzelnen Halbleiterchips (10). Der Schritt C) umfasst hierbei: D) Erzeugen je einer Vielzahl von selektiv ätzbaren Materialveränderungen in dem Trägerverbund (11) in Trennbereichen(s) durch eine fokussierte, gepulste Laserstrahlung (L), wobei die Laserstrahlung (L) eine Wellenlänge aufweist, bei der der Trägerverbund (11) transparent ist, und E) nasschemisches Ätzen der Materialveränderungen, sodass der Trägerverbund (11) zu einzelnen Trägern (1) für die Halbleiterchips (2) alleine durch das nasschemisches Ätzen oder in Kombination mit einem weiteren Materialabtrageverfahren vereinzelt wird.

Beschreibung

Verfahren zur Herstellung eines optoelektronischen Halbleiterchips und optoelektronischer Halbleiterchip

5

Es wird ein Verfahren zur Herstellung eines optoelektronischen Halbleiterchips angegeben. Darüber hinaus wird ein entsprechend hergestellter Halbleiterchip angegeben.

- 10 Eine zu lösende Aufgabe besteht darin, ein Verfahren anzugeben, mit dem Halbleiterchips effizient und vielgestaltig herstellbar sind.

- 15 Diese Aufgabe wird unter anderem durch ein Verfahren und durch einen Halbleiterchip mit den Merkmalen der unabhängigen Patentansprüche gelöst. Bevorzugte Weiterbildungen sind Gegenstand der abhängigen Ansprüche.

- 20 Gemäß zumindest einer Ausführungsform dient das Verfahren zum Herstellen eines optoelektronischen Halbleiterchips. Bei dem Halbleiterchip handelt es sich bevorzugt um ein Licht emittierendes Bauelement wie eine Leuchtdiode, kurz LED, oder auch um eine Laserdiode, kurz LD.

- 25 Gemäß zumindest einer Ausführungsform umfasst das Verfahren den Schritt des Bereitstellens eines Trägerverbunds. Der Trägerverbund umfasst eine Vielzahl von einzelnen Trägern für die Halbleiterchips oder für Gruppen von Halbleiterchips. In dem Trägerverbund sind die einzelnen Träger mechanisch fest
30 miteinander verbunden. Es handelt sich bei dem Trägerverbund besonders bevorzugt um einen Saphirwafer. Mit anderen Worten ist der Trägerverbund und sind somit auch die Träger für die Halbleiterchips jeweils aus Saphir gebildet.

Gemäß zumindest einer Ausführungsform weist das Verfahren den Schritt des Aufbringens einer oder mehrerer Halbleiterschichtenfolgen auf den Trägerverbund auf. Bei dem
5 Aufbringen handelt es sich besonders bevorzugt um ein epitaktisches Aufwachsen. Mit anderen Worten handelt es sich dann bei dem Trägerverbund und somit bei dem Saphirwafer um ein Aufwachssubstrat für die Halbleiterschichtenfolge. Alternativ hierzu kann die Halbleiterschichtenfolge auch
10 anderweitig auf den Trägerverbund aufgebracht sein, beispielsweise mittels Löten, Kleben oder Waferbonden.

Die Halbleiterschichtenfolge basiert bevorzugt auf einem III-V-Verbindungshalbleitermaterial. Bei dem Halbleitermaterial
15 handelt es sich zum Beispiel um ein Nitrid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{N}$ oder um ein Phosphid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{P}$ oder auch um ein Arsenid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{As}$, wobei jeweils $0 \leq n \leq 1$, $0 \leq m \leq 1$ und $n + m$
20 ≤ 1 ist. Dabei kann die Halbleiterschichtenfolge Dotierstoffe sowie zusätzliche Bestandteile aufweisen. Der Einfachheit halber sind jedoch nur die wesentlichen Bestandteile des Kristallgitters der Halbleiterschichtenfolge, also Al, As, Ga, In, N oder P, angegeben, auch wenn diese teilweise durch
25 geringe Mengen weiterer Stoffe ersetzt und/oder ergänzt sein können.

Gemäß zumindest einer Ausführungsform umfasst die Halbleiterschichtenfolge mindestens eine aktive Zone zur
30 Erzeugung einer elektromagnetischen Strahlung. Bei der aktiven Zone kann es sich um einen pn-Übergang oder um eine Quantentopfstruktur handeln.

- Gemäß zumindest einer Ausführungsform umfasst das Verfahren den Schritt des Zerteilens des Trägerverbunds und der Halbleiterschichtenfolge zu den einzelnen Halbleiterchips oder zu den Gruppen von Halbleiterchips. Das Zerteilen
- 5 insbesondere des Trägerverbunds erfolgt hierbei in Trennbereichen, die zwischen benachbarten Halbleiterchips ausgebildet sind. Es ist möglich, dass beim Zerteilen die Trennbereiche vollständig entfernt oder aufgelöst werden.
- 10 Gemäß zumindest einer Ausführungsform umfasst der Schritt des Zerteilens des Trägerverbunds den Unterschritt des Erzeugens einer Vielzahl von selektiv ätzbaren Materialveränderungen in dem Trägerverbund. Dieses Erzeugen von Materialveränderungen erfolgt in den Trennbereichen bevorzugt durch eine
- 15 fokussierte und gepulste Laserstrahlung. Bei den Laserimpulsen der Laserstrahlung handelt es sich insbesondere um Femtosekundenimpulse, um Pikosekundenimpulse oder um Nanosekundenimpulse.
- 20 Gemäß zumindest einer Ausführungsform weist die Laserstrahlung eine Wellenlänge auf, bei der der Trägerverbund und/oder die Halbleiterschichtenfolge strahlungsdurchlässig, insbesondere klarsichtig und transparent, sind. Eine Einwirkung auf das Material des
- 25 Trägerverbunds erfolgt dann beispielsweise durch nicht-lineare optische Effekte in dem Material, hervorgerufen durch hohe Intensitäten der Laserstrahlung in einem Fokuspunkt der Laserstrahlung.
- 30 Gemäß zumindest einer Ausführungsform umfasst das Zerteilen des Trägerverbunds den Schritt des nasschemischen Ätzens der Materialveränderungen. Dieser Schritt des nasschemischen Ätzens folgt dem Schritt des Erzeugens der

Materialveränderungen nach. Beim Ätzen werden besonders bevorzugt selektiv, beispielsweise mit einer Ätzselektivität von mindestens 1:1000 oder mindestens 1:5000, nur die Bereiche mit den Materialveränderungen des Trägerverbunds
5 geätzt und nicht das verbleibende Material des Trägerverbunds.

In mindestens einer Ausführungsform ist das Verfahren zur Herstellung von mehreren optoelektronischen Halbleiterchips
10 eingerichtet und umfasst zumindest die folgenden Schritte:

- A) Bereitstellen eines Trägerverbunds, der ein Saphirwafer ist,
- B) Aufbringen einer bevorzugt auf AlInGaN basierenden
15 Halbleiterschichtenfolge mit mindestens einer aktiven Zone zur Erzeugung einer elektromagnetischen Strahlung auf den Trägerverbund, und
- C) Zerteilen des Trägerverbunds und der Halbleiterschichtenfolge zu den einzelnen Halbleiterchips
20 oder zu Gruppen von Halbleiterchips in den Trennbereichen zwischen benachbarten Halbleiterchips oder zwischen benachbarten Gruppen.

Der Schritt C) umfasst hierbei mindestens die folgenden
25 Unterschritte:

- D) Erzeugen je einer Vielzahl von selektiv ätzbaren Materialveränderungen in dem Trägerverbund in den Trennbereichen durch eine fokussierte, gepulste
30 Laserstrahlung, wobei die Laserstrahlung eine Wellenlänge aufweist, bei der der Trägerverbund transparent ist, und
- E) nasschemisches Ätzen der Materialveränderungen, sodass der Trägerverbund zu einzelnen Trägern für die Halbleiterchips

oder für die Gruppen alleine durch das nasschemisches Ätzen oder in Kombination mit einem weiteren Materialabtrageverfahren vereinzelt wird.

- 5 Die einzelnen Verfahrensschritte werden bevorzugt in der angegebenen Reihenfolge durchgeführt.

Saphir wird als Wachstumssubstrat für Halbleiterelemente sowohl in der Hochfrequenztechnik als auch in der
10 Optoelektronik eingesetzt. Während in der Hochfrequenztechnik Saphir in der Form von Silicon on sapphire-Scheiben oftmals als Träger einer dünnen Siliziumschicht für die eigentlichen Bauteile eingesetzt wird, nutzt die Optoelektronik Saphir als Wachstumssubstrat für Verbindungs-Halbleitermaterialien wie
15 AlGaInN.

Zum Vereinzeln der Bauteile, die im Scheibenverbund oder im Waferverbund hergestellt sind, ist wegen der großen Härte von Saphir im Wesentlichen nur Ritzen und Brechen praktikabel.
20 Das Ritzen erfolgt hierbei insbesondere an mit einem Laser erzeugten thermisch induzierten Anrissen. Bedingt durch das Brechen ist Saphir im Wesentlichen nur entlang von Geraden teilbar. Um Ausbrüche und Beschädigungen an Ecken zu vermeiden oder zu reduzieren, müssen die Bruchgeraden im
25 Wesentlichen rechtwinklig zueinander geführt sein. Daher sind, in Draufsicht gesehen, lediglich rechteckige Grundflächen der Halbleiterchips praktikabel. Andere Grundformen bieten jedoch Vorteile bei der Lichtauskopplung und sind in vielen Anwendungen für optoelektronische
30 Halbleiterbauteile erwünscht. Ferner führt das Brechen zu vergleichsweise glatten Bruchfacetten, die typisch stufenartig geformt sind. An glatten Bruchfacetten jedoch

erfährt ein hoher Strahlungsanteil eine Totalreflexion, was eine Lichtauskoppelleffizienz reduzieren kann.

Schließlich erfordert das mechanische Trennen von Saphir
5 verhältnismäßig breite Trenngräben, die von der Halbleiterschichtenfolge insbesondere vor dem Vereinzeln zu befreien sind, um Schäden an der Halbleiterschichtenfolge zu vermeiden. Diese Trenngräben weisen typisch eine Breite in der Größenordnung von 50 µm auf. Es stellen diese Trenngräben
10 eine verlorene Chipfläche dar, die zu höheren Herstellungskosten der Halbleiterchips führt.

Bei dem hier beschriebenen Verfahren werden die Halbleiterchips in einem zumindest zweistufigen Prozess
15 vereinzelt. Im ersten Schritt werden Materialveränderungen durch ein Laserschreiben induziert. Diese Materialveränderungen sind in einem zweiten Schritt effizient ätzbar. Da es sich bei dem Laserschreiben um ein so genanntes In-volume Selective Laser Etching, kurz ISLE, handeln kann,
20 sind im Trägerverbund nahezu beliebig geformte Trennbereiche und damit Seitenflächen und Formen der Halbleiterchips fertigbar. Außerdem weisen solche Trennbereiche eine nur geringe Breite auf, sodass sich die für die Halbleiterschichtenfolge der Halbleiterchips nutzbare Fläche
25 eines Wafers erhöht.

Das ISLE-Verfahren kann beispielsweise durchgeführt werden, wie in der Druckschrift Hörstmann-Jungemann et al. in Journal of Laser Micro-Nano Engineering, Volume 5, No. 2, Jahrgang
30 2010, Seiten 145 - 149, angegeben. Der Offenbarungsgehalt dieser Druckschrift wird durch Rückbezug aufgenommen.

Gemäß zumindest einer Ausführungsform wird die Halbleiterschichtenfolge vor dem Schritt des Zerteilens an den Trennbereichen teilweise oder vollständig entfernt. Insbesondere wird die Halbleiterschichtenfolge auch in einem
5 schmalen Streifen neben den Trennbereichen, in denen die Laserstrahlung eingestrahlt wird, entfernt.

Gemäß zumindest einer Ausführungsform liegt eine Breite des Streifens an den Trennbereichen, in denen die
10 Halbleiterschichtenfolge entfernt wird, oder der Trennbereiche selbst, bei mindestens 1 μm oder 2,5 μm oder 5 μm oder 7,5 μm . Alternativ oder zusätzlich beträgt diese Breite höchstens 35 μm oder 20 μm oder 15 μm .

15 Gemäß zumindest einer Ausführungsform weisen die optoelektronischen Halbleiterchips, in Draufsicht auf eine Strahlungshauptseite gesehen, je mindestens zwei Ecken auf, in denen sich Kanten der Halbleiterchips mit einem Winkel $\neq 90^\circ$ treffen. Bevorzugt weicht dieser Winkel von 90° um
20 mindestens 15° , 25° oder 35° ab und/oder um höchstens 75° , 65° oder 55° . Mit anderen Worten weisen die Halbleiterchips dann, in Draufsicht gesehen, keine rechteckige Grundform auf. Beispielsweise ist die Grundform der Halbleiterchips dreieckig oder sechseckig. Auch runde Grundformen, die keinem
25 Polygonzug entsprechen, sind realisierbar.

Gemäß zumindest einer Ausführungsform werden im Schritt C) Seitenflächen der Träger mit einer Aufrauung versehen. Die Seitenflächen sind beispielsweise solche Begrenzungsflächen
30 des Trägers, die den Träger in Richtungen quer zu einer Wachstumsrichtung der Halbleiterschichtenfolge begrenzen. Es können die Seitenflächen jeweils vollständig oder auch nur teilweise mit einer Aufrauung versehen sein. Ferner ist es

möglich, dass nur einige der Seitenflächen oder alle Seitenflächen eine Aufrauung aufweisen.

Gemäß zumindest einer Ausführungsform ist die Aufrauung zu
5 einer Verbesserung einer Lichtauskoppelleffizienz aus dem Träger heraus eingerichtet. Hierzu weist die Aufrauung bevorzugt eine mittlere Rauheit, auch als R_a bezeichnet, von mindestens 0,25 μm oder 0,5 μm auf. Alternativ oder
zusätzlich liegt die mittlere Rauheit bei höchstens 5 μm oder
10 3 μm oder 2 μm .

Gemäß zumindest einer Ausführungsform werden die Seitenflächen der Träger glatt gestaltet. Glatt kann
bedeuten, dass die mittlere Rauheit weniger als eine
15 Hauptwellenlänge, englisch peak wavelength, der im Betrieb des Halbleiterchips erzeugten Strahlung beträgt. Zum Beispiel liegt die mittlere Rauheit dann bei höchstens 0,5 μm oder 0,25 μm oder 0,12 μm . Auf solche glatten Seitenflächen kann insbesondere eine Spiegelschicht aufgebracht werden.

20
Gemäß zumindest einer Ausführungsform wird die Laserstrahlung in den Trennbereichen in einem Zickzackmuster geführt. Mit anderen Worten liegen die einzelnen Laserimpulse dann nicht auf einer Geraden und/oder nicht in einer gemeinsamen Ebene.
25 Der Trennbereich kann als dreidimensionales Zickzackmuster geformt sein. Der Begriff dreidimensionales Zickzackmuster kann bedeuten, dass die Laserstrahlung ähnlich der Oberfläche eines Noppenschaumstoffs oder eines Eierkartons geführt wird. Solche dreidimensionalen Strukturen, deren
30 Haupterstreckungsrichtungen entlang der Trennbereiche liegen, sind speziell durch ein ISLE-Verfahren realisierbar. Insbesondere ist durch ein solches Führen der Laserimpulse die Aufrauung an den Seitenflächen erzeugbar.

- Gemäß zumindest einer Ausführungsform weisen die Trennbereiche, in einem Querschnitt parallel zur Wachstumsrichtung der Halbleiterschichtenfolge gesehen, einen
- 5 Winkel $\neq 0^\circ$ zur Wachstumsrichtung der Halbleiterschichtenfolge auf. Mit anderen Worten sind die Trennbereiche dann schräg zur Wachstumsrichtung angeordnet. Es ist möglich, dass pro Seitenfläche genau ein Winkel der Trennbereiche zur Wachstumsrichtung vorliegt oder dass die
- 10 Seitenflächen, entlang der Wachstumsrichtung, mehrere Abschnitte aufweisen, die unterschiedliche Winkel aufzeigen. Auch gekrümmte und nicht eben geformte Bereiche der Seitenflächen sind realisierbar.
- 15 Gemäß zumindest einer Ausführungsform liegt der Winkel der Trennbereiche zur Wachstumsrichtung bei mindestens 10° oder 15° oder 25° oder 35° . Alternativ oder zusätzlich beträgt dieser Winkel höchstens 80° oder 75° oder 65° oder 55° .
- 20 Gemäß zumindest einer Ausführungsform weisen die Trennbereiche, im Querschnitt parallel zur Wachstumsrichtung der Halbleiterschichtenfolge gesehen, eine V-Form auf. Mit anderen Worten sind die Trennbereiche dann aus mindestens zwei Unterbereichen zusammengesetzt, die einen mittleren
- 25 Winkel zueinander von $> 0^\circ$ aufweisen. Durch solche Trennbereiche sind Halbleiterchips mit einem trapezförmigen Querschnitt realisierbar. Eine Spitze der V-Form der Trennbereiche zeigt von einer Rückseite des Trägerverbunds her bevorzugt in Richtung hin zur Halbleiterschichtenfolge
- 30 und kann eine Oberseite des Trägerverbunds, auf der die Halbleiterschichtenfolge aufgebracht ist, berühren. Außerdem ist es möglich, dass die Trennbereiche, im Querschnitt gesehen, symmetrisch zur Wachstumsrichtung gestaltet sind.

Gemäß zumindest einer Ausführungsform durchdringen die Trennbereiche den Trägerverbund vollständig. Das heißt insbesondere, dass sich die Materialveränderung in den
5 Trennbereichen dann von der Rückseite bis hin zu der Oberseite des Trägerverbunds erstrecken.

Alternativ hierzu ist es möglich, dass sich die Trennbereiche, und damit die Materialveränderungen, nur zum
10 Teil durch den Trägerverbund hindurch erstrecken. Beispielsweise beträgt eine Tiefe der Trennbereiche, ausgehend von der Rückseite und/oder von der Oberseite, mindestens 5 % oder 10 % oder 15 % oder 20 % oder 35 % oder 50 % oder 65 % einer Dicke des Trägerverbunds. Alternativ
15 oder zusätzlich liegt diese Tiefe bei höchstens 90 % oder 75 % oder 60 % oder 40 % oder 20 % oder 10 % der Dicke, ausgehend von der Rückseite und/oder von der Oberseite.

Reichen die Trennbereiche nicht vollständig durch den
20 Trägerverbund hindurch, so ist es möglich, dass eine verbleibende, nicht von den Trennbereichen betroffene Restdicke des Trägers durch ein weiteres Materialabtrageverfahren entfernt wird. Dieses weitere Materialabtrageverfahren kann ein Trägermaterial ganzflächig,
25 insbesondere an der gesamten Rückseite, oder auch nur stellenweise, beispielsweise nur nahe der Trennbereiche, entfernen. Bei dem weiteren Materialabtrageverfahren handelt es sich zum Beispiel um ein Schleifen oder um ein Lappen. Über dieses weitere Materialabtrageverfahren ist dann eine
30 Vereinzelung zu den Halbleiterchips oder zu den Gruppen von Halbleiterchips erzielbar.

Gemäß zumindest einer Ausführungsform wird die Laserstrahlung von der der Halbleiterschichtenfolge abgewandten Rückseite des Trägerverbunds her eingestrahlt. Hierdurch ist es möglich, dass keine oder kein signifikanter Anteil der
5 verwendeten Laserstrahlung in die Halbleiterschichtenfolge gelangt.

Gemäß zumindest einer Ausführungsform wird zwischen dem Schritt des Erzeugens und dem Schritt des Ätzens der
10 Materialveränderungen eine Spiegelschicht ganzflächig oder stellenweise auf der Rückseite des Trägerverbunds aufgebracht. Bei der Spiegelschicht kann es sich um einen Metallspiegel, etwa basierend auf Aluminium oder Silber, oder auch um einen Bragg-Spiegel mit einer Abfolge von Schichten
15 mit abwechselnd niedrigem und hohem Brechungsindex handeln.

Gemäß zumindest einer Ausführungsform wird im Schritt des Erzeugens der Materialveränderungen durch die Laserstrahlung eine mechanische Integrität des Trägerverbunds nicht
20 zerstört. Es ist dabei möglich, dass eine Festigkeit des Trägerverbunds durch die Laserstrahlung höchstens so weit reduziert wird, dass der Trägerverbund noch als zusammenhängendes Werkstück handhabbar ist. Hierdurch reduziert sich ein Herstellungsaufwand. Es ist dabei nicht
25 ausgeschlossen, dass temporäre Hilfsträger Verwendung finden, um den Trägerverbund mechanisch zu stabilisieren.

Gemäß zumindest einer Ausführungsform werden, gerechnet pro Impuls der Laserstrahlung, je inselförmige
30 Materialveränderungen erzeugt. Pro Impuls beträgt ein Volumen der erzeugten Materialveränderung beispielsweise mindestens $0,05 \mu\text{m}^3$ oder $0,8 \mu\text{m}^3$ oder $5 \mu\text{m}^3$ und/oder höchstens $100 \mu\text{m}^3$ oder $50 \mu\text{m}^3$ oder $25 \mu\text{m}^3$ oder $10 \mu\text{m}^3$. Bedingt durch diese

vergleichsweise kleinen Volumina lässt sich der Trennbereich gezielt und genau formen. Die Größe des Volumens ist beispielsweise durch die Stärke der Fokussierung der Laserstrahlung, durch die verwendeten Impulsdauern und
5 Impulsenergien einstellbar.

Gemäß zumindest einer Ausführungsform weist eine Leistungsdichte der Laserstrahlung bei der Materialveränderung einen Wert von mindestens $2 \times 10^{13} \text{ W/cm}^2$
10 oder $5 \times 10^{13} \text{ W/cm}^2$ auf. Alternativ oder zusätzlich liegt die Leistungsdichte bei höchstens $1 \times 10^{15} \text{ W/cm}^2$ oder $5 \times 10^{14} \text{ W/cm}^2$ oder $2,5 \times 10^{14} \text{ W/cm}^2$.

Gemäß zumindest einer Ausführungsform liegt eine mittlere
15 Impulsdauer der Impulse der Laserstrahlung bei höchstens 50 ns oder 15 ns oder 5 ns. Weiterhin kann die Impulsdauer bei höchstens 1 ns oder 500 ps oder 5 ps liegen. Alternativ oder zusätzlich beträgt die mittlere Impulsdauer mindestens 50 fs oder 1 ps oder 10 ps oder 750 ps.

20
Gemäß zumindest einer Ausführungsform erfolgt das nasschemische Ätzen mit einem Flusssäure-Wasser-Gemisch. Ein Anteil der Flusssäure, kurz FH, liegt beispielsweise bei mindestens 15 % oder 30 % und/oder bei höchstens 70 % oder
25 60 %. Eine Ätzdauer kann, abhängig von der Dicke des Trägerverbunds in diesem Verfahrensschritt, mehrere Stunden betragen. Alternativ zu Flusssäure ist es auch möglich, bestimmte Laugen einzusetzen.

30
Gemäß zumindest einer Ausführungsform wird vor dem Schritt des Zerteilens der Trägerverbund gedünnt, etwa durch ein Schleifen. Bevorzugt liegt die Dicke des Trägerverbunds im fertigen Halbleiterchip und bevorzugt im Schritt des

Zerteilens bei mindestens 50 µm oder 80 µm oder 100 µm und/oder bei höchstens 500 µm oder 300 µm oder 200 µm oder 150 µm. Durch das Dünnen vor dem Schritt des Zerteilens lässt sich die Ätzzeit reduzieren.

5

Gemäß zumindest einer Ausführungsform wird beim Bestrahlen mit den Laserimpulsen eine Kristallqualität des Saphirs herabgesetzt. Insbesondere wird durch die Laserbestrahlung der kristalline Saphir in amorphes oder mit einer kleinen
10 Korngröße polykristallines Aluminiumoxid umgewandelt. Durch diese Umwandlung ist ein selektives Ätzen möglich, da das Material mit der verminderten Kristallqualität eine um mehrere Größenordnungen geringere Stabilität gegenüber ätzenden Materialien aufweisen kann als Saphir selbst.

15

Gemäß zumindest einer Ausführungsform wird auf die Seitenflächen der Träger je ein Spiegel aufgebracht. Bei dem Spiegel kann es sich um einen metallischen Spiegel wie einen Silberspiegel oder einen Aluminiumspiegel handeln. Ebenso
20 können Schichtenstapel aus transparenten Materialien mit abwechselnden Brechungsindices, insbesondere in Form eines Bragg-Spiegels, verwendet werden. Auch eine Kombination aus einer Schicht eines Materials mit einem niedrigen Brechungsindex und eines darauf aufgetragenen Metallspiegels
25 ist einsetzbar. Ein solcher Spiegel kann optional auch auf Seitenflächen der Halbleiterschichtenfolge, auf einer dem Träger abgewandten Seite der Halbleiterschichtenfolge und/oder auf der Rückseite des Trägerverbunds angebracht werden.

30

Gemäß zumindest einer Ausführungsform des Verfahrens Wird nach dem Vereinzeln zu den Halbleiterchips und bevorzugt vor einem Entfernen des Hilfsträgers ein Vergusskörper

erzeugt. Bei dem Vergusskörper kann es sich um einen zusammenhängenden, einstückigen Körper etwa aus einem thermoplastischen Kunststoff handeln. Der Vergusskörper kann die vereinzelt Halbleiterchips ringsum teilweise oder
5 vollständig umgeben. Ferner kann der Vergusskörper die Halbleiterchips mechanisch miteinander verbinden. Die Strahlungshauptseite bleibt bevorzugt frei von dem Vergusskörper. Nach dem Erstellen des Vergusskörpers kann der Hilfsträger entfernt werden.

10

Gemäß zumindest einer Ausführungsform wird der Vergusskörper unterteilt, sodass mehrere Halbleiterbauteile resultieren. Die Halbleiterbauteile umfassen je einen oder mehrere der Halbleiterchips. Ferner umfassen die Halbleiterbauteile je
15 einem Teil des Vergusskörpers.

20

Darüber hinaus wird ein optoelektronischer Halbleiterchip angegeben. Der optoelektronische Halbleiterchip wird mit einem Verfahren hergestellt, wie in Verbindung mit einer oder
20 mehrerer der oben genannten Ausführungsformen angegeben. Merkmale des Verfahrens sind daher auch für den Halbleiterchip offenbart und umgekehrt.

25

In mindestens einer Ausführungsform weist der Halbleiterchip eine auf AlInGaN basierende Halbleiterschichtenfolge auf, die mindestens eine aktive Zone zur Strahlungserzeugung umfasst. Die Halbleiterschichtenfolge ist auf einem Träger aus Saphir aufgewachsen. Seitenflächen des Trägers weisen stellenweise oder ganzflächig eine Aufrauung auf. Die
30 Halbleiterschichtenfolge ist von den Seitenflächen beabstandet.

Nachfolgend werden ein hier beschriebenes Verfahren und ein hier beschriebener optoelektronischer Halbleiterchip unter Bezugnahme auf die Zeichnung anhand von Ausführungsbeispielen näher erläutert. Gleiche Bezugszeichen geben dabei gleiche
5 Elemente in den einzelnen Figuren an. Es sind dabei jedoch keine maßstäblichen Bezüge dargestellt, vielmehr können einzelne Elemente zum besseren Verständnis übertrieben groß dargestellt sein.

10 Es zeigen:

Figuren 1, 4 und 5 schematische Darstellungen von hier beschriebenen Verfahren zur Herstellung von hier beschriebenen optoelektronischen Halbleiterchips in
15 Schnittdarstellungen,

Figur 2 schematische Draufsichten auf Ausführungsbeispiele von hier beschriebenen optoelektronischen Halbleiterchips, und
20

Figur 3 schematische Schnittdarstellungen von Ausführungsbeispielen von hier beschriebenen optoelektronischen Halbleiterchips.

25 In Figur 1 ist ein Verfahren zur Herstellung eines optoelektronischen Halbleiterchips 10 illustriert. Gemäß Figur 1A wird ein Trägerverbund 11 bereitgestellt. Bei dem Trägerverbund 11 handelt es sich um einen Saphirwafer. Zu einer mechanischen Unterstützung können im Verfahrensschritt
30 gemäß Figur 1A oder auch in nachfolgenden Verfahrensschritten jeweils temporäre Hilfsträger Verwendung finden, nicht dargestellt.

Beim Verfahrensschritt, wie in Figur 1B gezeichnet, wird an einer einer Rückseite 7 gegenüberliegenden Oberseite 72 eine Halbleiterschichtenfolge 2 epitaktisch aufgewachsen. Eine Wachstumsrichtung G der Halbleiterschichtenfolge 2 ist

5 senkrecht zur Oberseite 72 orientiert. Die Halbleiterschichtenfolge 2 umfasst zumindest eine aktive Zone zur Erzeugung einer elektromagnetischen Strahlung, insbesondere von sichtbarem Licht. Es basiert die Halbleiterschichtenfolge 2 auf AlInGaN.

10 An einer dem Trägerverbund 11 abgewandten Seite weist die Halbleiterschichtenfolge 2 eine Strahlungshauptseite 9 auf. Es ist möglich, dass an der Strahlungshauptseite 9 im Verfahrensschritt gemäß Figur 1B oder in einem nachfolgenden
15 Verfahrensschritt eine Strukturierung zur Verbesserung einer Lichtauskoppelung erzeugt wird. Die Halbleiterschichtenfolge 2 erstreckt sich über den gesamten Trägerverbund 11 durchgehend und in einer im Rahmen der Herstellungstoleranzen gleichen Materialzusammensetzung hinweg.

20 Beim Verfahrensschritt gemäß Figur 1C wird die Halbleiterschichtenfolge 2 in Bereichen 5 entfernt. In diesen Bereichen 5 wird in späteren Verfahrensschritten das Vereinzeln zu den Halbleiterchips 10 durchgeführt. Die
25 Bereiche 5 umgeben die in diesem Verfahrensschritt erzeugten Teilgebiete der Halbleiterschichtenfolge 2 bevorzugt jeweils ringsum und rahmenartig. Eine Breite der Bereiche 5 liegt insbesondere bei höchstens 20 μm . Eine Dicke der Halbleiterschichtenfolge 2 entlang der Wachstumsrichtung G
30 liegt beispielsweise bei mindestens 2 μm und/oder bei höchstens 12 μm .

Optional kann auf die strukturierte Halbleiterschichtenfolge 2 eine Schutzschicht 8 aufgebracht werden. Bei der Schutzschicht 8 kann es sich um eine temporäre Schutzschicht handeln, die in einem späteren Verfahrensschritt entfernt wird. Ebenso ist es möglich, dass die Schutzschicht 8 permanent an der Halbleiterschichtenfolge und im fertigen Halbleiterchip 10 verbleibt. Anders als dargestellt können auch mehrere Schutzschichten als Stapel aufgebracht werden. Ebenso abweichend von der Darstellung ist es nicht zwingend erforderlich, dass die Schutzschicht 8 Bereiche zwischen den Teilgebieten mit der Halbleiterschichtenfolge 2 ausspart. Die Schutzschicht 8 ist dazu eingerichtet, die Halbleiterschichtenfolge 2 vor mechanischen Beschädigungen, vor einer Verschmutzung und insbesondere vor einem Ätzmittel, das in einem nachfolgenden Vereinzelungsschritt verwendet wird, zu schützen. Abweichend von der Darstellung ist es auch möglich, dass die Halbleiterschichtenfolge 2 bis an die Trennbereiche S heranreicht.

20 In einem optionalen, nicht gezeigten Verfahrensschritt kann der Trägerverbund 11 zum Beispiel durch Schleifen gedünnt werden. Ferner können an der Halbleiterschichtenfolge 2 und/oder an dem Trägerverbund 11 Einrichtungen zu einer elektrischen Kontaktierung der Halbleiterschichtenfolge 2
25 angebracht werden. Zu einer Vereinfachung der Darstellungen sind elektrische Kontakteinrichtungen wie Leiterbahnen oder Bondpads jeweils nicht gezeichnet.

Beim Verfahrensschritt gemäß Figur 1D wird bevorzugt von der Rückseite 7 her eine gepulste Laserstrahlung L, symbolisiert durch einen Pfeil, in Trennbereichen S eingestrahlt. Die Trennbereiche S durchdringen den Trägerverbund 11 bevorzugt vollständig und sind weiterhin bevorzugt von der

Halbleiterschichtenfolge 2 beabstandet. Es liegen die Trennbereiche S an der Oberseite 72 in den Bereichen 5, in denen die Halbleiterschichtenfolge 2 entfernt wurde.

- 5 Durch jeden Impuls der Laserstrahlung L wird ein bestimmtes Fokusvolumen in dem Trägerverbund 11 verändert. Beispielsweise wird der Saphir des Trägerverbunds 11 durch die Laserstrahlung L lokal in dem Fokusvolumen in amorphes Aluminiumoxid umgewandelt, das leichter ätzbar ist. Die
10 Trennbereiche S werden durch die einzelnen Impulse der Laserstrahlung L abgerastert. Durch dieses Rastern ist eine Gestalt der Trennbereiche S weitestgehend frei bestimmbar.

- Es weist die Laserstrahlung L eine Wellenlänge auf, für die
15 der Trägerverbund 11 und bevorzugt auch die Halbleiterschichtenfolge 2 sowie die Schutzschicht 8 durchlässig sind. Durch die Laserstrahlung L wird eine mechanische Integrität des Trägerverbunds 11 bevorzugt nicht signifikant beeinträchtigt, sodass der Trägerverbund 11 auch
20 nach dem Schritt gemäß Figur 1D als Gesamtes handhabbar bleibt.

- Im optionalen Verfahrensschritt, wie in Figur 1E gezeichnet, wird an der Rückseite 7 stellenweise eine Spiegelschicht 6
25 aufgebracht. Einzelne Teilgebiete der Spiegelschicht 6 sind eineindeutig den Teilgebieten der Halbleiterschichtenfolge 2 zugeordnet. Die Trennbereiche S sind frei von der Spiegelschicht 6. Es ist möglich, dass die Spiegelschicht 6 jeweils die Halbleiterschichtenfolge 2 in einer lateralen
30 Richtung überragt. Abweichend von der Darstellung kann die Spiegelschicht 6 auch durchgehend auf der Rückseite 7 aufgebracht werden. Weiterhin optional kann sich an der Spiegelschicht 6 eine weitere, nicht gezeichnete

Schutzschicht befinden, um Schäden an der Spiegelschicht, etwa während des nasschemischen Ätzens, zu verhindern. Eine solche Spiegelschicht 6 und/oder eine solche weitere Schutzschicht kann auch in allen anderen

5 Ausführungsbeispielen vorhanden sein.

Das Zerteilen zu den einzelnen Halbleiterchips 10 erfolgt, wie in Figur 1F illustriert. Durch ein nasschemisches Ätzen, insbesondere durch Flusssäure, wird in den Trennbereichen S

10 das durch die Laserstrahlung L veränderte Material weggeätzt. Die weggeätzten Areale weisen dieselbe Form auf, die mit den Impulsen der Laserstrahlung L im Verfahrensschritt gemäß Figur 1D abgerastert wurde.

15 Durch ein solches Ätzen ist an Seitenflächen 3 der einzelnen Träger 1 der Halbleiterchips 10 eine Aufrauung 4 gezielt erzeugbar. Durch diese Aufrauung 4 ist eine Lichtauskoppelleffizienz aus den Halbleiterchips 10 heraus

steigerbar.

20 In Figur 2 sind jeweils schematische Draufsichten auf Halbleiterchips 10 vor dem Vereinzeln gezeigt. Durch das Verfahren, wie in Verbindung mit Figur 1 illustriert, sind Halbleiterchips 10 mit im Prinzip beliebigen Grundflächen, in

25 Draufsicht gesehen, realisierbar. Insbesondere ist es nicht erforderlich, die für ein Brechen erforderlichen Kristallorientierungen einzuhalten.

Gemäß Figur 2A weisen die Halbleiterchips 10 eine dreieckige

30 Grundform auf. In Figur 2B ist eine sechseckige Grundform gezeigt und in Figur 2C eine parallelogrammförmige Grundform.

Abweichend hiervon ist es, vergleiche Figur 2D, nicht erforderlich, dass die Halbleiterchips 10 geradlinig verlaufende Kanten und Begrenzungsflächen aufweisen, in Draufsicht gesehen. So sind die Halbleiterchips 10 gemäß
5 Figur 2D bogenförmig gestaltet. Solche Halbleiterchips 10 können beispielsweise in Autoscheinwerfern eingesetzt werden.

Bevorzugt ist die Grundform der Halbleiterchips 10 jeweils so gewählt, dass ein hoher Füllfaktor realisierbar ist. Dies ist
10 bei den gezeigten Grundflächen jeweils der Fall. Hierdurch sind die Herstellungskosten reduzierbar.

Im Zusammenhang mit Figur 3 sind Querschnitte von Halbleiterchips 10 dargestellt, wie mit dem Verfahren gemäß
15 Figur 1 hergestellt. Gemäß Figur 3A weisen die Halbleiterchips 10 jeweils einen trapezförmigen Querschnitt auf. Die Trennbereiche S sind in V-Form gestaltet und weisen hin zu der Halbleiterschichtenfolge 2. Durch eine solche Formgebung ist einerseits ein hoher Füllfaktor der
20 Halbleiterschichtenfolge 2 auf dem Saphir-Aufwachssubstrat erzielbar. Andererseits ist durch einen Winkel A von $\neq 0^\circ$ zur Wachstumsrichtung G eine erhöhte Auskoppelleffizienz erreichbar.

25 Gemäß Figur 3B weisen die Halbleiterchips 10 einen parallelogrammförmigen Querschnitt auf. Wie auch in allen anderen Ausführungsbeispielen ist es möglich, dass nur einige Seitenflächen 3b des Trägers 1 mit der Aufrauung 4 versehen sind und andere Seitenflächen 3a nicht. Anders als
30 dargestellt kann aber auch die Seitenfläche 3a mit der Aufrauung 4 versehen sein. Entsprechendes gilt für alle anderen Ausführungsbeispiele. Die Trennbereiche S sind im Querschnitt gesehen Geradenabschnitte.

Bei den Halbleiterchips 1, wie in Figur 3C illustriert, weisen die Seitenflächen 3 einen ersten Bereich auf, der parallel zur Wachstumsrichtung G orientiert ist, und einen zweiten Bereich, der schräg zur Wachstumsrichtung G ausgerichtet ist. Einer oder beide dieser Bereiche können mit einer Aufrauung 4 versehen sein. Der Trennbereich S ist im Querschnitt gesehen dann in Form eines Y ausgebildet, wobei eine Öffnung des Y zur Rückseite 7 weist.

Beim Ausführungsbeispiel gemäß Figur 3D ist der Trennbereich S in Form eines X gestaltet, im Querschnitt gesehen. Mit anderen Worten nimmt, in Richtung weg von der Rückseite 7, eine Breite des Trägers 1 zuerst zu und anschließend wieder ab.

Derartig vielseitig formbare Seitenflächen 3 sind durch das Verfahren gemäß Figur 1, insbesondere durch das Abrastern mit der Laserstrahlung L und das nachfolgende Ätzen, realisierbar.

In Figur 4 ist ein weiteres Ausführungsbeispiel eines Verfahrens zur Herstellung von optoelektronischen Halbleiterchips 10 gezeigt. Gemäß Figur 4A wird der Trägerverbund 11 bereitgestellt. Außerdem wird auf die Oberseite 72 zusammenhängend die Halbleiterschichtenfolge 2 mit der mindestens einen aktiven Schicht ganzflächig aufgebracht.

In Figur 4B ist dargestellt, dass mehrere der Trennbereiche S in dem Trägerverbund 11 geformt werden. Die Trennbereiche S erstrecken sich von der Oberseite 72 weg in Richtung hin zu der Rückseite 7. Ausgehend von der Oberseite 72 reichen die

Trennbereiche S jeweils zu beispielsweise mindestens 50 μm oder 100 μm und/oder zu höchstens 200 μm oder 150 μm oder 100 μm in den Trägerverbund 11 hinein. Die Dicke des Trägerverbunds 11 insgesamt liegt beispielsweise bei
5 mindestens 250 μm oder 400 μm und/oder bei höchstens 2 mm oder 1,3 mm oder 1 mm oder 750 μm oder 500 μm . Die Trennbereiche S werden erzeugt, wie in Verbindung mit Figur 1D beschrieben. Eine Laserstrahlung wird dabei bevorzugt von der Rückseite 7 her in den Trägerverbund 11 eingestrahlt.

10

Bei dem Verfahrensschritt gemäß Figur 4C wird an einer dem Trägerverbund 11 abgewandten Seite der Halbleiterschichtenfolge 2 die Schutzschicht 8 und optional die Spiegelschicht 6 angebracht. Die Schutzschicht 8 und/oder
15 die Spiegelschicht 6 können auch zu elektrischen Anschlüssen, Umverdrahtungsschichten oder elektrischen Anschlussflächen strukturiert sein oder es können entsprechende, zusätzliche Elemente aufgebracht werden. Es kann auch eine elektrische Verschaltung zwischen benachbarten Bereichen der
20 Halbleiterschichtenfolge 2 für benachbarte Halbleiterchips 10 vorgesehen werden.

25

Gemäß Figur 4D werden die Halbleiterschichtenfolge 2 sowie die Schutzschicht 8 und die Spiegelschicht 6 in einem Bereich
5 entfernt, beispielsweise mittels Ätzen. Dieser Schritt kann analog zu Figur 1C erfolgen. Der Bereich 5 erstreckt sich in lateraler Richtung bevorzugt über den Trennbereich S hinaus. In einem zusätzlichen, nicht dargestellten Schritt können auch weitere Schichten an dem Bereich 5 und an freigelegten
30 Seitenflächen der Halbleiterschichtenfolge 2 erzeugt werden, beispielsweise Verkapselungsschichten und/oder elektrische Isolationsschichten.

In Figur 4E erfolgt das Ätzen der Trennbereiche S. Dieser Schritt wird bevorzugt analog zu dem Verfahrensschritt in Figur 1F ausgeführt. Wie in Figur 4E gezeigt, wird der Trägerverbund 11 bei diesem Ätzschritt nicht vollständig zerteilt. Bevorzugt bleibt an den Trennbereichen S eine ausreichende Dicke des Trägerverbunds 11 bestehen, sodass der Trägerverbund 11 auch nach der Materialentfernung aus den Trennbereichen S mechanisch stabil und selbsttragend ist und ohne einen Hilfsträger handhabbar ist.

10

Anders als in Figur 4E dargestellt ist es nicht erforderlich, dass ein Ätzmittel von der Oberseite 72 her zugeführt wird. In diesem Fall reichen die Trennbereiche S dann bevorzugt nicht bis zu der Oberseite 72. Eine Zuführung eines Ätzmittels kann dann durch Löcher von der Rückseite 7 her erfolgen. Das Ätzen der Trennbereiche S braucht nicht notwendigerweise in unmittelbarem Anschluss an die Formung der Trennbereiche S, siehe Figur 4B, zu erfolgen, es können, wie dargestellt, weitere Prozessschritte zwischengeschaltet sein.

20

Beim Verfahrensschritt, wie in Figur 4F gezeigt, wird auf die Seitenflächen 3 der späteren Träger 1 in den Trennbereichen S eine weitere Spiegelschicht 6 aufgebracht. Die weitere Spiegelschicht 6 kann an allen Flächen aufgebracht werden, die durch das Materialentfernen in den Trennbereichen S freigelegt sind. Anders als dargestellt ist es auch möglich, dass sich die weitere Spiegelschicht 6 auf Seitenflächen der Halbleiterschichtenfolge 2 und/oder auf freiliegende Bereiche der Schutzschicht 8 erstreckt. Bei der weiteren Spiegelschicht 6 kann es sich um einen Metallspiegel handeln. Ebenso ist es möglich, dass ein Verbund aus einer Schicht eines Materials mit einem niedrigen Brechungsindex in

25

30

Kombination mit einer Metallschicht als weitere Spiegelschicht 6 aufgebracht wird. Um eine hohe Reflektivität der weiteren Spiegelschicht 6 zu erreichen, sind die Seitenflächen 3 gemäß Figur 4F bevorzugt glatt gestaltet.

5

Abweichend von der Darstellung in Figur 4F können auch weitere Schichten in den Trennbereichen S aufgebracht werden, beispielsweise Schutzschichten gegen mechanische Beschädigungen, gegen Prozesschemikalien oder gegen
10 schädliche Umwelteinflüsse. Entsprechende zusätzliche, nicht dargestellte Schutzschichten können sich auch auf die Halbleiterschichtenfolge 2 oder auf den Spiegel 6 an der Halbleiterschichtenfolge 2 erstrecken. Solche Schichten können mit spaltgängigen Beschichtungsverfahren wie
15 Dampfphasenabscheidung oder Atomlagenabscheidung, kurz Atomic Layer Deposition oder ALD, erzeugt werden. Alternativ ist eine physikalische Dampfphasenabscheidung einsetzbar. Auch können über eine elektrochemische Abscheidung zusätzliche Metalllagen aufgebracht werden, falls eine elektrisch
20 leitfähige, insbesondere dünne Grundsicht vorhanden ist.

In Figur 4G ist dargestellt, dass an einer dem Trägerverbund 11 abgewandten Seite der Halbleiterschichtenfolge 2 ein Hilfsträger 12 angebracht wird. Bei dem Hilfsträger 12
25 handelt es sich beispielsweise um eine Folie oder um eine Platte. Der Hilfsträger 12 kann mechanisch flexibel oder auch mechanisch starr sein.

Gemäß dem Verfahrensschritt, wie in Figur 4H illustriert,
30 wird der Trägerverbund 11 von der Rückseite 7 her entfernt, beispielsweise durch ein Schleifen oder durch ein Lappen. Es wird der Trägerverbund 11 so weit ganzflächig abgetragen, bis die Halbleiterchips 10 vereinzelt sind. Mit anderen Worten

wird mindestens bis in die Trennbereiche S hinein gedünnt. Abweichend von der Darstellung gemäß Figur 4H ist es auch möglich, dass mehrere Teilbereiche der Halbleiterschichtenfolge 2 zu einer Gruppe auf einem
5 gemeinsamen Träger 1 zusammengefasst werden.

Aufgrund der weiteren Spiegelschicht 6 an den Seitenflächen 3 der Träger 1 emittieren die resultierenden Halbleiterchips 10 über den Träger 1 die im Betrieb erzeugte Strahlung. Es ist
10 möglich, dass die im Betrieb erzeugte Strahlung ausschließlich an der durch den Träger 1 gebildeten Strahlungshauptseite 9 emittiert wird. Da während des Herstellens die Trennbereiche S nur einen vergleichsweise geringen Anteil der Dicke des Trägerverbunds 11 ausmachen,
15 ist auf eine Hilfsträgerkonstruktion vor dem Schritt des Vereinzelns verzichtbar, einhergehend mit einer Kostenreduktion.

Bei den Halbleiterchips 10 handelt es sich, wie auch in allen anderen Ausführungsbeispielen, insbesondere um Flip-Chips,
20 die ausschließlich über eine der Strahlungshauptseite 9 gegenüberliegende Seite elektrisch kontaktierbar und mechanisch anbringbar sind. Insbesondere durch die Flip-Chip-Konfiguration ist auch eine gute Abfuhr von Verlustwärme aus
25 den Halbleiterchips 10 heraus erzielbar.

Optional kann auch noch zusätzlich die Seite, die in Figur 4H als Strahlungshauptseite bezeichnet ist, mit einer Spiegelschicht 6 versehen werden. Die Strahlungshauptseite
30 ist dann die den Trägern 1 abgewandte Seite der Halbleiterschichtenfolgen 2, die dann bevorzugt frei von einer reflektierenden Schicht ist. Ferner ist es möglich, dass die Halbleiterchips 10 als Seitenemitter, auch als side

looker bezeichnet, ausgestaltet werden. In diesem Fall sind bevorzugt beide Hauptseiten der Halbleiterchips 10 verspiegelt und alle, ein, zwei oder drei der Seitenflächen 3 sind frei von der Spiegelschicht und zu einer

5 Strahlungsemission eingerichtet.

Sind die Halbleiterchips 10 als Flip-Chips gestaltet, so können die Halbleiterchips 10 beispielsweise vor dem Aufbringen des Hilfsträgers 12 noch mit beloteten

10 Kontaktelektroden versehen werden, insbesondere da eine Spritzgießtemperatur etwa in einem Vergießen mit einem Material, wie in Figur 5A dargestellt, unter einer Solidustemperatur eines Lots gehalten werden kann.

15 Der Hilfsträger 12 wird nachfolgend bevorzugt entfernt. Optional ist es dabei wie in Figur 5A gezeigt möglich, dass vor dem Entfernen des Hilfsträgers 12 die Halbleiterchips 10 mit einer Vergussmasse 13 umspritzt werden und/oder dass über den Strahlungshauptseiten 9 ein nicht gezeichnetes

20 Konversionsmittel zu einer vollständigen oder teilweisen Umwandlung der in der Halbleiterschichtenfolge 12 erzeugten Strahlung in eine Strahlung einer anderen Wellenlänge aufgebracht wird. Werden die einzelnen Halbleiterchips 10 mit der Vergussmasse 13 verspritzt oder verpresst, so können die

25 Trennbereiche S eine vergleichsweise große Breite aufweisen, um nach einem Vergießen der Halbleiterchips 10 ein Separieren zu einzelnen, oberflächenmontierbaren Halbleiterbauteilen 30 zu vereinfachen.

30 Ein Vereinzeln zu den Halbleiterbauteilen 30 erfolgt beispielsweise durch ein Sägen zwischen benachbarten Halbleiterchips 10 in Sägestraßen T, siehe Figur 5B. Insbesondere wegen der feinen Strukturierungsmöglichkeiten

der Trennbereiche S mit dem in Verbindung mit Figur 1 beschriebenen Laserätzverfahren kann eine solche Sägestraße T vergleichsweise schmal gehalten werden, wodurch eine Ausbeute an Halbleiterbauteilen 30 pro Trägerverbund 11 erhöht wird, einhergehend mit einer Senkung der Herstellungskosten der Halbleiterchips.

Es ist wie auch in allen anderen Ausführungsbeispielen möglich, dass mehr als ein Hilfsträger verwendet wird. Beispielsweise werden nach dem Vereinzeln zu den Halbleiterchips 10 oder zu den Halbleiterbauteilen 30 mehrere der Halbleiterchips 10 oder der Halbleiterbauteile 30 auf einem weiteren Hilfsträger zusammengefasst. Diese zusammengefassten Halbleiterchips 10 oder Halbleiterbauteile 30 sind dann insbesondere nach verschiedenen Kriterien sortiert, zum Beispiel hinsichtlich einer Emissionswellenlänge oder spektralen Zusammensetzung einer emittierten Strahlung. Es ist somit möglich, dass alle Halbleiterchips 10 oder Halbleiterbauteile 30 auf dem Hilfsträger 12 und/oder auf dem weiteren Hilfsträger einer gemeinsamen Kriterienklasse angehören.

Durch ein solches Verfahren, wie in Verbindung mit den Figuren 4 und 5 dargestellt, sind Halbleiterchips 10 und Halbleiterbauteile 30 herstellbar, die ein Saphirträgersubstrat 1 mit verspiegelten Seitenflächen 3 aufweisen. Die resultierenden Halbleiterchips oder Halbleiterbauteile 30 weisen vergleichsweise kleine laterale Abmessungen auf. Insbesondere mit einem Vergießen, wie in Verbindung mit Figur 5A erläutert, sind gehaute Halbleiterchips 10 erzielbar, deren Größe nicht stark von einer Größe der Halbleiterschichtenfolge 2, in Draufsicht gesehen, abweicht. Solche Bauformen werden auch als Chip-

Size-Package bezeichnet. Diese Bauform lässt sich, wie in Figur 5A dargestellt, noch im Waferverbund erzeugen.

Da die Seitenflächen 3 der Träger 1 reflektierend beschichtet sind, können zudem Vergussmassen für den Vergusskörper 13 verwendet werden, die nur eine relativ geringe Reflektivität aufweisen. Insbesondere sind schwarze Vergussmassen einsetzbar, die etwa bei der Herstellung von integrierten Schaltkreisen, englisch integrated circuits oder kurz ICs, Verwendung finden.

Alternativ zu einem Vergießen der Halbleiterchips 10 noch im Waferverbund ist es auch möglich, dass die in Verbindung mit Figur 4H gezeigten Halbleiterchips 10 direkt auf eine Leiterplatte aufgebracht werden, ohne dass ein zusätzliches Gehäuse oder ein Vergusskörper benötigt wird. Eine solche Anordnung wird auch als Chip-on-Board bezeichnet.

Die hier beschriebene Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2013 104 270.8, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Bezugszeichenliste

	1	Träger
	2	Halbleiterschichtenfolge
5	3	Seitenflächen der Träger
	4	Aufrauung
	5	Bereich mit entfernter Halbleiterschichtenfolge
	6	Spiegelschicht
	7	Rückseite des Trägerverbunds
10	72	Oberseite des Trägerverbunds
	8	Schutzschicht
	9	Strahlungshauptseite
	10	optoelektronischer Halbleiterchip
	11	Trägerverbund
15	12	Hilfsträger
	13	Vergusskörper
	30	Halbleiterbauteil
	A	Winkel
20	G	Wachstumsrichtung
	L	Laserstrahlung
	S	Trennbereich
	T	Sägestraße

Patentansprüche

1. Verfahren zur Herstellung von mehreren optoelektronischen Halbleiterchips (10) mit den
- 5 Schritten:
- A) Bereitstellen eines Trägerverbunds (11), der ein Saphirwafer ist,
- B) Aufbringen einer Halbleiterschichtenfolge (2) mit mindestens einer aktiven Zone zur Erzeugung einer
- 10 elektromagnetischen Strahlung auf den Trägerverbund (11), und
- C) Zerteilen des Trägerverbunds (11) und der Halbleiterschichtenfolge (2) zu den einzelnen Halbleiterchips (10) oder zu Gruppen von
- 15 Halbleiterchips in Trennbereichen (S) zwischen benachbarten Halbleiterchips (10) oder Gruppen, wobei der Schritt C) umfasst:
- D) Erzeugen je einer Vielzahl von selektiv ätzbaren Materialveränderungen in dem Trägerverbund (11) in den
- 20 Trennbereichen (S) durch eine fokussierte, gepulste Laserstrahlung (L), wobei die Laserstrahlung (L) eine Wellenlänge aufweist, bei der der Trägerverbund (11) transparent ist, sowie nachfolgend
- E) nasschemisches Ätzen der Materialveränderungen,
- 25 wobei der Trägerverbund (11) zu einzelnen Trägern (1) für die Halbleiterchips (10) oder für die Gruppen alleine durch das nasschemisches Ätzen oder in Kombination mit einem weiteren Materialabtrageverfahren vereinzelt wird.
- 30 2. Verfahren nach dem vorhergehenden Anspruch, wobei
- die Halbleiterschichtenfolge (2) auf AlInGaN basiert

und epitaktisch auf den Trägerverbund (11) aufgewachsen wird,

- vor dem Schritt C) die Halbleiterschichtenfolge (2) teilweise oder vollständig aus den Trennbereichen (S)

5 entfernt wird,

- das Vereinzeln im Schritt E) ausschließlich durch das nasschemische Ätzen erfolgt, und

- nach dem Schritt E), in Draufsicht gesehen, die Halbleiterchips (10) je mindestens zwei Ecken

10 aufweisen, in denen sich Kanten der Halbleiterchips (10) mit einem Winkel ungleich 90° treffen.

3. Verfahren nach einem der vorhergehenden Ansprüche, bei dem ein Bereich (5) an den Trennbereichen (11), in dem die Halbleiterschichtenfolge (2) vor dem Schritt C) entfernt wird, eine Breite zwischen einschließlich $1\text{ }\mu\text{m}$ und $20\text{ }\mu\text{m}$ aufweist.

15

4. Verfahren nach einem der vorhergehenden Ansprüche, bei dem durch die Trennbereiche (S) im Schritt C) Seitenflächen (3) der Träger (1) geformt werden, wobei an den Seitenflächen (3) eine Aufrauung (4) geformt wird.

20

5. Verfahren nach dem vorhergehenden Anspruch, wobei die Aufrauung (4) eine mittlere Rauheit zwischen einschließlich $0,25\text{ }\mu\text{m}$ und $3\text{ }\mu\text{m}$ aufweist.

25 6. Verfahren nach einem der Ansprüche 1 bis 3, bei dem

- durch die Trennbereiche (S) im Schritt C) glatte Seitenflächen (3) der Träger (1) geformt werden,

- die Trennbereiche (S) den Träger nicht vollständig durchdringen,

30

- nach dem Erzeugen der Seitenflächen (3) auf die Seitenflächen (3) in den Trennbereichen (S) zumindest eine Spiegelschicht (6) aufgebracht wird,
 - an einer dem Trägerverbund (11) abgewandten Seite der Halbleiterschichtenfolge (2) ein temporärer Hilfsträger (12) angebracht wird, und
 - nach dem Anbringen des Hilfsträgers (12) das Vereinzeln mit dem weiteren Materialabtrageverfahren erfolgt und das weitere Materialabtrageverfahren ein Schleifen oder ein Läppen ist.
7. Verfahren nach dem vorhergehenden Anspruch, bei dem nach dem Vereinzeln und vor einem Entfernen des Hilfsträgers (12) ein zusammenhängender Vergusskörper (13) erzeugt wird, der die vereinzelt Halbeiterchips jeweils (10) ringsum umgibt und mechanisch miteinander verbindet, wobei anschließend der Vergusskörper (13) unterteilt wird, sodass mehrere Halbleiterbauteile (30) mit mindestens einem der als Flip-Chips gestalteten Halbeiterchips (10) und mit einem Teil des Vergusskörpers (13) gebildet werden, und wobei der Hilfsträger entfernt wird.
8. Verfahren nach einem der vorhergehenden Ansprüche, bei dem im Schritt E) die Laserstrahlung (L) in den Trennbereichen (S) je in einem zweidimensionalen Zickzack-Muster geführt wird.
9. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Trennbereiche (S), im Querschnitt gesehen, in einem Winkel (A) ungleich 0° zu einer Wachstumsrichtung (G) der Halbleiterschichtenfolge (2) verlaufen.

10. Verfahren nach dem vorhergehenden Anspruch,
bei dem Winkel (A) zwischen einschließlich 15° und 75°
liegt und durch den Schritt D) bestimmt wird.
11. Verfahren nach einem der vorhergehenden Ansprüche,
5 bei dem die Trennbereiche (S), im Querschnitt gesehen,
V-förmig und symmetrisch zur Wachstumsrichtung (G)
gestaltet sind.
12. Verfahren nach einem der vorhergehenden Ansprüche,
bei dem
10 - die Laserstrahlung (L) von einer der
Halbleiterschichtenfolge (2) abgewandten Rückseite (7)
des Trägerverbunds (11) her eingestrahlt wird,
- zwischen den Schritten D) und E) eine Spiegelschicht
(6) ganzflächig oder stellenweise auf der Rückseite (7)
15 aufgebracht wird, und
- im Schritt D) eine mechanische Integrität des
Trägerverbunds (11) erhalten bleibt.
13. Verfahren nach einem der vorhergehenden Ansprüche,
bei dem
20 - die Materialveränderungen, pro Impuls der
Laserstrahlung (L), ein Volumen zwischen einschließlich
 $0,25 \mu\text{m}^3$ und $50 \mu\text{m}^3$ aufweisen,
- eine Leistungsdichte der Laserstrahlung (L) bei der
Materialveränderung zwischen einschließlich 2×10^{13}
25 W/cm^2 und $5 \times 10^{14} \text{ W}/\text{cm}^2$ liegt,
- eine mittlere Impulsdauer der Impulse der
Laserstrahlung (L) bei höchstens 50 ns liegt, und
- im Schritt D) das Ätzen mit Flusssäure erfolgt.
14. Verfahren nach einem der vorhergehenden Ansprüche,
30 bei dem vor dem Schritt C) der Trägerverbund (11)

gedünnt wird, sodass eine Dicke des Trägerverbunds (11) nach dem Dünnen zwischen einschließlich 80 µm und 300 µm liegt.

15. Verfahren nach einem der vorhergehenden Ansprüche,
5 bei dem durch die Impulse der Laserstrahlung (L) je inselförmige Materialveränderungen mit einer im Vergleich zu nicht bestrahlten Teilen des Trägerverbunds (11) reduzierten Kristallqualität erzeugt werden, wobei benachbarte Materialveränderungen
10 überlappen oder sich berühren.
16. Optoelektronischer Halbleiterchip (10), der mit einem Verfahren nach einem der vorherigen Ansprüche hergestellt ist,
wobei
15 - der Halbleiterchip (10) eine auf AlInGaN basierende Halbleiterschichtenfolge (2) mit zumindest einer aktiven Zone zur Strahlungserzeugung umfasst,
- die Halbleiterschichtenfolge (2) auf einem Träger (1) aus Saphir aufgewachsen ist,
20 - Seitenflächen (3) des Trägers (1) eine Aufrauung (4) mit einer mittleren Rauheit zwischen einschließlich 0,25 µm und 3 µm aufweisen, und
- die Halbleiterschichtenfolge (2) nicht bis an die Seitenflächen heranreicht.

FIG 1

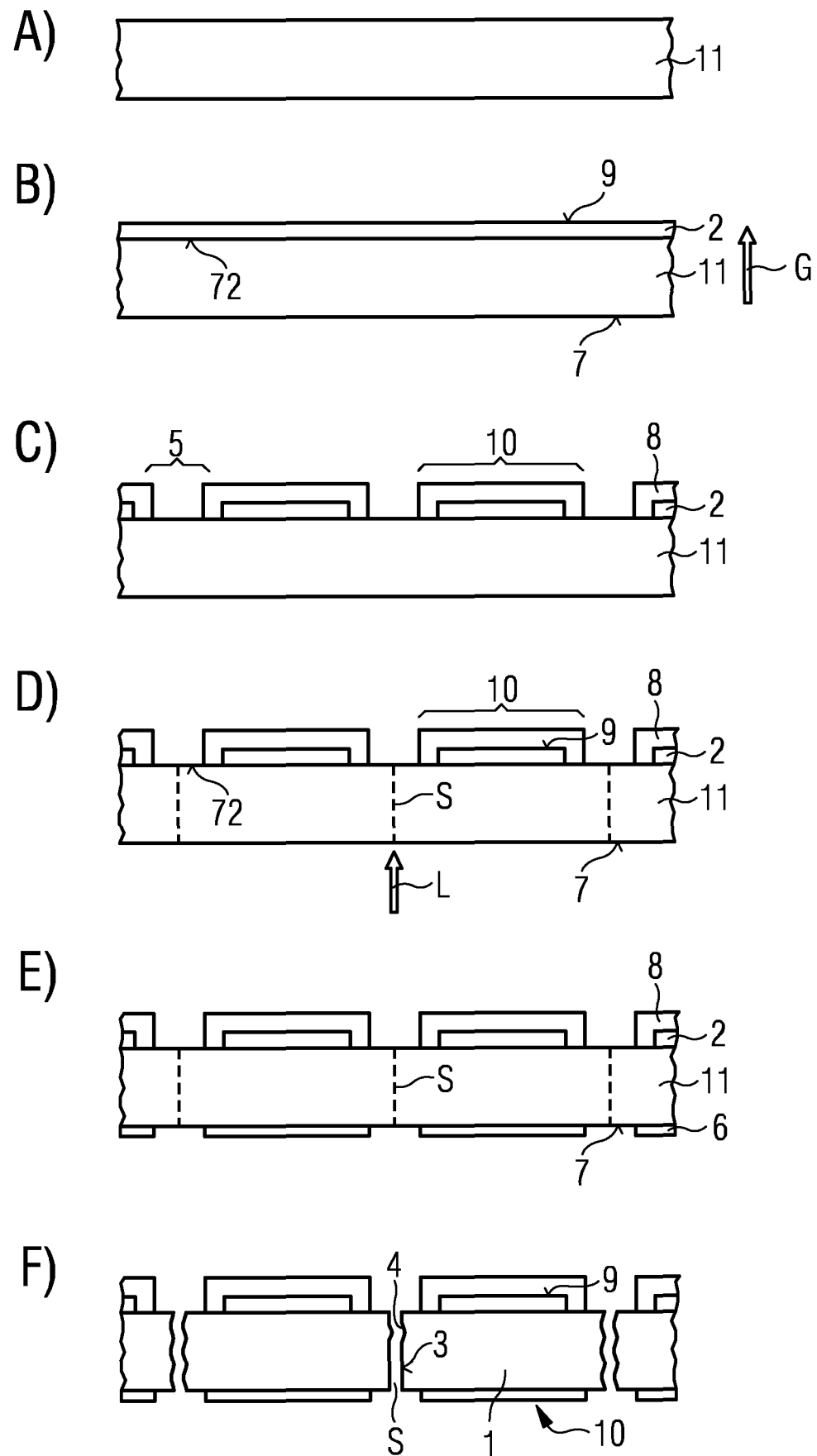


FIG 2

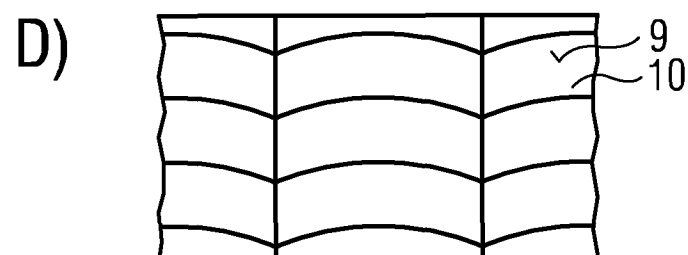
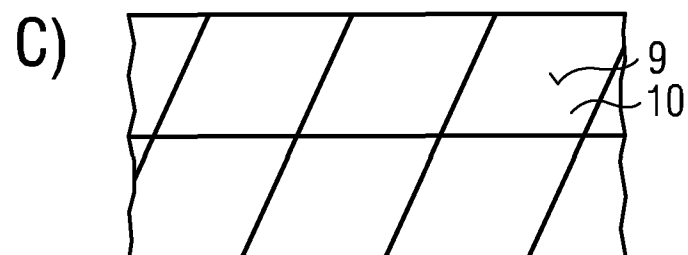
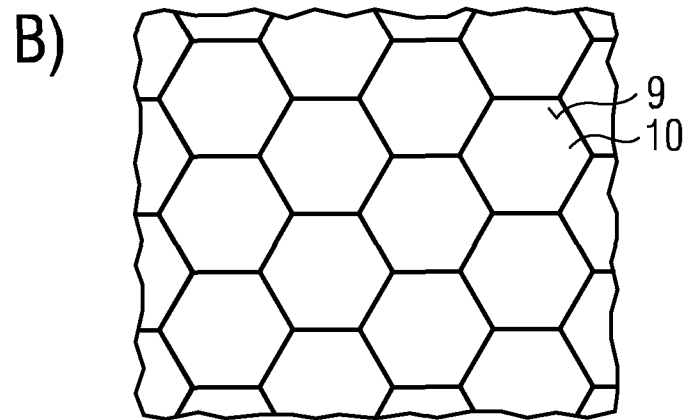
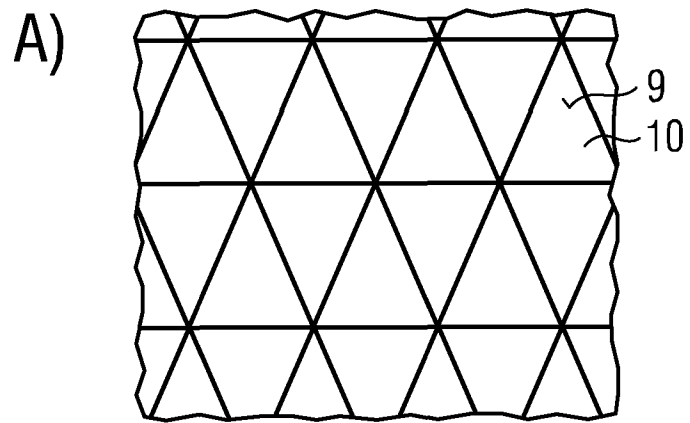


FIG 3

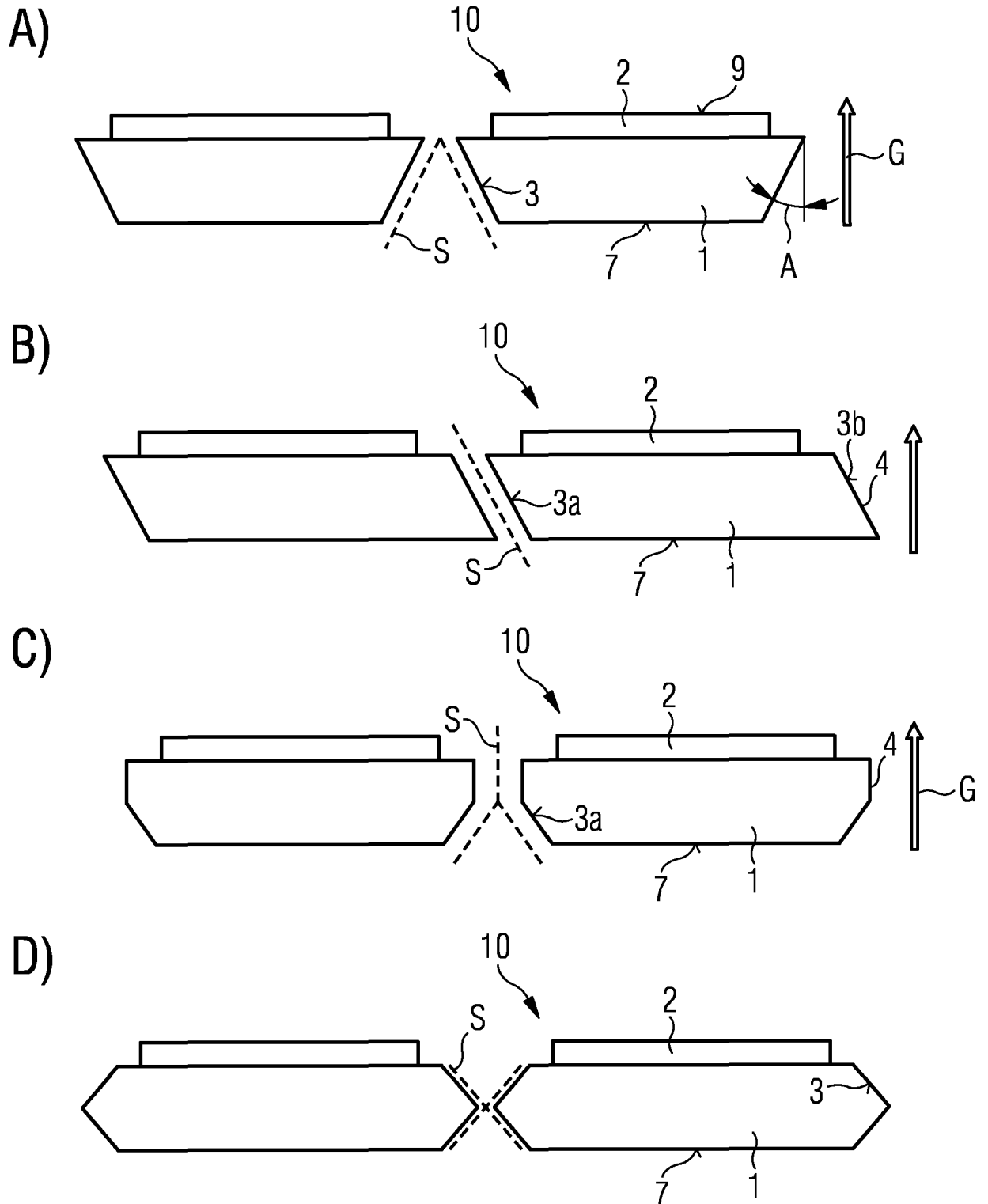


FIG 4

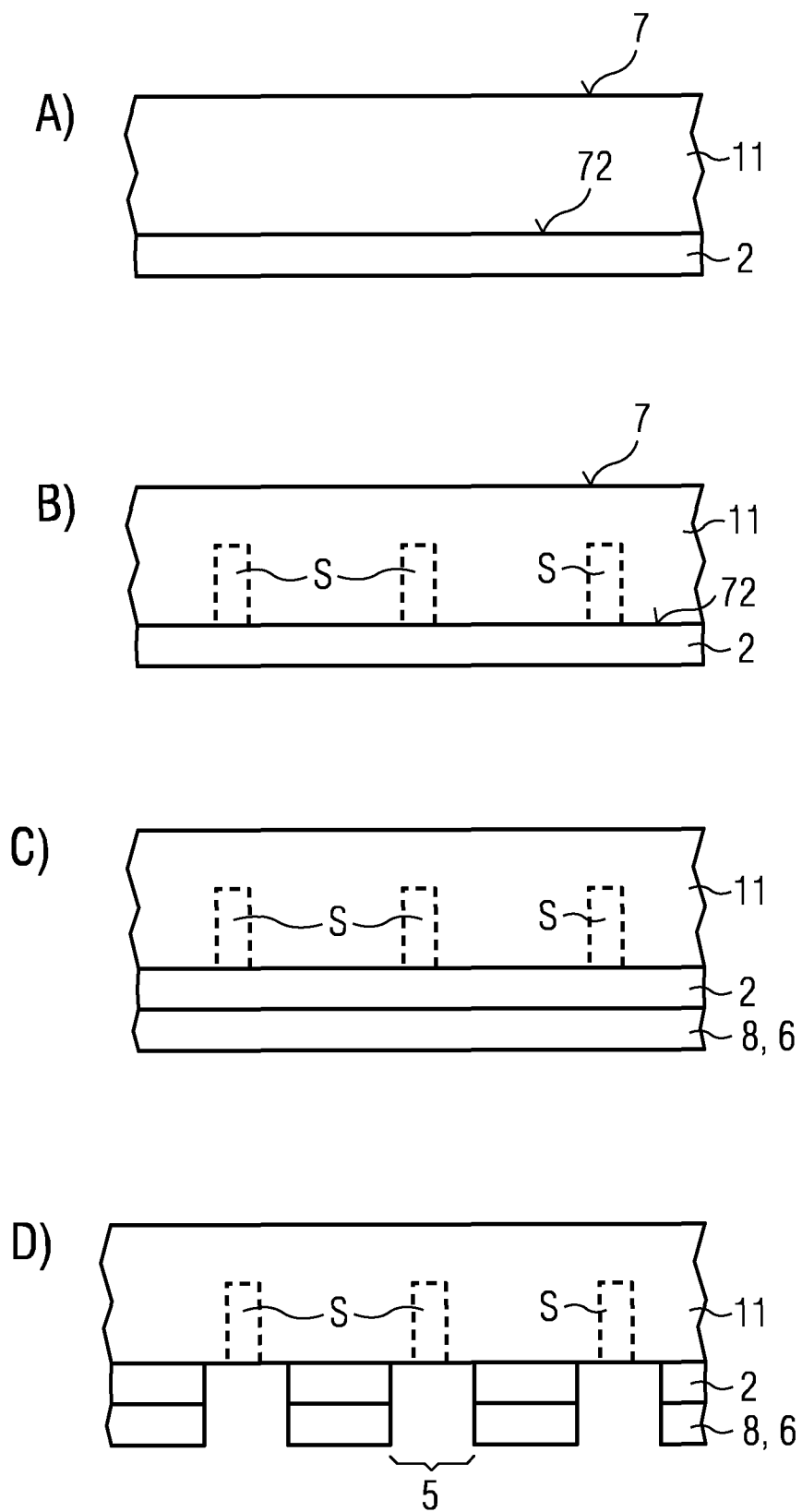


FIG 4

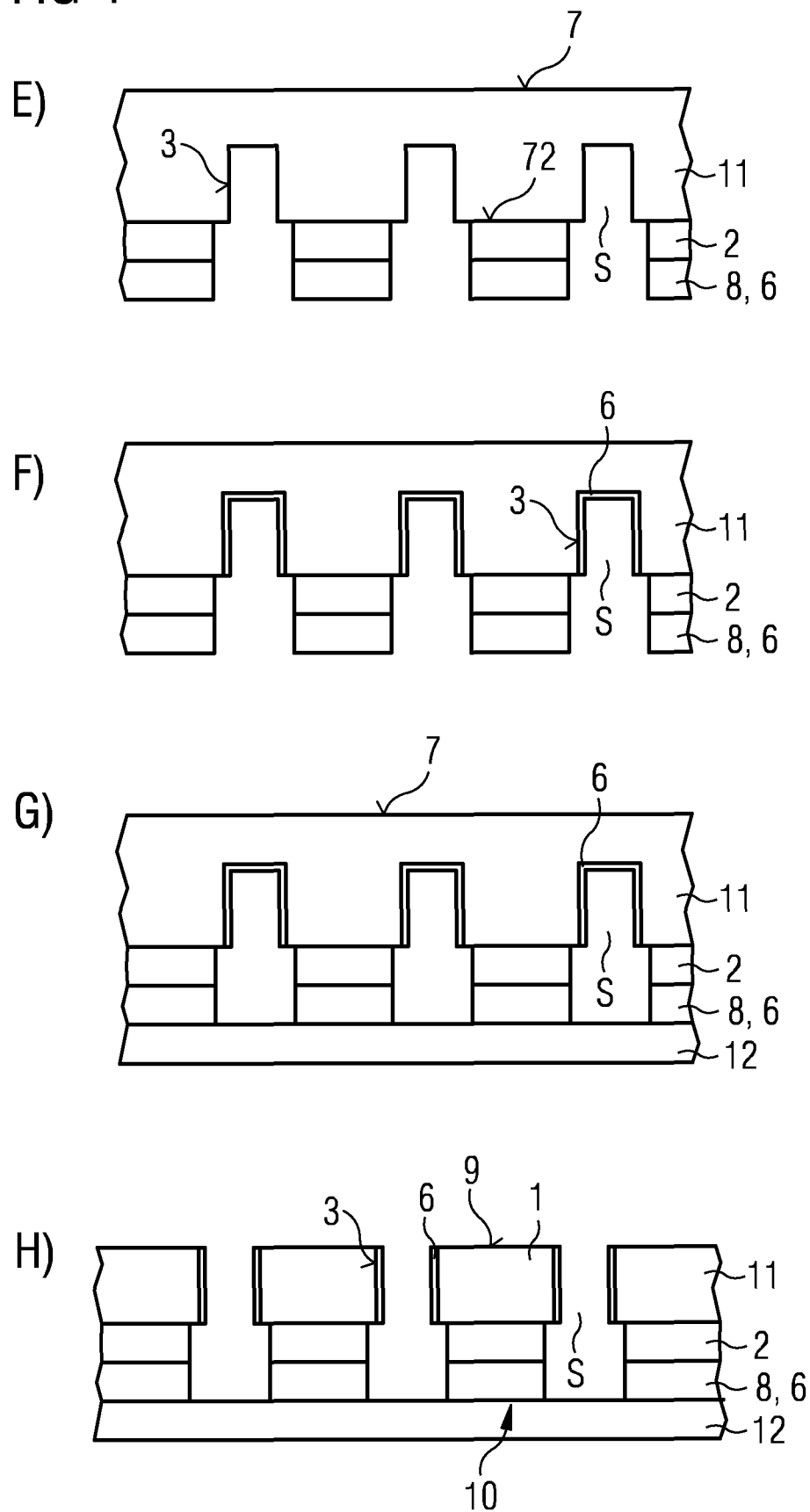
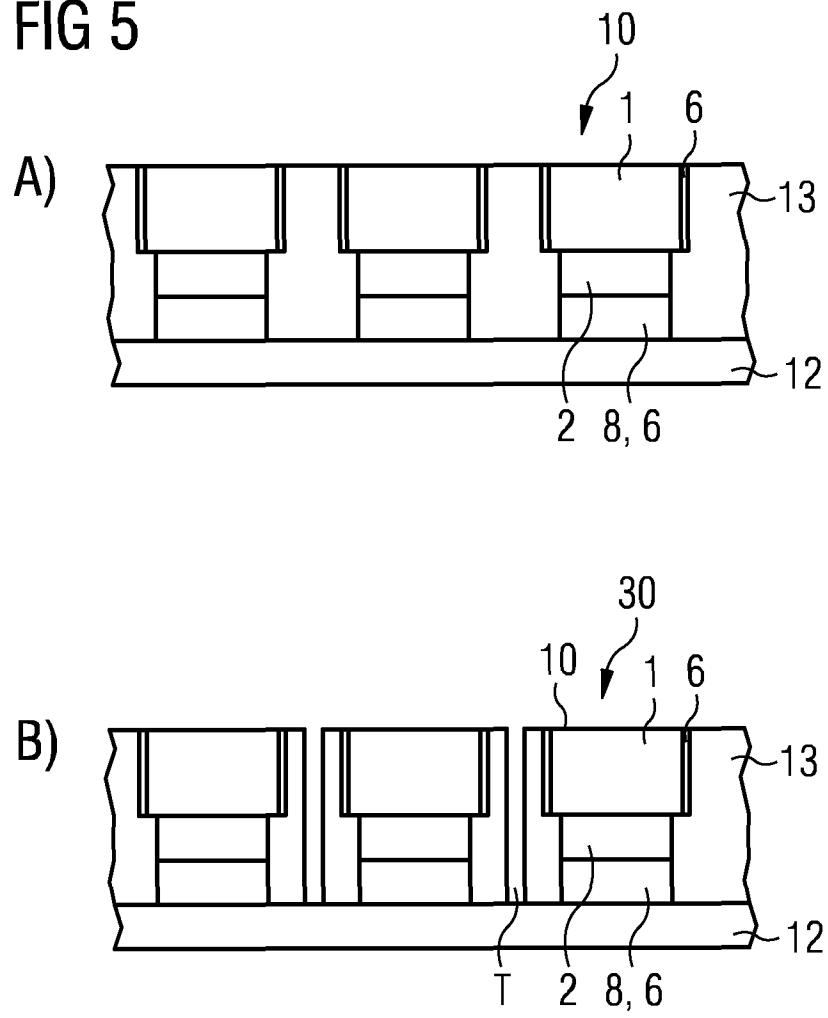


FIG 5



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2014/055528

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L33/00 H01S5/02 B23K26/00 B23K26/40 H01L33/32
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L H01S B23K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 2012 0102897 A (KOREA MACH & MATERIALS INST [KR]) 19 September 2012 (2012-09-19)	1,4,5, 13-16
Y	paragraph [0001] - paragraph [0040];	2,3,9-12
A	figures 1-3C	6-8
Y	----- WO 03/030271 A2 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; FEHRER MICHAEL [DE]; HAERLE VOLKE) 10 April 2003 (2003-04-10)	2,3,9-11
A	page 16, line 13 - page 23, line 11; figures 1-12D	6-8,12
Y	----- US 2013/023076 A1 (UCHIYAMA NAOKI [JP]) 24 January 2013 (2013-01-24)	12
A	paragraph [0050] - paragraph [0110]; figures 1-24b	1-11, 13-16
	----- -/-	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

19 May 2014

Date of mailing of the international search report

02/06/2014

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, Claus

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2014/055528

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 10 2005 041064 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 1 March 2007 (2007-03-01) paragraph [0075] - paragraph [0123]; figures 1A-10 -----	1-16
A	US 2008/290359 A1 (INOUE TOMIO [KR] ET AL) 27 November 2008 (2008-11-27) paragraph [0051] - paragraph [0168]; figures 1-14D -----	1-16
A	DE 10 2008 010512 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 27 August 2009 (2009-08-27) paragraph [0037] - paragraph [0050]; figures 1-6e -----	1-16
A	WO 2012/060619 A2 (VERTICLE INC [KR]; PARK MOO KEUN [KR]; YOO MYUNG CHEOL [KR]; OH SE JON) 10 May 2012 (2012-05-10) paragraph [0086] - paragraph [0165]; figures 1-22 & EP 2 637 222 A2 (VERTICLE INC [KR]) 11 September 2013 (2013-09-11) paragraph [0037] - paragraph [0117]; figures 1-22 -----	1-16
A	MAREN HÖRSTMANN-JUNGEMANN ET AL: "3D-Microstructuring of Sapphire using fs-Laser Irradiation and Selective Etching", JOURNAL OF LASER MICRO/NANOENGINEERING, vol. 5, no. 2, 2010, pages 145-149, XP055117400, DOI: 10.2961/jlmn.2010.02.0009 cited in the application the whole document -----	1-16
A	JP 2012 016726 A (MITSUBISHI CHEM CORP) 26 January 2012 (2012-01-26) paragraph [0009] - paragraph [0312]; figures 1-6 -----	1-16

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2014/055528

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
KR 20120102897 A	19-09-2012	NONE	
WO 03030271 A2	10-04-2003	DE 10148227 A1 EP 1430544 A2 JP 2005505140 A US 2005017258 A1 WO 03030271 A2	30-04-2003 23-06-2004 17-02-2005 27-01-2005 10-04-2003
US 2013023076 A1	24-01-2013	CN 102891231 A DE 102012212709 A1 JP 2013042119 A KR 20130011949 A TW 201318199 A US 2013023076 A1	23-01-2013 24-01-2013 28-02-2013 30-01-2013 01-05-2013 24-01-2013
DE 102005041064 A1	01-03-2007	CN 101300688 A DE 102005041064 A1 EP 1920470 A1 JP 2009506556 A KR 20080042911 A TW I316747 B US 2009212316 A1 WO 2007025515 A1	05-11-2008 01-03-2007 14-05-2008 12-02-2009 15-05-2008 01-11-2009 27-08-2009 08-03-2007
US 2008290359 A1	27-11-2008	JP 4903179 B2 JP 2008270820 A US 2008290359 A1 US 2011169035 A1	28-03-2012 06-11-2008 27-11-2008 14-07-2011
DE 102008010512 A1	27-08-2009	NONE	
WO 2012060619 A2	10-05-2012	EP 2637222 A2 JP 2013541855 A KR 20120047033 A US 2013240919 A1 WO 2012060619 A2	11-09-2013 14-11-2013 11-05-2012 19-09-2013 10-05-2012
JP 2012016726 A	26-01-2012	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2014/055528

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES INV. H01L33/00 H01S5/02 B23K26/00 B23K26/40 H01L33/32 ADD.		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) H01L H01S B23K		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EP0-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	KR 2012 0102897 A (KOREA MACH & MATERIALS INST [KR]) 19. September 2012 (2012-09-19)	1,4,5, 13-16
Y	Absatz [0001] - Absatz [0040]; Abbildungen	2,3,9-12
A	1-3C	6-8

Y	WO 03/030271 A2 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; FEHRER MICHAEL [DE]; HAERLE VOLKE) 10. April 2003 (2003-04-10)	2,3,9-11
A	Seite 16, Zeile 13 - Seite 23, Zeile 11; Abbildungen 1-12D	6-8,12

Y	US 2013/023076 A1 (UCHIYAMA NAOKI [JP]) 24. Januar 2013 (2013-01-24)	12
A	Absatz [0050] - Absatz [0110]; Abbildungen 1-24b	1-11, 13-16

	-/--	
☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche 19. Mai 2014		Absendedatum des internationalen Recherchenberichts 02/06/2014
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Albrecht, Claus

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2014/055528

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 10 2005 041064 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 1. März 2007 (2007-03-01) Absatz [0075] - Absatz [0123]; Abbildungen 1A-10 -----	1-16
A	US 2008/290359 A1 (INOUE TOMIO [KR] ET AL) 27. November 2008 (2008-11-27) Absatz [0051] - Absatz [0168]; Abbildungen 1-14D -----	1-16
A	DE 10 2008 010512 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 27. August 2009 (2009-08-27) Absatz [0037] - Absatz [0050]; Abbildungen 1-6e -----	1-16
A	WO 2012/060619 A2 (VERTICLE INC [KR]; PARK MOO KEUN [KR]; YOO MYUNG CHEOL [KR]; OH SE JON) 10. Mai 2012 (2012-05-10) Absatz [0086] - Absatz [0165]; Abbildungen 1-22 & EP 2 637 222 A2 (VERTICLE INC [KR]) 11. September 2013 (2013-09-11) Absatz [0037] - Absatz [0117]; Abbildungen 1-22 -----	1-16
A	MAREN HÖRSTMANN-JUNGEMANN ET AL: "3D-Microstructuring of Sapphire using fs-Laser Irradiation and Selective Etching", JOURNAL OF LASER MICRO/NANOENGINEERING, Bd. 5, Nr. 2, 2010, Seiten 145-149, XP055117400, DOI: 10.2961/jlmn.2010.02.0009 in der Anmeldung erwähnt das ganze Dokument -----	1-16
A	JP 2012 016726 A (MITSUBISHI CHEM CORP) 26. Januar 2012 (2012-01-26) Absatz [0009] - Absatz [0312]; Abbildungen 1-6 -----	1-16

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2014/055528

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
KR 20120102897 A	19-09-2012	KEINE	
WO 03030271 A2	10-04-2003	DE 10148227 A1 EP 1430544 A2 JP 2005505140 A US 2005017258 A1 WO 03030271 A2	30-04-2003 23-06-2004 17-02-2005 27-01-2005 10-04-2003
US 2013023076 A1	24-01-2013	CN 102891231 A DE 102012212709 A1 JP 2013042119 A KR 20130011949 A TW 201318199 A US 2013023076 A1	23-01-2013 24-01-2013 28-02-2013 30-01-2013 01-05-2013 24-01-2013
DE 102005041064 A1	01-03-2007	CN 101300688 A DE 102005041064 A1 EP 1920470 A1 JP 2009506556 A KR 20080042911 A TW I316747 B US 2009212316 A1 WO 2007025515 A1	05-11-2008 01-03-2007 14-05-2008 12-02-2009 15-05-2008 01-11-2009 27-08-2009 08-03-2007
US 2008290359 A1	27-11-2008	JP 4903179 B2 JP 2008270820 A US 2008290359 A1 US 2011169035 A1	28-03-2012 06-11-2008 27-11-2008 14-07-2011
DE 102008010512 A1	27-08-2009	KEINE	
WO 2012060619 A2	10-05-2012	EP 2637222 A2 JP 2013541855 A KR 20120047033 A US 2013240919 A1 WO 2012060619 A2	11-09-2013 14-11-2013 11-05-2012 19-09-2013 10-05-2012
JP 2012016726 A	26-01-2012	KEINE	