

(12) 特許協力条約に基づいて公開された国際出願

7a

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年1月12日(12.01.2012)



PCT



(10) 国際公開番号
WO 2012/005292 A1

- (51) 国際特許分類：
G01C 19/56 (2006.01) H01L 29/78 (2006.01)
B81C 1/00 (2006.01) H01L 29/84 (2006.01)
H01L 21/3065 (2006.01)
- (21) 国際出願番号： PCT/JP20 11/065481
- (22) 国際出願日： 2011年7月6日(06.07.2011)
- (25) 国際出願の言語： 日本語
- (26) 国際公開の言語： 日本語
- (30) 優先権データ：
特願 2010-154019 2010年7月6日(06.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について)：
ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- () 発明者 ;および
() 発明者/出願人 (米国についてのみ): 仲谷 吾郎
(NAKATANI, Goro) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 株式会社 社内 Kyoto (JP).
- (74) 代理人 : 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町2丁目6

番 1 2 号 サンマリオン N B F タワー 2 1 階
あい特許事務所内 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可^レ得): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

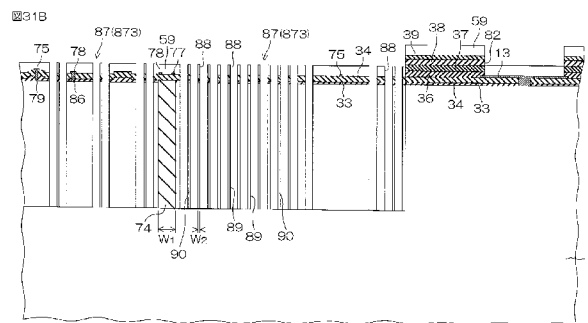
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可^レ得): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類：
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR SUBSTRATE ETCHING METHOD AND PRODUCTION METHOD FOR CAPACITIVE MEMS SENSOR

(54) 発明の名称 : 半導体基板のエッチング方法および静電容量型 MEMS センサの製造方法

[図1a]



(57) Abstract: Disclosed is a semiconductor substrate etching method that selectively etches a set etching region on a semiconductor substrate and which includes: a step which forms in the etching region a plurality of first concave sections with the same opening shape and size, by deep reactive ion etching in a predetermined pattern from a plurality of locations in the etching region; and a step which forms in the etching region a second concave section wherein the plurality of first concave sections are combined, by isotropic etching to remove the side walls of the semiconductor which partition the plurality of first concave sections.

(57) 要約: 本発明の半導体基板のエッチング方法は、エッチング領域が定められた半導体基板の当該エッチング領域を選択的にエッチングする方法であって、当該エッチング領域内の複数箇所から所定のパターンで深掘り反応性イオンエッチングすることにより、同一形状および大きさの開口を有する複数の第1凹部を前記エッチング領域に形成する工程と、複数の前記第1凹部を区画する前記半導体基板の側壁を等方性イオンエッチングで除去することにより、複数の前記第1凹部が一体化された第2凹部を前記エッチング領域に形成する工程とを含む。

WO 2012/005292 A1

明 細 書

発 明 の 名 称 :

半 導 体 基 板 の エ ッ チ ン グ 方 法 お よ び 静 電 容 量 型 M E M S セ ン サ の 製 造 方 法

技 術 分 野

[0001] 本発明は、半導体基板のエッチング方法およびそれを利用した静電容量型 M E M S センサの製造方法に関する。

背景技術

[0002] 近年、M E M S (Micro E L e c t r o M e c h a n i c a l S y s t e m s) 技術を応用したデバイスが携帯電話機などに搭載され始めたことから、M E M S デバイスが注目されている。

M E M S デバイスの作製に際し、高いアスペクト比でエッチングする技術として、深掘り反応性イオンエッチング (深掘り R I E : Deep React i v e I o n Etch i n g) が知られている。

先行技術文献

特許文献

[0003] 特許文献 1 : 特表 2 0 0 7 — 5 1 9 8 9 1 号 公 報

発 明 の 概 要

発 明 が 解 決 し ょ う と す る 課 題

[0004] 深掘り R I E は、半導体基板におけるエッチングノ《ターンの形状によって、そのエッチングレートが異なる。そのため、M E M S デバイス作製の際、形状や大きさが異なるエッチングパターンが混在していると、深掘り R I E により形成された凹部の深さが、パターンごとにばらばらになる。

本発明の目的は、エッチング領域の形状または大きさによらずに、正確に制御された深さの凹部を形成することができる半導体基板のエッチング方法を提供することである。

[0005] また、本発明の別の目的は、静電容量の変化を検出する 1 対の電極 (第 1 電極および第 2 電極) を設計通りに作製することができる静電容量型 M E M

S センサの製造方法を提供することである。

課題を解決するための手段

[0006] 上記目的を達成するための本発明の半導体基板のエッチング方法は、エッチング領域が定められた半導体基板の当該エッチング領域を選択的にエッチングする方法であつて、当該エッチング領域内の複数箇所から所定のパターンで深掘り反応性イオンエッチングすることにより、同一形状および大きさの開口を有する複数の第1凹部を前記エッチング領域に形成する工程と、複数の前記第1凹部を区画する前記半導体基板の側壁を等方性イオンエッチングで除去することにより、複数の前記第1凹部が一体化された第2凹部を前記エッチング領域に形成する工程とを含む。

[0007] この方法によれば、半導体基板に定められたエッチング領域に第2凹部が形成される。この第2凹部の形成に先立って、半導体基板が、エッチング領域内の複数箇所から、所定のパターンで深掘り反応性イオンエッチングされる。つまり、エッチング領域内の半導体が、同一パターン（同一形状および大きさの開口パターン）で深掘り反応性イオンエッチングされる。そのため、当該エッチング領域に複数の第1凹部を形成する際のエッチングレートをほぼ等しくすることができる。その結果、深掘り反応性イオンエッチング工程の実行により、エッチング領域内に、深さがほぼ等しく揃った複数の第1凹部を形成することができる。そして、当該複数の第1凹部を区画する半導体基板の側壁を等方性イオンエッチングで除去することにより、複数の第1凹部が一体化され、これによりエッチング領域内を占める第2凹部が形成される。これにより、半導体基板のエッチング領域を選択的にエッチングすることができる。

[0008] すなわち、この方法によれば、第1ステップとして、形状および大きさの揃ったパターンで半導体基板を垂直に深掘り反応性イオンエッチングして複数の第1凹部が形成される。これにより、第2凹部を設計通りの深さで形成することができる。そのため、エッチング領域の形状または大きさによらずに、正確に制御された深さの第2凹部を、半導体基板に形成することができ

る。

[0009] したがって、半導体基板に、形状または大きさが異なる第1エッチング領域および第2エッチング領域が混在する場合でも、第1ステップとして、形状および大きさが同一の開孔パターンで半導体基板を垂直に深掘り反応性イオンエッチングすることにより、第1および第2エッチング領域内に、それぞれ複数の第1凹部を同時に形成し、第2ステップとして、半導体基板を横方向に等方性イオンエッチングすればよい。これにより、第1エッチング領域に形成される第2凹部の深さと、第2エッチング領域に形成される第2凹部の深さとをほぼ等しく揃えることができる。

[0010] そして、このエッチング方法は、たとえば、静電容量型MEMSセンサの製造方法に好適に採用することができる。

具体的には、半導体基板と、前記半導体基板の表面部に形成された第1電極と、前記半導体基板の前記表面部に形成され、前記第1電極に対して間隔を空けて対向する第2電極とを含む静電容量型MEMSセンサの製造方法であって、前記第1電極および前記第2電極を形成すべき領域外において当該第1および第2電極を形成すべき領域を区画するようにエッチング領域を定める工程と、前記エッチング領域内の複数箇所から所定のパターンで深掘り反応性イオンエッチングすることにより、同一形状および大きさの開孔を有する複数の第1凹部を前記エッチング領域に形成する工程と、複数の前記第1凹部を区画する前記半導体基板の側壁を等方性イオンエッチングで除去することにより、複数の前記第1凹部が一体化された第2凹部を前記エッチング領域に形成し、同時に前記第1および第2電極を形成する工程とを実行すればよい。

[0011] これにより、第2凹部の深さを正確に制御することができるので、第1電極および第2電極を区画するために定められるエッチング領域がどのような形状や大きさであっても、第1電極および第2電極を設計通りの厚さ（半導体基板の厚さ方向における厚さ）で形成することができる。

図面の簡単な説明

[0012] [図1] 図1は、ジャイロセンサの模式平面図である。

[図2] 図2は、図1に示すセンサ部の模式平面図である。

[図3] 図3は、図2に示すX軸センサの要部平面図である。

[図4] 図4は、図2に示すX軸センサの要部断面図であって、図3の切断線Ⅰ-Ⅰでの断面図である。

[図5] 図5は、図2に示すZ軸センサの要部平面図である。

[図6] 図6は、図2に示すZ軸センサの要部断面図であって、図5の切断線Ⅱ-Ⅱでの断面図である。

[図7] 図7は、図2に示すZ軸センサの要部断面図であって、図5の切断線Ⅲ-Ⅲでの断面図である。

[図8] 図8は、図1に示す集積回路の模式断面図である。

[図9A] 図9Aは、本発明の一実施形態に係るジャイロセンサの製造工程を示す模式的な断面図であって、図4と同じ位置での切断面を示す。

[図9B] 図9Bは、本発明の一実施形態に係るジャイロセンサの製造工程を示す模式的な断面図であって、図6と同じ位置での切断面を示す。

[図9C] 図9Cは、本発明の一実施形態に係るジャイロセンサの製造工程を示す模式的な断面図であって、図8と同じ位置での切断面を示す。

[図10A] 図10Aは、図9Aの次の工程を示す模式的な断面図である。

[図10B] 図10Bは、図9Bの次の工程を示す模式的な断面図である。

[図10C] 図10Cは、図9Cの次の工程を示す模式的な断面図である。

[図11A] 図11Aは、図10Aの次の工程を示す模式的な断面図である。

[図11B] 図11Bは、図10Bの次の工程を示す模式的な断面図である。

[図11C] 図11Cは、図10Cの次の工程を示す模式的な断面図である。

[図12A] 図12Aは、図11Aの次の工程を示す模式的な断面図である。

[図12B] 図12Bは、図11Bの次の工程を示す模式的な断面図である。

[図12C] 図12Cは、図11Cの次の工程を示す模式的な断面図である。

[図13A] 図13Aは、図12Aの次の工程を示す模式的な断面図である。

[図13B] 図13Bは、図12Bの次の工程を示す模式的な断面図である。

- [図 13C] 図 1 3 C は、図 1 2 C の次の工程を示す模式的な断面図である。
- [図 14A] 図 1 4 A は、図 1 3 A の次の工程を示す模式的な断面図である。
- [図 14B] 図 1 4 B は、図 1 3 B の次の工程を示す模式的な断面図である。
- [図 14C] 図 1 4 C は、図 1 3 C の次の工程を示す模式的な断面図である。
- [図 15A] 図 1 5 A は、図 1 4 A の次の工程を示す模式的な断面図である。
- [図 15B] 図 1 5 B は、図 1 4 B の次の工程を示す模式的な断面図である。
- [図 15C] 図 1 5 C は、図 1 4 C の次の工程を示す模式的な断面図である。
- [図 16A] 図 1 6 A は、図 1 5 A の次の工程を示す模式的な断面図である。
- [図 16B] 図 1 6 B は、図 1 5 B の次の工程を示す模式的な断面図である。
- [図 16C] 図 1 6 C は、図 1 5 C の次の工程を示す模式的な断面図である。
- [図 17A] 図 1 7 A は、図 1 6 A の次の工程を示す模式的な断面図である。
- [図 17B] 図 1 7 B は、図 1 6 B の次の工程を示す模式的な断面図である。
- [図 17C] 図 1 7 C は、図 1 6 C の次の工程を示す模式的な断面図である。
- [図 18A] 図 1 8 A は、図 1 7 A の次の工程を示す模式的な断面図である。
- [図 18B] 図 1 8 B は、図 1 7 B の次の工程を示す模式的な断面図である。
- [図 18C] 図 1 8 C は、図 1 7 C の次の工程を示す模式的な断面図である。
- [図 19A] 図 1 9 A は、図 1 8 A の次の工程を示す模式的な断面図である。
- [図 19B] 図 1 9 B は、図 1 8 B の次の工程を示す模式的な断面図である。
- [図 19C] 図 1 9 C は、図 1 8 C の次の工程を示す模式的な断面図である。
- [図 20A] 図 2 0 A は、図 1 9 A の次の工程を示す模式的な断面図である。
- [図 20B] 図 2 0 B は、図 1 9 B の次の工程を示す模式的な断面図である。
- [図 20C] 図 2 0 C は、図 1 9 C の次の工程を示す模式的な断面図である。
- [図 21A] 図 2 1 A は、図 2 0 A の次の工程を示す模式的な断面図である。
- [図 21B] 図 2 1 B は、図 2 0 B の次の工程を示す模式的な断面図である。
- [図 21C] 図 2 1 C は、図 2 0 C の次の工程を示す模式的な断面図である。
- [図 22A] 図 2 2 A は、図 2 1 A の次の工程を示す模式的な断面図である。
- [図 22B] 図 2 2 B は、図 2 1 B の次の工程を示す模式的な断面図である。
- [図 22C] 図 2 2 C は、図 2 1 C の次の工程を示す模式的な断面図である。

- [図 23A: 図 2 3 A は、図 2 2 A の次の工程を示す模式的な断面図である。
- [図 23B: 図 2 3 B は、図 2 2 B の次の工程を示す模式的な断面図である。
- [図 23C: 図 2 3 C は、図 2 2 C の次の工程を示す模式的な断面図である。
- [図 24A: 図 2 4 A は、図 2 3 A の次の工程を示す模式的な断面図である。
- [図 24B: 図 2 4 B は、図 2 3 B の次の工程を示す模式的な断面図である。
- [図 24に 図 2 4 C は、図 2 3 C の次の工程を示す模式的な断面図である。
- [図 25A: 図 2 5 A は、図 2 4 A の次の工程を示す模式的な断面図である。
- [図 25B: 図 2 5 B は、図 2 4 B の次の工程を示す模式的な断面図である。
- [図 25C: 図 2 5 C は、図 2 4 C の次の工程を示す模式的な断面図である。
- [図 26A: 図 2 6 A は、図 2 5 A の次の工程を示す模式的な断面図である。
- [図 26B: 図 2 6 B は、図 2 5 B の次の工程を示す模式的な断面図である。
- [図 26C: 図 2 6 C は、図 2 5 C の次の工程を示す模式的な断面図である。
- [図 27A: 図 2 7 A は、図 2 6 A の次の工程を示す模式的な断面図である。
- [図 27B: 図 2 7 B は、図 2 6 B の次の工程を示す模式的な断面図である。
- [図 27C: 蒙 7 C は、図 2 6 C の次の工程を示す模式的な断面図である。
- [図 28A: 図 2 8 A は、図 2 7 A の次の工程を示す模式的な断面図である。
- [図 28B: 図 2 8 B は、図 2 7 B の次の工程を示す模式的な断面図である。
- [図 28C: 図 2 8 C は、図 2 7 C の次の工程を示す模式的な断面図である。
- [図 29A: 蒙 9 A は、図 2 8 A の次の工程を示す模式的な断面図である。
- [図 29B:] 図 2 9 B は、図 2 8 B の次の工程を示す模式的な断面図である。
- [図 29C:] 図 2 9 C は、図 2 8 C の次の工程を示す模式的な断面図である。
- [図 30A:] 図 3 0 A は、図 2 9 A の次の工程を示す模式的な断面図である。
- [図 30B:] 図 3 0 B は、図 2 9 B の次の工程を示す模式的な断面図である。
- [図 30C:] 図 3 0 C は、図 2 9 C の次の工程を示す模式的な断面図である。
- [図 31A: 酒 3 1 A は、図 3 0 A の次の工程を示す模式的な断面図である。
- [図 31B: 酒 3 1 B は、図 3 0 B の次の工程を示す模式的な断面図である。
- [図 31C: 酒 3 1 C は、図 3 0 C の次の工程を示す模式的な断面図である。
- [図 32A: 酒 3 2 A は、図 3 1 A の次の工程を示す模式的な断面図である。

[図32B] 図3 2 B は、図3 1 B の次の工程を示す模式的な断面図である。

[図32C] 図3 2 C は、図3 1 C の次の工程を示す模式的な断面図である。

[図33A] 図3 3 A は、図3 2 A の次の工程を示す模式的な断面図である。

[図33B] 図3 3 B は、図3 2 B の次の工程を示す模式的な断面図である。

[図33C] 図3 3 C は、図3 2 C の次の工程を示す模式的な断面図である。

[図34A] 図3 4 A は、図3 3 A の次の工程を示す模式的な断面図である。

[図34B] 図3 4 B は、図3 3 B の次の工程を示す模式的な断面図である。

[図34C] 図3 4 C は、図3 3 C の次の工程を示す模式的な断面図である。

[図35A] 図3 5 A は、図3 4 A の次の工程を示す模式的な断面図である。

[図35B] 図3 5 B は、図3 4 B の次の工程を示す模式的な断面図である。

[図35C] 図3 5 C は、図3 4 C の次の工程を示す模式的な断面図である。

[図36A] 図3 6 A は、図3 5 A の次の工程を示す模式的な断面図である。

[図36B] 図3 6 B は、図3 5 B の次の工程を示す模式的な断面図である。

[図36C] 図3 6 C は、図3 5 C の次の工程を示す模式的な断面図である。

[図37] 図3 7 は、図3 1 A の工程における半導体基板の模式的な平面図である。

[図38] 図3 8 は、図3 1 B の工程における半導体基板の模式的な平面図である。

発明を実施するための形態

[001 3] 以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

< ジャイロセンサの全体構成 >

まず、図1を参照して、ジャイロセンサの全体構成を説明する。

図1は、ジャイロセンサの模式的な平面図である。なお、図1では、樹脂パッケージに封止されている部分の一部が透視した状態で表わされている。

[0014] ジャイロセンサ1は、静電容量素子の容量の変化に基づいて検出する静電容量型であり、たとえば、ビデオカメラやスチルカメラの手ぶれ補正、カーナビの位置検出、ロボットやゲーム機のモーション検出などの用途に用いられる。ジャイロセンサ1は、樹脂パッケージ2により画成された直方体形状

(平面視四角形状)のパッケージの外形を有している。

[001 5] ジャイロセンサ 1 は、平面視四角形状の半導体基板 3 と、半導体基板 3 の中央部に配置されたセンサ部 4 と、センサ部 4 を取り囲む半導体基板 3 の周辺部に配置された集積回路 5 (ASIC :Application Specific Integrated Circuit) とを含んでいる。

センサ部 4 は、三次元空間において直交する 3 つの軸まわりの角速度をそれぞれ検出するセンサとして、X 軸センサ 6、Y 軸センサ 7 および Z 軸センサ 8 を有している。

[001 6] X 軸センサ 6 は、X 軸方向の振動 U_x を利用して、ジャイロセンサ 1 が傾いた際に Z 軸方向にコリオリ力 F_z を発生させ、当該コリオリ力による静電容量の変化を検出することにより、Y 軸まわりに作用する角速度 ω_y を検出する。また、Y 軸センサ 7 は、Y 軸方向の振動 U_y を利用して、ジャイロセンサ 1 が傾いた際に X 軸方向にコリオリ力 F_x を発生させ、当該コリオリ力による静電容量の変化を検出することにより、Z 軸まわりに作用する角速度 ω_z を検出する。また、Z 軸センサ 8 は、Z 軸方向の振動 U_z を利用して、ジャイロセンサ 1 が傾いた際に Y 軸方向にコリオリ力 F_y を発生させ、当該コリオリ力による静電容量の変化を検出することにより、X 軸まわりに作用する角速度 ω_x を検出する。

[001 7] 集積回路 5 は、たとえば、各センサから出力された電気信号を増幅するチャージアンプ、当該電気信号の特定の周波数成分を取り出すフィルタ回路 (ローパスフィルタ :LPF など)、フィルタリング後の電気信号を論理演算する論理回路を含んでおり、たとえば、CMOS デバイスにより構成されている。

また、ジャイロセンサ 1 の表面には、この実施形態では、平面視でセンサ部 4 を挟んで互いに対向する 1 対の縁部のそれぞれに 5 つずつ、電極パッド 9 が設けられている。電極パッド 9 は、互いに等間隔を空けて各縁部に沿って配列されている。これらの電極パッド 9 は、たとえば、センサ部 4 や集積回路 5 に電圧を印加するためのパッドを含んでいる。

< X 軸センサおよび Y 軸センサの構成 >

次に、図 2 ～図 4 を参照して、X 軸センサおよび Y 軸センサの構成を説明する。

[001 8] 図 2 は、図 1 に示すセンサ部の模式的な平面図である。図 3 は、図 2 に示す X 軸センサの要部平面図である。図 4 は、図 2 に示す X 軸センサの要部断面図であって、図 3 の切断線 I V — I V での断面図である。

半導体基板 3 は、導電性シリコン基板（たとえば、 $1\text{ m}\Omega\cdot\text{m}\sim 30\Omega\cdot\text{m}$ 、好ましくは、 $5\text{ m}\Omega\cdot\text{m}\sim 25\text{ m}\Omega\cdot\text{m}$ の抵抗率を有する低抵抗基板）からなる。この半導体基板 3 は、内部に空洞 10 を有しており、当該空洞 10 を表面側から区画する天面を有する半導体基板 3 の上壁 11（表面部）に X 軸センサ 6、Y 軸センサ 7 および Z 軸センサ 8 が形成されている。つまり、X 軸センサ 6、Y 軸センサ 7 および Z 軸センサ 8 は半導体基板 3 の一部からなり、空洞 10 を裏面側から区画する底面を有する半導体基板 3 の底壁 12 に対して浮いた状態で支持されている。

[001 9] また、半導体基板 3 の表面において、空洞 10 を挟んで対向する両側には、これらのセンサに含まれる配線の一部がパッド 13 として露出している。これらのパッド 13 は、樹脂パッケージ 2 によりパッケージングされた状態において、たとえば、ボンディングワイヤ（図示せず）などにより電極パッド 9 と電氣的に接続される。

X 軸センサ 6 および Y 軸センサ 7 は、間隔を空けて互いに隣接して配置されており、これら X 軸センサ 6 および Y 軸センサ 7 のそれぞれを取り囲むように Z 軸センサ 8 が配置されている。この実施形態では、Y 軸センサ 7 は、X 軸センサ 6 を平面視で 90° 回転させたものとほぼ同様の構成を有している。したがって、以下では、Y 軸センサ 7 の構成については、X 軸センサ 6 の各部の説明の際に、当該各部に対応する部分を括弧書きで併記して、具体的な説明に代える。

[0020] X 軸センサ 6 と Z 軸センサ 8 との間および Y 軸センサ 7 と Z 軸センサ 8 との間には、これらを浮いた状態で支持するための支持部 14 が形成されてい

る。支持部 14 は、半導体基板 3 の空洞 10 を横側から区画する側面を有する一側壁 15 から、Z 軸センサ 8 を横切って X 軸センサ 6 および Y 軸センサ 7 へ向かって延びる直線部 16 と、X 軸センサ 6 および Y 軸センサ 7 を取り囲む環状部 17 とを一体的に含んでいる。

[0021] X 軸センサ 6 および Y 軸センサ 7 は、個々の環状部 17 の内側に配置され、環状部 17 の内側壁における相対する 2 箇所において両持ち支持されている。Z 軸センサ 8 は、直線部 16 の両側壁において両持ち支持されている。

X 軸センサ 6 (Y 軸センサ 7) は、空洞 10 内に設けられた支持部 14 に固定された第 1 電極としての X 固定電極 21 (Y 固定電極 41) と、X 固定電極 21 に対して振動可能に保持された第 2 電極としての X 可動電極 22 (Y 可動電極 42) とを有している。X 固定電極 21 および X 可動電極 22 は、同じ厚さで形成されている。

[0022] X 固定電極 21 (Y 固定電極 41) は、支持部 14 に固定された平面視四角環状のベース部 23 (Y 固定電極 41 のベース部 43) と、ベース部 23 の内壁に沿って等しい間隔を空けて櫛歯状に配列された複数組の電極部 24 (Y 固定電極 41 の電極部 44) とを含んでいる。

一方、X 可動電極 22 (Y 可動電極 42) は、X 固定電極 21 の電極部 24 を横切る方向に延び、その両端が、当該方向に沿って伸縮自在なビーム部 25 (Y 軸センサ 7 のビーム部 45) を介して X 固定電極 21 のベース部 23 に接続されたベース部 26 (Y 可動電極 42 のベース部 46) と、当該ベース部 26 から、互いに隣接する X 固定電極 21 の電極部 24 間に向かって両側に延び、X 固定電極 21 の電極部 24 に接触しないように噛み合う櫛歯状に配列された電極部 27 (Y 可動電極 42 の電極部 47) とを含んでいる。

[0023] X 軸センサ 6 では、ビーム部 25 が伸縮して X 可動電極 22 のベース部 26 が半導体基板 3 の表面に沿って振動 (振動 U_x) することによって、X 固定電極 21 の電極部 24 に櫛歯状に噛み合った X 可動電極 22 の個々の電極部 27 が、X 固定電極 21 の電極部 24 に対して近づく方向および遠ざかる

方向に交互に振動する。

X 固定電極 2 1 のベース部 2 3 は、互いに平行に延びる直線状の主フレームを有しており、当該主フレームに沿って三角形の空間が繰り返されるように、主フレームに対して補強フレームが組み合わされたトラス状の骨組み構造を有している。

[0024] また、X 固定電極 2 1 の電極部 2 4 は、個々の基端部がベース部 2 3 に接続され、それらの先端部が互いに対向する平面視直線状の 2 つの電極部を 1 組として、それらが等しい間隔を空けて複数設けられている。個々の電極部 2 4 は、互いに平行に延びる直線状の主フレームと、当該主フレーム間に架設された複数の横フレームとを含む平面視梯子状の骨組み構造を有している。

[0025] 一方、X 可動電極 2 2 のベース部 2 6 は、互いに平行に延びる複数（この実施形態では、6 本）の直線状のフレームからなり、その両端がビーム部 2 5 に接続されている。ビーム部 2 5 は、X 可動電極 2 2 のベース部 2 6 の両端に 2 つずつ設けられている。

また、X 可動電極 2 2 の電極部 2 7 は、ベース部 2 6 の各フレームを横切って互いに平行に延びる直線状の主フレームと、当該主フレーム間に架設された複数の横フレームとを含む平面視梯子状の骨組み構造を有している。

[0026] また、X 可動電極 2 2 では、個々の電極部 2 7 を振動方向 U_x に直交する方向に沿って 2 分割するライン上に、その表面から空洞 10 に至るまで、横フレームを横切る絶縁層 2 8（この実施形態では、酸化シリコン）が埋め込まれている。この絶縁層 2 8 により、個々の電極部 2 7 が、振動方向 U_x に沿って一方側および他方側の 2 つに絶縁分離されている。これにより、分離された X 可動電極 2 2 の電極部 2 7 が、X 可動電極 2 2 において、それぞれ独立した電極として機能する。

[0027] X 固定電極 2 1 および X 可動電極 2 2 を含む半導体基板 3 の表面には、酸化シリコン (SiO_2) からなる第 1 絶縁膜 3 3 および第 2 絶縁膜 3 4 が順に積層されており、この第 2 絶縁膜 3 4 上に、X 第 1 駆動/検出配線 2 9 (Y

第 1 駆動／検出配線 4 9) および X 第 2 駆動／検出配線 3 0 (Y 第 2 駆動／検出配線 5 0) が形成されている。

X 第 1 駆動／検出配線 2 9 は、2 つに絶縁分離された個々の電極部 2 7 の一方側 (この実施形態では、図 3 の紙面左側) に駆動電圧を供給するとともに、当該電極部 2 7 から静電容量の変化に伴う電圧の変化を検出する。これに対し、X 第 2 駆動／検出配線 3 0 は、2 つに絶縁分離された個々の電極部 2 7 の他方側 (この実施形態では、図 3 の紙面右側) に駆動電圧を供給するとともに、当該電極部 2 7 から静電容量の変化に伴う電圧の変化を検出する。

[0028] X 第 1 および第 2 駆動／検出配線 2 9 , 3 0 は、この実施形態では、アルミニウム (A l) からなる。X 第 1 および第 2 駆動／検出配線 2 9 , 3 0 は、第 1 および第 2 絶縁膜 3 3 , 3 4 を貫通するコンタクトプラグ 3 1 , 5 1 を介して、個々の電極部 2 7 に電氣的に接続されている。

そして、X 第 1 および X 第 2 駆動／検出配線 2 9 , 3 0 は、X 可動電極 2 2 のビーム部 2 5 、X 固定電極 2 1 のベース部 2 3 を介して支持部 1 4 上に引き回され、その一部がパッド 1 3 として露出している。なお、X 第 1 および X 第 2 駆動／検出配線 2 9 , 3 0 は、それぞれ X 可動電極 2 2 のビーム部 2 5 を通過する区間においては、導電性の半導体基板 3 の一部からなるビーム部 2 5 自体を電流路として利用している。ビーム部 2 5 上にアルミニウム配線を設けないので、ビーム部 2 5 の伸縮性を保持することができる。

[0029] また、支持部 1 4 には、X 固定電極 2 1 の電極部 2 4 から静電容量の変化に伴う電圧の変化を検出する X 第 3 駆動／検出配線 3 2 が引き回されており、この X 第 3 駆動／検出配線 3 2 も他の配線 2 9 , 3 0 と同様に、その一部がパッド 1 3 として露出している。

半導体基板 3 において、X 固定電極 2 1 および X 可動電極 2 2 の上面および側面は、第 1 絶縁膜 3 3 および第 2 絶縁膜 3 4 とともに、酸化シリコン (SiO_2) からなる保護薄膜 3 5 で被覆されている。

[0030] また、半導体基板 3 の表面における空洞 1 0 外の部分では、第 2 絶縁膜 3

4 上に、第 3 絶縁膜 3 6、第 4 絶縁膜 3 7、第 5 絶縁膜 3 8 および表面保護膜 3 9 が順に積層されている。すなわち、このジャイロセンサ 1 では、センサ上に積層される絶縁膜の層数が、集積回路 5 に含まれる絶縁膜の層数よりも少なくされており、この実施形態では、センサの絶縁膜が第 1 絶縁膜 3 3 および第 2 絶縁膜 3 4 の 2 層構造であり、集積回路 5 の絶縁膜が第 1 ～ 第 5 絶縁膜 3 3、3 4、3 6 ～ 3 8 および表面保護膜 3 9 の 6 層構造である。

[0031] 上記の構造の X 軸センサ 6 では、X 第 1 ～ X 第 3 駆動/ 検出配線 2 9、3 0、3 2 を介して X 固定電極 2 1 と X 可動電極 2 2 との間に、同極性/ 異極性の駆動電圧が交互に与えられる。これにより、X 固定電極 2 1 の電極部 2 4 — X 可動電極 2 2 の電極部 2 7 間にクーロン斥力/ クーロン引力が交互に発生する。その結果、櫛歯状の X 可動電極 2 2 が、同じく櫛歯状の X 固定電極 2 1 に対して X 軸方向に沿って左右に振動（振動 U_x ）する。この状態において、X 可動電極 2 2 が Y 軸を中心軸として回転すると、Z 軸方向にコリオリ力 F_z が生じることになる。このコリオリ力 F_z により、互いに隣接する X 固定電極 2 1 の電極部 2 4 と、X 可動電極 2 2 の電極部 2 7 との対向面積が変化する。そして、当該対向面積の変化に起因する X 可動電極 2 2 — X 固定電極 2 1 間の静電容量の変化を検出することによって、Y 軸まわりの角速度 ω_y が検出される。

[0032] なお、この実施形態では、Y 軸まわりの角速度 ω_y は、絶縁分離された X 可動電極 2 2 の一方および他方それぞれの電極部の検出値の差分をとることにより求められる。

また、Y 軸センサ 7 では、Y 第 1 ～ Y 第 3 駆動/ 検出配線 4 9、5 0、5 2 を介して Y 固定電極 4 1 と Y 可動電極 4 2 との間に、同極性/ 異極性の駆動電圧が交互に与えられる。これにより、Y 固定電極 4 1 の電極部 4 4 — Y 可動電極 4 2 の電極部 4 7 間にクーロン斥力/ クーロン引力が交互に発生する。その結果、櫛歯状の Y 可動電極 4 2 が、同じく櫛歯状の Y 固定電極 4 1 に対して Y 軸方向に沿って左右に振動（振動 U_y ）する。この状態において、Y 可動電極 4 2 が Y 軸を中心軸として回転すると、X 軸方向にコリオリ力

F_x が生じることになる。このコリオリ力 F_x により、互いに隣接するY固定電極41の電極部44と、Y可動電極42の電極部47との対向面積が変化する。そして、当該対向面積の変化に起因するY可動電極42_Y固定電極41間の静電容量の変化を検出することによって、Z軸まわりの角速度 ω_z が検出される。

< Z軸センサの構成 >

次に、図2および図5〜図7を参照して、Z軸センサの構成を説明する。

[0033] 図5は、図2に示すZ軸センサの要部平面図である。図6は、図2に示すZ軸センサの要部断面図であって、図5の切断線VⅠ-VⅠでの断面図である。図7は、図2に示すZ軸センサの要部断面図であって、図5の切断線VⅡ-VⅡでの断面図である。

図2を参照して、導電性シリコンからなる半導体基板3は、上述したように、内部に空洞10を有している。半導体基板3の上壁11（表面部）には、X軸センサ6およびY軸センサ7のそれぞれを取り囲むように、半導体基板3の底壁12に対して浮いた状態で支持部14に支持されたZ軸センサ8が配置されている。

[0034] Z軸センサ8は、空洞10内に設けられた支持部14（直線部16）に固定された第1電極としてのZ固定電極61と、Z固定電極61に対して振動可能に保持された第2電極としてのZ可動電極62とを有している。Z固定電極61およびZ可動電極62は、同じ厚さで形成されている。

このZ軸センサ8では、Z可動電極62が支持部14の環状部17を取り囲むように配置されており、このZ可動電極62をさらに取り囲むように、Z固定電極61が配置されている。Z固定電極61およびZ可動電極62は、支持部14の直線部16の両側壁に一体的に接続されている。

[0035] Z固定電極61は、支持部14に固定された平面視四角環状の第1ベース部としてのベース部63と、当該ベース部63における、X軸センサ6（Y軸センサ7）に対して直線部16とは反対側の部分に設けられた第1電極部としての櫛歯状の複数の電極部64とを含んでいる。

一方、Z可動電極62は、平面視四角環状の第2ベース部としてのベース部65と、当該ベース部65から、互いに隣接するZ固定電極61の櫛歯状の電極部64の各間に向かって延び、Z固定電極61の電極部64に接触しないように噛み合う櫛歯状の第2電極部としての電極部66とを含んでいる。このZ可動電極62のベース部65は、互いに平行に延びる直線状の主フレームを有しており、当該主フレームに沿って三角形の空間が繰り返されるように、主フレームに対して補強フレームが組み合わされたトラス状の骨組み構造を有している。かかる構造のZ可動電極62のベース部65は、電極部66が配置される側とは反対側の部分において、補強フレームが省略されている区間を有しており、当該区間の主フレームがZ可動電極62を上下動可能にするためのビーム部67として機能する。

[0036] すなわち、このZ軸センサ8では、ビーム部67が歪み、Z可動電極62のベース部65があたかも振り子であるかのように、ビーム部67を支点として空洞10に対して近づく方向および遠ざかる方向に回動（振動 U_z ）することによって、Z固定電極61の電極部64に櫛歯状に噛み合ったZ可動電極62の電極部66が上下に振動する。

Z固定電極61のベース部63は、互いに平行に延びる直線状の主フレームを有しており、当該主フレームに沿って三角形の空間が繰り返されるように、主フレームに対して補強フレームが組み合わされたトラス状の骨組み構造を有している。

[0037] Z固定電極61の個々の電極部64は、基端部がZ固定電極61のベース部63に接続され、先端部がZ可動電極62へ向かって延び、ベース部の内壁に沿って等しい間隔を空けて櫛歯状に配列されている。また、個々の電極部64の基端部寄りの部分には、電極部64を幅方向に横切るように、その表面から空洞10に至るまで絶縁層68（この実施形態では、酸化シリコン）が埋め込まれている。この絶縁層68により、Z固定電極61の個々の電極部64が、Z固定電極61の他の部分から絶縁されている。

[0038] また、Z固定電極61のベース部63における、Z可動電極62の電極部

66の先端部70（後述）に対向する部分（対向部84）の両側には、トラス構造の主フレームを幅方向に横切るように、半導体基板3の表面から空洞10に至るまで第1分離絶縁層としての絶縁層69が埋め込まれている。これにより、この絶縁層69およびトラス構造の三角形の空間で囲まれる対向部84は、Z固定電極61のベース部63の他の部分から絶縁されている。

[0039] 一方、Z可動電極62の個々の電極部66は、基端部71がZ可動電極62のベース部65に接続され、先端部70がZ固定電極61の電極部64の各間へ向かって延び、Z固定電極61の電極部64に接触しないように噛み合う櫛歯状に配列されている。また、Z可動電極62の個々の電極部66の先端部70寄りの部分には、電極部66を幅方向に横切るように、半導体基板3の表面から空洞10に至るまで第2分離絶縁層としての絶縁層73（この実施形態では、酸化シリコン）が埋め込まれている。また、Z可動電極62の個々の電極部66の基端部71寄りの部分には、電極部66を幅方向に横切るように、半導体基板3の表面から空洞10に至るまで絶縁層74（この実施形態では、酸化シリコン）が埋め込まれている。これらの絶縁層73、74により、個々の電極部66は、他の部分から絶縁された3つの部分（先端部70、基端部71、および先端部70と基端部71との間の中間部72）を有している。

[0040] また、Z可動電極62の個々の電極部66は、Z固定電極61の電極部64の表面からはみ出すように半導体基板3の空洞10から離れる方向へ断面視円弧状に反っており、半導体基板3の表面から上方に突出した部分81を有している。

Z固定電極61およびZ可動電極62を含む半導体基板3の表面には、上述したように、酸化シリコン（ SiO_2 ）からなる第1絶縁膜33および第2絶縁膜34が順に積層されている。第1絶縁膜33は、Z可動電極62の表面上においては、他の部分よりも厚くされている。これにより、Z可動電極62に相対的に大きな応力を与えることができ、Z可動電極62の電極部66を反らすことができる。そして、第2絶縁膜34上に、Z第1検出配線7

5、Z第1駆動配線76、Z第2検出配線77およびZ第2駆動配線78が形成されている。

[0041] Z第1検出配線75およびZ第2検出配線77は、互いに隣接するZ固定電極61の電極部64およびZ可動電極62の中間部72にそれぞれ接続されている。すなわち、このZ軸センサ8では、Z第1検出配線75およびZ第2検出配線77が接続された、Z固定電極61の電極部64とZ可動電極62の中間部72とが、互いに電極間距離dを隔てて対向し、これらの間に一定電圧が印加され、その間隔dの変化により静電容量が変化する容量素子(検出部)の電極を構成している。

[0042] 具体的には、Z第1検出配線75は、Z固定電極61のベース部63に沿って形成され、Z固定電極61の個々の電極部64の絶縁層68を跨って電極部64の先端部へ向かって分岐するアルミニウム配線を含んでいる。その分岐されたアルミニウム配線は、個々の電極部64における絶縁層68よりも先端側に、第1絶縁膜33および第2絶縁膜34を貫通するコンタクトプラグ79を介して電氣的に接続されている。また、図2に示すように、Z第1検出配線75は、Z固定電極61のベース部63を介して支持部14上に引き回され、その一部がパッド13として露出している。

[0043] 一方、Z第2検出配線77は、Z可動電極62の電極部66から、静電容量の変化に伴う電圧の変化を検出する。このZ第2検出配線77は、Z可動電極62のベース部65に沿って形成され、Z可動電極62の個々の電極部66の基端部71寄りの絶縁層74を跨って中間部72へ向かって分岐するアルミニウム配線を含んでいる。その分岐されたアルミニウム配線は、個々の電極部66の中間部72に、第1絶縁膜33および第2絶縁膜34を貫通するコンタクトプラグ80を介して電氣的に接続されている。また、図2に示すように、Z第2検出配線77は、Z可動電極62のベース部65を介して支持部14上に引き回され、その一部がパッド13として露出している。

[0044] また、Z第1駆動配線76およびZ第2駆動配線78は、容量素子を構成する電極の対向方向に直交する方向に向き合うZ固定電極61の対向部84

(第1コンタクト部)およびZ可動電極62の先端部70(第2コンタクト部)にそれぞれ接続されている。すなわち、このZ軸センサ8では、Z固定電極61の対向部84と、Z可動電極62の先端部70とが、これらの間に駆動電圧が印加され、当該駆動電圧の電圧変化により発生するクーロン力によりZ可動電極62を振動させる駆動部を構成している。

[0045] 具体的には、Z第1駆動配線76は、Z固定電極61の対向部84に駆動電圧を供給する。Z第1駆動配線76は、第2絶縁膜34の表面を利用して絶縁層69の両側に跨り、第1絶縁膜33および第2絶縁膜34を貫通するコンタクトプラグ85を介して対向部84およびベース部63の対向部84を除く部分に電氣的に接続されたアルミニウム配線を含んでおり、残りの部分が、導電性シリコンからなるZ固定電極61のベース部63を利用して構成されている。また、図2に示すように、Z第1駆動配線76は、支持部14上に引き回され、その一部がパッド13として露出している。

[0046] 一方、Z第2駆動配線78は、Z可動電極62の先端部70に駆動電圧を供給する。Z第2駆動配線78は、第2絶縁膜34の表面を利用して電極部66の先端部70と基端部71との間に跨り、第1絶縁膜33および第2絶縁膜34を貫通するコンタクトプラグ86を介して先端部70および基端部71に電氣的に接続されたアルミニウム配線を含んでおり、残りの部分が、導電性シリコンからなるZ可動電極62のベース部65を利用して構成されている。また、図2に示すように、Z第2駆動配線78は、支持部14上に引き回され、その一部がパッド13として露出している。

[0047] 半導体基板3において、Z固定電極61およびZ可動電極62の上面および側面は、第1絶縁膜33および第2絶縁膜34とともに、酸化シリコン(SiO_2)からなる保護薄膜35で被覆されている。

また、半導体基板3の表面における空洞10外の部分では、第2絶縁膜34上に、第3絶縁膜36、第4絶縁膜37、第5絶縁膜38および表面保護膜39が順に積層されている。当該部分において、Z第1検出配線75、Z第1駆動配線76、Z第2検出配線77およびZ第2駆動配線78と対向す

る部分には、これらをパッド13として露出させる開口82が、表面保護膜39から第5、第4および第3絶縁膜36を貫通して形成されている。

[0048] そして、このZ軸センサ8では、Z第1駆動配線76およびZ第2駆動配線78を介してZ固定電極61の対向部84とZ可動電極62の先端部70との間に、同極性/異極性の駆動電圧が交互に与えられる。これにより、Z固定電極61の対向部84—Z可動電極62の先端部70間にクーロン斥力/クーロン引力が交互に発生する。その結果、櫛歯状のZ可動電極62が振り子であるかのように、同じく櫛歯状のZ固定電極61を振動の中心として、Z固定電極61に対してZ軸方向に沿って上下に振動(振動 U_z)する。この状態において、Z可動電極62がX軸を中心軸として回転すると、Y軸方向にコリオリ力 F_y が生じることになる。このコリオリ力 F_y により、互いに隣接するZ固定電極61の電極部64と、Z可動電極62の電極部66の中間部72との対向面積 S が変化する。そして、当該電極間距離 d の変化に起因するZ可動電極62—Z固定電極61間の静電容量 C の変化を、Z第1検出配線75およびZ第2検出配線77を介して検出することによって、X軸まわりの角速度 ω_x が検出される。なお、この実施形態では、X軸まわりの角速度 ω_x は、X軸センサ6を取り囲むZ軸センサ8の検出値と、Y軸センサ7を取り囲むZ軸センサ8の検出値との差分をとることにより求められる。

[0049] 差分は、たとえば、X軸センサ6を取り囲むZ軸センサ8の固定電極および可動電極と、Y軸センサ7を取り囲むZ軸センサ8の固定電極および可動電極との位置関係を反対にすることによって得ることができる。つまり、一方のZ軸センサ8において、前述のように、支持部14の環状部17を取り囲むようにZ可動電極62を配置し、このZ可動電極62をさらに取り囲むように、Z固定電極61を配置する。これに対し、他方のZ軸センサ8においては、支持部14の環状部17を取り囲むようにZ固定電極を配置し、このZ固定電極をさらに取り囲むように、Z可動電極を配置する。これにより、1対のZ軸センサ8間において、Z可動電極62ともう一方のZ可動電極

の揺れ方が異なるので、差分が生じることとなる。

[0050] また、一方および他方のZ軸センサ8の固定電極および可動電極の位置関係が同じ場合でも、可動電極の反り方向を反対にすることによって、差分を得ることができる。つまり、一方および他方のZ軸センサ8において、前述のように、支持部14の環状部17を取り囲むようにZ可動電極を配置し、このZ可動電極をさらに取り囲むように、Z固定電極を配置した上で、他方のZ可動電極の反り方向を、空洞10から離れる方向ではなく、当該Z可動電極がZ固定電極の裏面からはみ出すように、半導体基板3の裏面へ向かう方向とする。これにより、1対のZ軸センサ8間において、Z可動電極が振動するときに容量差が生じるので、差分が生じることとなる。

< 集積回路の構成 >

次に、図8を参照して、集積回路の構成を説明する。図8は、図1に示す集積回路の模式断面図である。なお、図8は、前述の他の断面図（図4、図6および図7）とは縮尺が異なるため、同一符号が割り当てられた部分であっても、表現上の大きさが異なっている。

[0051] 上述したように、X軸センサ6、Y軸センサ7およびZ軸センサ8が形成されたこの半導体基板3上には、これらを取り囲むように集積回路5が形成されている。

集積回路5は、CMOSデバイスにより構成されており、半導体基板3上に形成されたNチャネルMOSFET91およびPチャネルMOSFET92を含んでいる。

NチャネルMOSFET91が形成されるNMOS領域93と、PチャネルMOSFET92が形成されるPMOS領域94とは、素子分離部95により、それぞれ周囲から絶縁分離されている。

[0052] 素子分離部95は、半導体基板3にその表面から比較的浅く掘り下げたトレンチ（シャロートレンチ96）を形成し、そのシャロートレンチ96の内面に熱酸化法により熱酸化膜97を形成した後、CVD（Chemical Vapor Deposition : 化学気相成長）法により絶縁体98（たとえば、酸化シリコン

(SiO_2) をシャロー トレンチ 96 内に堆積させることにより形成されている。

[0053] NMOS 領域 93 には、P 型 ウエル 99 が形成されている。P 型 ウエル 99 の深さは、シャロー トレンチ 96 の深さよりも大きい。P 型 ウエル 99 の表層部には、チャネル領域 100 を挟んで、N 型のソース領域 101 およびドレイン領域 102 が形成されている。ソース領域 101 およびドレイン領域 102 のチャネル領域 100 側の端部は、その深さおよび不純物濃度が小さくされている。すなわち、Nチャネル MOSFET 91 では、LDD (Lightly Doped Drain) 構造が適用されている。

[0054] チャネル領域 100 上には、ゲート絶縁膜 103 が設けられている。このゲート絶縁膜 103 は、前述の第 1 絶縁膜 33 と同一層 (すなわち、半導体基板 3 の表面に接している。) に形成されている。

ゲート絶縁膜 103 上には、ゲート電極 104 が設けられている。ゲート電極 104 は、N 型多結晶シリコン (Poly-Si) からなる。

[0055] ゲート絶縁膜 103 およびゲート電極 104 の周囲には、サイドウォール 105 が形成されている。サイドウォール 105 は、窒化シリコン (SiN) からなる。

ソース領域 101、ドレイン領域 102 およびゲート電極 104 の表面には、それぞれシリサイド 106 ~ 108 が形成されている。

PMOS 領域 94 には、N 型 ウエル 109 が形成されている。N 型 ウエル 109 の深さは、シャロー トレンチ 96 の深さよりも大きい。N 型 ウエル 109 の表層部には、チャネル領域 110 を挟んで、P 型のソース領域 111 およびドレイン領域 112 が形成されている。ソース領域 111 およびドレイン領域 112 のチャネル領域 110 側の端部は、その深さおよび不純物濃度が小さくされている。すなわち、Pチャネル MOSFET 92 では、LDD 構造が適用されている。

[0056] チャネル領域 110 上には、ゲート絶縁膜 113 が形成されている。ゲート絶縁膜 113 は、酸化シリコンからなる。

ゲート絶縁膜 113 上には、ゲート電極 114 が形成されている。ゲート電極 114 は、P型多結晶シリコンからなる。

ゲート絶縁膜 113 およびゲート電極 114 の周囲には、サイドウォール 115 が形成されている。サイドウォール 115 は、SiNからなる。

[0057] ソース領域 111、ドレイン領域 112 およびゲート電極 114 の表面には、それぞれシリサイド 116 ~ 118 が形成されている。

そして、半導体基板 3 上には、第2〜第5絶縁膜 34, 36 ~ 38 および表面保護膜 39 が順に積層されている。これらの絶縁膜は、図4、図6 および図7 に示した第2〜第5絶縁膜 34, 36 ~ 38 および表面保護膜 39 と同じものである。

[0058] 最下層の第2絶縁膜 34 上には、ドレイン配線 119, 120 およびソース配線 121, 122 が形成されている。これらの配線は、アルミニウム (Al) からなり、前述したX軸センサ6、Y軸センサ7 およびZ軸センサ8 の配線 (X第1駆動/検出配線 29、Z第1検出配線 75 など) と同一層に形成されている。

ソース配線 121, 122 は、それぞれソース領域 101 およびソース領域 111 の上方に形成されている。ソース配線 121 とソース領域 101 との間、およびソース配線 122 とソース領域 111 との間において、第2絶縁膜 34 には、それらを電氣的に接続するためのコンタクトプラグ 123, 124 が貫通して設けられている。

[0059] ドレイン配線 119, 120 は、それぞれドレイン領域 102 およびドレイン領域 112 の上方に形成されている。ドレイン配線 119 とドレイン領域 102 との間、およびドレイン配線 120 とドレイン領域 112 との間において、第2絶縁膜 34 には、それらを電氣的に接続するためのコンタクトプラグ 125, 126 が貫通して設けられている。

また、第3〜第5絶縁膜 36 ~ 38 上にも、同様に配線 127 がそれぞれ形成されており、各層の絶縁膜の配線 127 は、コンタクトプラグ 128 を介して互いに電氣的に接続されている。なお、最上層の第5絶縁膜 38 では

、ドレイン配線 129 がドレイン領域 102 およびドレイン領域 112 に跨って形成されており、当該ドレイン配線 129 が、Nチャネル MOSFET 91 のドレイン配線 119 と Pチャネル MOSFET 92 のドレイン配線 120 の両方に接続されている。また、コンタクトプラグ 123 ~ 126 , 128 は、タングステン (W) からなる。

[0060] また、表面保護膜 39 には、最上層の第 5 絶縁膜 38 上に形成されたドレイン配線 129 の一部をパッドとして露出させる開口 130 が形成されている。ノードとして露出したドレイン配線 129 は、樹脂パッケージ 2 によりパッケージングされた状態において、たとえば、ボンディングワイヤ (図示せず) などにより電極パッド 9 と電氣的に接続される。

< ジャイロセンサ 1 の製造方法 >

次に、図 9A ~ 図 36A、図 9B ~ 図 36B および図 9C ~ 図 36C を参照して、上述したジャイロセンサの製造工程を工程順に説明する。

[0061] 図 9A ~ 図 36A は、本発明の一実施形態に係るジャイロセンサの製造工程を工程順に示す模式的な断面図であって、図 4 と同じ位置での切断面を示す。図 9B ~ 図 36B は、本発明の一実施形態に係るジャイロセンサの製造工程を工程順に示す模式的な断面図であって、図 6 と同じ位置での切断面を示す。図 9C ~ 図 36C は、本発明の一実施形態に係るジャイロセンサの製造工程を工程順に示す模式的な断面図であって、図 8 と同じ位置での切断面を示す。

[0062] このジャイロセンサ 1 を製造するには、まず、図 9A ~ 図 9C に示すように、導電性シリコンからなる半導体基板 3 の表面が熱酸化 (たとえば、温度 1100 ~ 1200℃、膜厚 5000 Å) される。これにより、半導体基板 3 の表面に第 1 絶縁膜 33 が形成される。その際、Z 可動電極 62 を形成すべき領域の酸化時間を他の部分の酸化時間よりも長くして、当該領域の膜厚を大きくする。

[0063] 次いで、図 10A および図 10B に示すように、公知のパターニング技術により、第 1 絶縁膜 33 がパターニングされ、X 軸センサ 6 および Z 軸セン

サ 8 において絶縁層 2 8 , 6 8 , 6 9 , 7 3 , 7 4 を埋め込むべき領域に開口 1 8 が形成される。次いで、第 1 絶縁膜 3 3 をハードマスクとする異方性の深掘り R I E (Reactive Ion Etching : 反応性イオンエッチング) により、具体的にはボッシュアッププロセスにより、半導体基板 3 が掘り下げられる。これにより、半導体基板 3 にトレンチ 1 9 が形成される。ボッシュアッププロセスでは、 SF_6 (六フッ化硫黄) を使用して半導体基板 3 をエッチングする工程と、 C_4F_8 (パーフルオロシクロブタン) を使用してエッチング面に保護膜を形成する工程とが交互に繰り返される。これにより、高いアスペクト比で半導体基板 3 をエッチングすることができるが、エッチング面 (トレンチの内周面) にスキヤロップと呼ばれる波状の凹凸が形成される。この際、集積回路 5 を形成すべき領域は、図 1 0 C に示すように、前工程終了後のままの状態が維持される。

[0064] 次いで、図 1 1 A および図 1 1 B に示すように、トレンチ 1 9 内部および半導体基板 3 の表面が熱酸化され (たとえば、温度 1 1 0 0 ~ 1 2 0 0 °C)、その後、酸化膜の表面がエッチバックされる (たとえば、エッチバック後の膜厚が 2 1 8 0 0 Å)。これにより、トレンチ 1 9 を埋め尽くす絶縁層 2 8 , 6 8 , 6 9 , 7 3 , 7 4 が形成される。この際、集積回路 5 を形成すべき領域は、図 1 1 C に示すように、前工程終了後のままの状態が維持される。

[0065] 次いで、図 1 2 A ~ 図 2 3 A および図 1 2 B ~ 図 2 3 B に示すように、センサ部 4 を形成すべき領域は、図 1 2 C ~ 図 2 3 C に示す工程により集積回路 5 を形成すべき領域に N チャネル MOSFET 9 1 および P チャネル MOSFET 9 2 が形成されるまで、前工程終了後のままの状態が維持される (ただし、図 1 7 C におけるエッチバック時を除く)。

集積回路 5 を形成すべき領域においては、センサ部 4 を形成すべき領域に絶縁層 6 8 , 6 9 , 7 3 , 7 4 が形成された後、図 1 2 C に示すように、CVD 法により、第 1 絶縁膜 3 3 上に窒化シリコン膜 2 0 が形成される。

[0066] 次いで、図 1 3 C に示すように、公知のパターニング技術により、窒化シ

リコン膜 20 および第 1 絶縁膜 33 がパターニングされ、シャロー トレンチ 96 を形成すべき領域に開口 53 が形成される。次いで、窒化シリコン膜 20 および第 1 絶縁膜 33 をハードマスクとするドライエッチングにより、半導体基板 3 が掘り下げられる。これにより、半導体基板 3 にシャロー トレンチ 96 が形成される。次いで、窒化シリコン膜 20 および第 1 絶縁膜 33 を残した状態で熱酸化することにより、シャロー トレンチ 96 の内面が酸化される。これにより、シャロー トレンチ 96 の内面に熱酸化膜 97 が形成される。

[0067] 次いで、図 14 C に示すように、CVD 法により、半導体基板 3 上に酸化シリコン (SiO_2) が堆積され、その後、エッチバックされる。これにより、シャロー トレンチ 96 内を埋め尽くす絶縁体 98 が形成される。絶縁体 98 の形成後、窒化シリコン膜 20 が除去される。

次いで、図 15 C に示すように、PMOS 領域 94 を選択的に露出させる開口を有するレジスト 54 が形成され、当該レジスト 54 をマスクとして、N 型不純物 (たとえば、リン (P) イオン) が注入 (インプランテーション) される。

[0068] 次いで、図 16 C に示すように、NMOS 領域 93 を選択的に露出させる開口を有するレジスト 55 が形成され、当該レジスト 55 をマスクとして、P 型不純物 (たとえば、ボロン (B) イオン) が注入 (インプランテーション) される。

この後、半導体基板 3 が熱処理されることにより、注入されたイオンが活性化して、半導体基板 3 に N 型ウエル 109 および P 型ウエル 99 が形成される。

[0069] 次いで、図 17 C に示すように、エッチバックにより、第 1 絶縁膜 33 が薄くされて、ゲート絶縁膜 103, 113 が形成される。

次いで、図 18 C に示すように、CVD 法により、ゲート絶縁膜 103, 113 上に多結晶シリコン層 56 が形成される。

次いで、図 19 C に示すように、ゲート電極 104, 114 を形成すべき

領域以外の領域に開口を有するレジスト57が形成され、当該レジスト57をマスクとして、多結晶シリコン層56がエッチングされる。これにより、ゲート電極104, 114が形成される。ゲート電極104, 114の形成後、当該レジスト57は除去される。次いで、公知のイオン注入技術により、ゲート電極104にN型不純物が注入され、ゲート電極114にP型不純物が注入される。この際、NMOS領域93およびPMOS領域94のそれぞれの表層部には、不純物イオンが薄い濃度で注入される。

[0070] ゲート電極104, 114にイオン注入後、図20Cに示すように、CVD法により、半導体基板3上に、窒化シリコン膜58が形成される。

次いで、図21Cに示すように、窒化シリコン膜58がエッチバックされることにより、サイドウォール105, 115が同時に形成される。

次いで、図22Cに示すように、半導体基板3上に、NMOS領域93を選択的に露出させる開口を有するレジスト(図示せず)が形成され、当該レジストの開口を介して、半導体基板3にN型不純物が注入される。これにより、N型のソース領域101およびドレイン領域102が形成される。また、半導体基板3上に、PMOS領域94を選択的に露出させる開口を有するレジスト(図示せず)が形成され、当該レジストの開口を介して、半導体基板3にP型不純物が注入される。これにより、P型のソース領域111およびドレイン領域112が形成される。

[0071] 次いで、図23Cに示すように、ソース領域101, 111、ドレイン領域102, 112およびゲート電極104, 114の表層部がシリサイド化されることにより、シリサイド106~108, 116~118が形成される。

次いで、図24A~図24Cに示すように、CVD法により、半導体基板3上に、酸化シリコンからなる第2絶縁膜34が積層される。

[0072] 次いで、図25A~図25Cに示すように、センサ部4のコンタクトプラグ31, 51, 79, 80, 85, 86および集積回路5のコンタクトプラグ123~126, 128を形成すべき領域に開口を有するレジスト(図示

せず)が形成され、当該レジストの開口を介して第2絶縁膜34および第1絶縁膜33が連続してエッチングされる。これにより、コンタクトプラグを埋設するためのコンタクトホールが同時に形成される。

[0073] 次いで、図26A～図26Cに示すように、CVD法により、コンタクトホールを埋め尽くすタンダステン膜が堆積され、堆積されたタンダステン膜がCMPにより研磨される。これにより、タンダステンからなる、センサ部4のコンタクトプラグ31, 51, 79, 80, 85, 86および集積回路5のコンタクトプラグ123～126, 128が同時に形成される。

[0074] 次いで、図27A～図27Cに示すように、スパッタ法により、第2絶縁膜34上にアルミニウムが堆積(たとえば、7000Å)され、そのアルミニウム堆積層がパターニングされる。これにより、第2絶縁膜34上に、センサ部4の配線(X第1駆動/検出配線29、Z第1検出配線75など)および集積回路5の配線(ドレイン配線119, 120、ソース配線121, 122)が同時に形成される。

[0075] 次いで、図28A～図28Cに示すように、CVD法により、第2絶縁膜34上に、第3絶縁膜36が積層される。

その後、図29A～図29Cに示すように、CVD法による絶縁膜の堆積、コンタクトプラグの形成およびアルミニウム配線の形成が順に繰り返し行われて、第4絶縁膜37および第5絶縁膜38上のそれぞれに配線127が形成された多層配線構造が形成される。多層配線構造の形成後、表面保護膜39が形成される。

[0076] 次いで、図30Aおよび図30Bに示すように、半導体基板3の空洞10を形成すべき領域上の第3～第5絶縁膜36～38および表面保護膜39が、エッチングにより除去される。同時に、センサ部4の配線(X第1駆動/検出配線29、Z第1検出配線75など)をパッド13として露出させるための開口82と、集積回路5において、最上層のドレイン配線129をパッドとして露出させる開口130が、図30Cに示すように形成される。これにより、CMOSからなる集積回路5が得られる。したがって、図31C～

図 3 6 C に示すように、集積回路 5 を形成すべき領域は、図 3 1 A 〜図 3 6 A および図 3 1 B 〜図 3 6 B に示す工程によりセンサ部 4 を形成すべき領域に空洞 10 が形成されて、X 軸センサ 6、Y 軸センサ 7 および Z 軸センサ 8 が形成されるまで、集積回路 5 が作製されたままの状態が維持される。

[0077] センサ部 4 を形成すべき領域においては、空洞 10 を形成すべき領域の第 3 〜第 5 絶縁膜 3 6 ~ 3 8 および表面保護膜 3 9 が除去された後、本発明の一実施形態に係る半導体基板のエッチング方法により、半導体基板 3 における、X 固定電極 2 1、Y 固定電極 4 1 および Z 固定電極 6 1、ならびに X 可動電極 2 2、Y 可動電極 4 2 および Z 可動電極 6 2 を形成すべき領域を区画する、第 1 エッチング領域および第 2 エッチング領域としてのエッチング領域 8 7 がエッチングされる。

[0078] このエッチング領域 8 7 は、それぞれ独立して区画された多数の部分（たとえば、X 可動電極 2 2 のビーム部 2 5 を区画する領域 8 7 1、X 固定電極 2 1 と X 可動電極 2 2 とが噛み合っ形成される櫛歯を区画し、当該櫛歯の隙間を形成すべき領域 8 7 2、Z 固定電極 6 1 と Z 可動電極 6 2 とが噛み合っ形成される櫛歯を区画し、当該櫛歯の隙間を形成すべき領域 8 7 3、たとえば、Z 固定電極 6 1 のトラス構造を画成する三角形の空間を形成すべき領域 8 7 4 など）を含んでいる。

[0079] 具体的には、図 3 1 A、図 3 1 B、図 3 7（図 3 7 の切断線 A _ A での切断面が図 3 1 A である。）および図 3 8（図 3 8 の切断線 B _ B での切断面が図 3 1 B である。）に示すように、レジスト 5 9 が、半導体基板 3 上に形成される。レジスト 5 9 は、それぞれ独立した複数のエッチング領域 8 7 ごとに対向する、同一パターン（この実施形態では、同一の形状および大きさの平面視円形のパターン）の開口 8 8 を多数有している。

[0080] レジスト 5 9 の単位面積（ 1 mm^2 ）の開口率が、たとえば、1 ~ 20 % である。また、隣り合う開口 8 8 の中心間の距離 D は、たとえば、 $3\text{ }\mu\text{ m}$ ~ $30\text{ }\mu\text{ m}$ である。なお、図 3 7 および図 3 8 では、図解し易くするために、開口 8 8 を大きめに表しているが、実際には、それらの開口 8 8 は、X 固定電

極 2 1、Z 固定電極 6 1 などの大きさに比べて非常に小さくされている。

[0081] 次いで、当該レジスト5 9 をマスクとする異方性の深掘りR I Eにより、具体的にはボッシュプロセスにより、半導体基板 3 が掘り下げられる。当該深掘りR I Eは、エッチング深さが、形成すべきX 固定電極 2 1、Y 固定電極 4 1 およびZ 固定電極 6 1、ならびにX 可動電極 2 2、Y 可動電極 4 2 およびZ 可動電極 6 2 の厚さと同じになるまで続けられる。これにより、半導体基板 3 の表面部に、深さがほぼ等しく揃った第 1 凹部としての円柱状の凹部 8 9 が多数形成される。同時に、エッチング領域 8 7 内に、X 固定電極 2 1、Y 固定電極 4 1 およびZ 固定電極 6 1、ならびにX 可動電極 2 2、Y 可動電極 4 2 およびZ 可動電極 6 2 の平面外形が形成される。深掘りR I E後、レジスト5 9 が剥離される。

[0082] 次いで、図 3 2 A および図 3 2 B に示すように、凹部 8 9 内にエッチング液（たとえば、フッ硝酸）が供給される。これにより、多数の凹部 8 9 を区画する半導体基板 3 の側壁 9 0 が、半導体基板 3 の表面に平行な横方向にエッチングされて除去される。こうして、半導体基板 3 の表面部が、X 固定電極 2 1、Y 固定電極 4 1 およびZ 固定電極 6 1、ならびにX 可動電極 2 2、Y 可動電極 4 2 およびZ 可動電極 6 2 の形状に成形されるとともに、それらの間に第 2 凹部としてのトレンチ 6 0 が形成される。

[0083] なお、凹部 8 9 に供給されたエッチング液は、半導体基板 3 における各電極（X 固定電極 2 1、Z 固定電極 6 1 など）となる部分にも接触することになるが、当該部分の厚さに比べて凹部 8 9 を区画する側壁 9 0 の幅が非常に小さい。たとえば、図 3 1 B に示すように、Z 固定電極 6 1 となる部分の半導体基板 3 の表面に沿う幅 W_1 に対する側壁 9 0 の幅 W_2 (W_1 / W_2) が、10 ~ 100 である。そのため、各電極（X 固定電極 2 1、Z 固定電極 6 1 など）となる部分の形状を設計通りに維持することができる。また、トレンチ 6 0 は、円筒状の多数の凹部 8 9 が一体化したものであり、その底壁の状態が凹部 8 9 の底壁のまま維持されるので、平坦とならず、実際には起伏がある凸凹な面となることがある。

[0084] 次いで、図 3 3 A および図 3 3 B に示すように、熱酸化法または PECVD 法により、X 固定電極 2 1 , Y 固定電極 4 1 および Z 固定電極 6 1、ならびに X 可動電極 2 2 , Y 可動電極 4 2 および Z 可動電極 6 2 の表面全域およびトレンチ 6 0 の内面全域 (つまり、トレンチ 6 0 を区画する側面および底面) に、酸化シリコン (SiO_2) からなる保護薄膜 3 5 が形成される。

[0085] 次いで、図 3 4 A および図 3 4 B に示すように、エッチバックにより、保護薄膜 3 5 におけるトレンチ 6 0 の底面上の部分が除去される。これにより、トレンチ 6 0 の底面が露出した状態となる。

次いで、図 3 5 A および図 3 5 B に示すように、表面保護膜 3 9 をマスクとする異方性の深掘り RIE により、トレンチ 6 0 の底面がさらに掘り下げられる。これにより、トレンチ 6 0 の底部に、半導体基板 3 の結晶面が露出した露出空間 8 3 が形成される。

[0086] この異方性の深掘り RIE に引き続いて、図 3 6 A および図 3 6 B に示すように、等方性の RIE により、トレンチ 6 0 の露出空間 8 3 に反応性イオンおよびエッチングガスが供給される。そして、その反応性イオンなどの作用により、半導体基板 3 が、各露出空間 8 3 を起点に半導体基板 3 の厚さ方向にエッチングされつつ、半導体基板 3 の表面に平行な方向にエッチングされる。これにより、互いに隣接する全ての露出空間 8 3 が一体化して、半導体基板 3 の内部に空洞 1 0 が形成されるとともに、空洞 1 0 内において、X 固定電極 2 1 , Y 固定電極 4 1 および Z 固定電極 6 1、ならびに X 可動電極 2 2 , Y 可動電極 4 2 および Z 可動電極 6 2 が浮いた状態となる。

[0087] なお、この空洞 1 0 を形成するに際しても、図 3 1 A、図 3 1 B、図 3 7 および図 3 8 に示した方法を適用して、まず深掘り RIE により、同一パターンの開口を有する多数の凹部を形成し、次いで、等方性エッチングにより、それらの凹部の側壁を除去して露出空間 8 3 を形成し、その後、露出空間 8 3 が一体化させてもよい。ただし、空洞 1 0 を底面側から区画する半導体基板 3 の底壁 1 2 の深さ位置は、ジャイロセンサ 1 の動作に特に悪影響を与えないので、適用しなくてもよい。

[0088] 以上の工程を経て、図 1 に示すジャイロセンサ 1 が得られる。

< 作用効果 >

以上のように、上記したジャイロセンサ 1 の製造方法によれば、半導体基板 3 の表面部に X 固定電極 2 1 , Y 固定電極 4 1 および Z 固定電極 6 1 、ならびに X 可動電極 2 2 , Y 可動電極 4 2 および Z 可動電極 6 2 を画成するために、半導体基板 3 を選択的にエッチングするためのエッチング領域 8 7 (たとえば、領域 8 7 1 ~ 8 7 4 などを含む領域) が設定される。

[0089] そして、これら電極を画成するためのトレンチ 6 0 の形成に先立って、第 1 ステップとして、図 3 1 A、図 3 1 B、図 3 7 および図 3 8 に示すように、半導体基板 3 が、同一パターン (この実施形態では、同一形状および大きさの平面視円形のパターン) の開口 8 8 を多数有するレジスト 5 9 をマスクとして、異方性の深掘り反応性イオンエッチングされる。つまり、エッチング領域 8 7 内の半導体が、同一パターンで深掘り反応性イオンエッチングされる。これにより、半導体基板 3 の表面部に、深さがほぼ等しく揃った凹部 8 9 を多数形成することができる。

[0090] その後、第 2 ステップとして、図 3 2 A および図 3 2 B に示すように、多数の凹部 8 9 を区画する半導体基板 3 の側壁 9 0 が、半導体基板 3 の表面に平行な横方向にエッチングされて除去される。こうして、多数の凹部 8 9 が一体化され、これによりエッチング領域 8 7 を占めるトレンチ 6 0 が形成される。これにより、半導体基板 3 のエッチング領域 8 7 を選択的にエッチングすることができ、X 固定電極 2 1 , Y 固定電極 4 1 および Z 固定電極 6 1 、ならびに X 可動電極 2 2 , Y 可動電極 4 2 および Z 可動電極 6 2 の形状に成形しつつ、それらの間にトレンチ 6 0 を形成することができる。

[0091] このように、第 1 ステップとして、形状や大きさの揃ったパターンで半導体基板 3 を垂直に深掘り反応性イオンエッチングして深さのほぼ等しく凹部 8 9 を形成することにより、トレンチ 6 0 を設計通りの深さで形成することができる。そのため、エッチング領域 8 7 2、8 7 3 のような非常に入り組んだ領域と、エッチング領域 8 7 4 のような形状が単純な領域とのように、

エッチングされる領域の形状や大きさが全く異なっているとしても、正確に制御された深さのトレンチ60を形成できる。よって、当該トレンチ60により画成されるX固定電極21、Y固定電極41およびZ固定電極61、ならびにX可動電極22、Y可動電極42およびZ可動電極62を、設計通りの厚さ（半導体基板3の厚さ方向における厚さ）で形成することができる。その結果、X固定電極21の電極部24とX可動電極22の電極部27との対向面積、Y固定電極41の電極部44とY可動電極42の電極部47との対向面積、およびZ固定電極61の電極部64とZ可動電極62の中間部72との対向面積Sをそれぞれ設計通りにできるので、ジャイロセンサ1の角速度を良好に検出することができる。

[0092] さらに、領域871、872、873および874などの複数のエッチング領域が混在するエッチング領域87を選択的にエッチングする場合でも、トレンチ60の深さを正確に制御できるので、エッチング領域87内に形成されるトレンチ60全部をほぼ等しい深さに揃えることができる。

また、図37および図38に示すように、第1ステップの深掘りR1已の際には、半導体基板3上のいずれの箇所からも形状が同じパターン（この実施形態では、平面視円形）でエッチングするので、半導体基板3上に形成されるレジスト59をパターニングするためのマスクが1枚で済む。そのため、製造コストが低減することができる。さらに、レジスト59のパターニングが1回で済むため、製造時間を短縮することもできる。

[0093] 以上、本発明の一実施形態について説明したが、本発明はさらに他の形態で実施することもできる。

たとえば、前述の実施形態では、本発明の一実施形態に係るエッチング方法が採用される例として、静電容量型ジャイロセンサを取り上げたが、当該エッチング方法は、静電容量型加速度センサの各軸（X軸、Y軸およびZ軸）の固定電極および可動電極を形成する際に適用することもできる。また、静電容量型のジャイロセンサおよび加速度センサの電極製造に適用できるだけでなく、たとえば、圧電抵抗型圧力センサの基準圧室となる凹部を半導

体基板に形成する際、トレンチゲート型MOSFETのゲートトレンチを形成する際など、半導体基板に凹部を形成する工程全般に適用することができる。

[0094] また、前述の実施形態では、第1ステップとして形成するパターンは、図37および図38に示すように平面視円形であつたが、同一パターンであれば、平面視楕円形、正方形、長方形、ひし形、三角形、台形などであってもよい。

また、前述の実施形態では、半導体基板3上にセンサ部4と集積回路5とが混載された態様を説明したが、センサ部4および集積回路5は、それぞれ別個の半導体基板に形成されてもよい。

[0095] また、半導体基板3の表面上を引き回されるセンサのアルミニウム配線（たとえば、X第1駆動/検出配線29、Z第1検出配線75など）は、集積回路5のゲート電極を形成する工程と同一工程で作製することにより、ポリシリコンからなる配線に置き換えることもできる。その場合、当該ポリシリコン配線には、ゲート電極とは異なり、不純物を注入しなくてもよい。なぜなら、当該ポリシリコン配線は、センサの各部に電流を流すための配線ではなく、電圧を印加するための配線であり、抵抗が比較的高くてもよいからである。

[0096] 本発明の実施形態は、本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

また、本発明の各実施形態において表した構成要素は、本発明の範囲で組み合わせることができる。

[0097] 本出願は、2010年7月6日に日本国特許庁に提出された特願2010-154019号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

符号の説明

[0098] 1・・・ジャイロセンサ、3・・・半導体基板、11・・・上壁 (半導体基板の表面部)、21・・・X固定電極、22・・・X可動電極、41・・・Y固定電極、42・・・Y可動電極、60・・・トレンチ、61・・・Z固定電極、62・・・Z可動電極、87・・・エッチング領域、88・・・(レジストの)開口、89・・・凹部、90・・・側壁、871・・・'領域、872・・・領域、873・・・領域、874・・・'領域

請求の範囲

[請求項 1] エッチング領域が定められた半導体基板の当該エッチング領域を選択的にエッチングする方法であって、

 当該エッチング領域内の複数箇所から所定のパターンで深掘り反応性イオンエッチングすることにより、同一形状および大きさの開口を有する複数の第 1 凹部を前記エッチング領域に形成する工程と、

 複数の前記第 1 凹部を区画する前記半導体基板の側壁を等方性イオンエッチングで除去することにより、複数の前記第 1 凹部が一体化された第 2 凹部を前記エッチング領域に形成する工程とを含む、半導体基板のエッチング方法。

[請求項 2] 前記エッチング領域が、互いに形状または大きさが異なる第 1 エッチング領域および第 2 エッチング領域を含み、

 前記第 1 凹部を形成する工程が、前記第 1 エッチング領域および前記第 2 エッチング領域内に、それぞれ複数の前記第 1 凹部を同時に形成する工程を含む、請求項 1 に記載の半導体基板のエッチング方法。

[請求項 3] 半導体基板と、

 前記半導体基板の表面部に形成された第 1 電極と、

 前記半導体基板の前記表面部に形成され、前記第 1 電極に対して間隔を空けて対向する第 2 電極とを含む静電容量型 MEMS センサの製造方法であって、

 前記第 1 電極および前記第 2 電極を形成すべき領域外において当該第 1 および第 2 電極を形成すべき領域を区画するようにエッチング領域を定める工程と、

 前記エッチング領域内の複数箇所から所定のパターンで深掘り反応性イオンエッチングすることにより、同一形状および大きさの開口を有する複数の第 1 凹部を前記エッチング領域に形成する工程と、

 複数の前記第 1 凹部を区画する前記半導体基板の側壁を等方性イオンエッチングで除去することにより、複数の前記第 1 凹部が一体化さ

れた第 2 凹部を前記エッチング領域に形成し、同時に前記第 1 および第 2 電極を形成する工程とを含む、静電容量型 MEMS センサの製造方法。

[請求項 4] 前記第 1 電極および前記第 2 電極を形成する工程は、前記第 1 電極および前記第 2 電極をそれぞれ有し、三次元空間において互いに直交する X 軸、Y 軸および Z 軸まわりの角速度を検出するジャイロセンサを形成する工程を含む、請求項 3 に記載の静電容量型 MEMS センサの製造方法。

[請求項 5] 前記静電容量型 MEMS センサの製造方法は、前記ジャイロセンサからの出力を解析するための集積回路を、前記半導体基板に形成する工程を含む、請求項 4 に記載の静電容量型 MEMS センサの製造方法。

[請求項 6] 前記 X 軸、前記 Y 軸および前記 Z 軸の少なくとも 1 つの軸まわりの角速度を検出する前記ジャイロセンサの前記第 1 電極および前記第 2 電極が、それぞれ固定電極および可動電極であり、

前記固定電極および前記可動電極が同じ厚さである、請求項 4 に記載の静電容量型 MEMS センサの製造方法。

[請求項 7] 前記第 2 凹部の下方部をエッチングにより連通させて、前記固定電極の直下に空洞を形成する工程をさらに含み、

前記固定電極は、当該エッチングにより形成された前記空洞内の支持部に固定されたベース部と、前記ベース部の内壁に沿って櫛歯状に配列された電極部とを含む、請求項 6 に記載の静電容量型 MEMS センサの製造方法。

[請求項 8] 前記可動電極が、前記固定電極の前記電極部を横切る方向に延びるように形成されている、請求項 7 に記載の静電容量型 MEMS センサの製造方法。

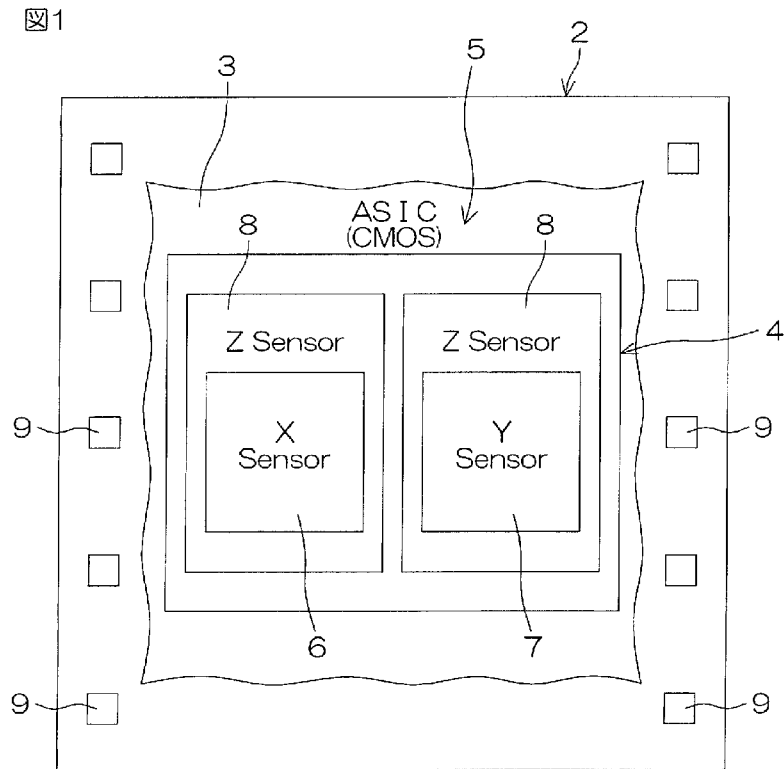
[請求項 9] 前記可動電極が、前記半導体基板の表面から前記空洞に至るように埋め込まれた絶縁層をさらに含む、請求項 7 に記載の静電容量型 MEMS

M S センサの製造方法。

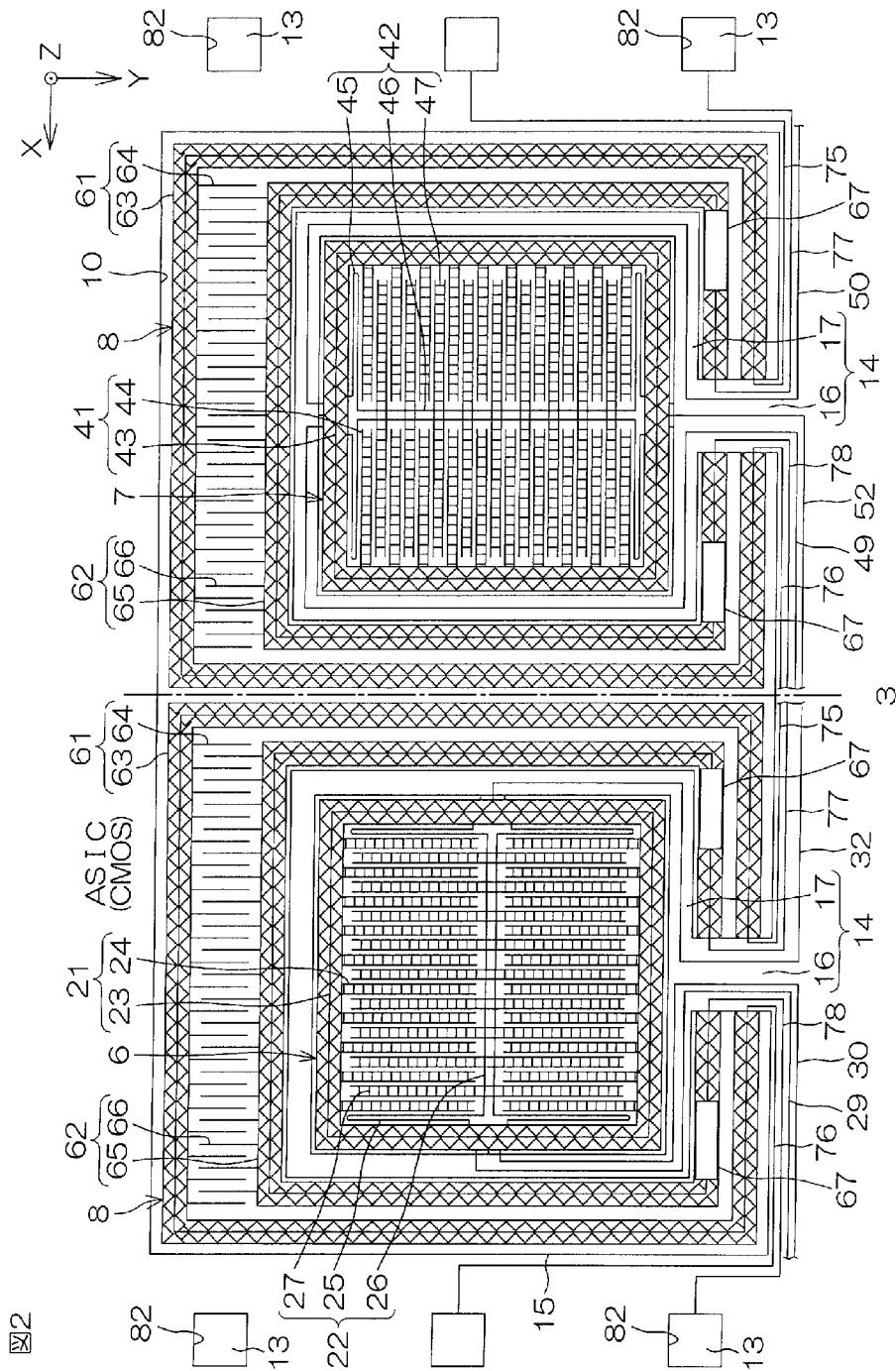
[請求項 10] 前記可動電極に、前記半導体基板の表面から絶縁層を埋め込む工程をさらに含み、

前記空洞を形成する工程は、前記可動電極の前記絶縁層が前記半導体基板の前記表面から前記空洞に至るように、前記半導体基板をエッチングして前記空洞を形成する工程を含む、請求項 7 に記載の静電容量型 M E M S センサの製造方法。

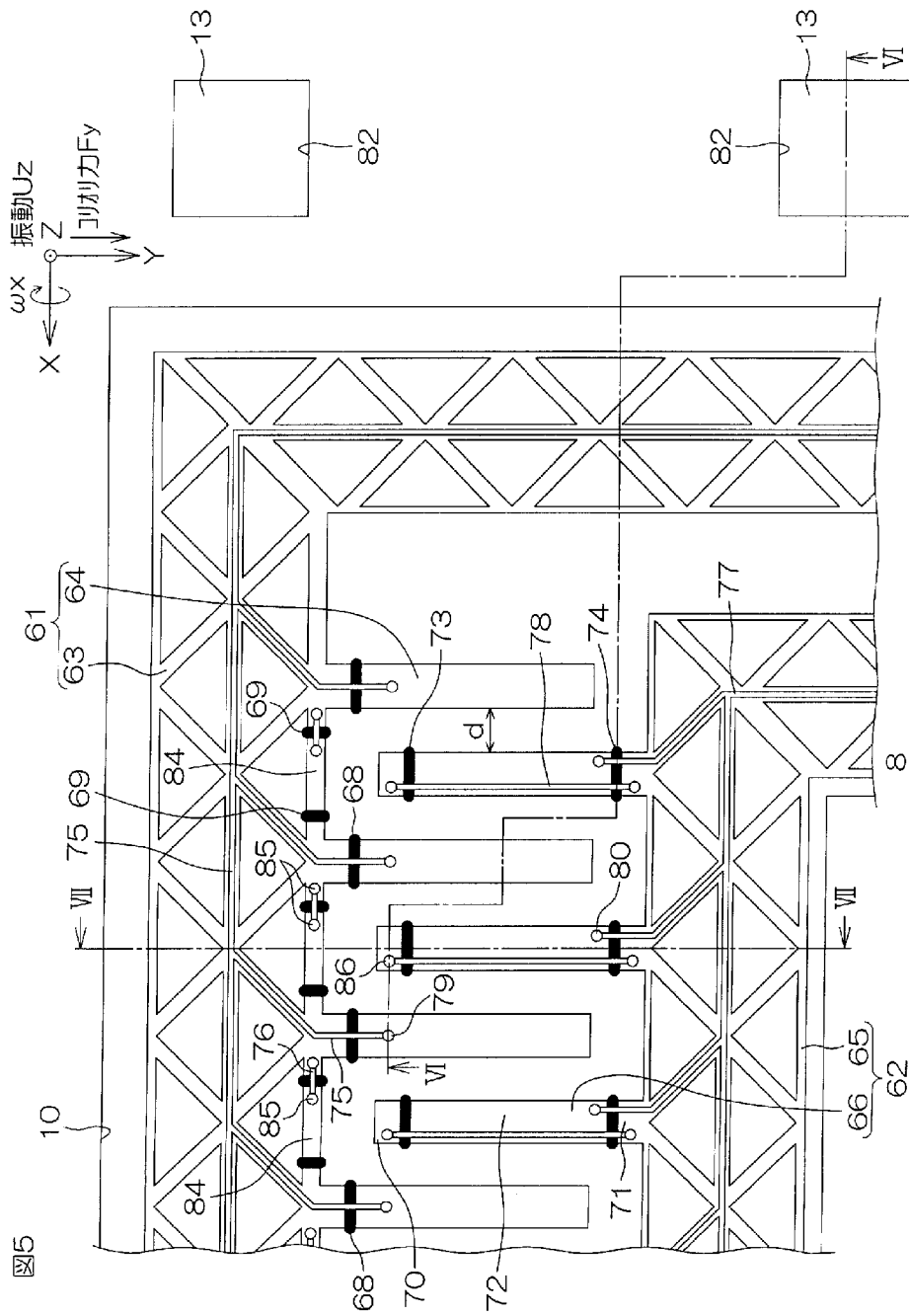
[図1]



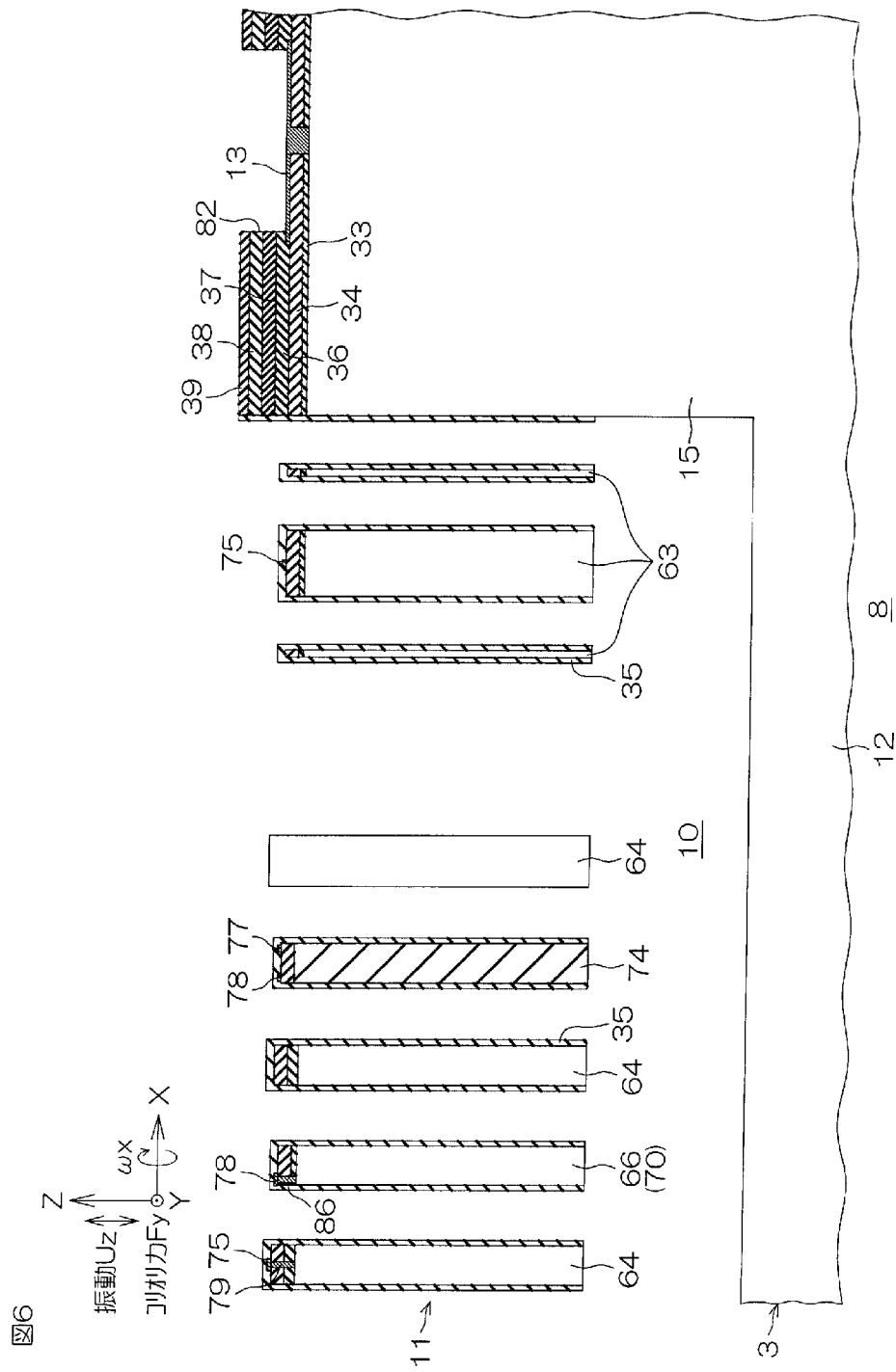
[図2]



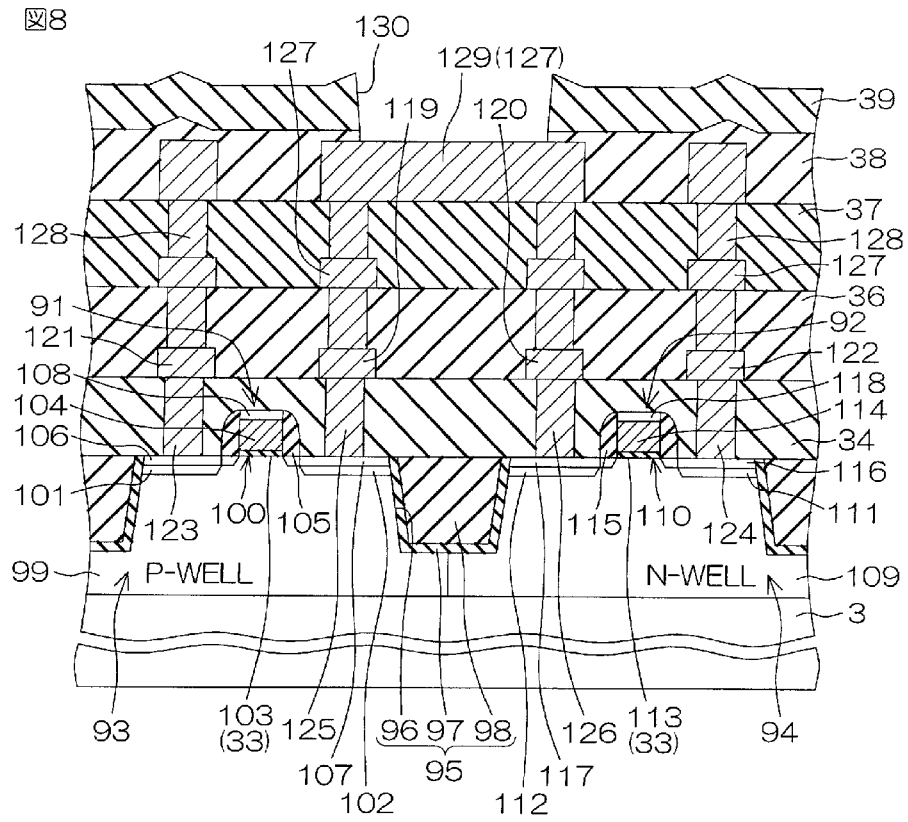
[図5]



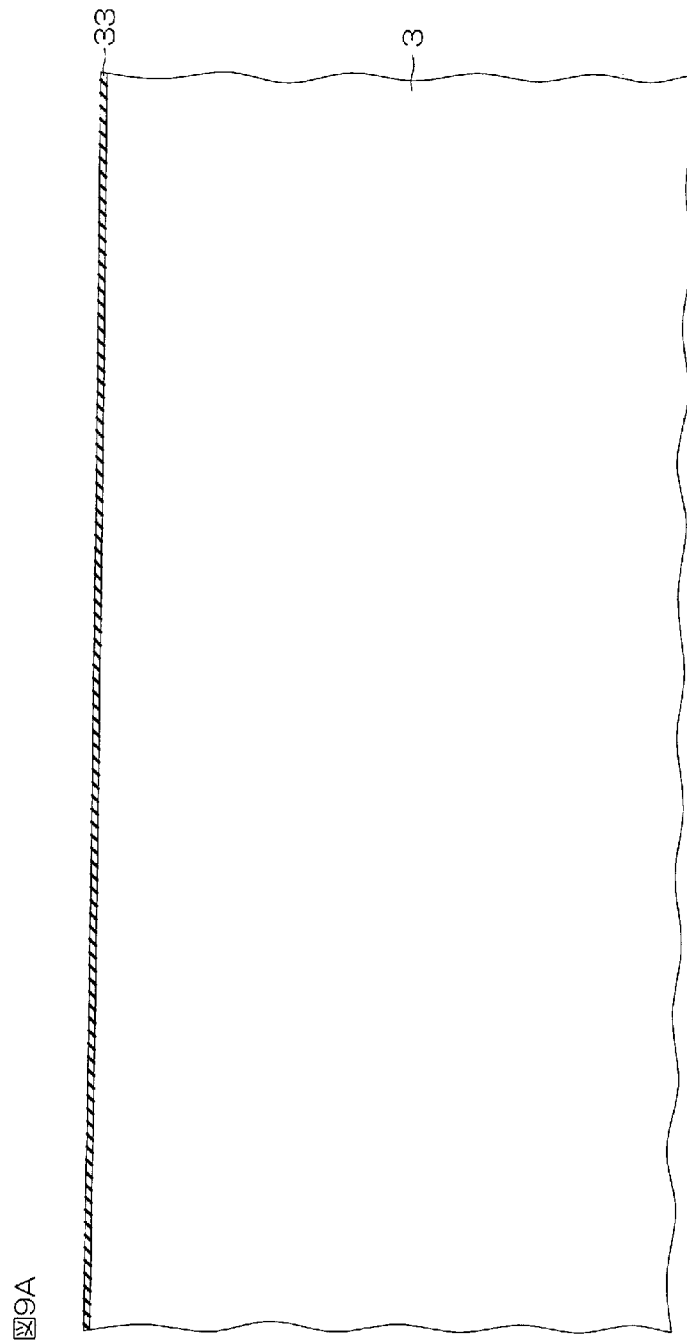
[図6]



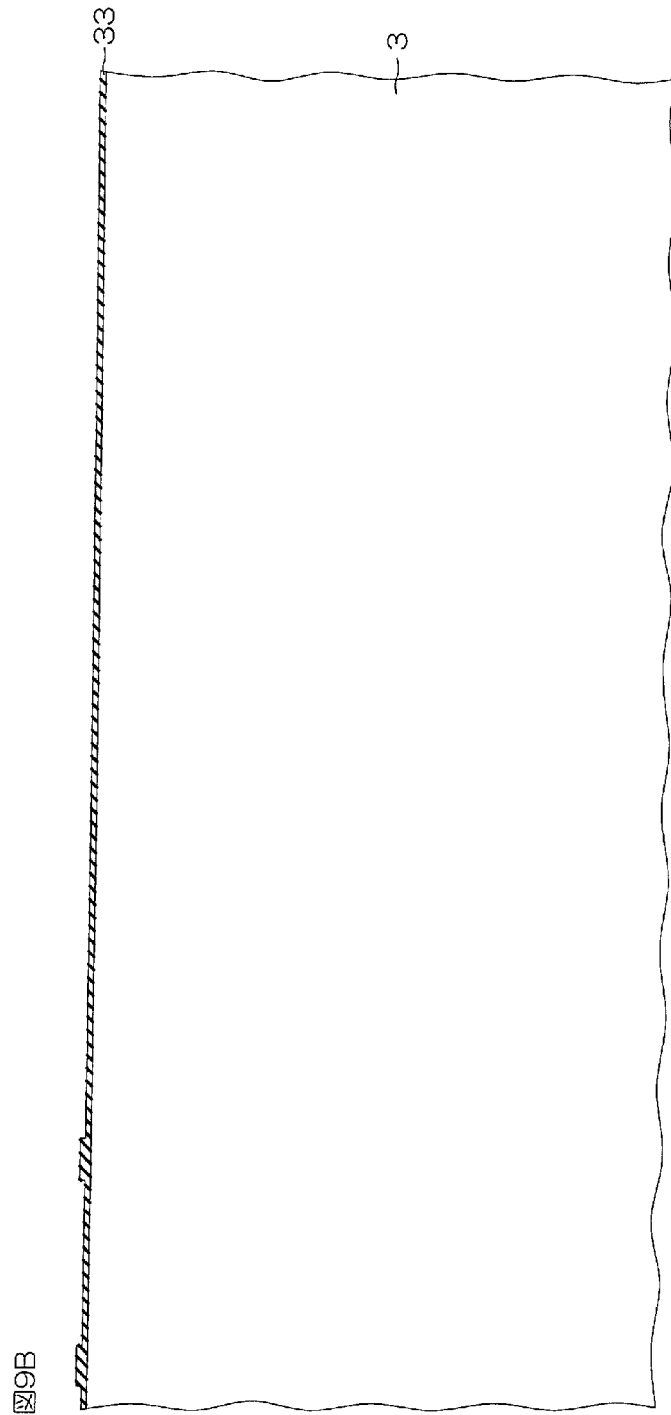
[図8]



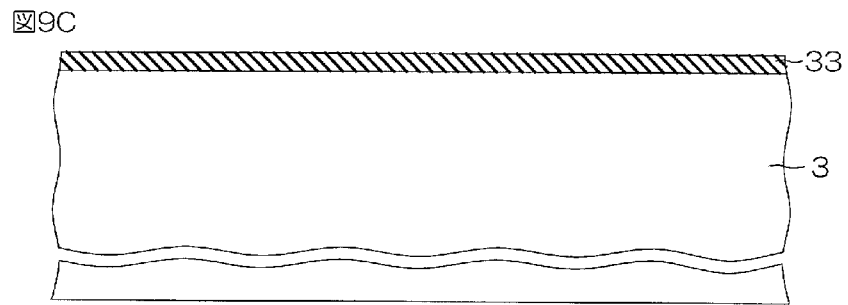
[図9A]



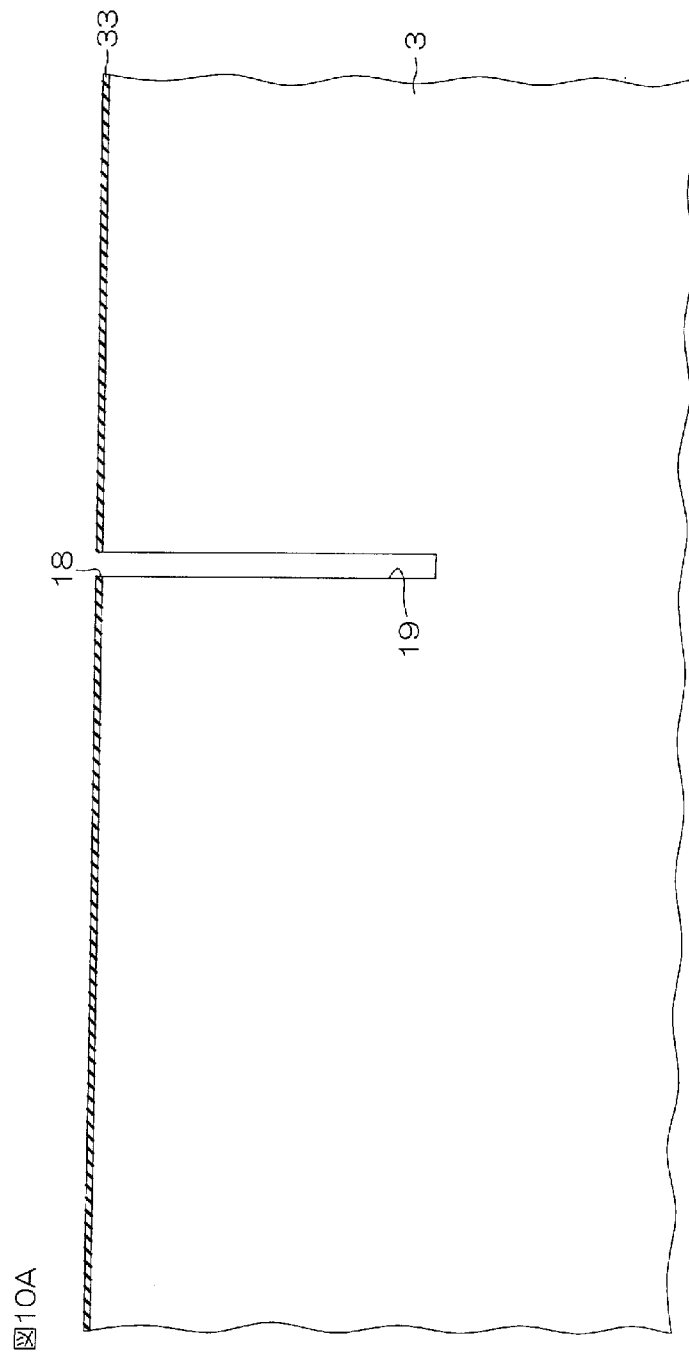
[図9B]



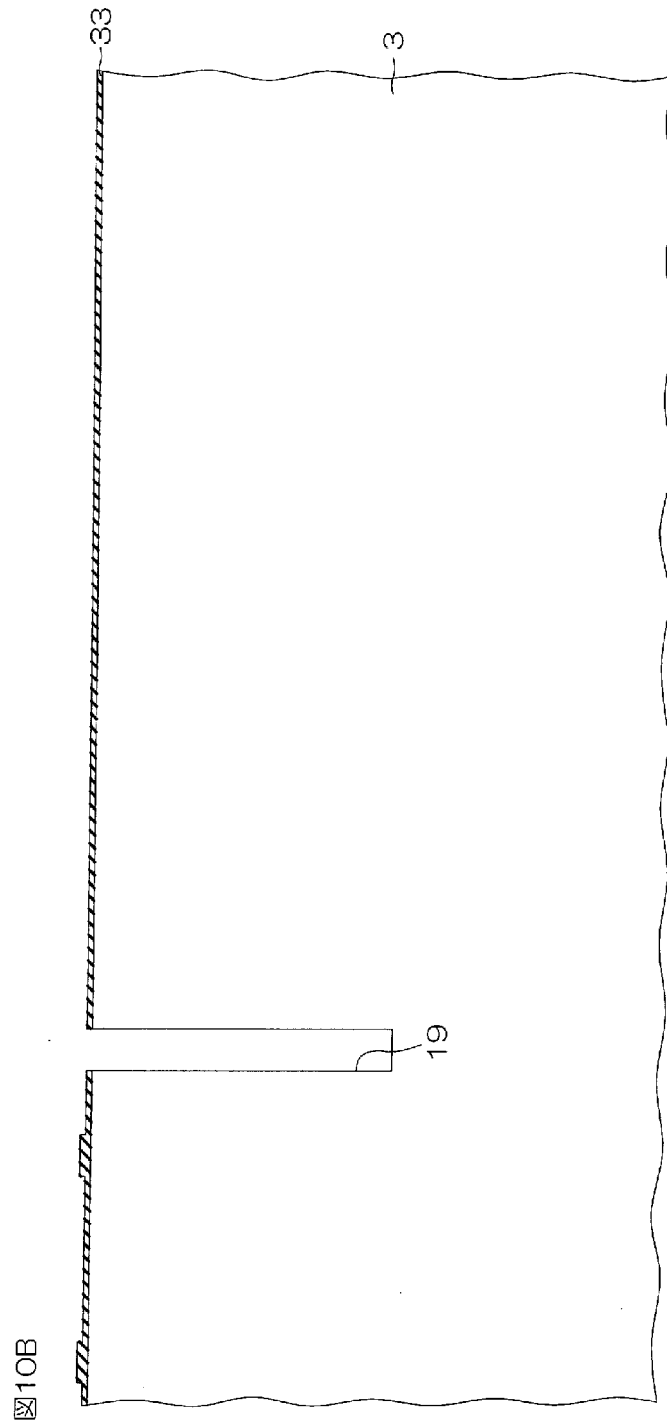
[図9C]



[図10A]

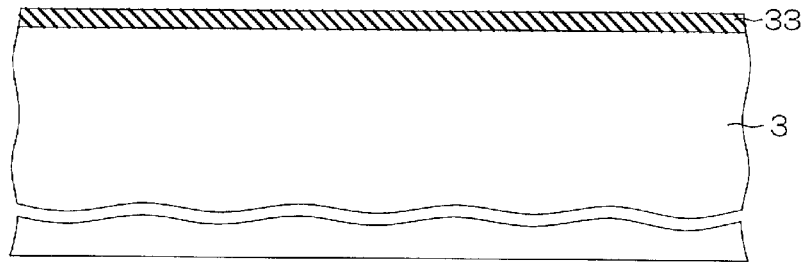


[図10B]

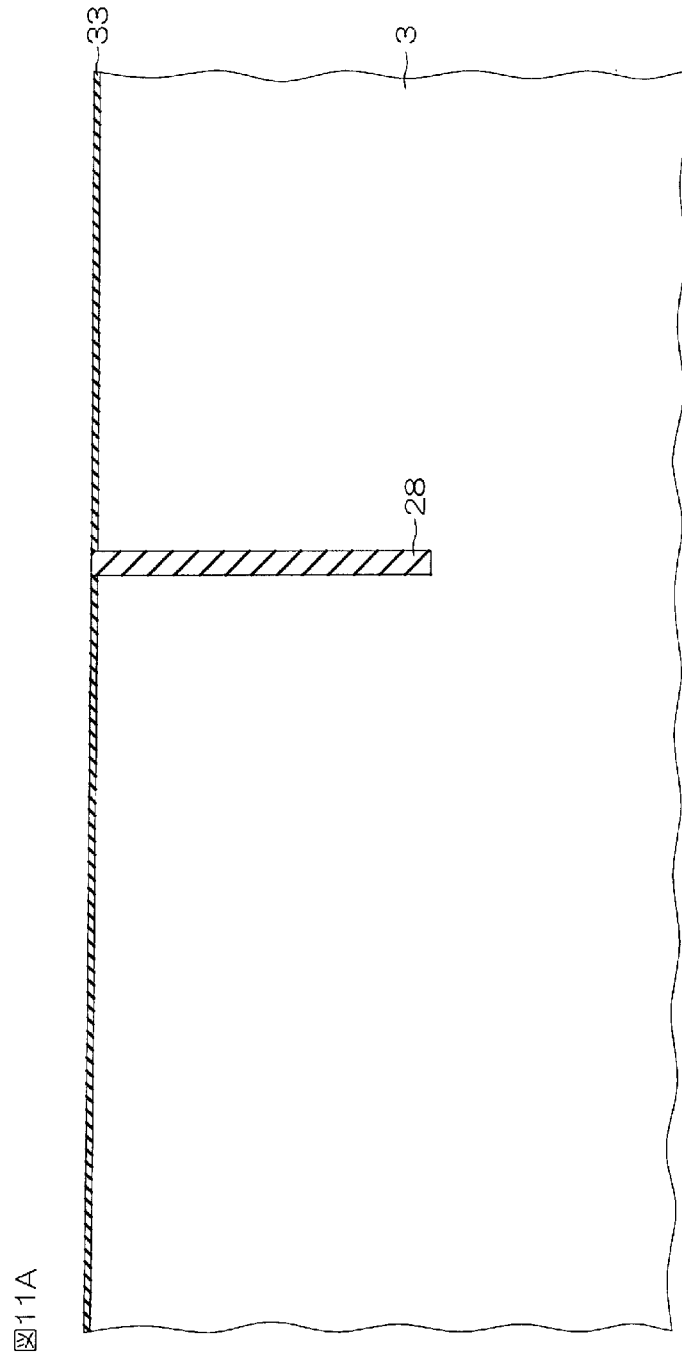


[図10C]

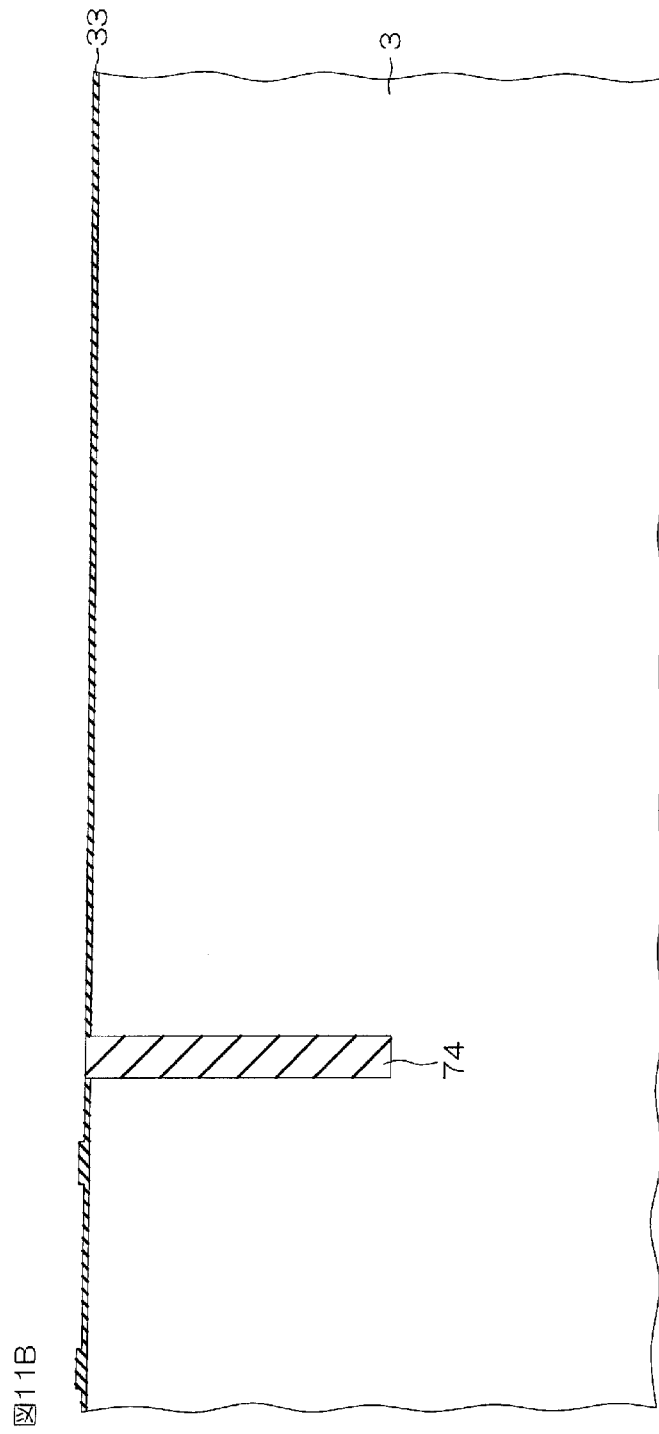
図10C



[図11A]

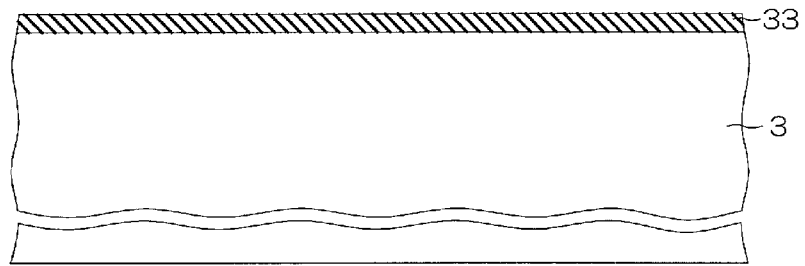


[図11B]

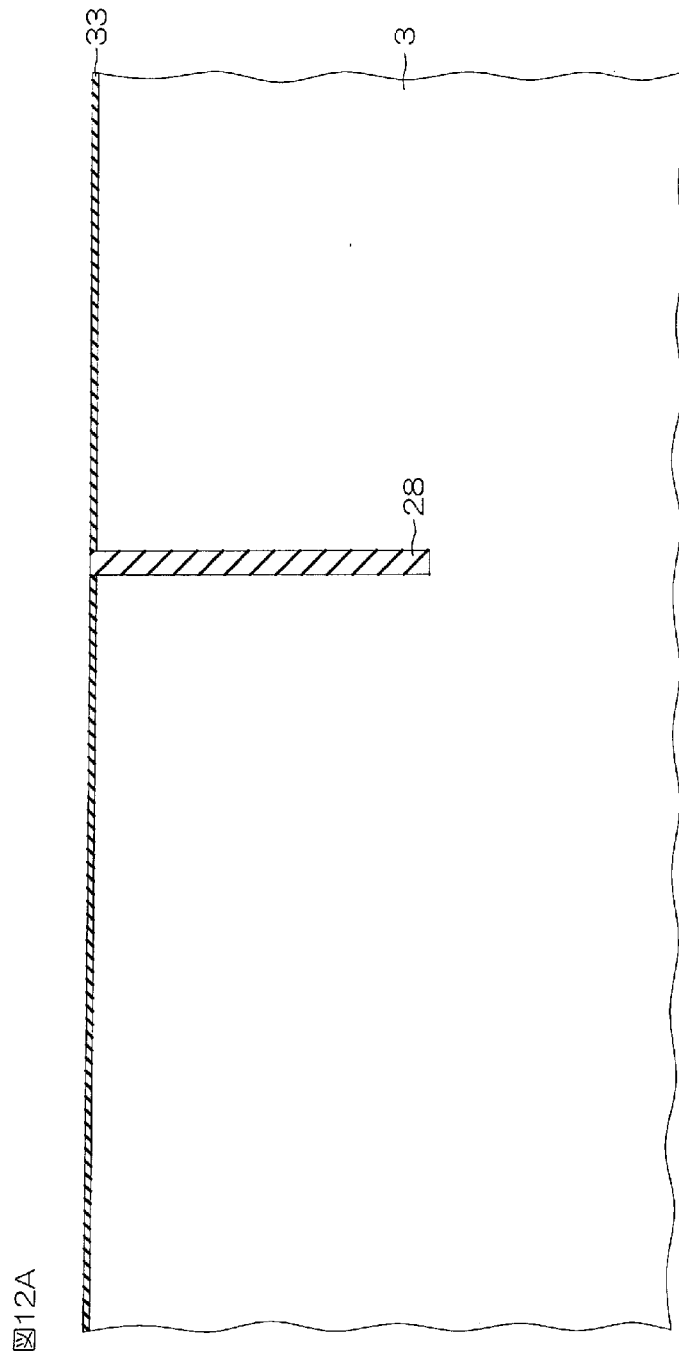


[図11C]

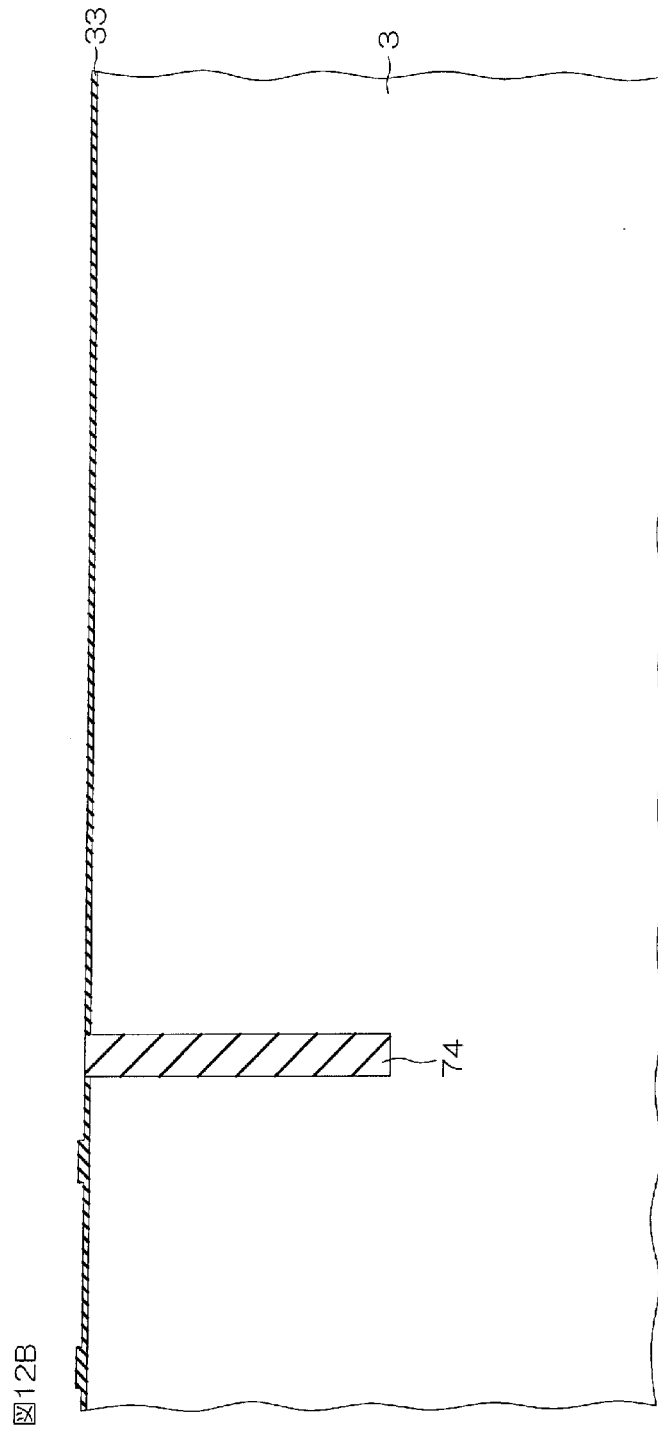
図11C



[図12A]

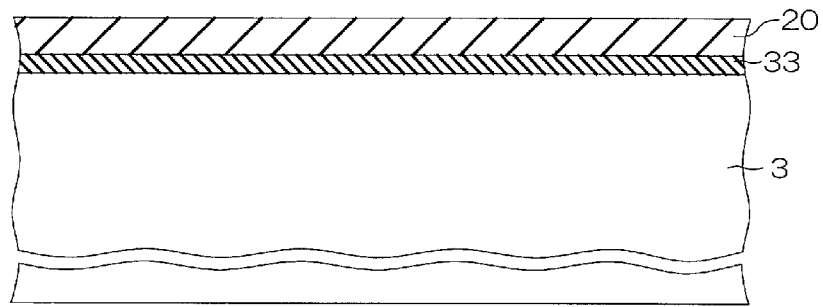


[図12B]

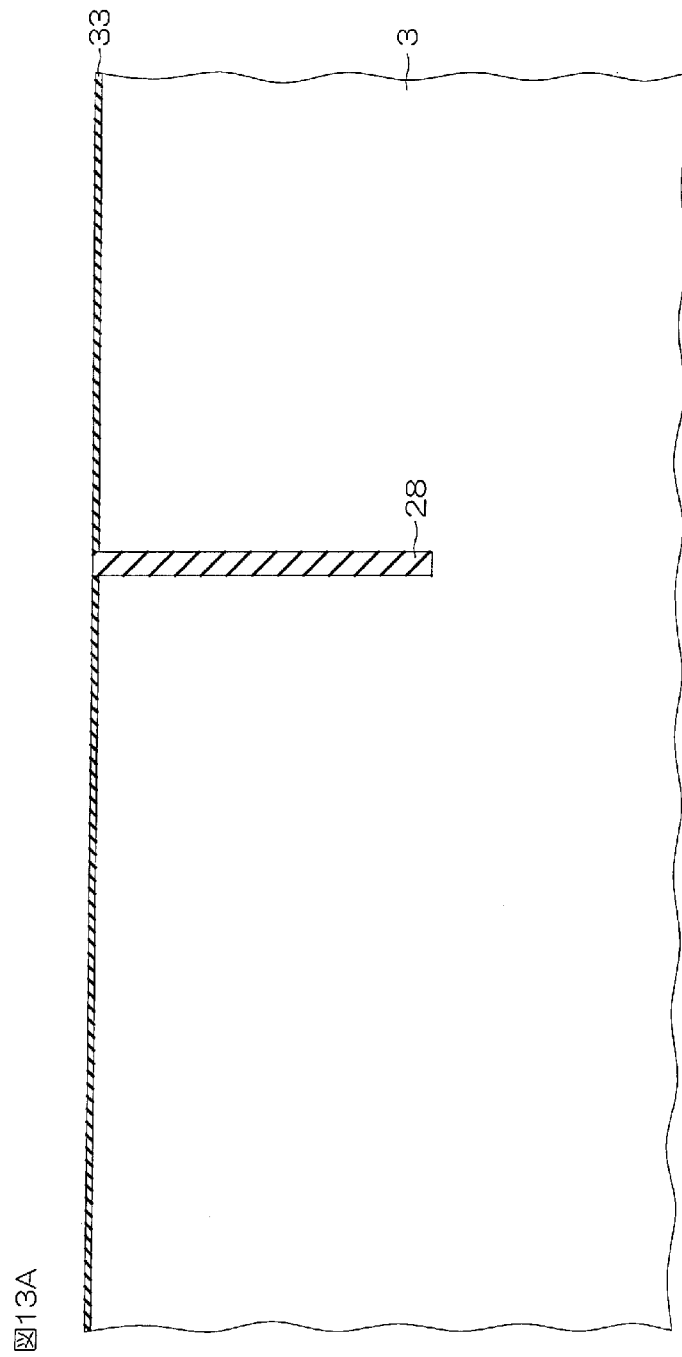


[図12C]

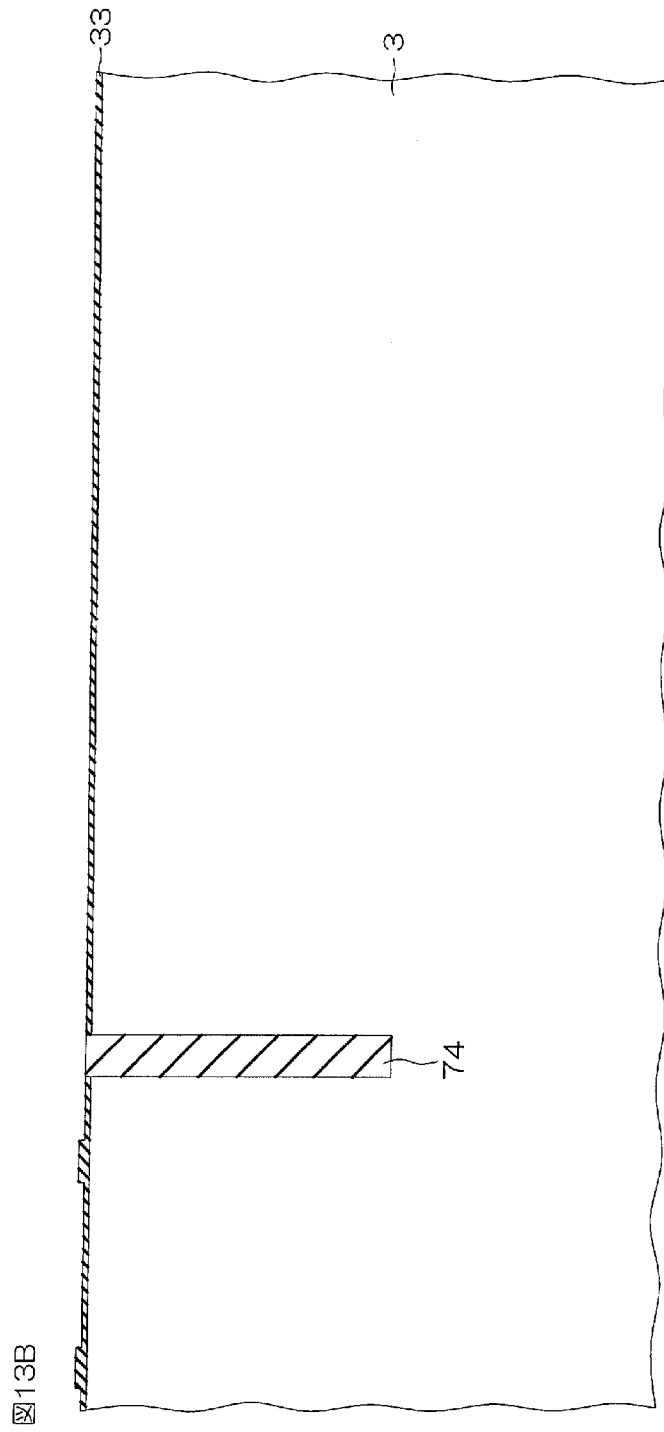
図12C



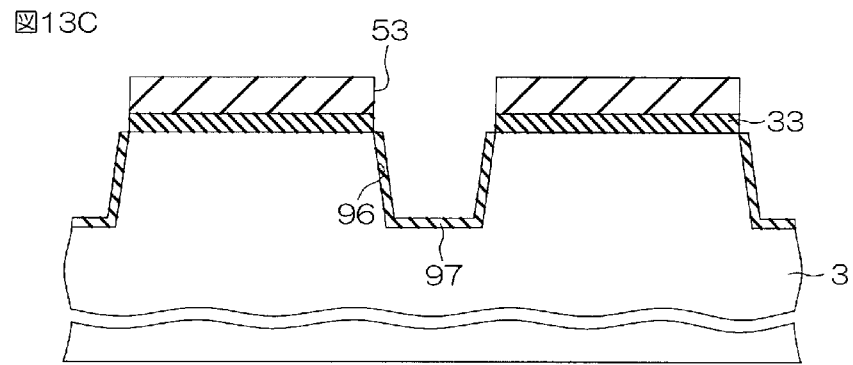
[図13A]



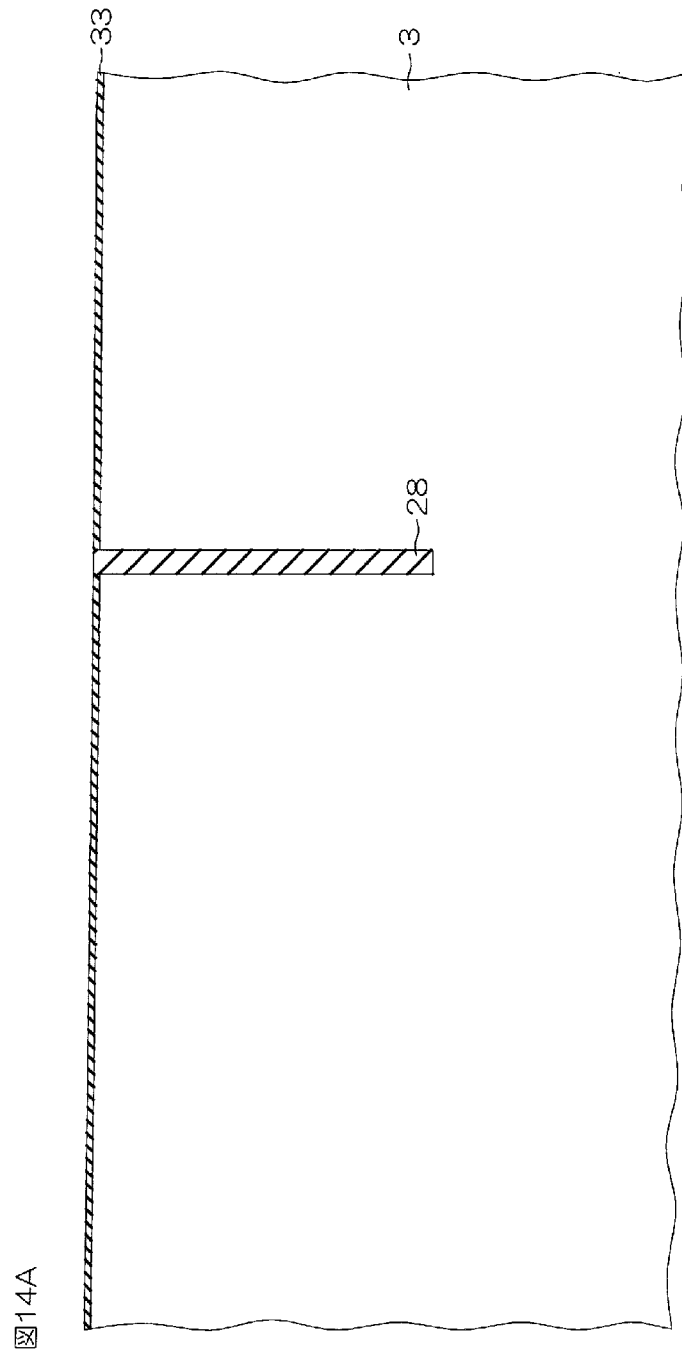
[図13B]



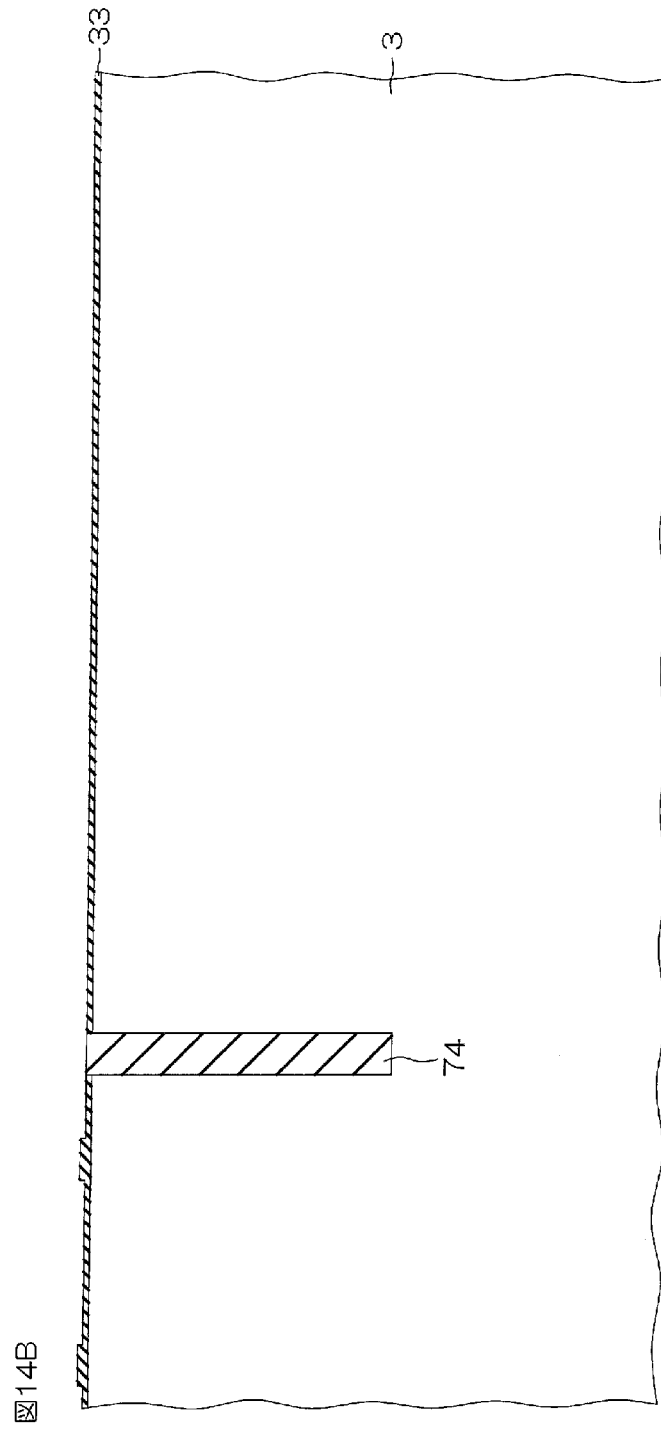
[図13C]



[図14A]

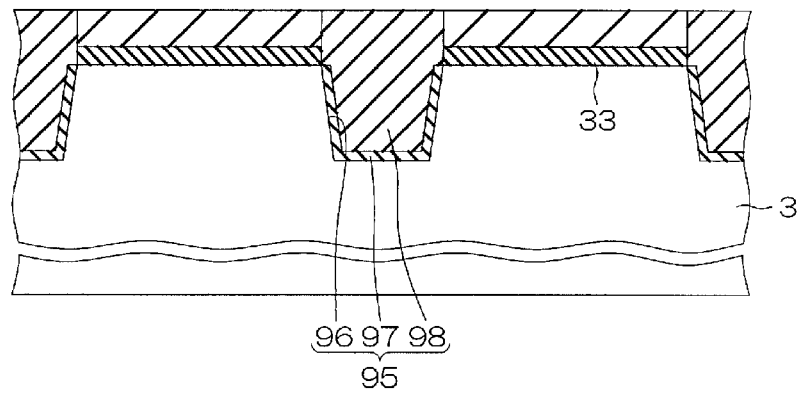


[図14B]

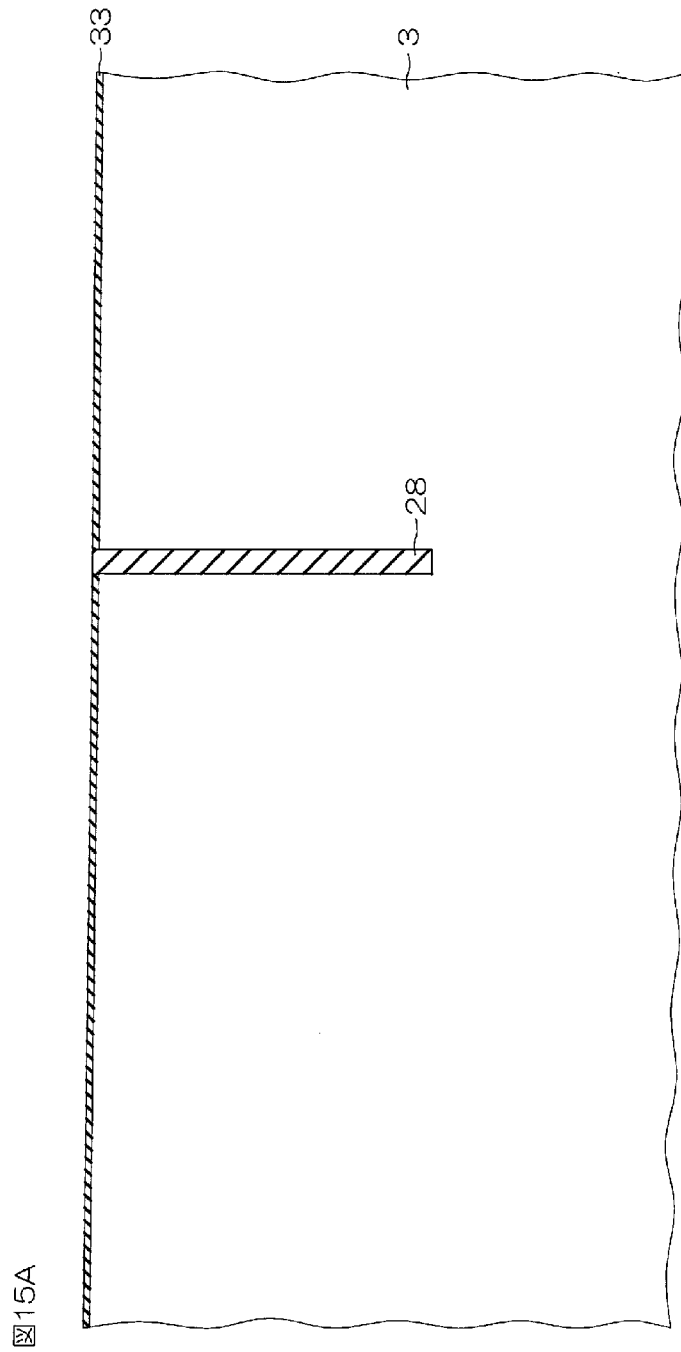


[図14C]

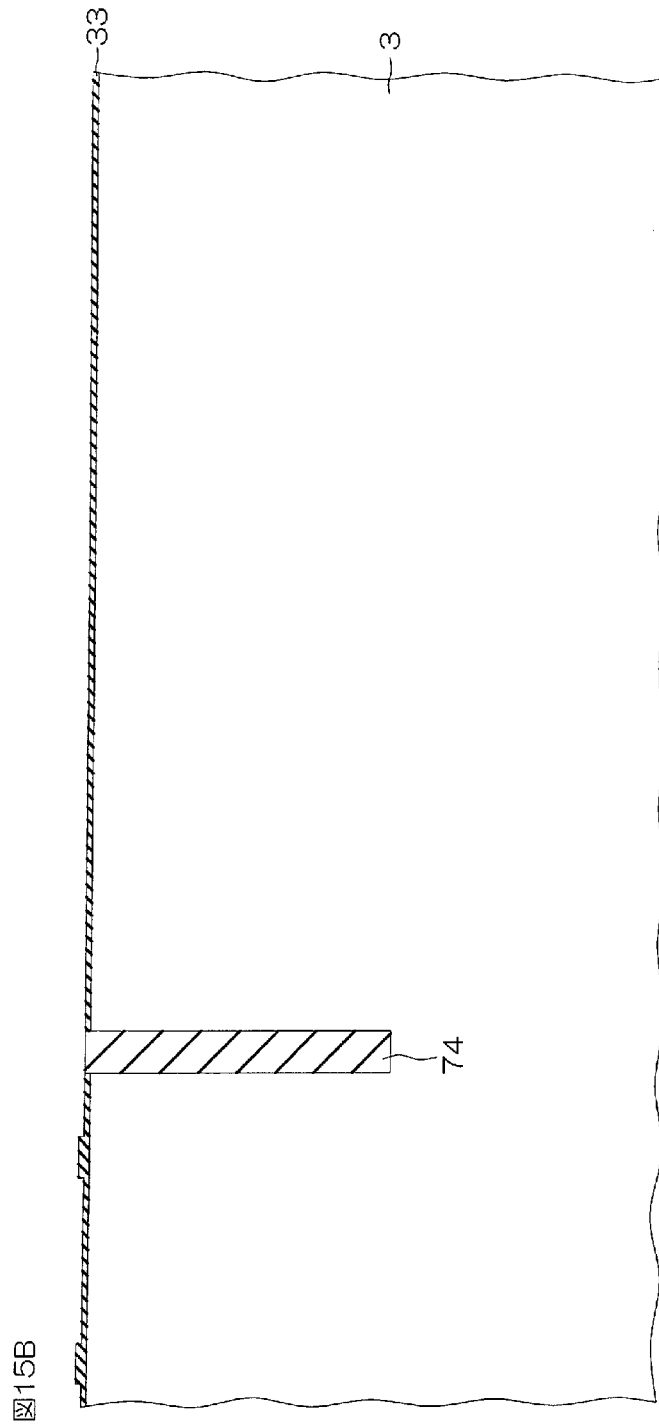
図14C



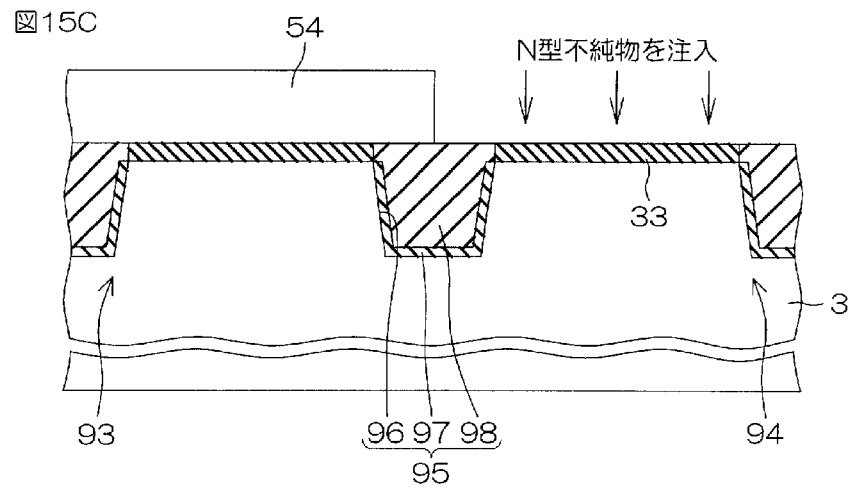
[図15A]



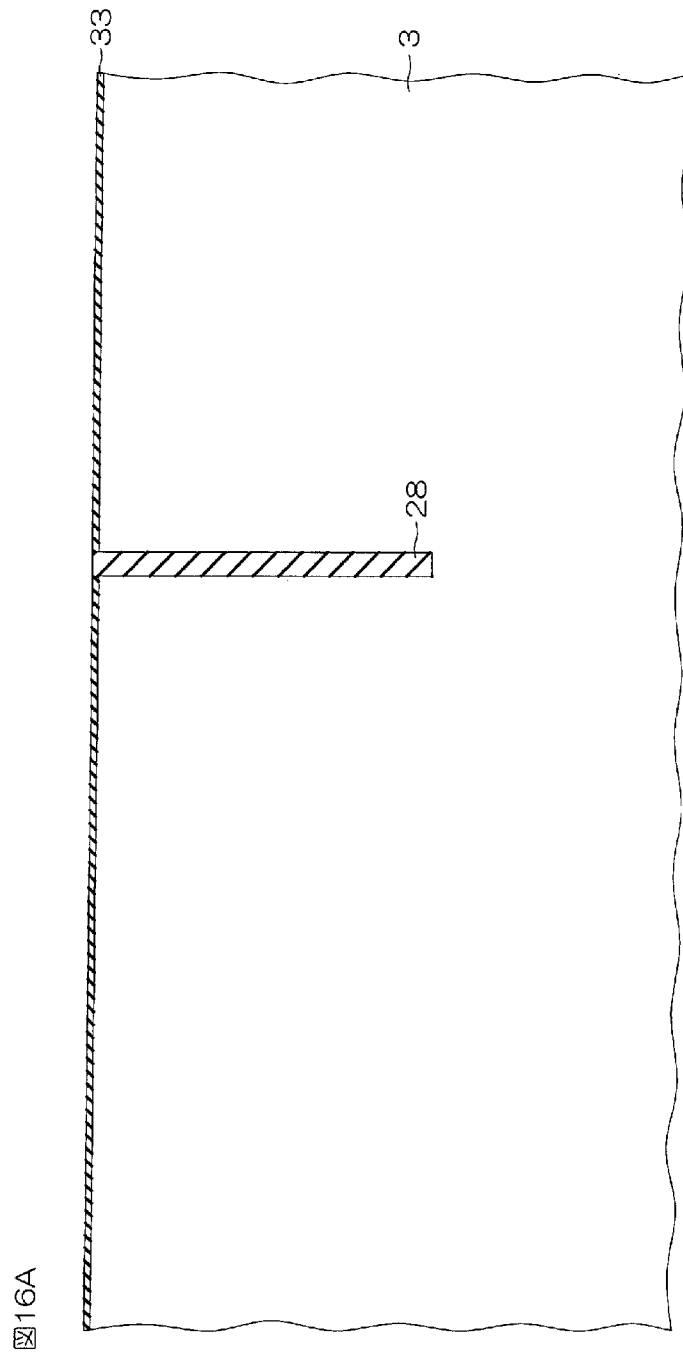
[図15B]



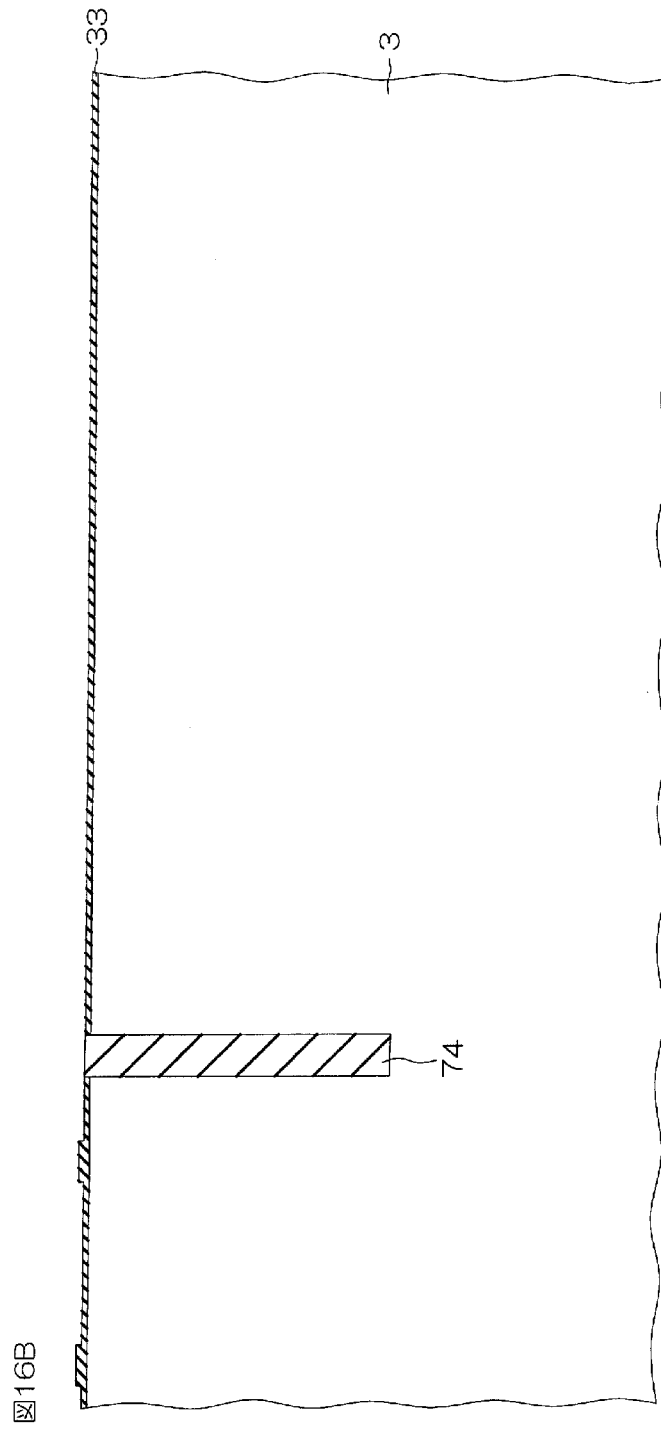
[図15C]



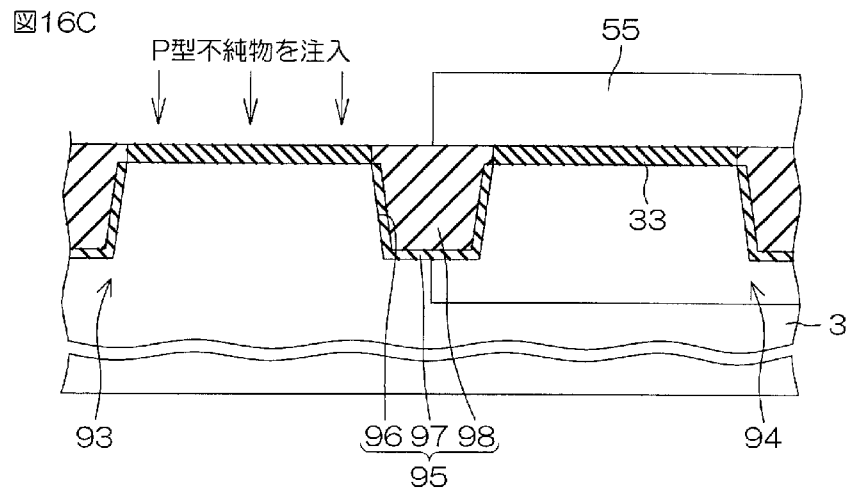
[図16A]



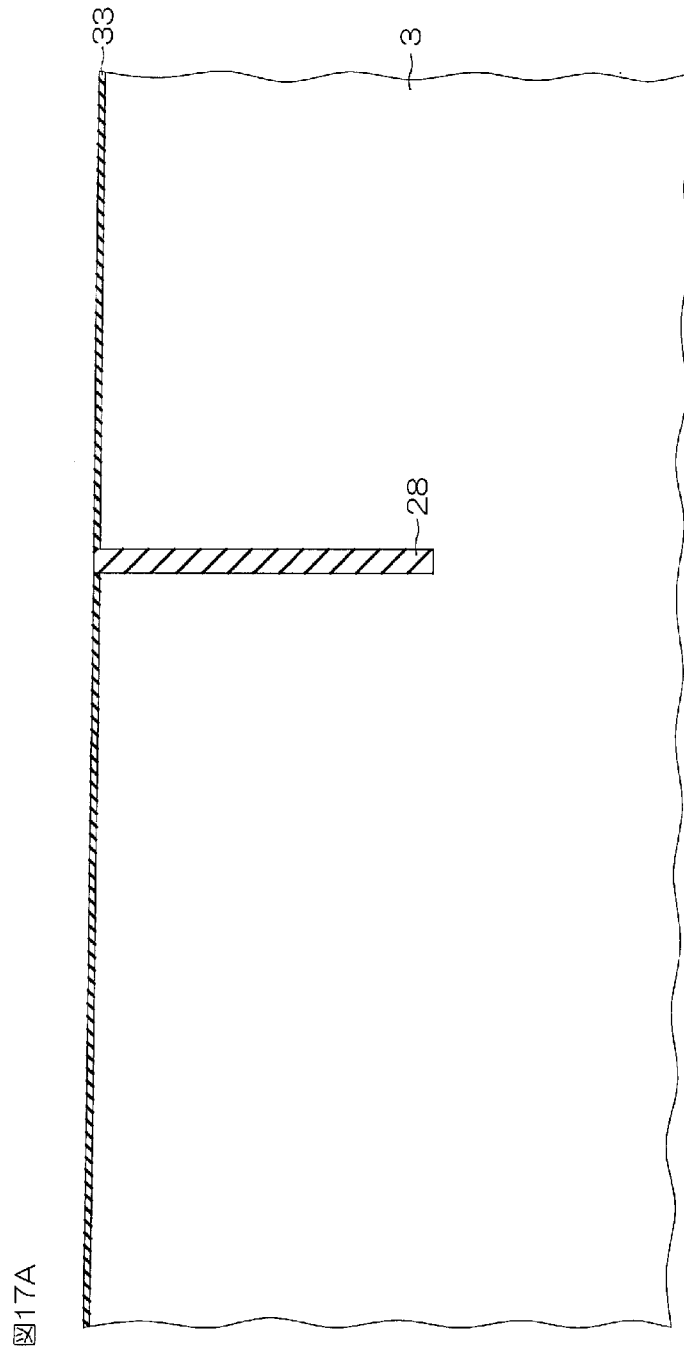
[図16B]



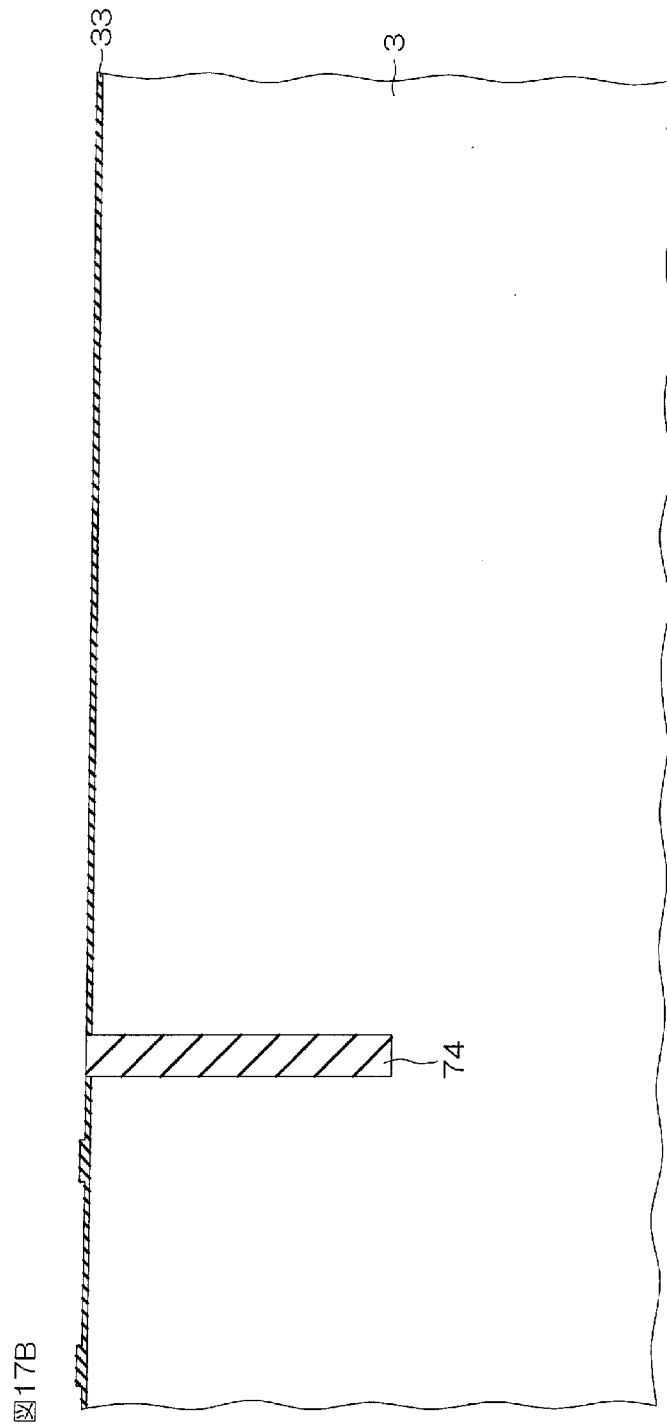
[図16C]



[図17A]

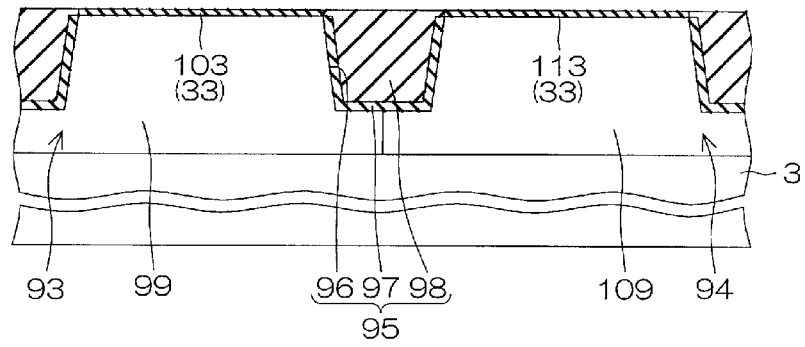


[図17B]

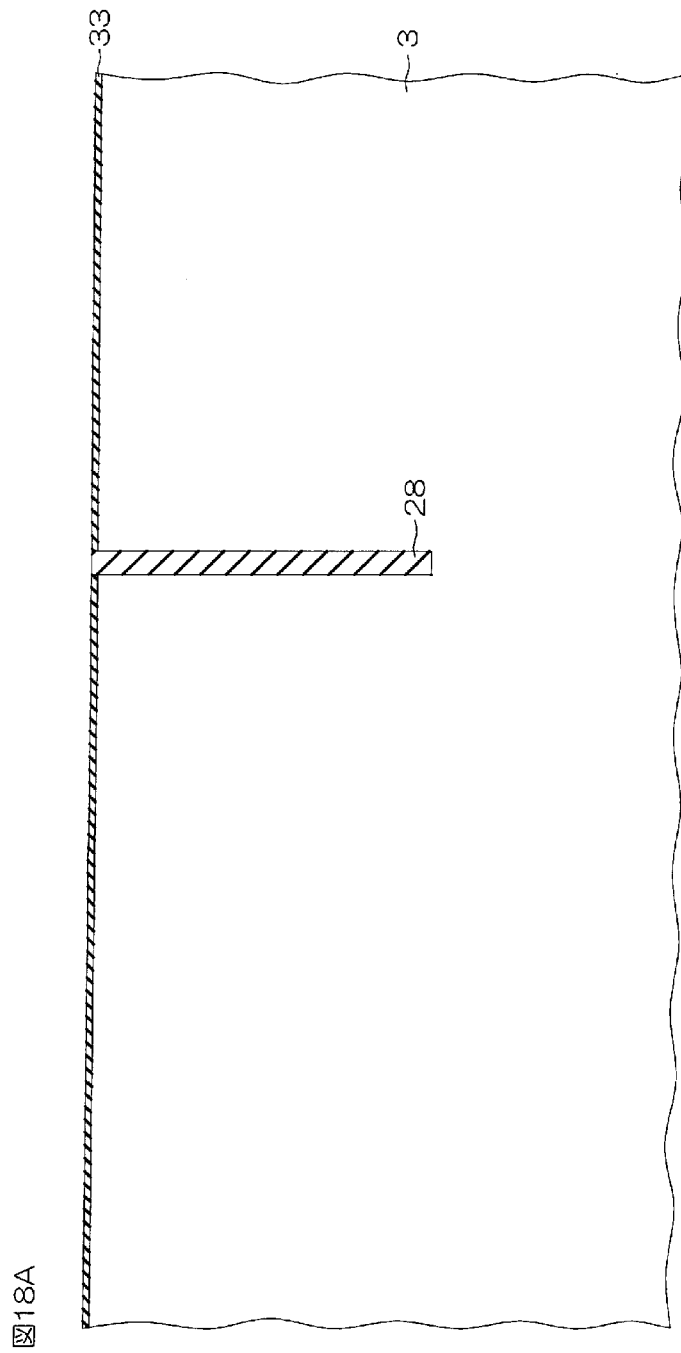


[図17C]

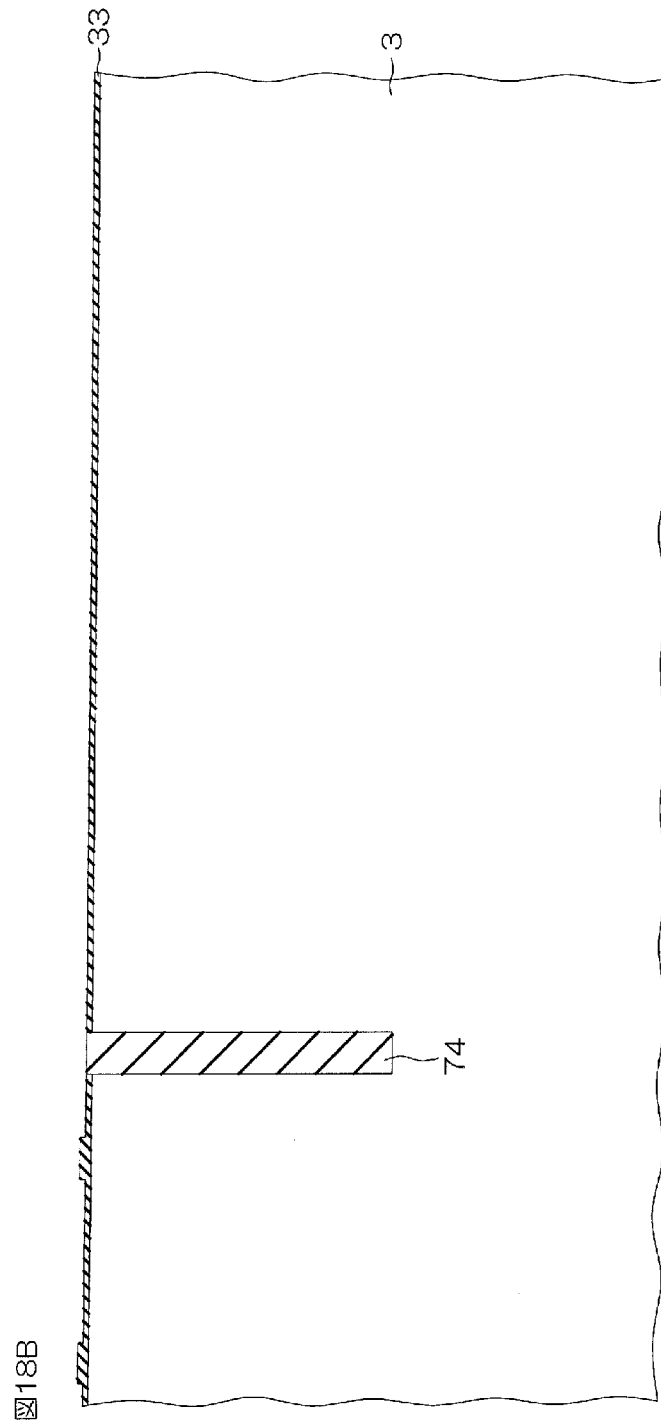
図17C



[図18A]

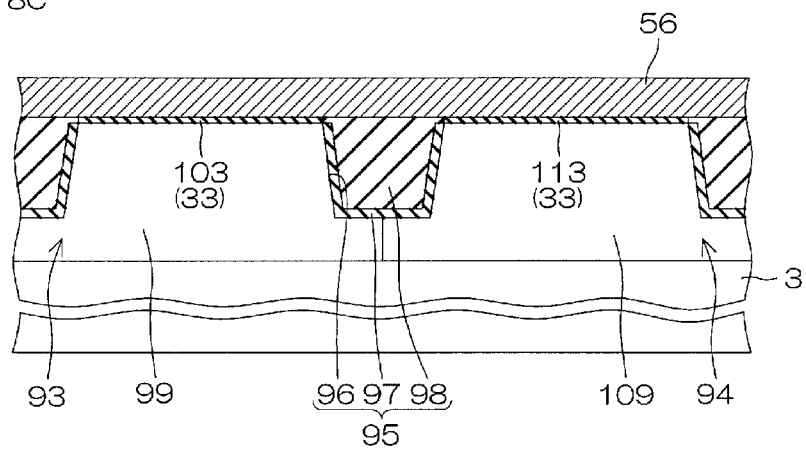


[図18B]

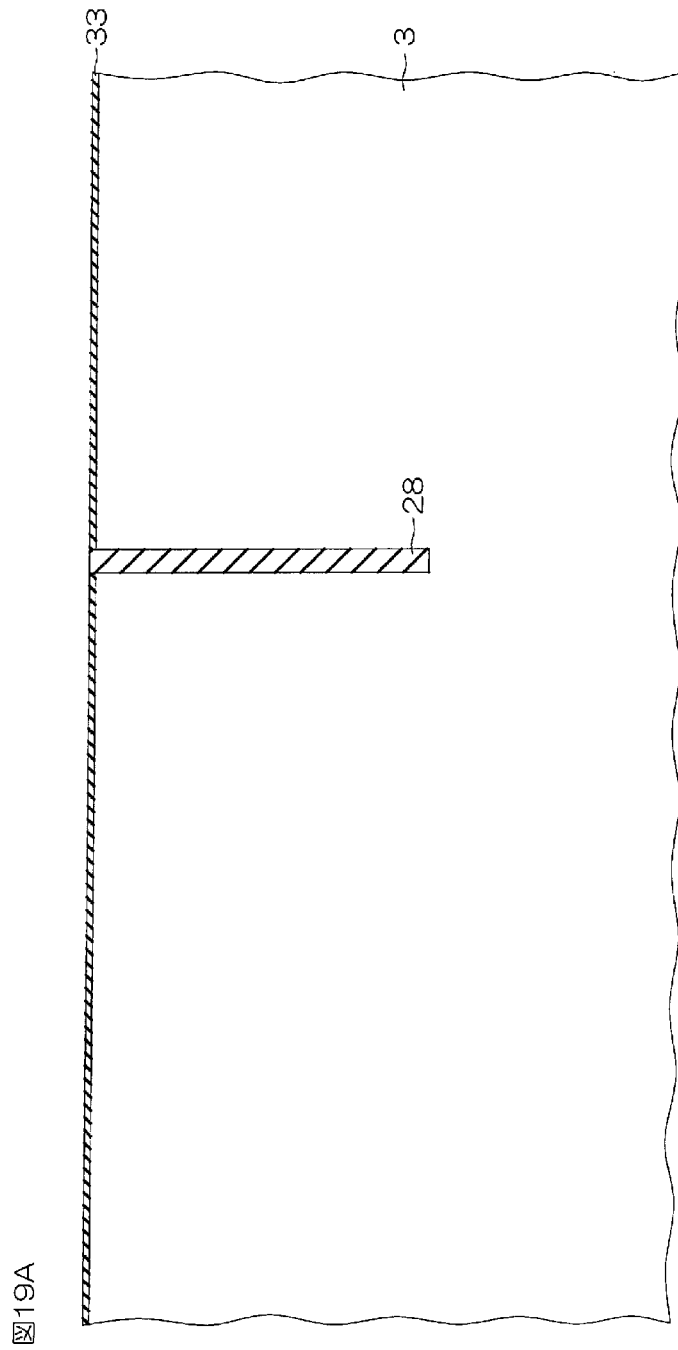


[図18C]

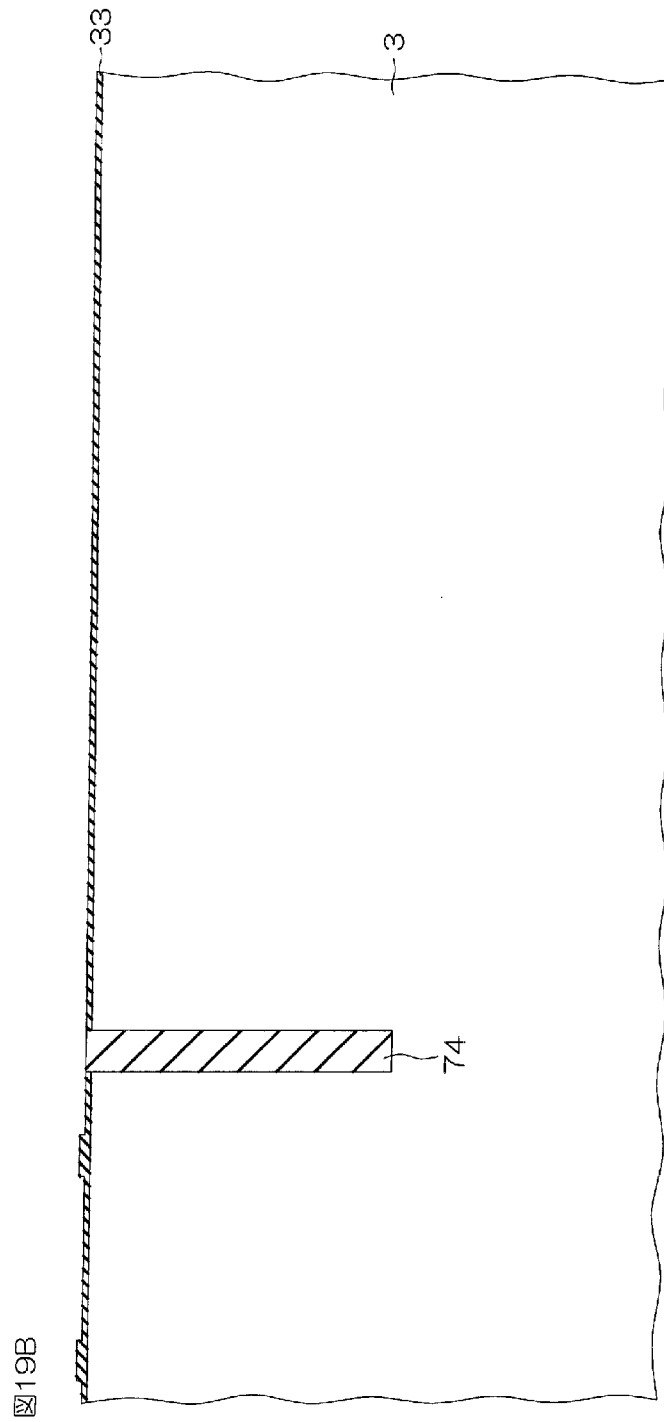
図18C



[図19A]

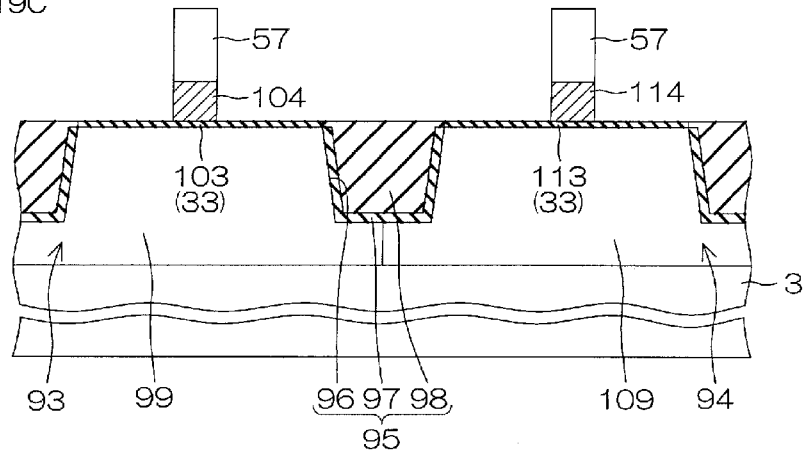


[図19B]

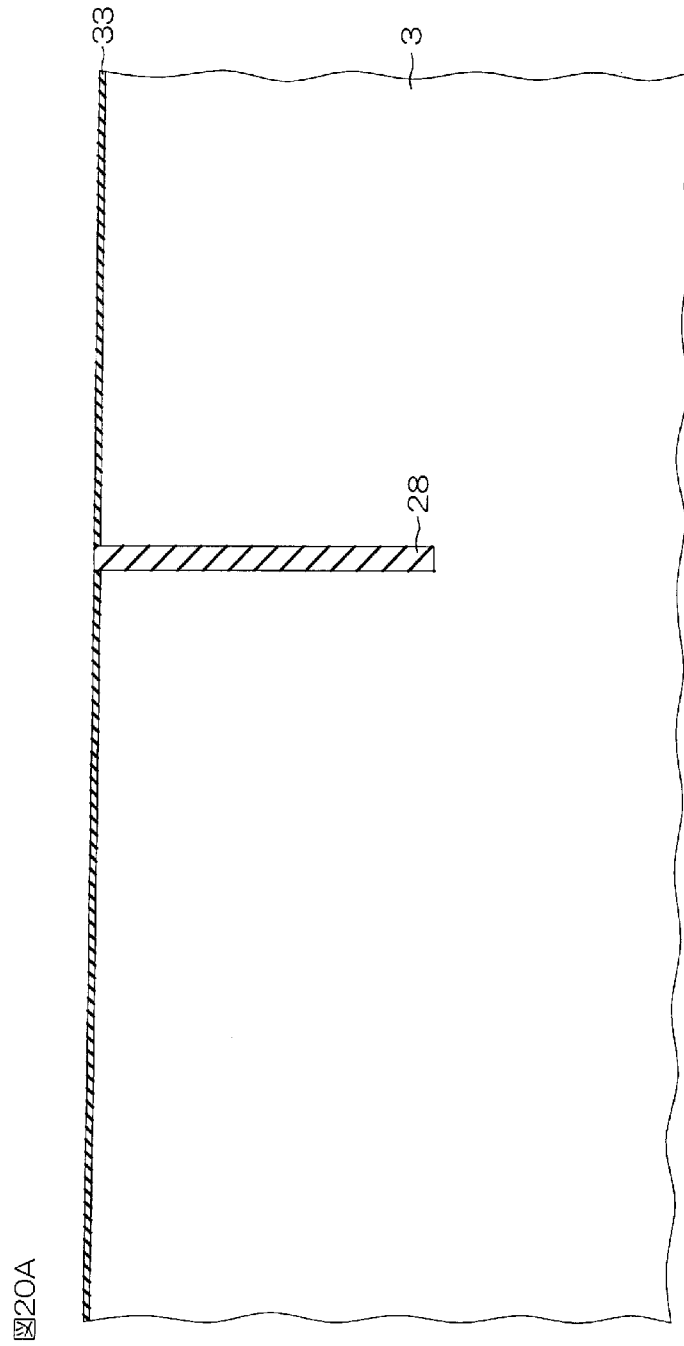


[図19C]

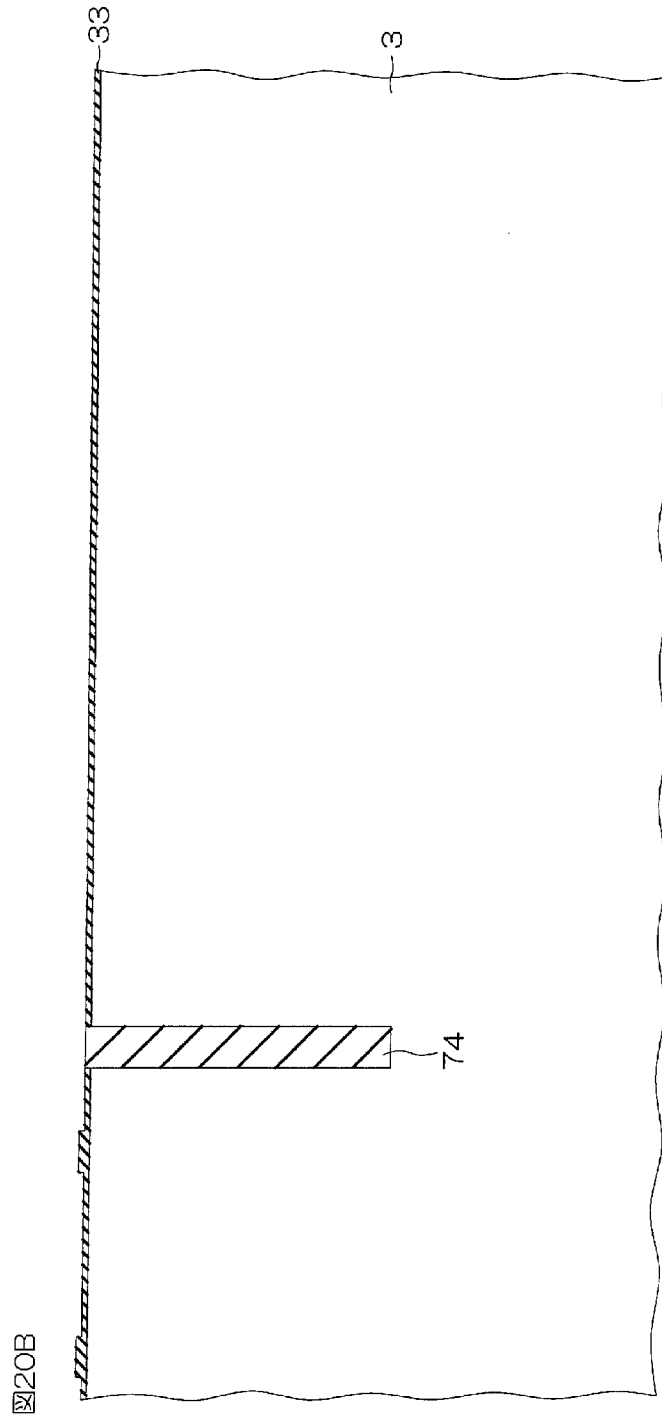
図19C



[図20A]

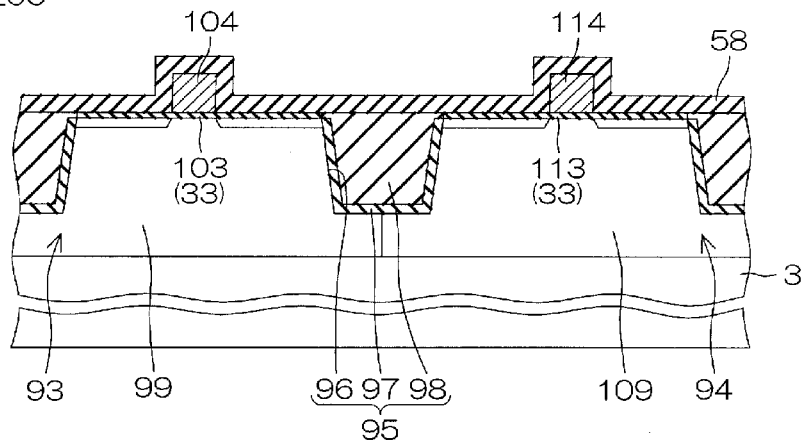


[図20B]

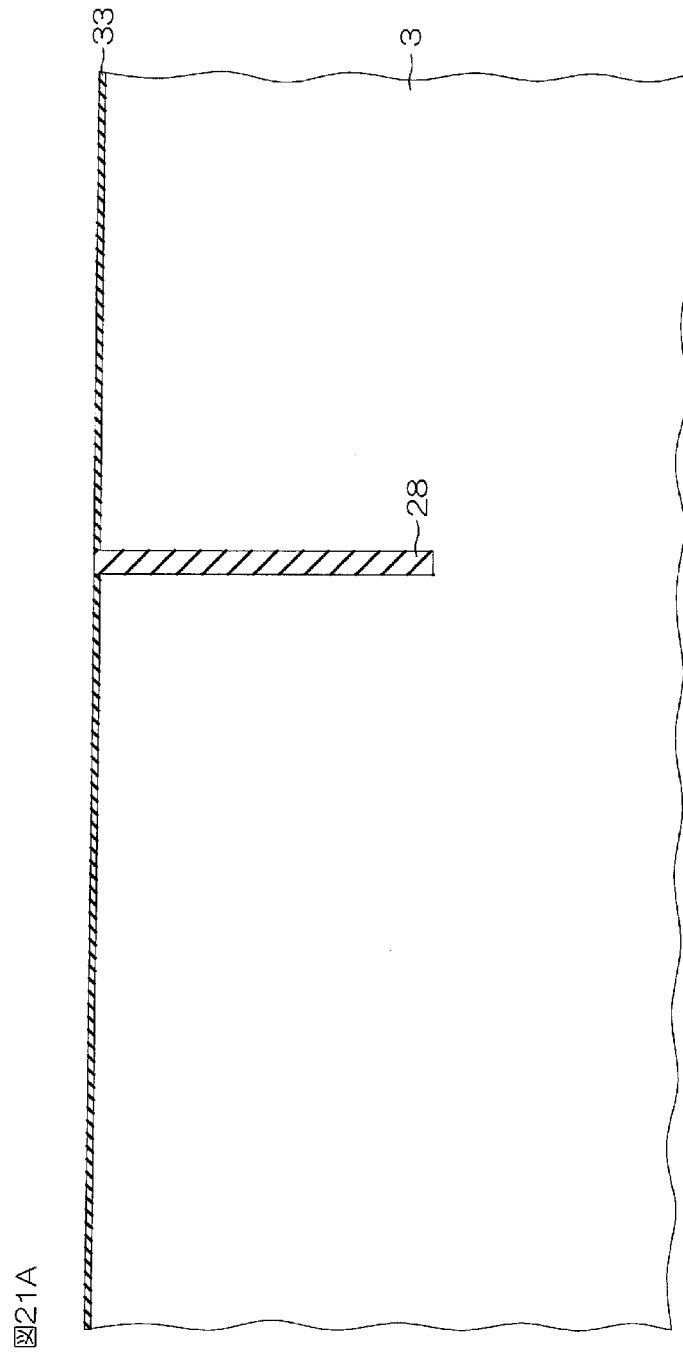


[図20C]

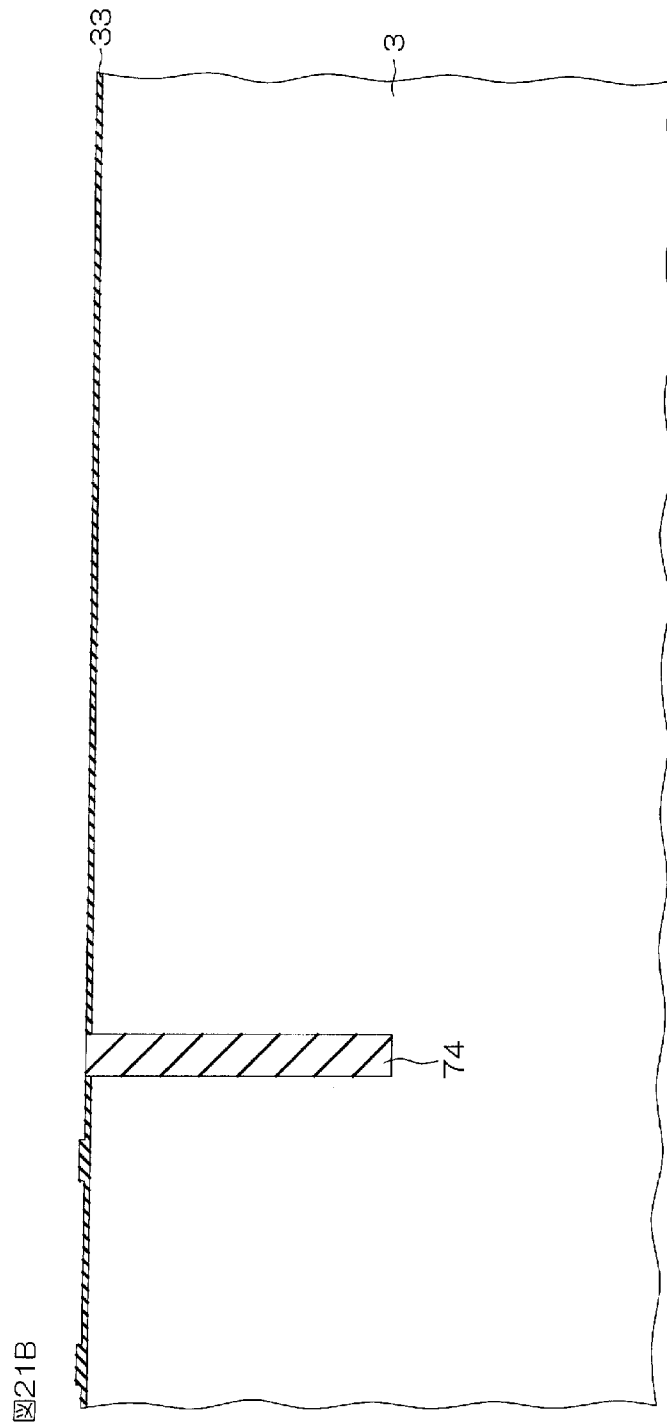
図20C



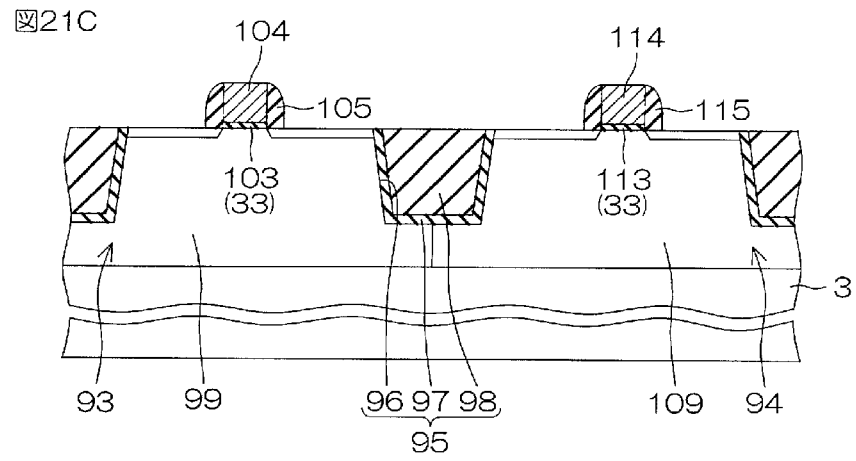
[図21A]



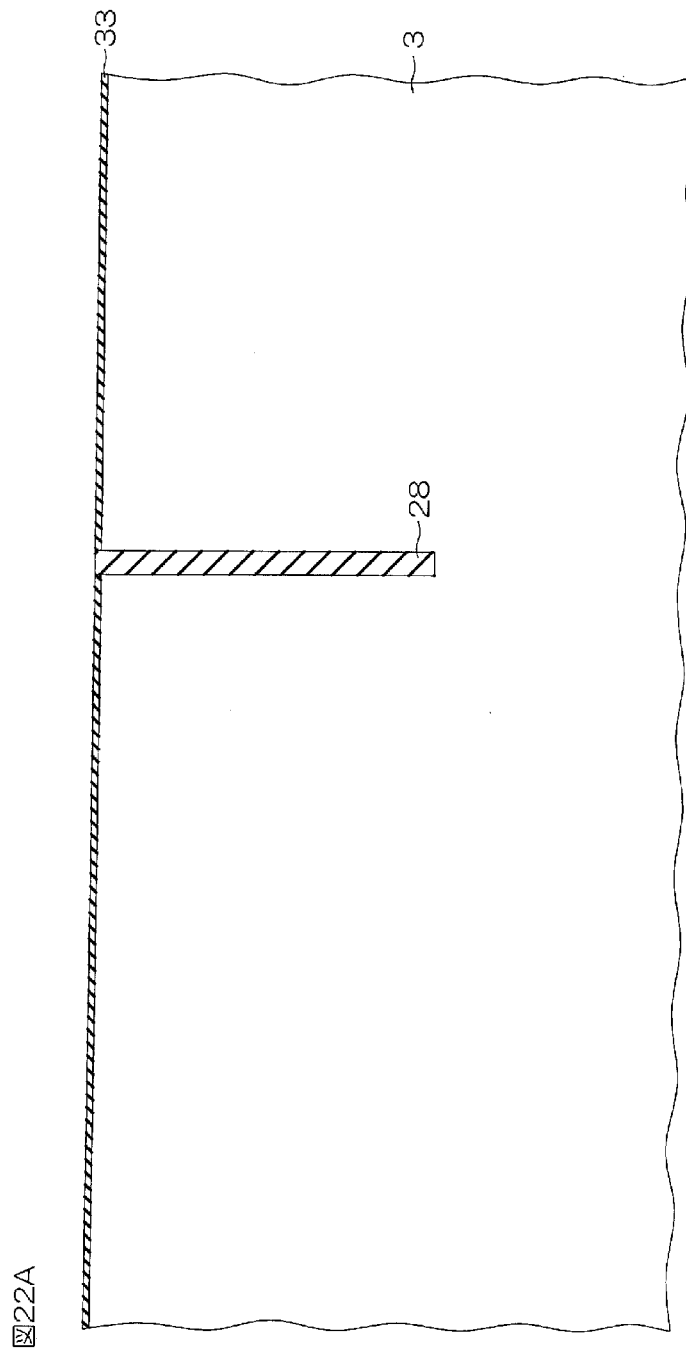
[図21B]



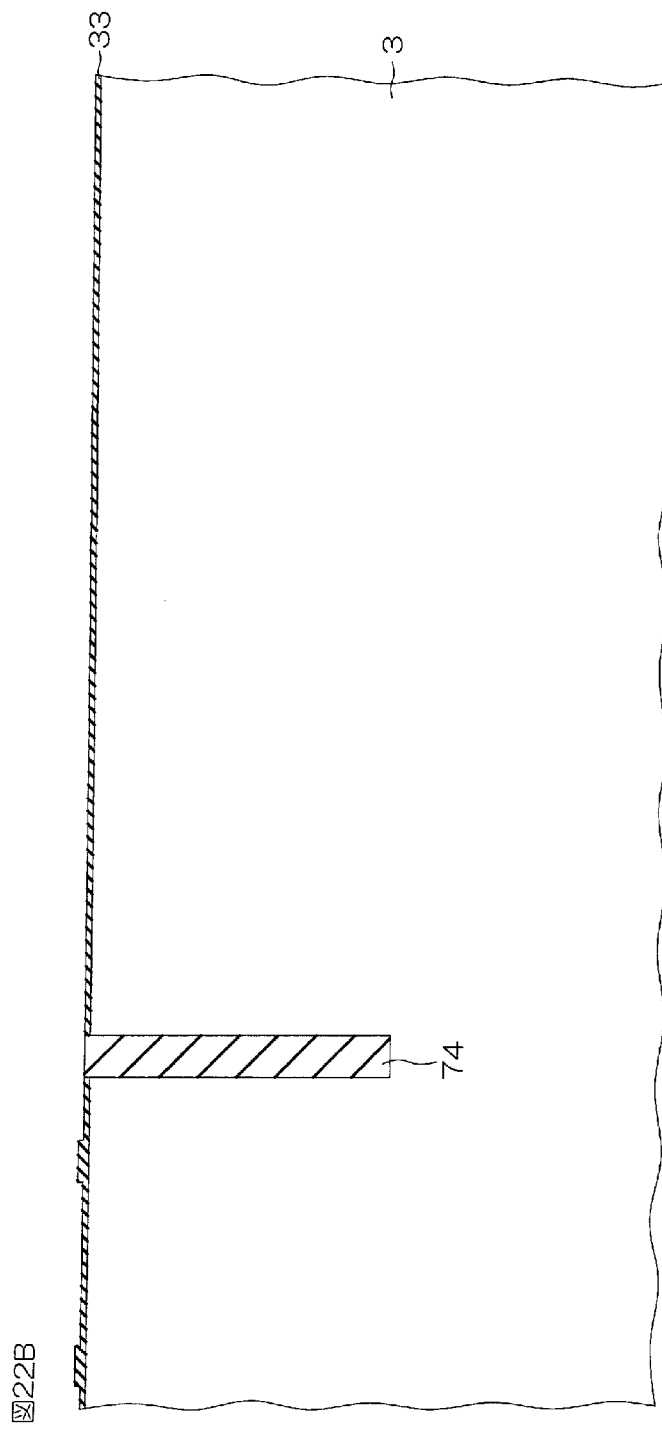
[図21C]



[図22A]

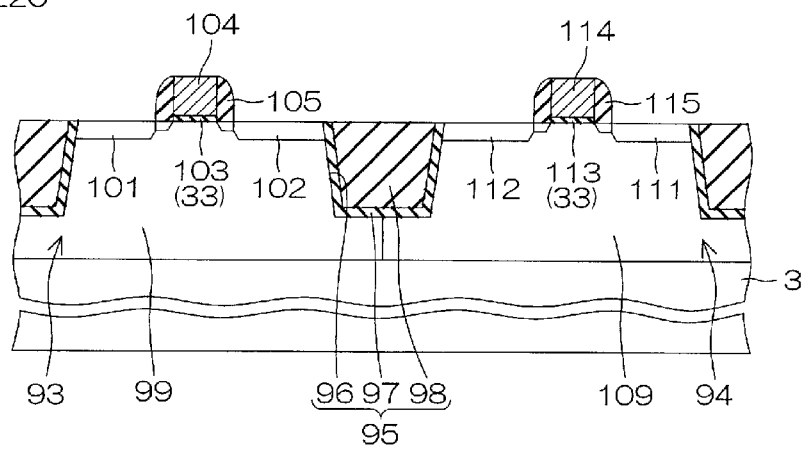


[図22B]

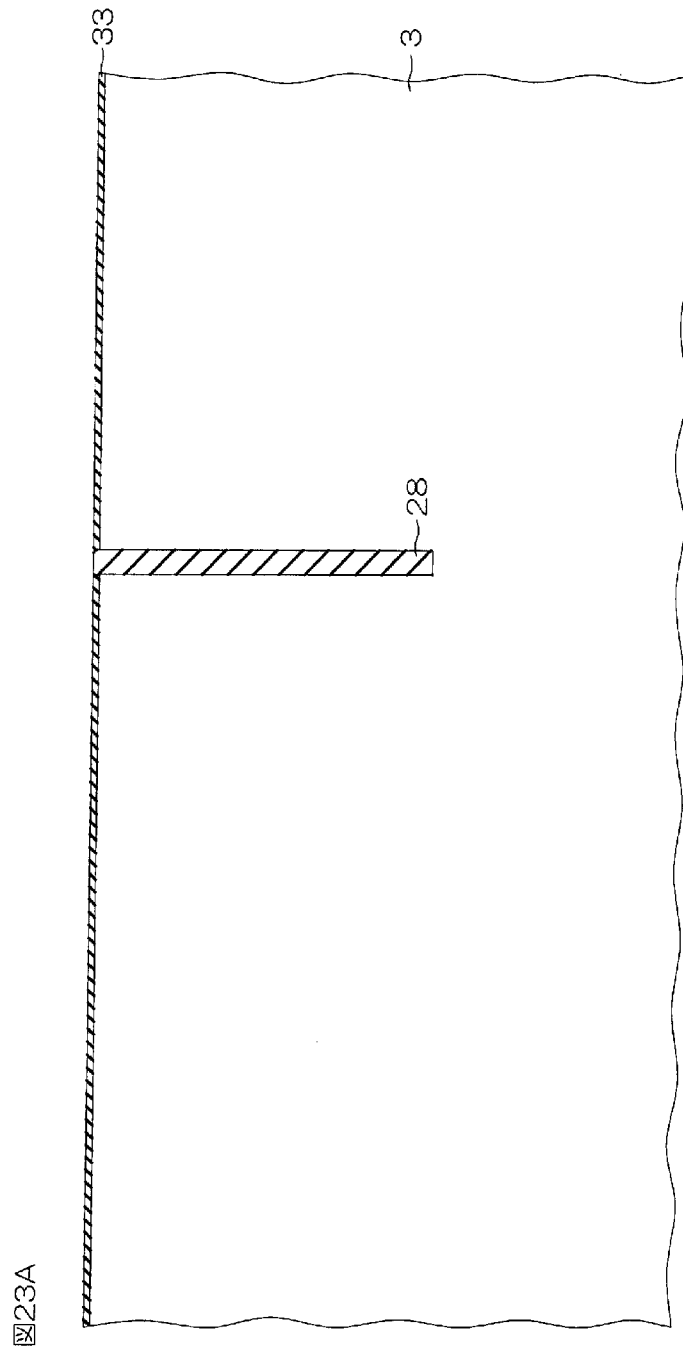


[図22C]

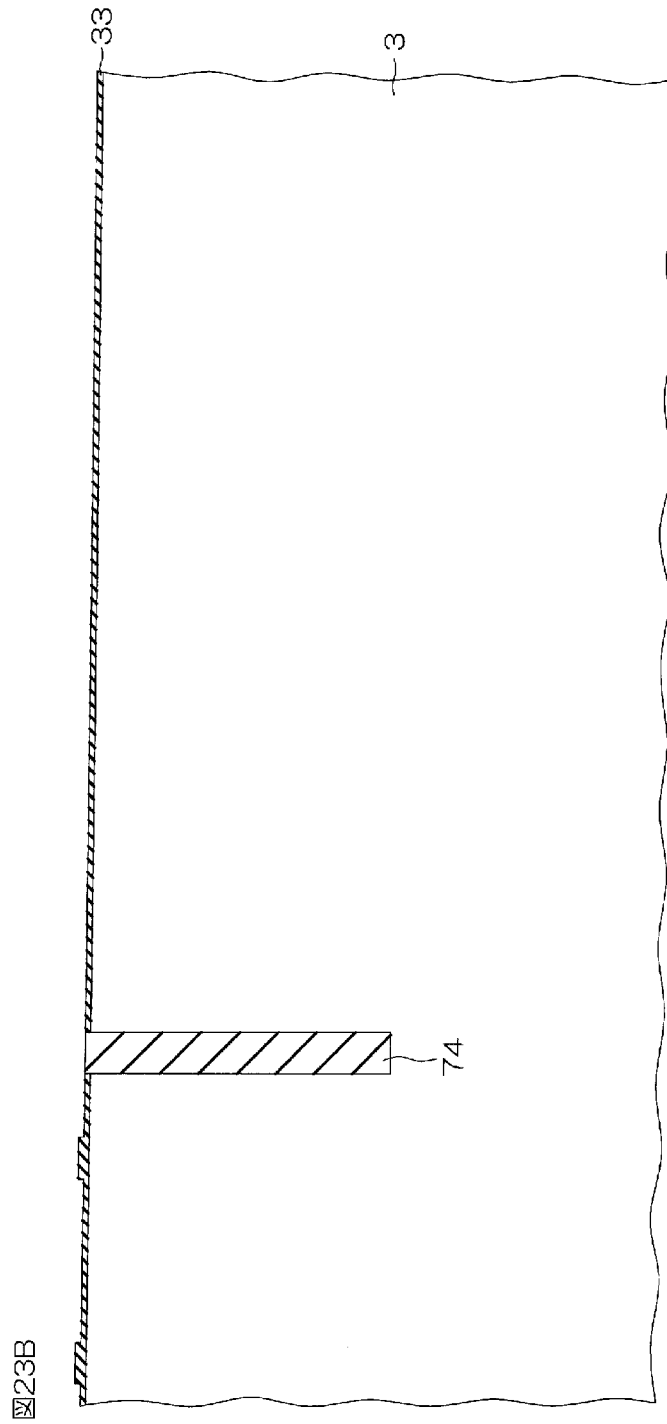
図22C



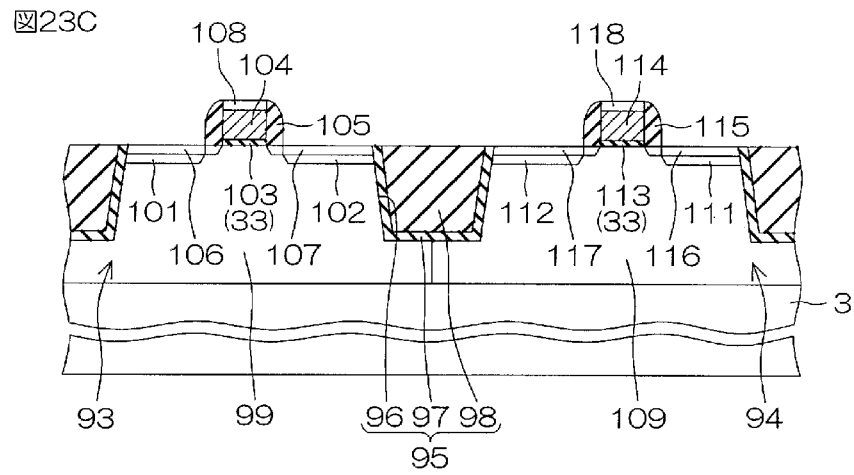
[図23A]



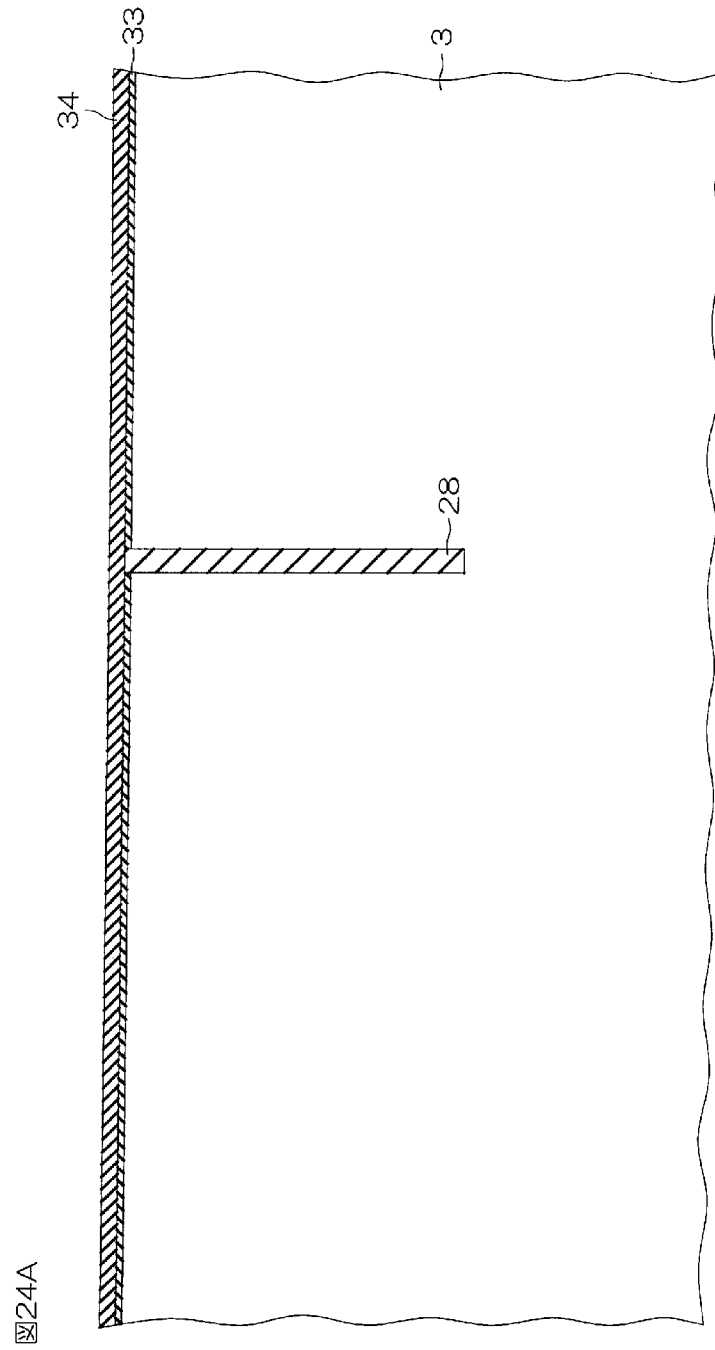
[図23B]



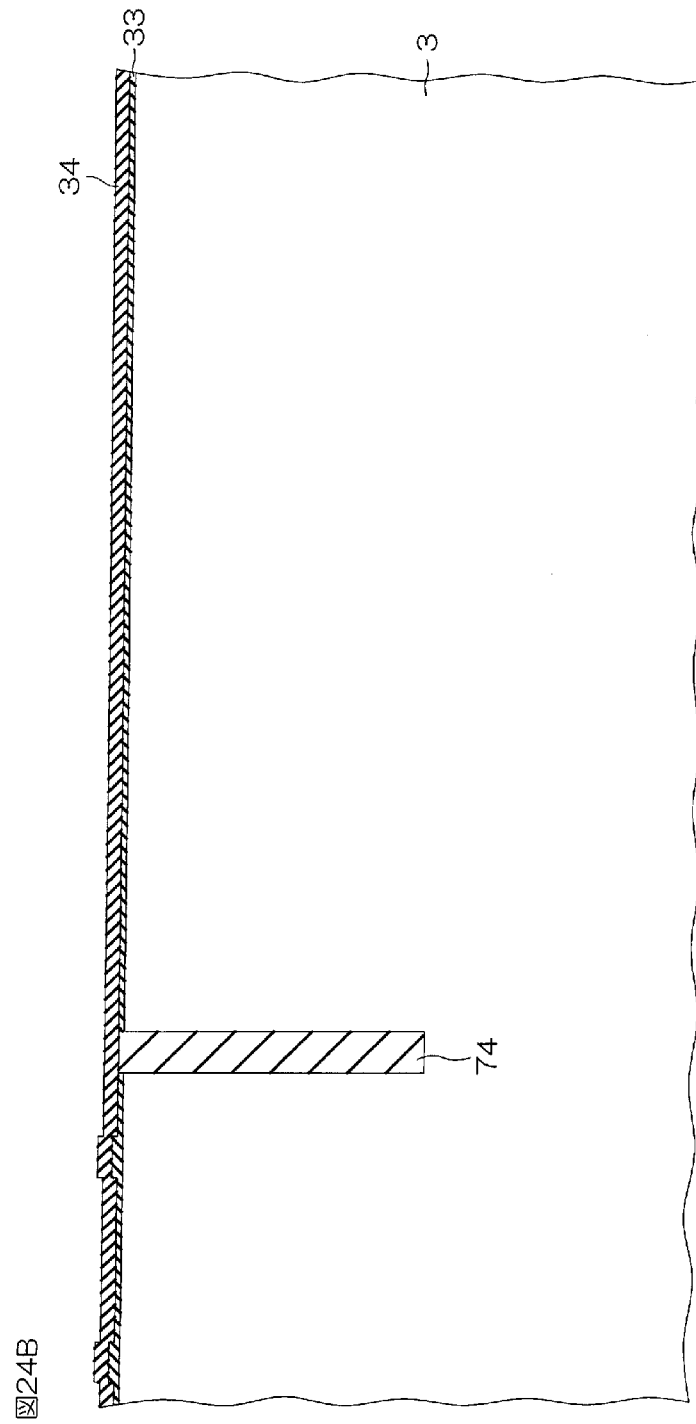
[図23C]



[図24A]

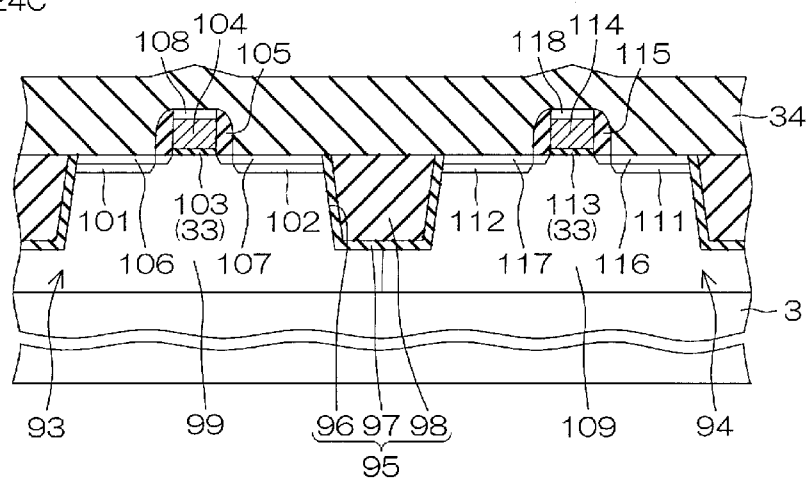


[図24B]

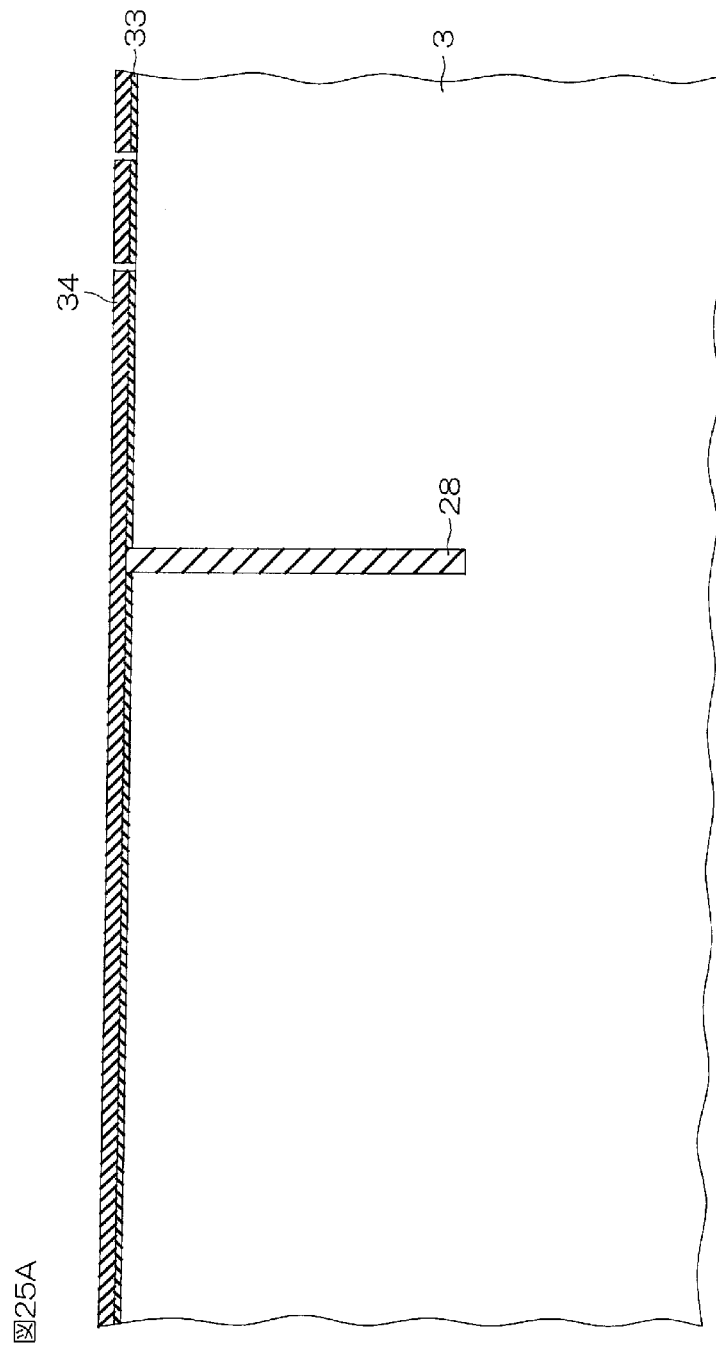


[図24C]

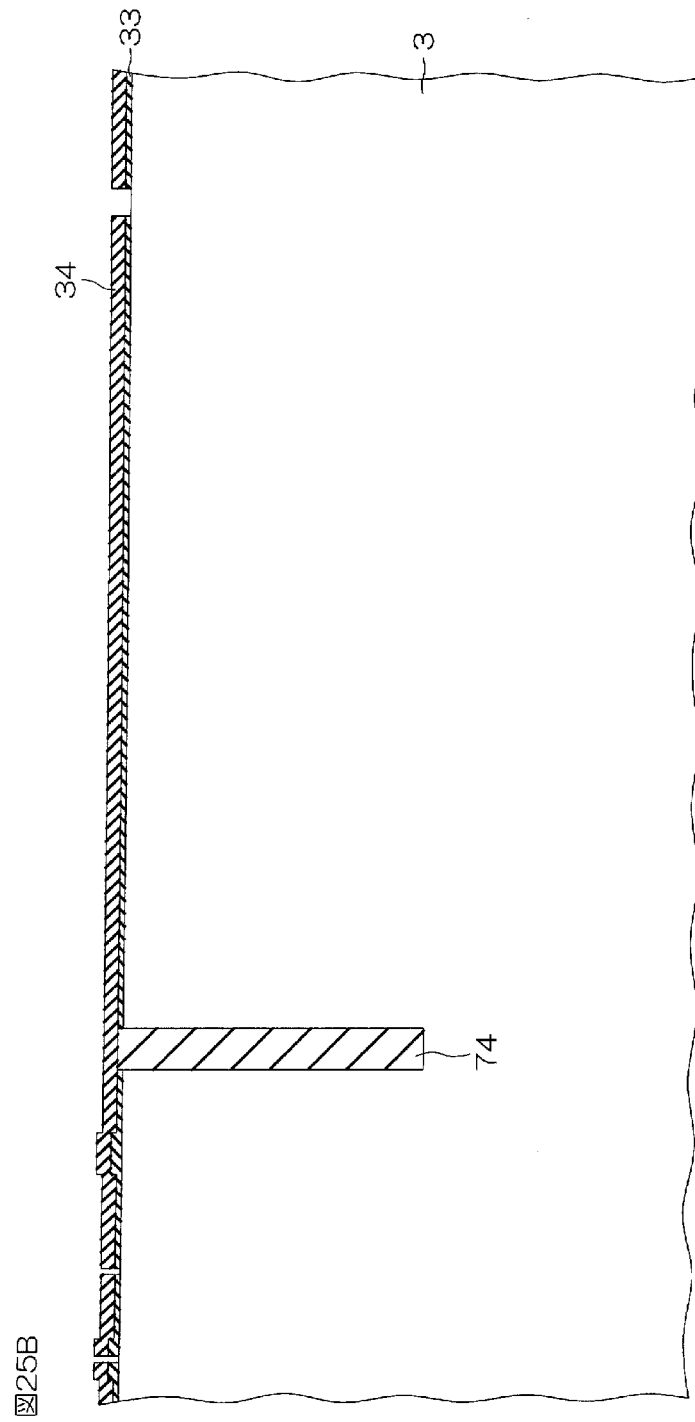
図24C



[図25A]

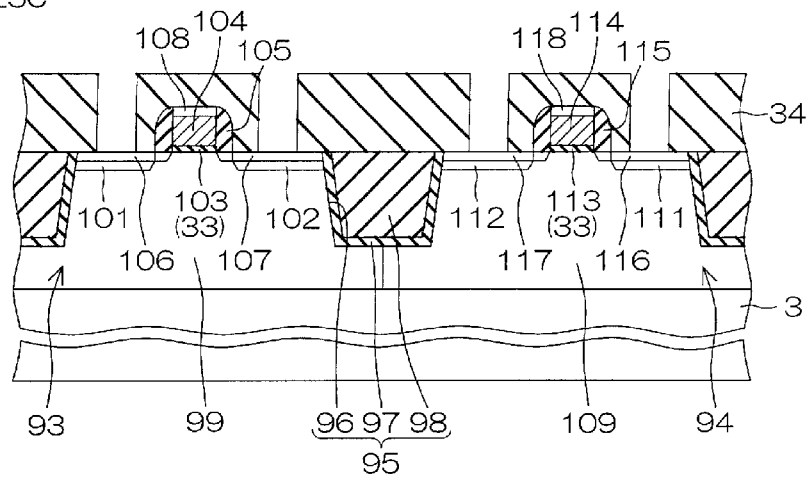


[図25B]

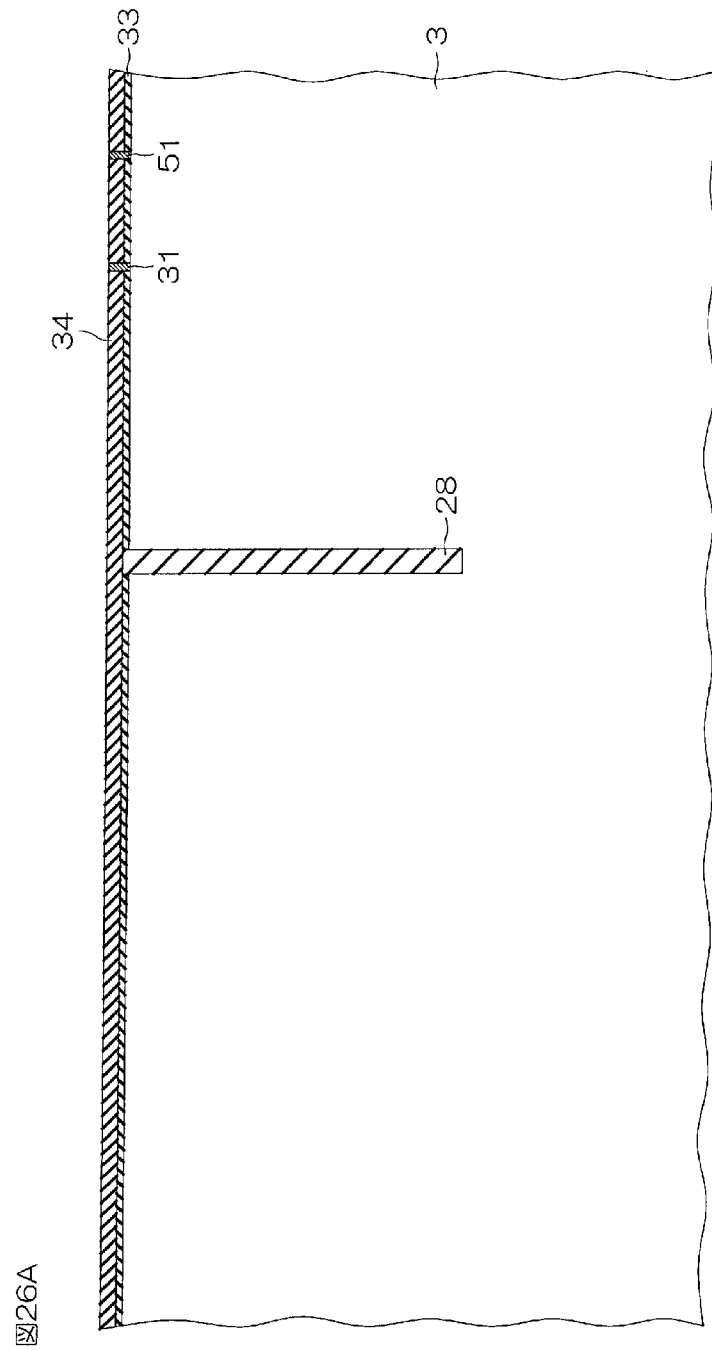


[図25C]

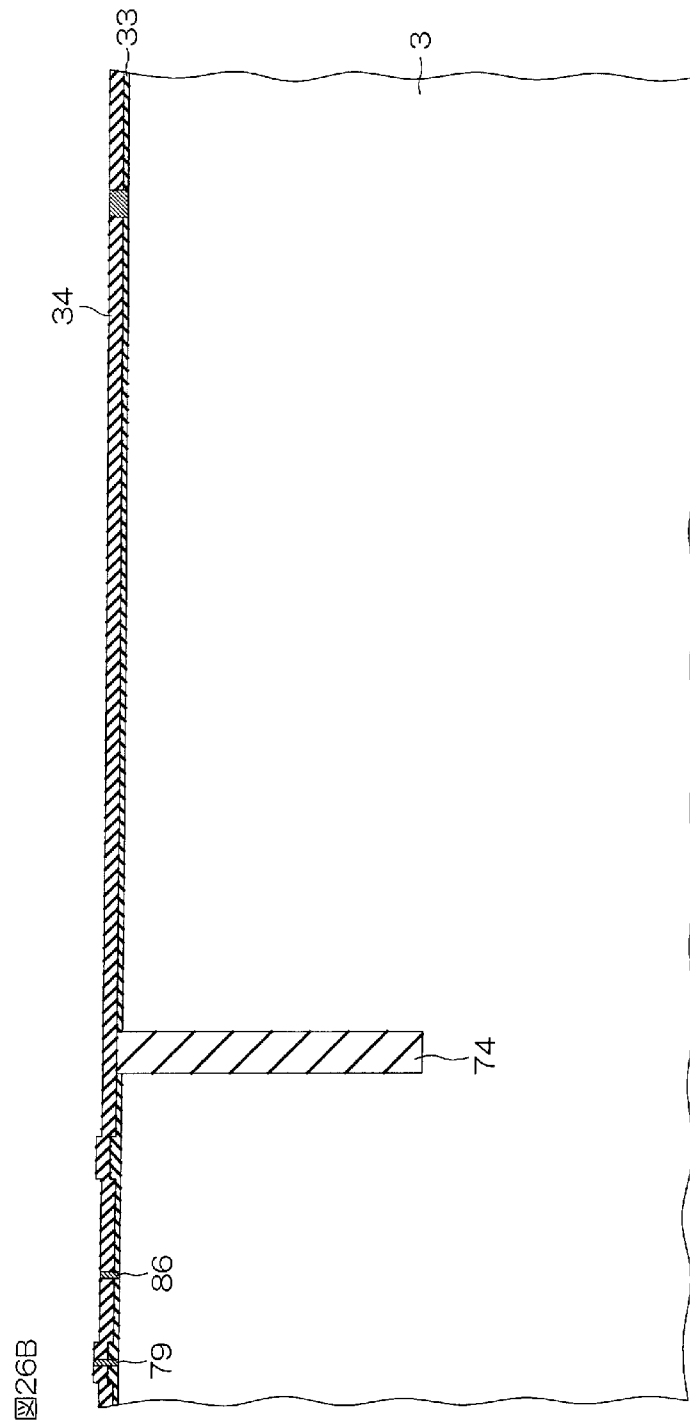
図25C



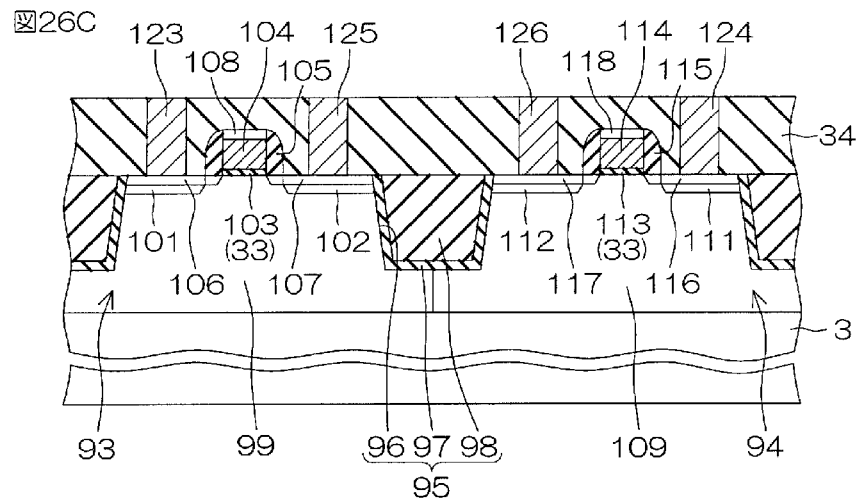
[図26A]



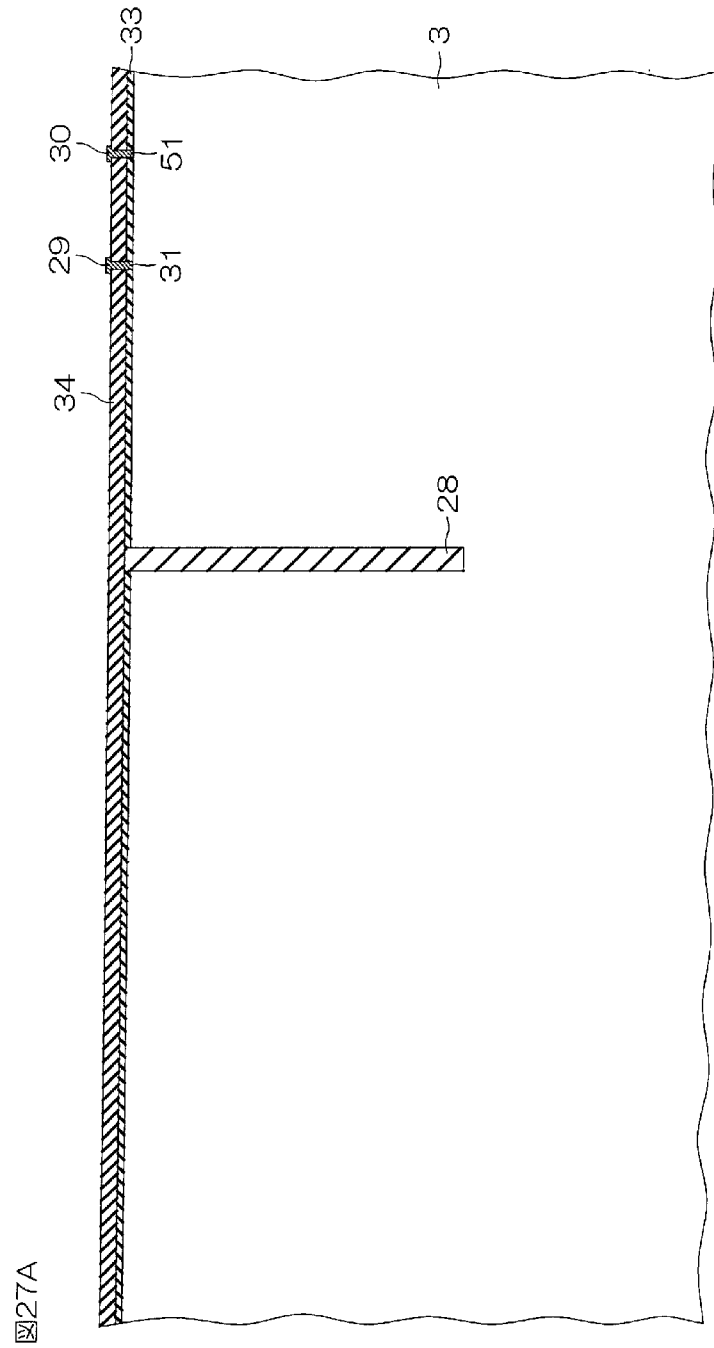
[図26B]



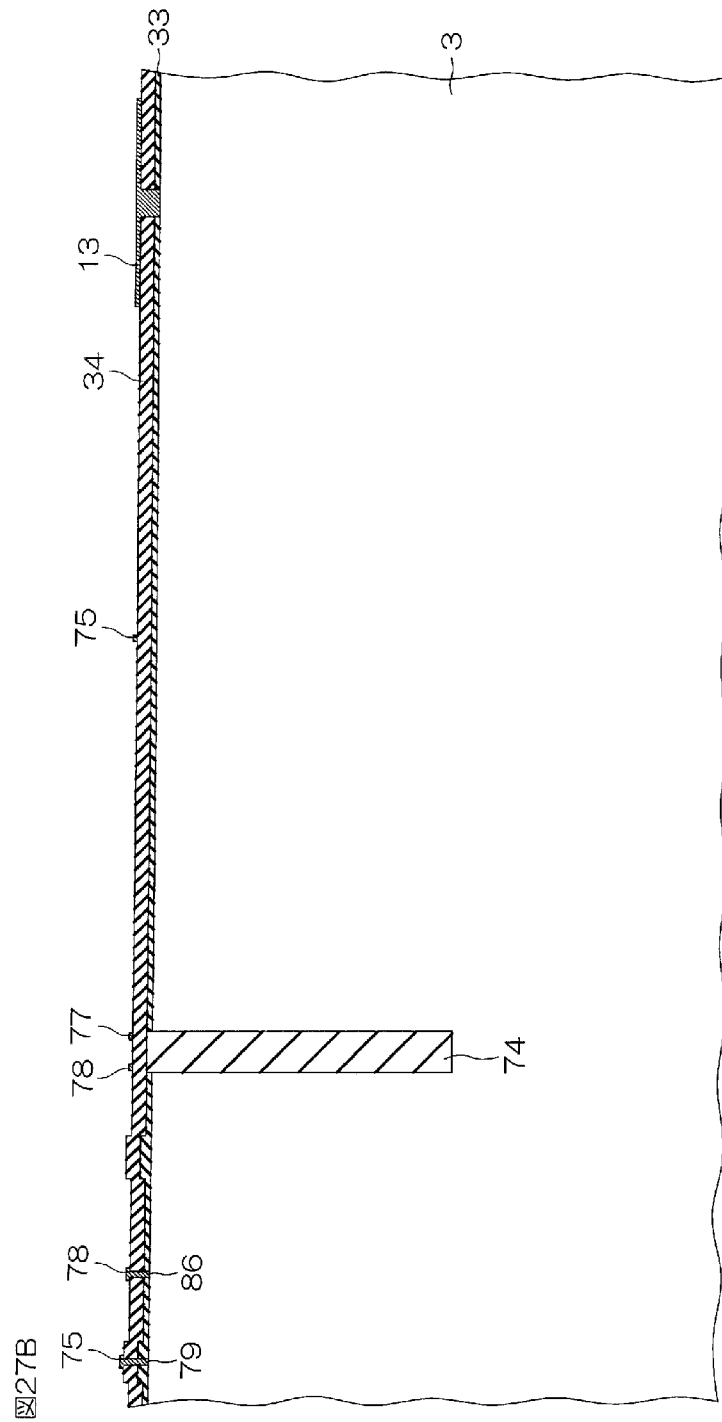
[図26C]



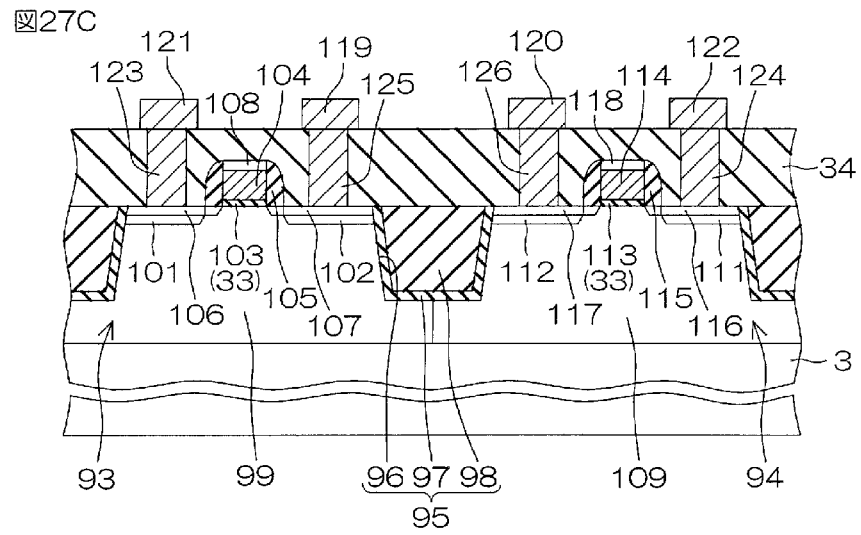
[図27A]



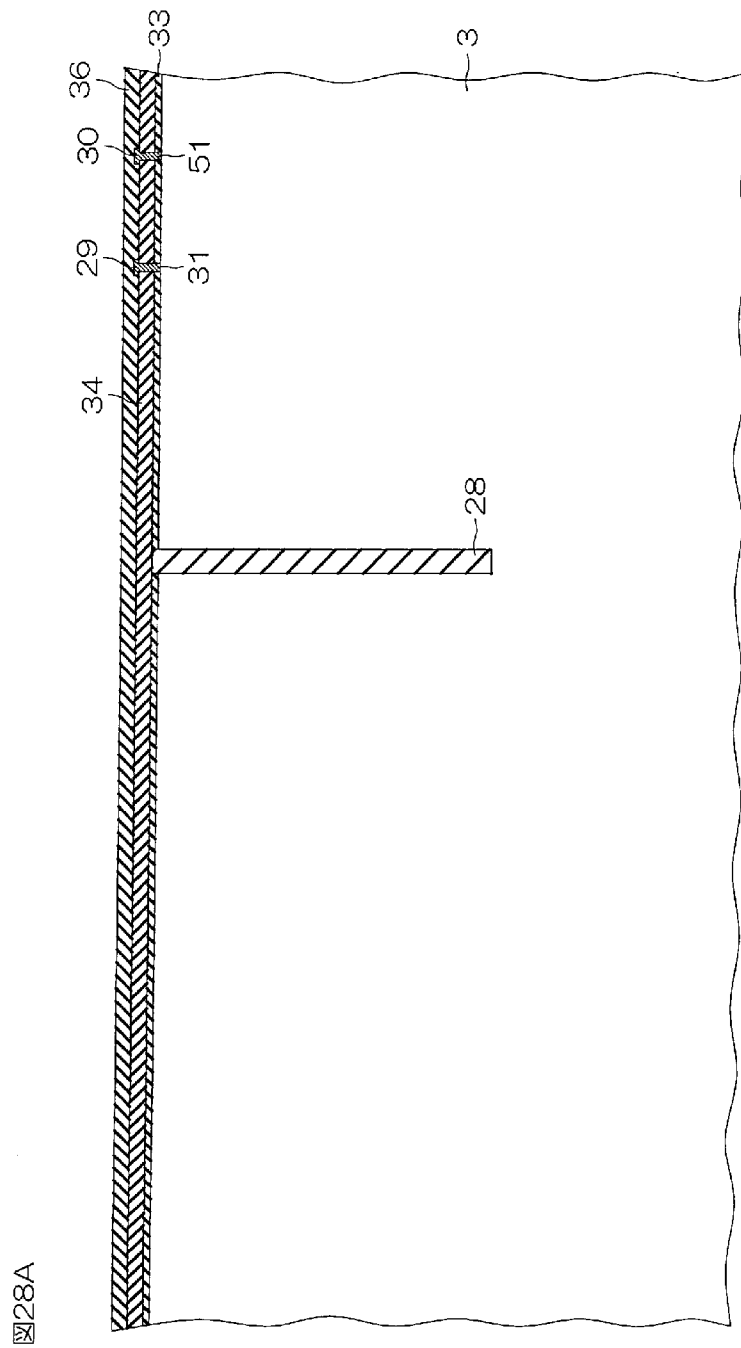
[図27B]



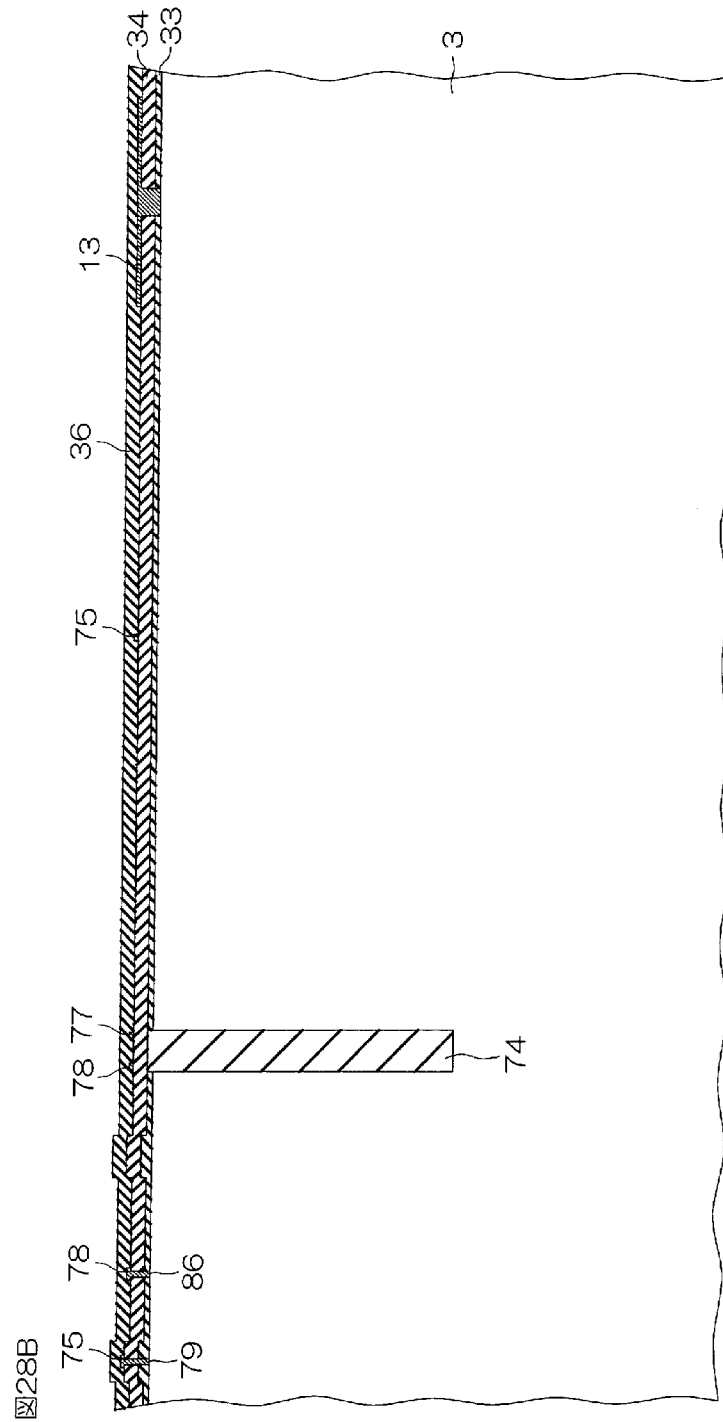
[図27C]



[図28A]

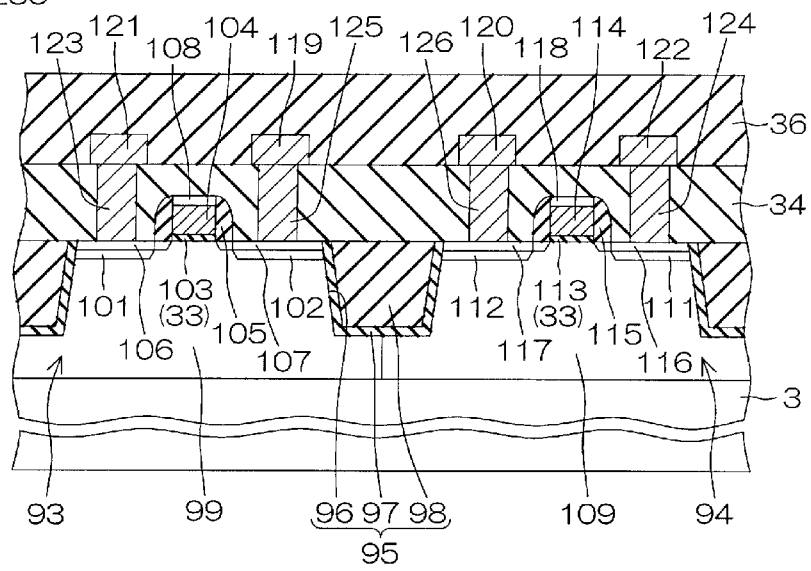


[図28B]

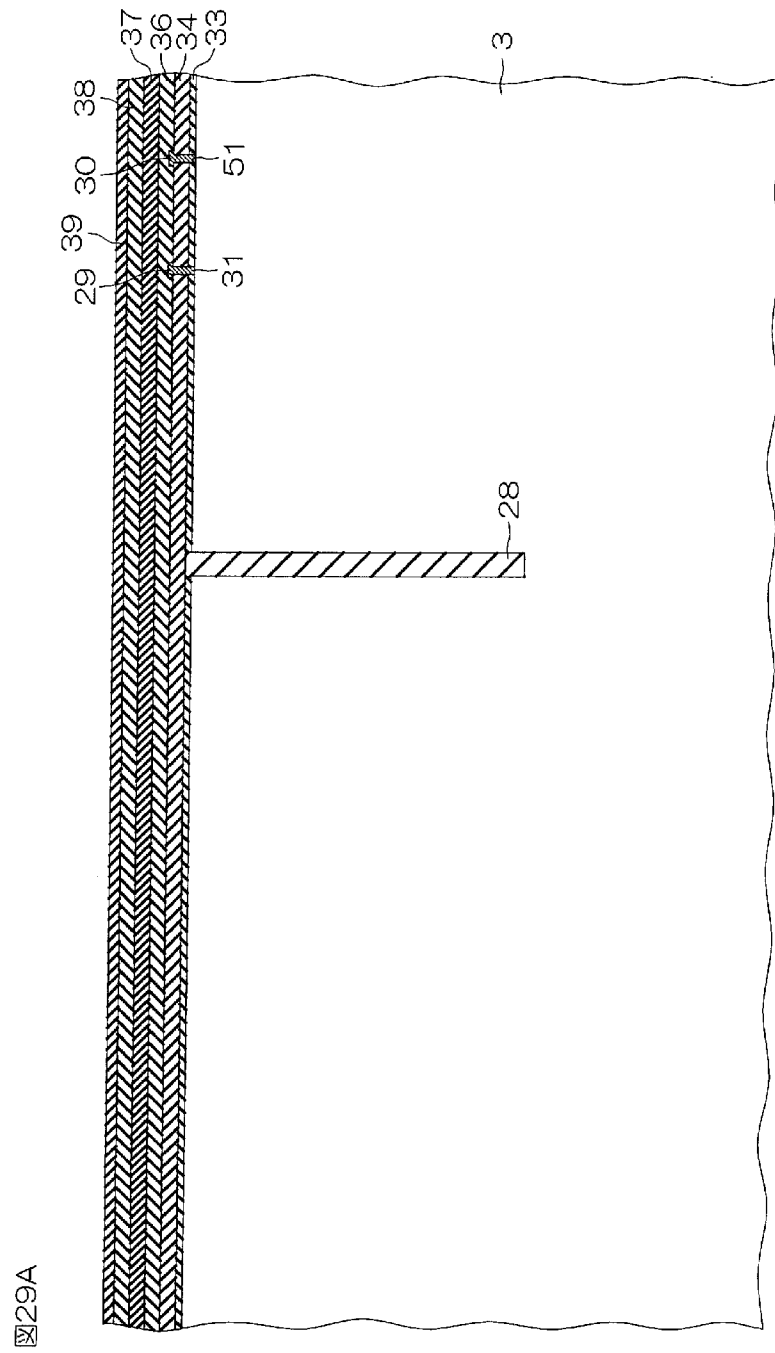


[図28C]

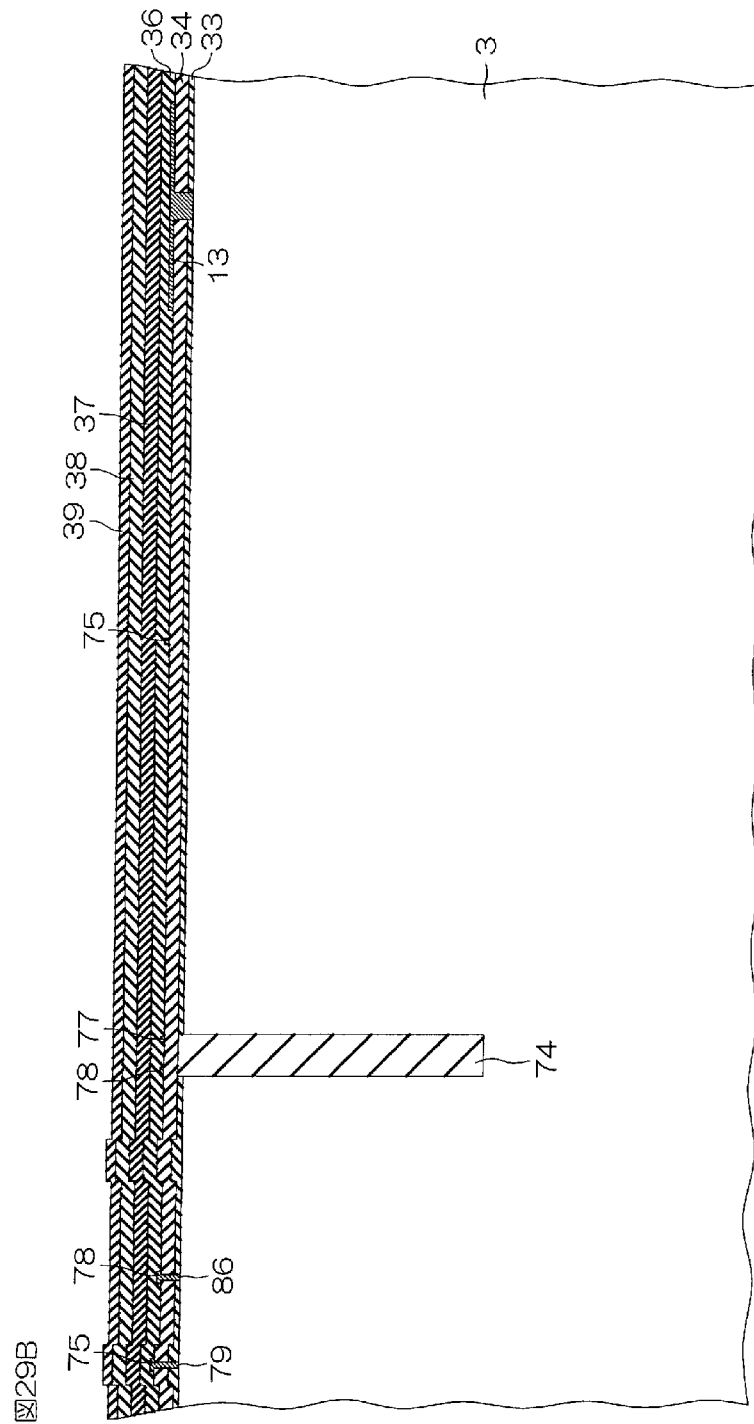
図28C



[図29A]

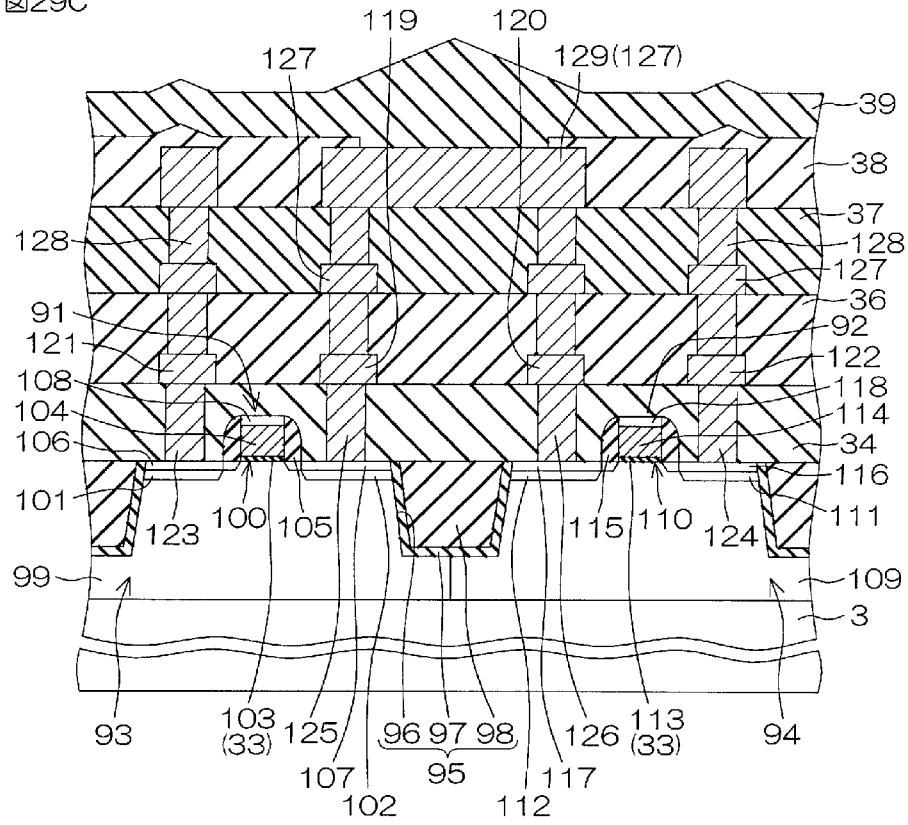


[図29B]

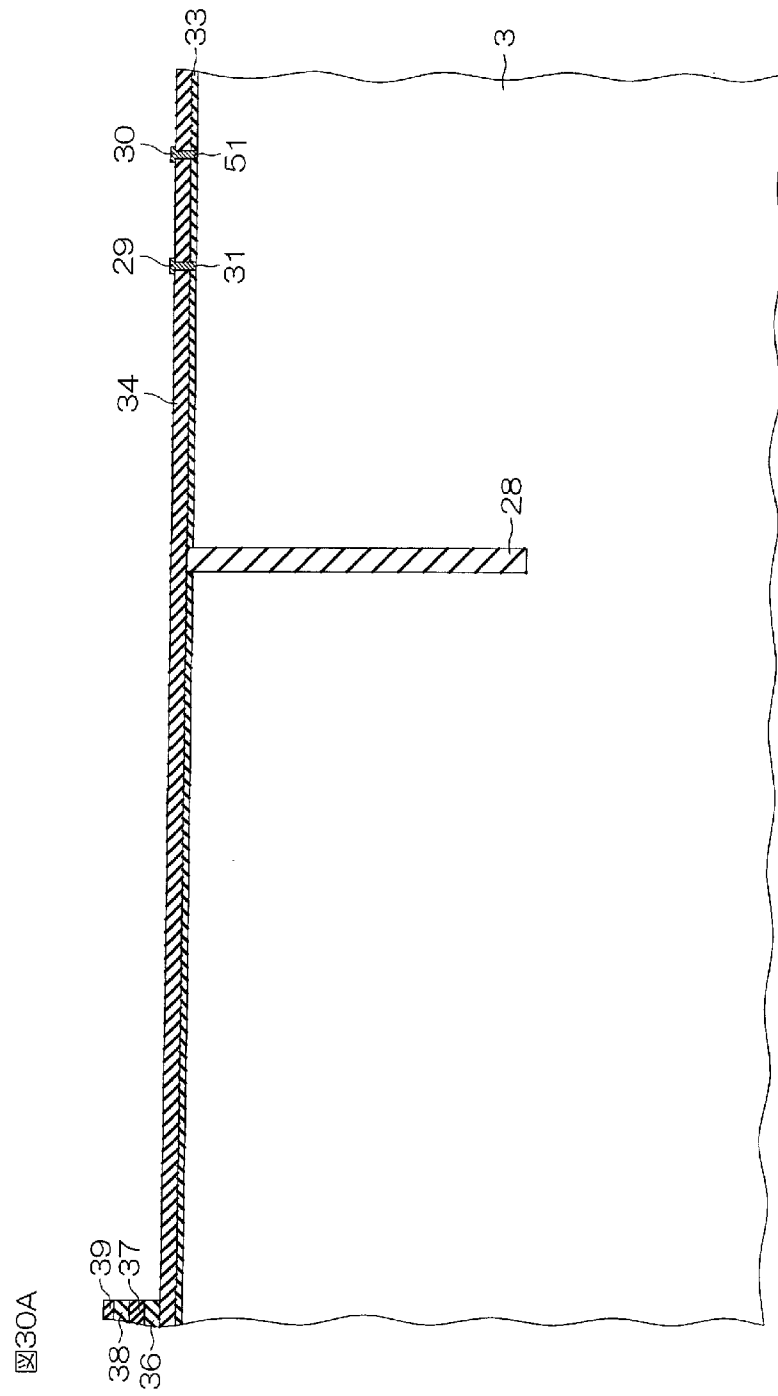


[図29C]

図29C

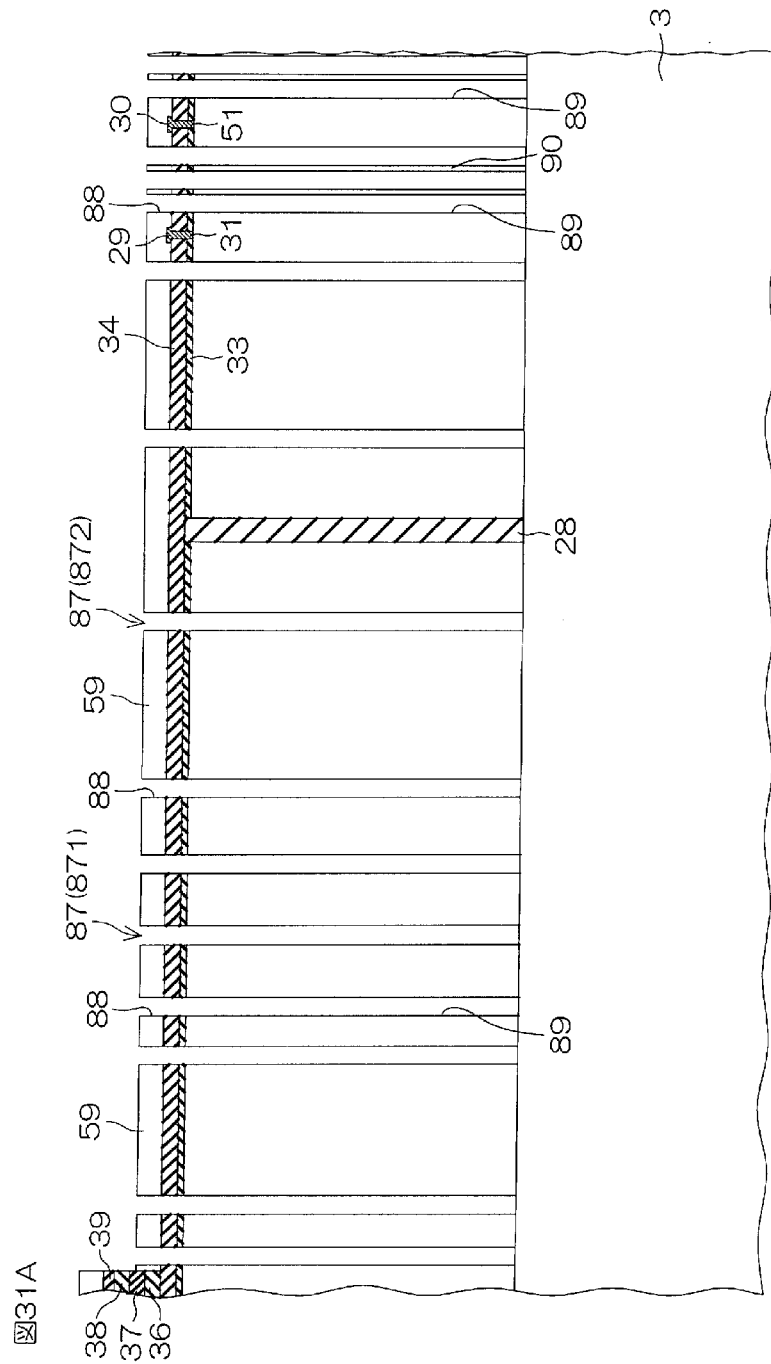


[図30A]

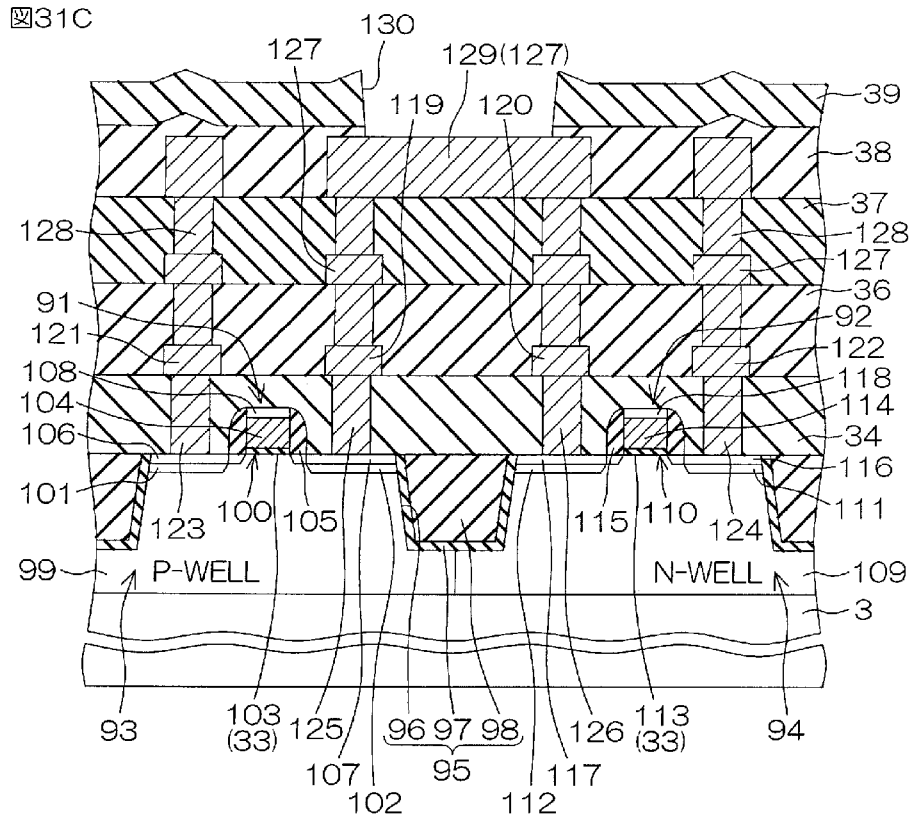


[illegible]

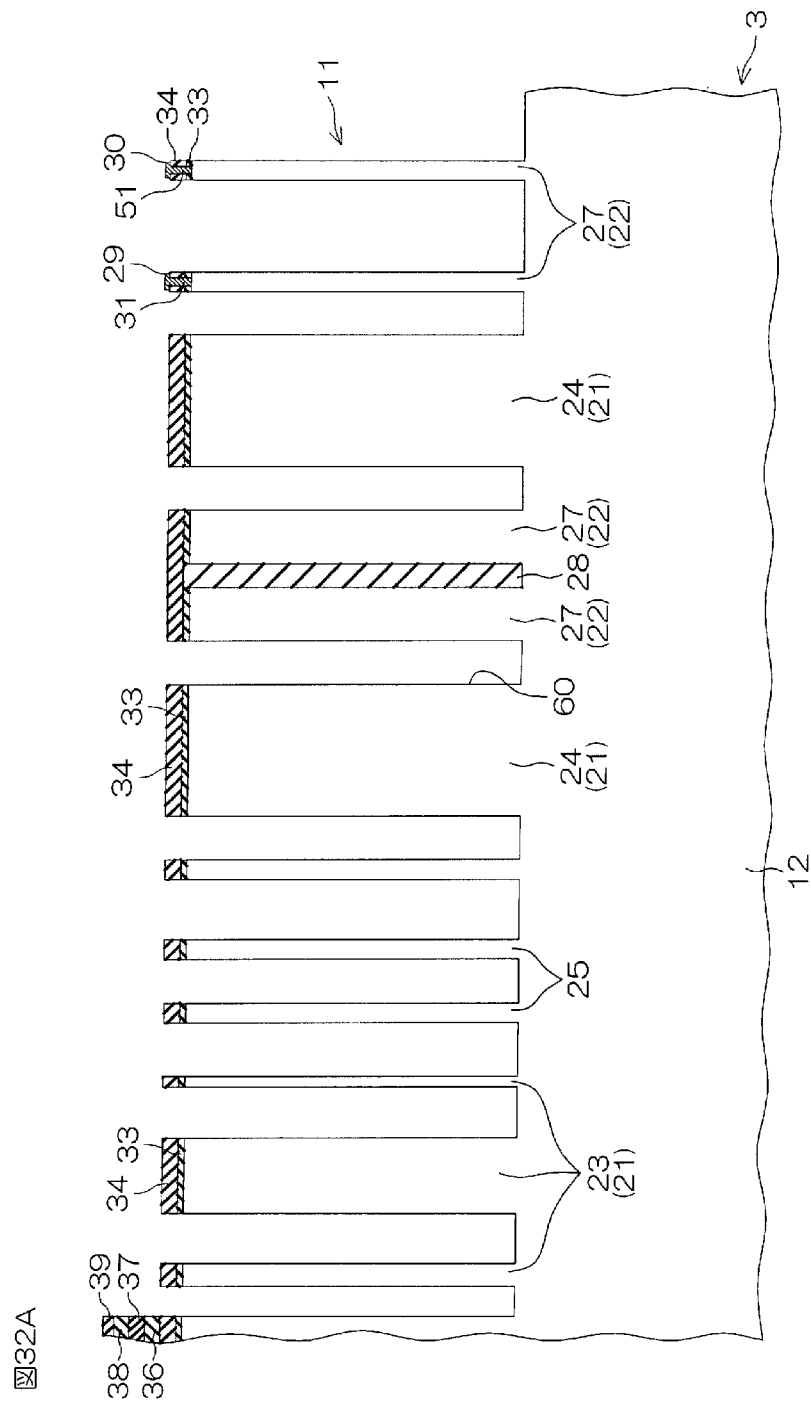
[図31A]



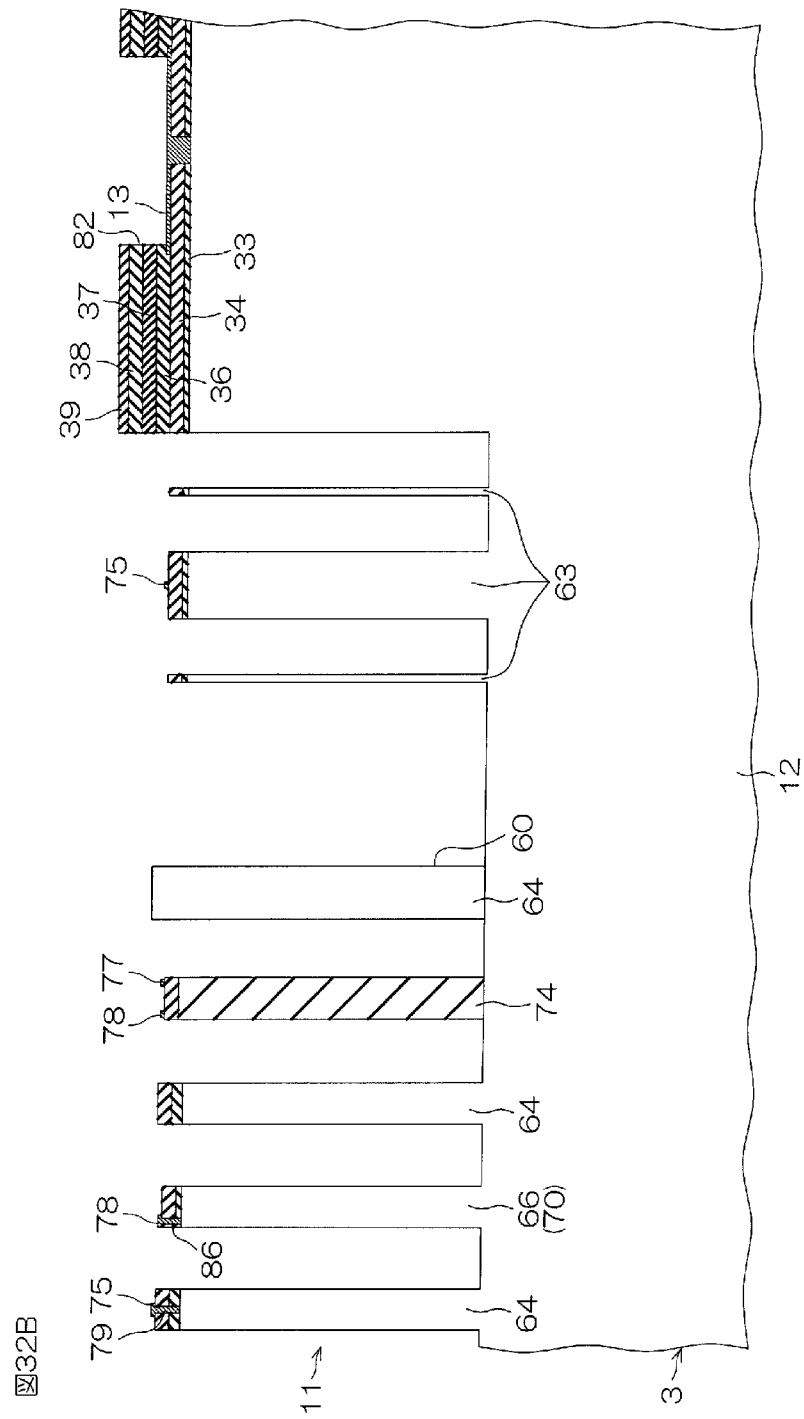
[図31C]



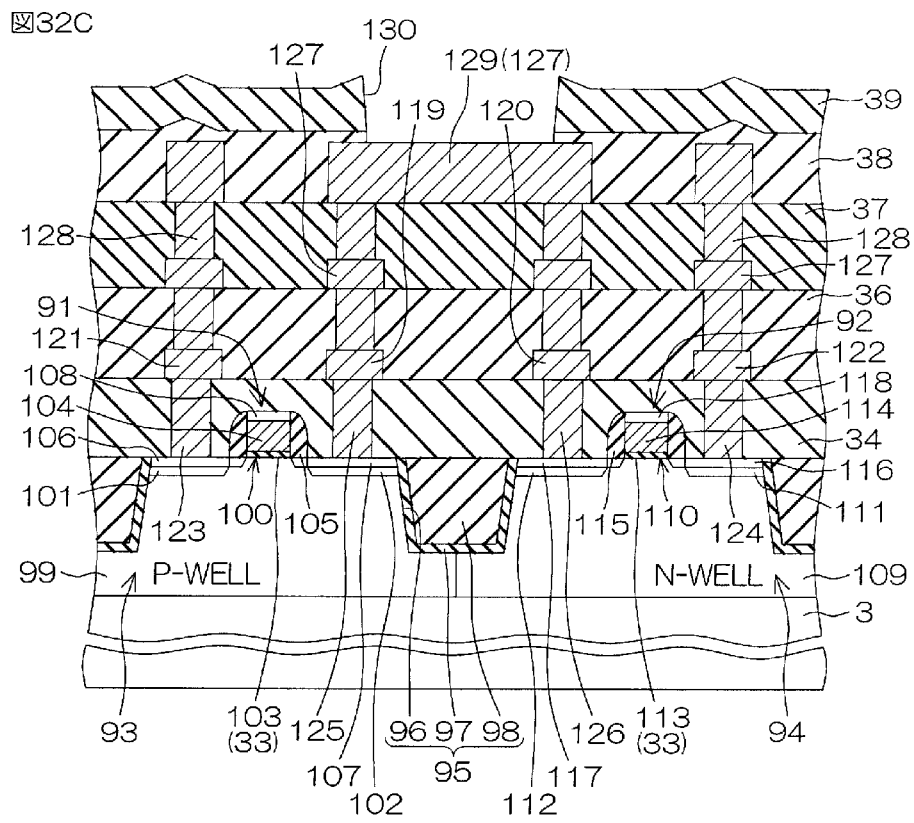
[図32A]



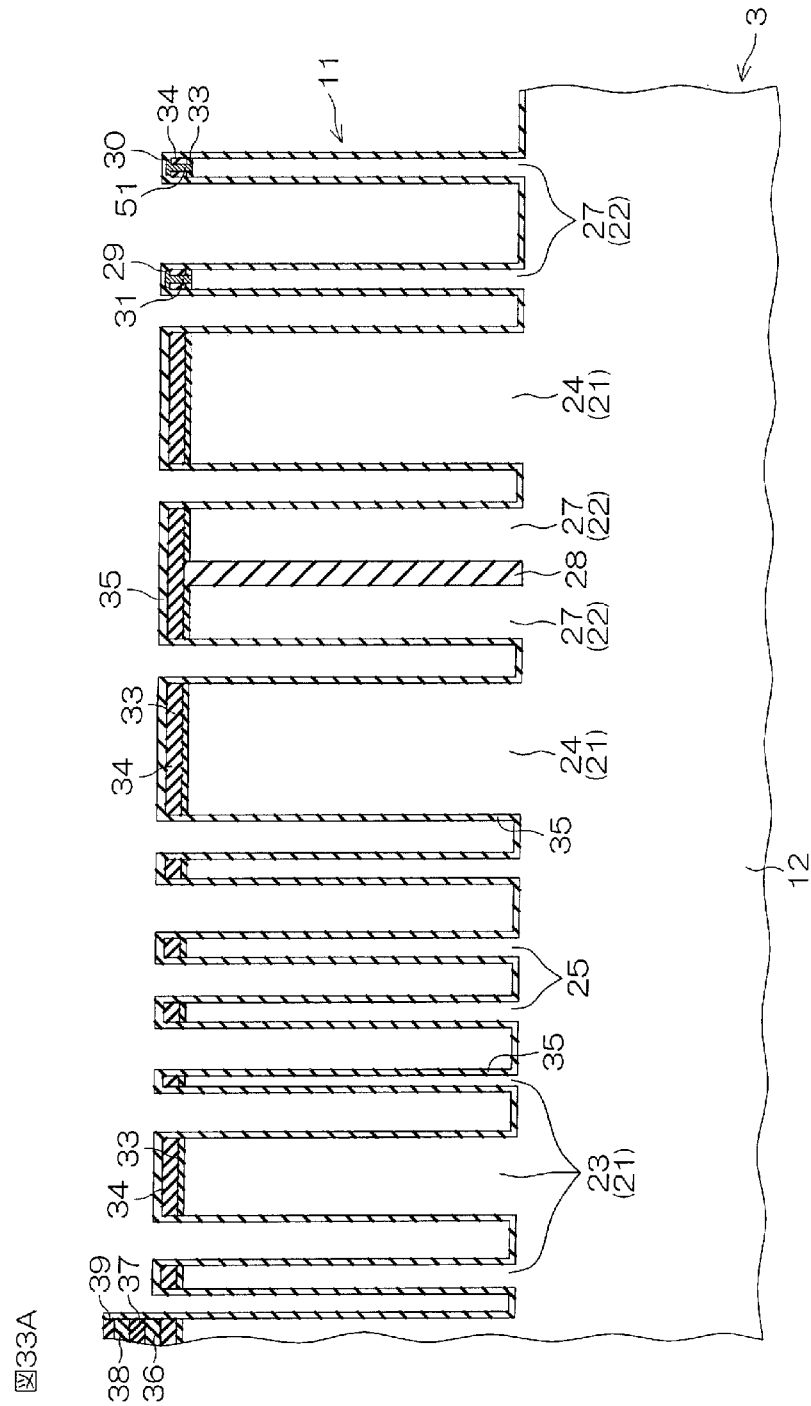
[図32B]



[図32C]



[図33A]



[図33B]

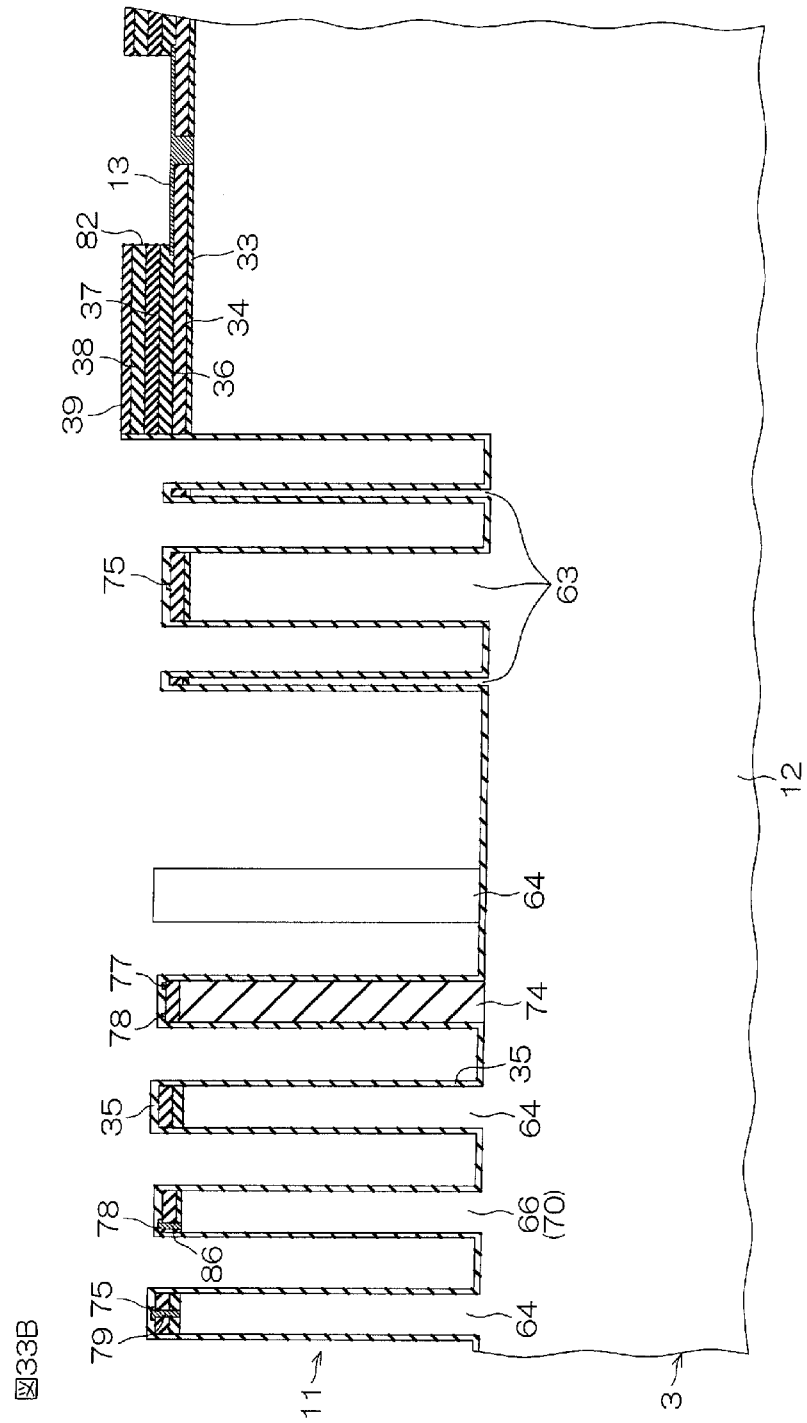
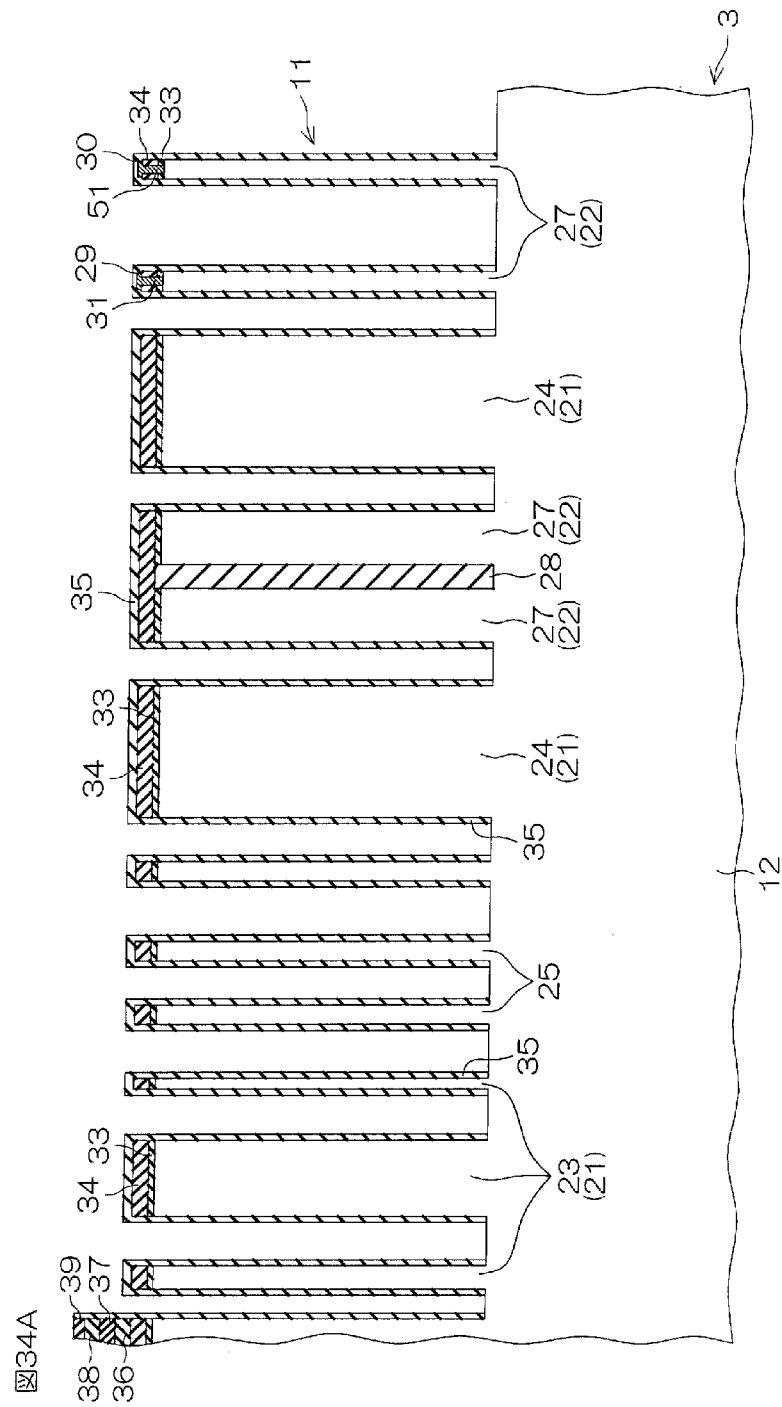


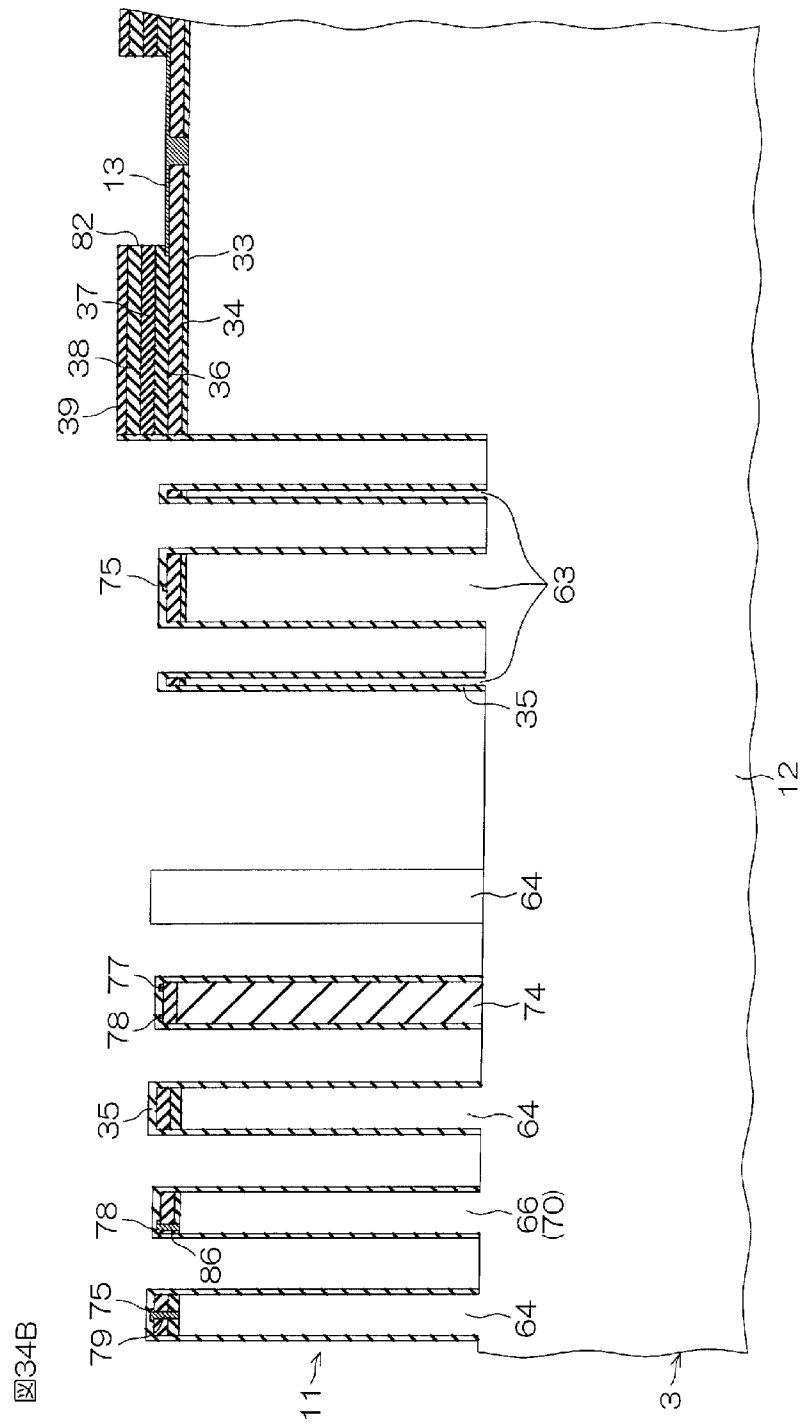
图 33C



[図34A]

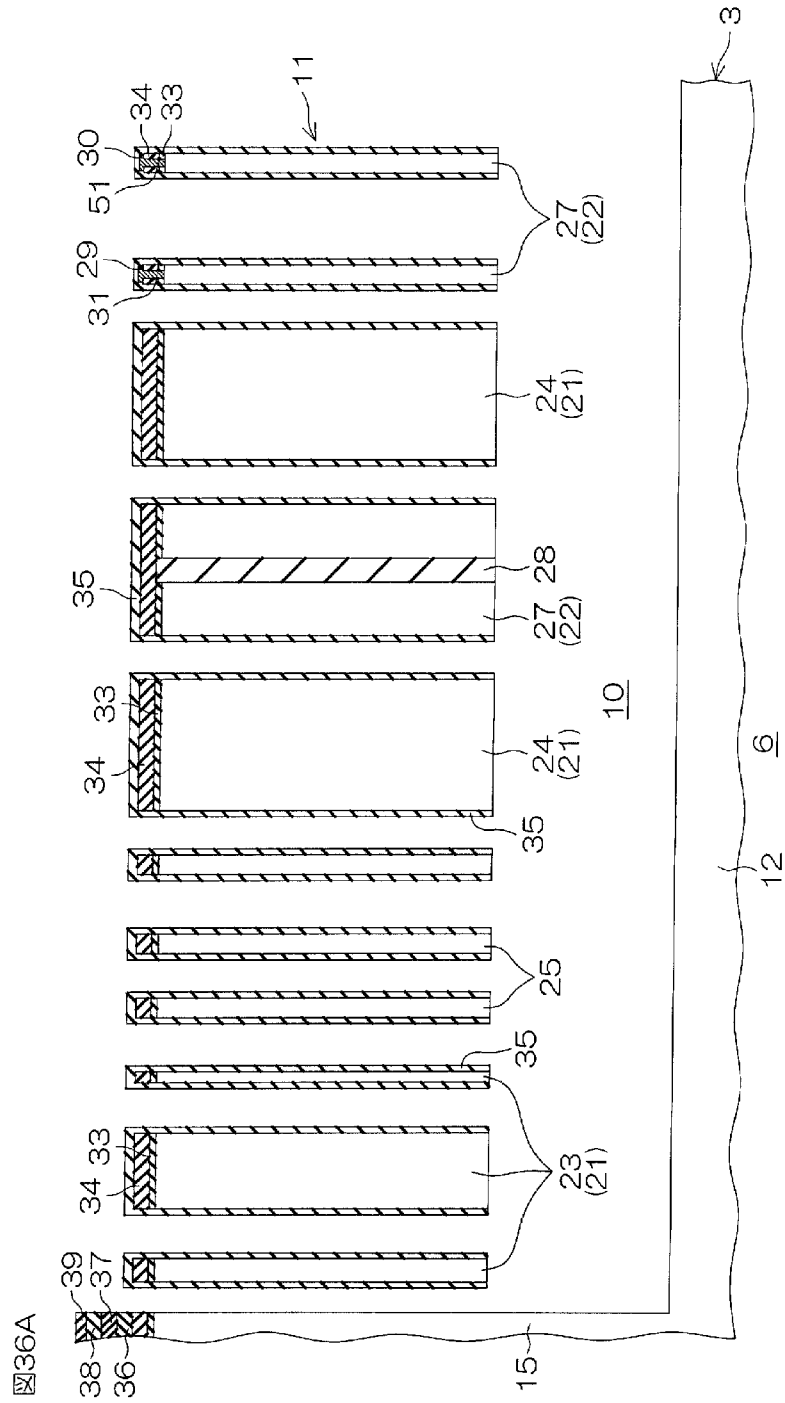


[図34B]



[illegible]

[図36A]



[図36B]

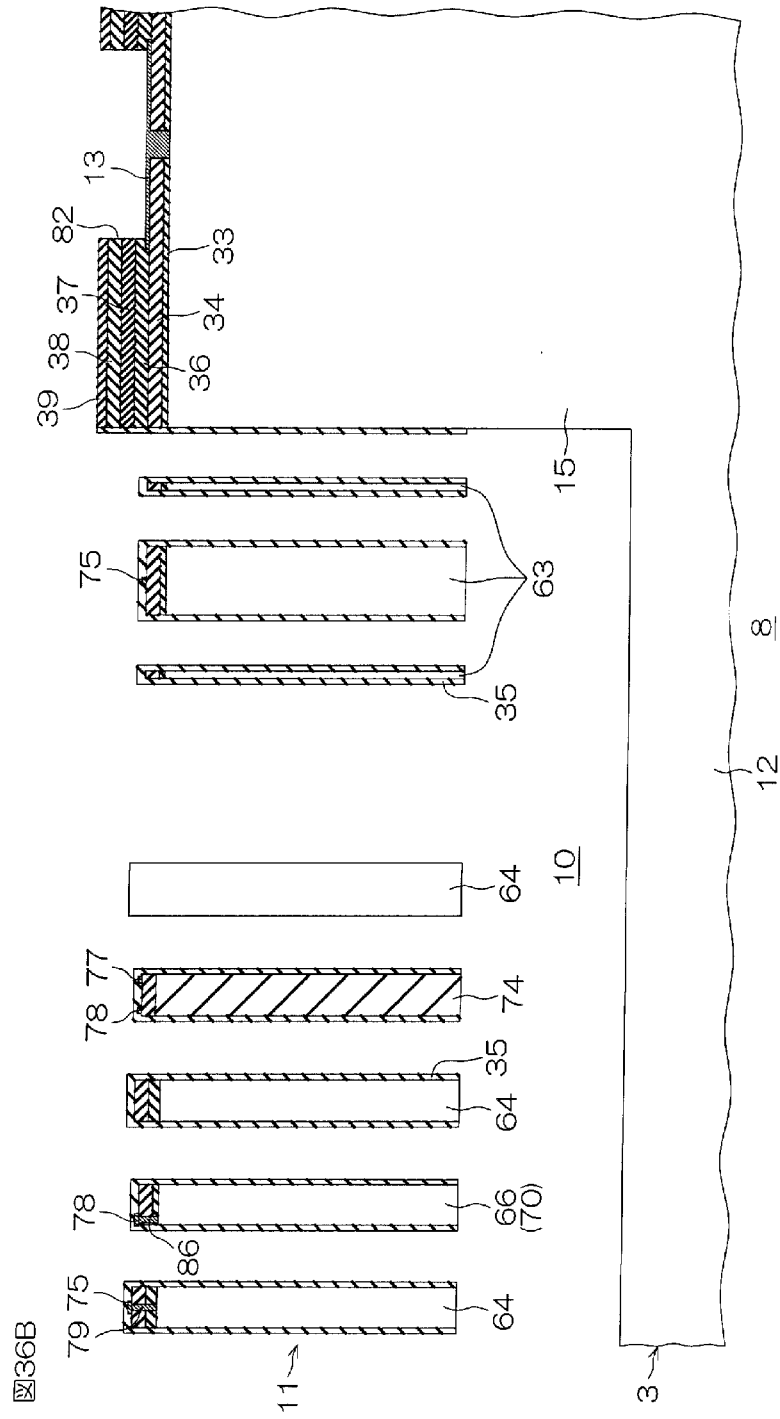
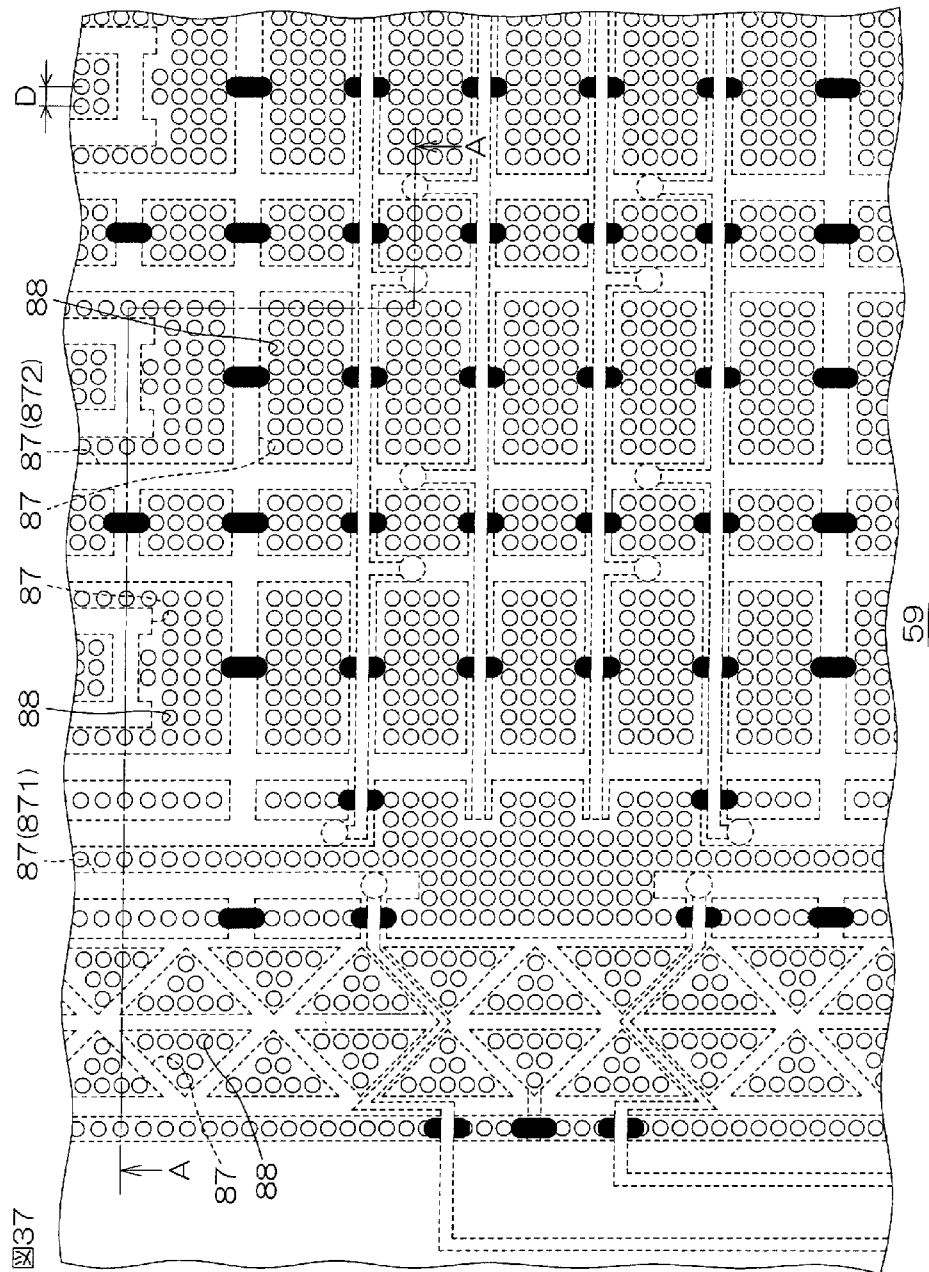


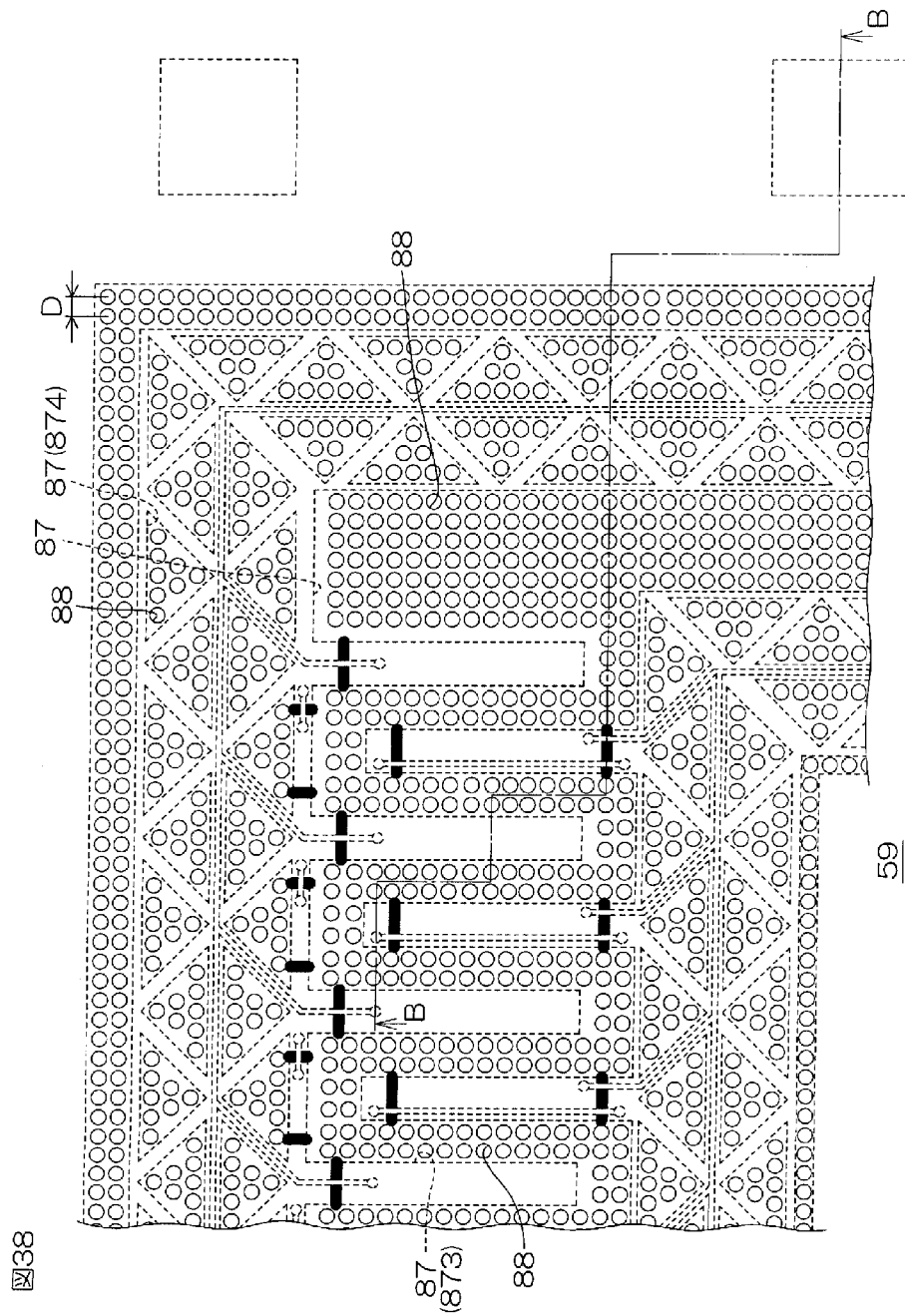
图 36C



[図37]



[図38]



INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 011 / 065481

A. CLASSIFICATION OF SUBJECT MATTER

G01 C19/56 (2006.01)i, B81 C1/00 (2006.01)i, H01 L21/3065 (2006.01)i, H01 L29/78 (2006.01)i, H01 L29/84 (2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01C19/56, B81C1/00, H01L21/3065, H01L29/78, H01L29/84

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1996	Jitsuyo	Shinan	Toroku	Koho	1996-2011
Kokai	Jitsuyo	Shinan	1971-2011	Toroku	Jitsuyo	Shinan	Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-322149 A (Toyota Motor Corp.), 13 December 2007 (13.12.2007), paragraphs [0012] to [0039]; fig. 1 to 8 (Family: none)	1-3 4-10
Y	JP 2010-141088 A (Dainippon Printing Co., Ltd.), 24 June 2010 (24.06.2010), paragraphs [0027], [0044] to [0057], [0088] (Family: none)	4-10
Y	JP 2002-228678 A (Densetsu Corp.), 14 August 2002 (14.08.2002), paragraphs [0019], [0027] to [0029]; fig. 5 (Family: none)	9, 10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

29 August, 2011 (29.08.11)

Date of mailing of the international search report

06 September, 2011 (06.09.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G01C19/56 (2006. 01) i, B81C1/00 (2006. 01) i, H01L21/3065 (2006. 01) i, H01L29/78 (2006. 01) i,
H01L29/84 (2006. 01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G01C19/56, B81C1/00, H01L21/3065, H01L29/78, H01L29/84

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1 9 2 2 -
日本国公開実用新案公報 1 9 7 1 - 2
日本国実用新案登録公報 1 9 9 6 -
日本国登録実用新案公報 1 9 9 4 - 2

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
年

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2007-322149 A (トヨタ自動車株式会社) 2007. 12. 13, 【0 0 1 2】 - 【0 0 3 9】、図 1】 - 図 8】 (ファミリーなし)	1-3 4-10
Y	JP 2010-141088 A (大日本印刷株式会社) 2010. 06. 24, 【0 0 2 7】、 【0 0 4 4】 - 【0 0 5 7】、【0 0 8 8】 (ファミリーなし)	4—10
Y	JP 2002-228678 A (株式会社テンソー) 2002. 08. 14, 【0 0 1 9】、 【0 0 2 7】 - 【0 0 2 9】、図 5】 (ファミリーなし)	9, 10

□ C 欄の続きにも文献が列挙されている。

□ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

IA」特に関連のある文献ではなく、一般的技術水準を示すもの
IE」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
I」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
Iθ」口頭による開示、使用、展示等に言及する文献
IP」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
IX」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
IY」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
I&」同一パテントファミリー文献

国際調査を完了した日

2 9 . 0 8 . 2 0 1 1

国際調査報告の発送日

0 6 . 0 9 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

関根 崇

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

4 R

4 6 6 2