

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5085334号
(P5085334)

(45) 発行日 平成24年11月28日(2012.11.28)

(24) 登録日 平成24年9月14日(2012.9.14)

(51) Int.Cl. F I
G O 6 F 13/38 (2006.01) G O 6 F 13/38 3 5 0

請求項の数 8 (全 16 頁)

(21) 出願番号	特願2007-544489 (P2007-544489)	(73) 特許権者	591016172
(86) (22) 出願日	平成17年11月29日 (2005.11.29)		アドバンスト・マイクロ・デバイス・
(65) 公表番号	特表2008-522325 (P2008-522325A)		インコーポレイテッド
(43) 公表日	平成20年6月26日 (2008.6.26)		ADVANCED MICRO DEVI
(86) 国際出願番号	PCT/US2005/043396		CES INCORPORATED
(87) 国際公開番号	W02006/060527		アメリカ合衆国、94088-3453
(87) 国際公開日	平成18年6月8日 (2006.6.8)		カリフォルニア州、サニペイル、ピィ・
審査請求日	平成20年11月5日 (2008.11.5)		オウ・ボックス・3453、ワン・エイ・
(31) 優先権主張番号	102004057756.0		エム・ディ・プレイス、メイル・ストップ
(32) 優先日	平成16年11月30日 (2004.11.30)		・68 (番地なし)
(33) 優先権主張国	ドイツ (DE)	(74) 代理人	100108833
(31) 優先権主張番号	11/230,979		弁理士 早川 裕司
(32) 優先日	平成17年9月20日 (2005.9.20)	(74) 代理人	100132207
(33) 優先権主張国	米国 (US)		弁理士 太田 昌孝

最終頁に続く

(54) 【発明の名称】 USB・OTGコントローラ

(57) 【特許請求の範囲】

【請求項1】

少なくとも1つのUSB周辺機器に、および(または)少なくとも1つのUSB周辺機器からデータ転送を実行するホスト機能性をインプリメントするのに適した、EHCI (Enhanced Host Controller Interface) 対応ホストコントローラを有する、ホスト制御ユニットと、

少なくとも1つのUSBホストとして働くUSBデバイスに、および(または)少なくとも1つのUSBホストとして働くUSBデバイスからデータ転送を実行するUSBデバイス機能性をインプリメントするのに適した、デバイス制御ユニットと、

前記ホスト制御ユニットまたは前記デバイス制御ユニットのいずれか一方に物理ポートを割り当てるのに適した、ポート・マルチプレクサと、

前記ホスト制御ユニットの動作を制御するOTG状態マシンをインプリメントするのに適した、OTG制御ユニットと、を有しており、

前記ポート・マルチプレクサは、前記ポート・マルチプレクサの機能的能力を示す能力情報を格納するのに適した、ソフトウェアによってアクセス可能なポート・マルチプレクサ能力レジスタを含んでおり、

前記OTG制御ユニットは、部分的にはハードウェア、および部分的にはソフトウェア中に前記OTG状態マシンをインプリメントするようになっており、前記OTG制御ユニットの動作を制御する制御情報を保持し、ソフトウェアによりアクセス可能であるOTG制御レジスタを含んでおり、

10

20

前記OTG制御レジスタは、2つのアドレスの一方に書き込むことによってアドレス可能であり、前記2つのアドレスのうち一方のアドレスへの書き込みは制御情報をセットする一方、前記2つのアドレスのうち他方のアドレスへの書き込みは前記制御情報をクリアする、

OTG (On-The-Go) の機能性を有するUSB (Universal Serial Bus) (ユニバーサルシリアルバス) コントローラデバイス。

【請求項2】

前記OTG制御レジスタは、ソフトウェアによって書き込み可能である、請求項1記載のUSBコントローラデバイス。

【請求項3】

前記OTG制御ユニットは、前記制御情報の変化に応じてハードウェアスイッチの状態を変化させるようになっている、請求項1記載のUSBコントローラデバイス。

【請求項4】

少なくとも1つのUSB周辺機器に、および(または)少なくとも1つのUSB周辺機器からデータ転送を実行するホスト機能性をインプリメントするのに適した、EHCI (Enhanced Host Controller Interface) 対応ホストコントローラを有する、ホスト制御ユニットと、

少なくとも1つのUSBホストとして働くUSBデバイスに、および(または)少なくとも1つのUSBホストとして働くUSBデバイスからデータ転送を実行するUSBデバイス機能性をインプリメントするのに適した、デバイス制御ユニットと、

前記ホスト制御ユニットまたは前記デバイス制御ユニットのいずれか一方に物理ポートを割り当てるのに適した、ポート・マルチプレクサと、

前記ホスト制御ユニットの動作を制御するようになっているOTG制御ユニットと、を有しており、

前記ポート・マルチプレクサは、前記ポート・マルチプレクサの機能的能力を示す能力情報を格納するのに適した、ソフトウェアによってアクセス可能なポート・マルチプレクサ能力レジスタを含んでおり、

前記OTG制御ユニットは、前記OTG制御ユニットの動作を制御する制御情報を保持するOTG制御レジスタと、前記OTG制御ユニットのステータス情報を保持するOTGステータスレジスタと、を含む、

OTG (On-The-Go) の機能性を有するUSB (Universal Serial Bus) (ユニバーサルシリアルバス) コントローラデバイス。

【請求項5】

前記OTG制御レジスタは、タイマ計算条件情報を保持するレジスタ・フィールドを含む、請求項4記載のUSBコントローラデバイス。

【請求項6】

前記OTG制御レジスタは、OTGポート接続ステータスを変化させるように、ソフトウェアによって書き込み可能である書き込みポート接続情報を保持するレジスタ・フィールドを含んでいる、請求項4記載のUSBコントローラデバイス。

【請求項7】

ソフトウェアが前記書き込みポート接続情報レジスタ・フィールドに書き込まない限り、前記OTGポート接続ステータスはハードウェア制御下にある、請求項6記載のUSBコントローラデバイス。

【請求項8】

双方ともソフトウェアドライバによってアクセス可能である、2つのアドレスのうち一方に書き込むことによってアドレス可能なOTG制御レジスタと、OTGステータスレジスタと、を有するUSB (Universal Serial Bus) (ユニバーサルシリアルバス) コントローラデバイス中にOTG (On-The-Go) の機能性を提供する方法であって、

前記USBコントローラデバイスからの割り込みの受信に応じて、前記OTGステータスレジスタを前記ソフトウェアドライバによって読み込み、

10

20

30

40

50

前記USBコントローラデバイスにそのOTG状態を変更させるように、前記ソフトウェアドライバによって前記OTG制御レジスタに書き込み、

前記USBコントローラデバイスがOTGの機能性をインプリメントする状態にあるときは、前記ソフトウェアドライバがポート・マルチプレクサの役目をし、

前記ソフトウェアドライバは前記ポート・マルチプレクサの機能的能力を示す情報を格納しているポート・マルチプレクサ能力レジスタを読み込む、

方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概してUSB(Universal Serial Bus)(ユニバーサルシリアルバス)コントローラデバイスおよび方法に関し、さらに詳細にはOTG(On-The-Go)の機能性をインプリメントすることに関する。

【背景技術】

【0002】

ユニバーサルシリアルバスは、コンピュータシステムに追加の周辺装置の接続を容易にする外部拡張バスの規格として、1995年に最初に開発された。USB技術はPC(パーソナルコンピュータ)ホストコントローラハードウェアおよびソフトウェアならびに周辺装置に親和的なマスタ・スレーブプロトコルによって実装され、堅牢な接続およびケーブルアセンブリを実現している。USBシステムはマルチポートハブを介して拡張可能である。

【0003】

USBシステムでは、システムソフトウェアの役割はハードウェア実装の詳細を隠すことによって、すべてのアプリケーションソフトウェアに対して、入出力アーキテクチャの統一された見え方を提供することにある。特に、それは周辺装置の動的な取り付けおよび取り外しを管理し、周辺装置と通信してその同一性を認識する。実行時には、ホストは特定の周辺装置に対するトランザクションを発生し、各周辺装置はそのトランザクションを受け入れて適切に応答する。

【0004】

USB周辺装置に対する追加的な接続性を設けるためにハブがシステムに導入され、接続されたデバイスに対して管理された電力を供給する。これらの周辺装置は、ホストから送信された要求トランザクションに応答しなければならないスレーブである。そのような要求トランザクションにはそのデバイスおよびその構成についての詳細な情報に対する要求も含まれる。

これらの機能およびプロトコルはすでにUSB1.1の規格に規定されているが、この機能はさらに高い性能のインターフェースを提供するために改良されている。図1は、ホストコントローラ100、複数のUSBデバイス115、120、125、130および2つのハブ105、110を含むUSB2.0システムの一例を示している。図1のシステムでは、接続性を増加させるためにハブ105、110を導入したが、他のUSB2.0システムではUSBデバイスはホストコントローラ100に直接接続することができる。

【0005】

上述のように、USB2.0はより高性能なインターフェースを提供し、最大で約40倍の高速化が実現されている。さらに、図1から明らかのように、同じホストコントローラ100によって駆動されるUSB1.1デバイス120、125、130を接続することができることから、USB2.0はUSB1.1との下方互換性を有する。USB1.1のハブ110をも使用することができる。

【0006】

図1からわかるように、USB1.1のデバイス120はUSB2.0のハブ105に直接接続することができる。さらに、それはホストコントローラ100に直接接続するこ

10

20

30

40

50

ともできる。これが可能なのは、USB 2.0のホストコントローラおよびハブが、デバイス対デバイスの関係において、高速の伝送速度でも、低速の伝送速度でもネゴシエーションをする機能を持つからである。

【0007】

図2に、USB 2.0のシステムのシステムソフトウェアおよびハードウェアを示す。システムの構成要素は、図に示すように、いくつかの層を定義することによって階層的に編成することが可能である。

【0008】

最上層では、クライアントドライバソフトウェア200がホストPC上で実施され、特定のUSBデバイス230に対応する。このクライアントソフトウェアは通常オペレーティングシステムの一部であり、デバイスと一緒に提供される。

10

【0009】

USBドライバ205はシステムソフトウェア・バスタイバであって、特定のオペレーティングシステムのための特定のホストコントローラドライバ210, 220の詳細を抜き出したものである。ホストコントローラドライバ210, 220は、ドライバとハードウェアのインターフェースを提供するために特定のハードウェア215, 225, 230とUSBドライバ205との間のソフトウェア層を提供する。

【0010】

これまで議論してきた層はソフトウェアによって実装されるものであるが、最上部のハードウェア部品層としてホストコントローラ215, 225が含まれる。これらのコントローラはエンドユーザ機能を実行するUSBデバイス230に接続される。

20

【0011】

図面から明らかのように、高速なUSB 2.0機能のための拡張ホストコントローラ(EHC)である、ホストコントローラ225が設けられている。このホストコントローラはUSB 2.0のEHCI(Enhanced Host Controller Interface、拡張ホストコントローラインターフェース)規格に従って動作する。ソフトウェア側では、ホストコントローラ225は、それに関連する特別のホストコントローラドライバ(EHCD)220を持つ。

【0012】

さらに、最大速度および低速度の動作のためのホストコントローラ215が設けられている。UHCI(Universal Host Controller Interface)またはOHCI(Open Host Controller Interface)は、USB 1.1ホストコントローラインターフェースを提供するためのユニバーサルな、またはオープンホストコントローラ(UHC/OHC)215において採用されている2つの業界標準である。ホストコントローラ215はその最下層のソフトウェアレベルにユニバーサル/オープンホストコントローラドライバ(UHCD/OHCD)210を割り当てている。

30

【0013】

したがって、USB 2.0準拠のホストコントローラシステムは、必ずEHCI規格に従ったドライバソフトウェアとホストコントローラハードウェアとを含む。この規格ではレジスタレベルのインターフェースとそれに関連したメモリ常駐のデータ構造とを規定しているが、それに準拠したホストコントローラを構築するために必要なハードウェアアーキテクチャについては定義も説明もしていない。

40

【0014】

図3に、一般的なマザーボードレイアウトにおけるハードウェア要素を示す。マザーボード上の基本的な構成要素には、CPU(中央処理装置)300, ノースブリッジ305, サウスブリッジ310およびシステムメモリ315が含まれる。ノースブリッジ305は一般に単一チップのコアロジックチップセットであって、プロセッサ300をシステムメモリ315およびAGP(Accelerated Graphic Port)およびPCI(Peripheral Component Interface)バスに接続する。PCIバスはパーソナルコンピュータにおいて一般的に用いられ、プロセッサとビデオカード、サウンドカード、ネットワークインターフェ

50

ースカードおよびモデムなどの周辺デバイスとの間のデータバスを提供する。AGPバスは高速のグラフィック拡張バスであって、ディスプレイアダプタとシステムメモリ315とを直接接続する。AGPとPCIバスとは独立して動作する。ノースブリッジを持たないような、またはAGPまたはPCIオプションがないノースブリッジを持つような他のマザーボードレイアウトが存在することに注意してもらいたい。

【0015】

サウスブリッジ310は一般的にシステムコアロジックチップセット中のチップであって、IDE(Integrated Drive Electronics)またはEIDE(Enhanced IDE)バス、USBバスを制御し、プラグアンドプレイサポートを提供し、PCI-ISA(Industry Standard Architecture)ブリッジを制御し、キーボード/マウスコントローラを管理し、電力管理機能を提供し、他の周辺装置を制御する。

10

【0016】

USBの機能性は、サウスブリッジデバイスまたはパーソナルコンピュータのチップセットの一部であり得る他のコンパニオンチップ中にしばしばインプリメントされる。

上述したように、この機能性は、サウスブリッジまたはコンパニオンチップ中に構築されたコンピュータと周辺装置との間のデータを交換する、ポピュラーなインターフェースを提供する。

【0017】

低出力のデバイスが制のあるホスト能力を有することを可能にするために、"USB 2.0規格に対するOTG補足書("On-The-Go Supplement to the USB 2.0 Specification")"が草案されている。

20

この補足書は、2つのプロトコル、すなわち、周辺機器にUSB電源をつけれるようにホストに依頼させるSRP(セッション・リクエスト・プロトコル)、およびは周辺機器にUSBホストにならせるHNP(ホスト・ネゴシエーション・プロトコル)を定義する。

したがって、USB 2.0規格に対する補足書は、ポータブル装置がパーソナルコンピュータのUSB機能をすべてサポートする負荷のない、制限のあるUSBホストの役割をすることを可能にする。

【0018】

他のものに加えて、OTG補足書は、周辺機器としてフルスピードで(および任意にハイスピードで)、およびさらにホストとしてフルスピードで(および任意にハイスピードで)動作し得る、デュアルロールデバイス(dual-role device)を明示する。

30

さらに、Aデバイスは、セッションの最初のホストであると明示される。

ある条件下では、Aデバイスは、デュアルロールBデバイスにホストの役割を譲るであろう。Bデバイスは、セッションの最初の周辺装置である。このデバイスがデュアルロールある場合、Aデバイスからホストの役割を与えられ得る。

【0019】

上述した2つのプロトコルであるSRPおよびHNPは、状態図によりOTG補足書に記載される。

これらの状態図は、複数のOTG状態、およびこれらの状態間のトランジションが生じる条件を定義する。

40

しかしながら、OTG補足書で指定された状態図に準拠するように状態マシンをインプリメントすることは、一般的に非常に複雑であることが分かる。

特に、状態マシンのインプリメントは、従来のUSBの機能性を提供する回路を変更することを必要とし得る。

このことは、回路の開発規模および製造原価を増加させることにつながる。

【発明の開示】**【発明の概要】****【0020】**

OTGの機能性をインプリメントする改善されたUSBコントローラ技術は、開発規模

50

の縮小 (reduced development) および製造原価の縮小を実現することができるものとして提供される。

【 0 0 2 1 】

ある実施形態の一例においては、 O T G の機能性を有する U S B コントローラ・デバイスが提供される。

U S B コントローラ・デバイスは、少なくとも1つのU S B 周辺機器に、および(または)少なくとも1つのU S B 周辺機器からデータ転送を実行するホスト機能性をインプリメントするのに適した、 E H C I 対応ホストコントローラを有する、ホスト制御ユニットを含む。

U S B コントローラ・デバイスは、ホスト制御ユニットの動作を制御する O T G 状態マシンをインプリメントするのに適した、 O T G 制御ユニットをさらに含む。

O T G 制御ユニットは、部分的にはハードウェア、および部分的にはソフトウェア中の O T G 状態マシンをインプリメントしている。

【 0 0 2 2 】

他の実施形態においては、 U S B コントローラ・デバイスは、 O T G 機能性を有しているものとして提供される。

このU S B コントローラ・デバイスは、少なくとも1つのU S B 周辺機器に、および(または)少なくとも1つのU S B 周辺機器からデータ転送を実行するホスト機能性をインプリメントするのに適した、 E H C I 対応ホストコントローラを有する、ホスト制御ユニットを含む。

U S B コントローラ・デバイスは、ホスト制御ユニットの動作を制御するのに適した、 O T G 制御ユニットをさらに含む。

O T G 制御ユニットは、 O T G 制御ユニットの動作を制御する制御情報を保持する O T G 制御レジスタと、 O T G 制御ユニットのステータス情報を保持する O T G ステータスレジスタと、を含む。 O T G 制御レジスタおよびステータスレジスタは、ソフトウェアによりアクセス可能である。

【 0 0 2 3 】

さらなる実施形態の一例によれば、 U S B コントローラ・デバイスは、少なくとも1つのU S B 周辺機器に、および(または)少なくとも1つのU S B 周辺機器からデータ転送を実行するホスト機能性をインプリメントするのに適した、 E H C I 対応ホストコントローラを有する、ホスト制御ユニットを含む。

このU S B コントローラ・デバイスは、少なくとも1つのU S B ホストデバイスに、および(または)少なくとも1つのU S B ホストデバイスからデータ転送を実行するデバイス機能性をインプリメントするのに適した、デバイス制御ユニットをさらに含む。

さらに、 U S B コントローラ・デバイスは、ホスト制御ユニットまたはデバイス制御ユニットのいずれか一方に物理ポートを割り当てるのに適したポート・マルチプレクサと、 O T G 機能性をインプリメントするのに適した O T G 制御ユニットと、を含む。

O T G 制御ユニットは、ポート・マルチプレクサに含まれる。

【 0 0 2 4 】

またさらに他の実施形態においては、コンピュータ可読記憶媒体は、プロセッサにおいて実行された際、 E H C I 対応ホストコントローラの動作を制御する O T G 状態マシンの少なくとも一部をインプリメントすることにより、プロセッサに、 O T G 機能性を有する U S B コントローラ・デバイスを動かす指示を格納する。

【 0 0 2 5 】

さらに他の実施形態においては、コンピュータ可読記憶媒体は、プロセッサにおいて実行された際、 U S B コントローラ・デバイスの O T G 制御レジスタおよび O T G ステータスレジスタへのアクセスにより、プロセッサに、 O T G 機能性を有している U S B 制御デバイスを動かす指示を格納する。

この O T G 制御レジスタおよび O T G ステータスレジスタは、 O T G 機能性をインプリメントするのに適した O T G 制御情報およびステータス情報を保持する。

10

20

30

40

50

【 0 0 2 6 】

さらに、ある実施形態は、双方ともソフトウェア・ドライバによってアクセス可能な O T G 制御レジスタと、O T G ステータスレジスタとを有している U S B コントローラ・デバイスにおける O T G 機能性を提供する方法を提供する。

この方法は、U S B コントローラ・デバイスからの割り込みの受信に応じて、O T G ステータスレジスタをソフトウェアドライバによって読み込み、U S B コントローラ・デバイスにその O T G 状態を変更させるように、ソフトウェアドライバによって O T G 制御レジスタに書き込むことを含んでいる。

【 発明を実施するための最良の形態 】

【 0 0 2 7 】

添付の図面は、本発明の原理を説明する目的において、本明細書に組み込まれ、その一部を構成する。これらの図面は本発明を限定するものと考えべきではなく、本発明をいかに生産し、使用するかについて図示および説明された例であると考えべきである。さらに、添付の図面に示されるように、後述のさらに詳細な説明から本発明の特徴および利点が明らかになるであろう。

【 0 0 2 8 】

図面を参照して、本発明の例としての実施形態を説明する。図面において、類似の要素および構造は類似の参照符号で示す。

【 0 0 2 9 】

図面、特に図 4 を参照すると、本実施形態による U S B コントローラ・デバイス 4 0 0 は、ホスト制御ユニット 4 1 5、デバイス制御ユニット 4 1 0、ブリッジ 4 0 5 およびポート・マルチプレックス・コントローラ 5 2 0 を含む。

この実施形態のポート・マルチプレックス・コントローラ 4 2 0 は、U S B コントローラ・デバイス 4 0 0 に O T G 機能性をインプリメントする、O T G コントローラ 4 2 5 を含む。

以下に記載から明らかになるように、標準または既製の回路は、単に少し余分なハードウェアを有するホスト制御ユニットおよびデバイス制御ユニットをインプリメントするのに使用することができるので、ポート・マルチプレックス・コントローラ 4 2 0 に O T G コントローラ 4 2 5 を追加することは、最小の労力で O T G 機能性を得ることができる。

【 0 0 3 0 】

本実施形態においては、ホスト制御ユニット 4 1 5 は、E H C / O H C コンビネーションであり、ポート・マルチプレックス・コントローラ 4 2 0 は、ホスト制御ユニット 4 1 5 およびデバイス制御ユニット 4 1 0 の共有の物理ポートに対するアクセスを制御する。

以下により詳細に記載するように、ホスト制御ユニット 4 1 5 は、この目的のためのポート・ルート機能を含む。

デバイス制御ユニット 4 1 0 は、デバイス U T M I (U S B 2 . 0 トランシーバ・マクロセル・インターフェース) インターフェースによりホスト制御ユニット 4 1 5 に接続される。

【 0 0 3 1 】

ブリッジ 4 0 5 は、出願の広い範囲において適用することができ、さらに本実施形態の U S B 2 . 0 サブシステムに制限されなくてもよい。

ブリッジ 4 0 5 のメインタスクは、バス・プロトコルを変換することである。

さらに、ブリッジ 4 0 5 は、他のプロトコルの 1 つのポートにあるプロトコルのマルチプルポートをマッピングするアービタ (arbiter) またはデコーダとして役立ち得る。

本実施形態においては、このマルチプルポートは、バーストおよびスプリットオペレーションを備えたパケット化されていないバスポート (non-packetized bus port) であり得る。一方、もう 1 つのポートは厳密にパケット化されていてもよい。

【 0 0 3 2 】

デバイス制御ユニット 4 1 0 は、U S B ホストデバイスに、および (または) U S B ホストデバイスからデータ転送を実行するデバイス機能性をインプリメントするのに使用さ

10

20

30

40

50

れる。

このデバイス制御ユニット 4 1 0 は、多数の双方向のロジカル・エンドポイントをサポートし得る。

【 0 0 3 3 】

ホスト制御ユニット 4 1 5 は、1 つ以上の U S B 周辺機器に、および（または）1 つ以上の U S B 周辺機器からデータ転送を実行するホスト機能性をインプリメントするのに使用される。

以下に記載するように、このホスト制御ユニット 4 1 5 は、2 つ（またはそれ以上）の U S B ポート、1 つの E H C、および 1 つの O H C コンパニオンコントローラをサポートし得る。

【 0 0 3 4 】

図 5 には、一実施形態によるホストコントローラ 4 1 5 の主要な構成要素が記載される。

一般的に、ホストコントローラ 4 1 5 , 5 0 0 は、3 つの主要な構成要素を含んでいる。すなわち、エンハンスド・ホストコントローラ（E H C）2 2 5、1 つ以上のコンパニオン・ホストコントローラ 2 1 5、およびポート・ルータ 5 1 5 を含んでいる。

【 0 0 3 5 】

エンハンスド・ホストコントローラ 2 2 5 は U S B 2 . 0 の高速トラフィックをハンドルする。

本実施形態のコンパニオン・ホストコントローラ・ユニット 2 1 5 には、2 つの O H C I 対応ホストコントローラ、O H C 0 5 0 5 および O H C 1 5 1 0 がある。これらのコントローラはすべての U S B 1 . 1 対応トラフィックをハンドルし、U S B を認識しない環境のためのレガシーキーボードエミュレーションを含んでいてもよい。

【 0 0 3 6 】

ポートルータ 5 1 5 はそれぞれの持ち主に物理ポートインターフェースを割り当てる。

もし U S B 2 . 0 認識のドライバがシステム上に存在しているならば、それはポートを低速度または全速度のデバイスまたはハブ（U S B 1 . 1 のトラフィック）のためにコンパニオンホストコントローラ 5 0 5、5 1 0 に割り当てるか、または高速度デバイスまたはハブのために E H C 2 2 5 に割り当てる。

【 0 0 3 7 】

つまり、図 5 の U S B 2 . 0 ホストコントローラは、E H C I 規格に従い、U S B 1 . 1 物理デバイスの代わりに、ポートルータブロック 5 1 5 とインターフェース接続するために必要な最小限の変更によって既存の O H C I U S B 1 . 1 ホストコントローラを使用することを可能にしている。

【 0 0 3 8 】

図 5 の U S B 2 . 0 対応ホストコントローラは、E H C I 対応ホストコントローラをサウスブリッジ 3 1 0 に統合して実装するためのハードウェアアーキテクチャとして定義することができる。

次にホストコントローラは、U S B - 2 アナログ入力/出力ピンとリンクインターフェースモジュールの間に常駐して、システムメモリへのアップストリームのインターフェースを実現、例えばシステムにノースブリッジが存在すれば、ノースブリッジへのインターフェースを提供する。

【 0 0 3 9 】

図 5 から分かるように、ポートルータ 5 1 5 は、デバイス制御ユニット 4 1 0 およびポート・マルチプレックス・コントローラ 4 2 0（これは本実施形態において O T G コントローラ 4 2 5 を含む。）へのさらなるインターフェースを有する。デバイスコントローラへのインターフェースは、前述した U T M I インターフェースである。

ポート・マルチプレックス・コントローラへのインターフェースは、ホスト/デバイス・スイッチングのための制御インタフェースである。

【 0 0 4 0 】

10

20

30

40

50

図4を参照すると、ホスト制御ユニット415またはデバイス制御ユニット410のいずれかに共有の物理的なポートを割り当てることは、ポート・マルチプレックス・コントローラの本実施形態における基本的な機能であり得る。

【0041】

その機能性を達成するために、本実施形態のポート・マルチプレックス・コントローラ420は、能力レジスタ(capability register)およびマルチプレキシング制御レジスタのようなソフトウェアにアクセス可能なレジスタを含んでいる。

双方のレジスタは、与えられたレジスタのフィールドからデータを読むソフトウェア、およびそのようなフィールドにデータを書き込むことによってアクセス可能となり得る。

しかしながら、少なくともフィールドのうちいくつかは読み出し専用フィールドであり得ることが注目される。

10

【0042】

ポート・マルチプレックス・コントローラ能力レジスタには、ポートがデバイス制御ユニット410に割り当てられる場合に、USBコントローラデバイスのプルアップ・レジスタがどのようにアクティベートするかを制御するのに使用することができる、自動プルアップ・イネーブル情報(automatic pull-up enable information)を格納するレジスタ・フィールドがあり得る。

この自動プルアップ・イネーブル情報は、ソフトウェアがプルアップをアクティベートする必要があるか、またはUSBポート上の電圧が有効な電圧範囲にあるとすぐにプルアップをアクティベートするかどうかを示してもよい。

20

【0043】

過電流ハンドリング(overcurrent handling)に関しての過電流極性および情報を格納するポート・マルチプレックス・コントローラ・能力レジスタには、さらなるレジスタ・フィールドがあり得る。例えば、情報は、あるステータスに報告される過電流がどのように扱われるかを制御するために格納され得る。

さらに、能力レジスタは、ポート電源極性、およびホストコントローラからのポート電源制御情報がどのようにマッピングされるかを制御する処理についての情報を保持する。

【0044】

ポート・マルチプレックス・コントローラ420のマルチプレキシング制御レジスタは、USBポート上の電圧が有効な範囲(すなわち4.4V以上)にあるかどうかを示すレジスタ・フィールドと、プルアップがディスエーブルかアクティベートされるかどうかを示す情報と、もしあればポートがどの制御ユニットに割り当てられるかを示すポート・マルチプレックス制御情報と、を含み得る。

30

【0045】

上述したように、本実施形態においては、OTGプロトコルサポートは、ポート・マルチプレックス・コントローラ420の一部としてインプリメントされる。このことは、コントローラ410、415をインプリメントするために既存既製のユニットを使用することを可能にする。

さらに、本実施形態のOTG制御ユニット425は、ソフトウェアがOTG補足書において明記されたOTGステートマシン(OTG state machine)の一部をインプリメントすることを可能にする。

40

USBソフトウェアドライバがOTGステートマシンの一部をインプリメントできるようにするために、OTG制御ユニット425は、図6により詳述されるステータスおよび制御機能を提供し得る。

【0046】

図から分かるように、OTG制御ユニット425は、読み専用モード、または書き込みアクセスモードにおけるソフトウェアによってアクセス可能な複数のレジスタ600ないし620を有している。

図6に示すように、これらのレジスタは、OTGステータスレジスタ600、OTG制御レジスタ605、OTGタイマレジスタ610、OTG割込みレジスタ615、および

50

OTG 割込み可能レジスタ 620 を含んでいる。

【0047】

まず、読み専用モードにおけるソフトウェアによってアクセス可能であり得る OTG ステータスレジスタ 600 について説明する。このレジスタは、複数のレジスタ・フィールドで OTG 制御ユニット 425 のステータス情報を保持する。

【0048】

第1の OTG ステータスレジスタ・フィールドにおいては、タイマ終了情報が格納され得る。この情報は、OTG タイマが終了した場合、ビットがセットされるようにハードウェアによって制御することができる。

タイマが現在カウント中である場合、または停止状態にある場合、ビットは、ディASSERT され得る。

【0049】

さらなるレジスタ・フィールドにおいては、OTG ステータスレジスタ 600 は、ホスト制御ユニット 415 に割り当てられた、またはデバイス制御ユニット 410 に割り当てられたポートが、サスペンドされたか、またはそれぞれの制御ユニットによってサスペンドされることになっているかどうかを示す、ポート・サスペンション情報を保持し得る。

より詳細には、ポートがホストに割り当てられる場合、それぞれのコントローラがポートをサスペンドしたときにこのポート・サスペンション・フィールドビットはセットされ得る。

【0050】

OTG ステータスレジスタ 600 の他のレジスタ・フィールドは、ホスト制御ユニット 415 またはデバイス制御ユニット 410 へのポートの割り当てを示す、ポート結合情報を保持し得る。

より詳細には、ポートがホストに接続される場合、適切なホストコントローラがリモートデバイスへの接続を確立したときにレジスタ・フィールドビットがセットされる。

ポートがデバイスに割り当てられる場合、デバイスコントローラがリモートホストから連絡を受けたときにビットがセットされる。

【0051】

このレジスタ・フィールドは読み専用モードのみのソフトウェアによってアクセス可能であるが、ポート接続レジスタ・フィールドビットは、ソフトウェアによっていつでも上書きされ得ることに注意すべきである。

これを達成するために、OTG 制御レジスタ 605 は、OTG ステータスレジスタのポート接続レジスタ・フィールドの値に上書きするのに使用することができる(書き込み可能)レジスタ・フィールドを含み得る。このことは、以下により詳細に記載される。

【0052】

OTG ステータスレジスタ 600 には、OTG 制御ユニット 425 に関するステータス情報を提供すべく、さらなるレジスタ・フィールドがあり得る。

例えば FS (フルスピード) 出力イネーブル情報、ポート・スピード情報、およびある回線ステータスまたは電圧値が達したかどうかを示す情報を格納するレジスタ・フィールドがあり得る。

【0053】

次に、OTG 制御ユニット 425 の処理を制御する制御情報を保持する OTG 制御レジスタ 605 は、また、複数のレジスタ・フィールドを有し得る。

例えば、タイマ計算条件情報および電源がポートに供給されるか否か、ポートに所定の制御ユニットが割り当てられるか否か、または自動的にまたはソフトウェアがプルアップをイネーブルにしたかどうかに関する制御情報を保持するレジスタ・フィールドがあり得る。

【0054】

OTG 技術のハードウェア実装およびソフトウェア制御の双方を促進するために、OTG 制御レジスタ 605 のレジスタ・フィールドのうちいくつかは、上述したポート・マ

10

20

30

40

50

ルチブックス・コントローラ・レジスタからエイリアスされ得る。

【 0 0 5 5 】

OTG制御レジスタ605は、書き込みポート接続情報を保持する書き込みポート接続レジスタ・フィールドをさらに含み得る。

上述したように、このレジスタ・フィールドは、OTGステータスレジスタ600のポート接続レジスタ・フィールドの値をオーバーライドするのに使用することができる。

すなわち、ソフトウェアは、OTGステータスレジスタ600のそれぞれのレジスタ・フィールドビットをアサートまたはディアサートすべく、OTG制御レジスタ605の書き込みポート接続レジスタ・フィールドに書き込みことができる。

この機能性は、たとえOTGステータスレジスタ600が読み取り専用レジスタであっても、ソフトウェアによってポート接続ステータスを変更することを可能にする。

10

【 0 0 5 6 】

より詳細には、ポートがホストに割り当てられる場合、その後、ポートがEHCによって所有され、無事にHS（高速）処理に移行している場合、ポート接続ステータス・レジスタ・フィールドビットは、アサートされる。

さらに、ポートがホストに割り当てられる場合、OHCが接続を検知してすぐに、ステータスレジスタ・ビットがアサートされる。

ポートがデバイスに割り当てられる場合、USB上のダウンストリームのアクティビティが検知される場合、ステータスレジスタ・ビットがアサートされる。

ポートがホストに割り当てられる場合、ポートがEHCによって所有され、切断（disconnect）を検知してすぐに、ステータスレジスタ・ビットがディアサートされる。同様に、OHCが切断を検知してすぐに、ビットはディアサートされる。

20

さらに、USBポートの電圧が0.8V未満に落ちる場合は常に、ビットはディアサートされ得る。この機能性はすべてハードウェア制御下で達成することができる。

【 0 0 5 7 】

OTG制御レジスタ605の書き込みポート接続レジスタ・フィールドは、ソフトウェアによってステータスビットを変更する可能性を追加する。

このことは、ソフトウェアドライバがUSB制御デバイスに特定のポート接続状態を入力させることを可能にして、OTG制御機能性に柔軟性を加える。

【 0 0 5 8 】

30

図6に戻ると、OTG制御ユニット425はさらなるレジスタを含み得る。

例えば、OTGタイマレジスタ610は、現在のタイマー値（読み出し専用であり得る）およびカウントダウンについてプリロードするプリロード値を格納するレジスタ・フィールドを有し得る。

OTG割込みレジスタ615は、タイマは終了したか否か、ポートサスペンションまたは接続が変更したか否か、レシーバ・アクティビティが検知されるか否か、ポート・スピードが変化したか否か、HS切断が検知されるか否か、回線状態が変更したか否か、または所定の電圧範囲となっているか否か、を示す情報をそのフィールドに格納し得る。

OTG割込み可能レジスタ620は、広域の割り込みメカニズムがイネーブルか否か、または、OTG割込みレジスタ615に格納された情報についての割り込みがイネーブルか否か、を示す割込みイネーブル情報をそのレジスターフィールドに格納し得る。

40

【 0 0 5 9 】

上述した様々な実施形態の説明においては、USBコントローラ・デバイス技術は、部分的にはハードウェア、および部分的にはソフトウェア中にインプリメントすることができる状態マシンによってコンポーネントを制御することができる方法でOTG機能性をインプリメントするように提供される。

この目的のために、制御およびステータス情報は、ソフトウェア・ドライバを実行するプロセッサと、OTGステータスおよび制御レジスタ600、606（および任意の他のOTGレジスタ）によるOTG制御ユニット425との間で渡されてもよい。

制御レジスタビットは、内部および外部スイッチを制御し、またステータスレジスタ・

50

ビットは、O T G制御ユニット4 2 5からの関連する信号のステータスを示す。

【0 0 6 0】

ある実施形態においては、O T G制御レジスタ6 0 5は2つのアドレスを有している。一方のアドレスへの書き込みは選択されたビットをセットする一方、他方のアドレスへの書き込みはその選択されたビットをクリアする。

このスキームは、U S Bコントローラ・デバイスの他のコンポーネントと最大の互換性を提供する。

【0 0 6 1】

例えば、構成は、デバイス機能性そのもの等を提供するように、不変なポート割り当てを有するように選択することができる。

この場合、B I O S（基本入出力システム）は、コンピュータシステムがブートする時にしたがって、ポート・マルチプレクサをセットする。レジスタ内容はその後、システムが立上っている限り、変更されない。

しかしながら、O T G機能性が使用される他の構成が選択される場合、U S Bポートは、デバイス・ポートまたはユーザのリクエストによりホスト・ポートの役割を果たし、これはいつでも変更することができる。その後、O T Gドライバはポート・マルチプレクサの役に立つ。

したがって、レジスタ・エイリアシングは、これらもまたそのレジスタレベルでB I O SアクセスおよびO T Gドライバアクセスを分離することを可能にする。

このことは、B I O SがO T Gドライバに関する知識なしで動作することを可能にする。

【0 0 6 2】

ある実施形態の一例においては、U S Bコントローラ・デバイスは、以下のU S B構成を維持することができる。すなわち、(i)少なくとも1つのホスト・ポートおよび1つの周辺機器ポート、(i i)2つ以上のホスト・ポート、および(i i i)1つのデュアルロール・デバイス・ポートおよび少なくとも1つのさらなるホスト・ポート、である。

デュアルロール・デバイス・ポートはまた、S R Pの有能な周辺機器ポートとして使用することができる。

1つのデュアルロールデバイス・ポートに加えて1つの専用U S Bホスト・ポートを有する本実施形態のU S Bコントローラ・デバイスを形成する場合、ソフトウェア・ドライバはホストコントローラ状態マシンと分離しているO T G状態マシンを維持することができる。

【0 0 6 3】

上述したように、部分的にはハードウェア、そして部分的にはソフトウェア中にO T G状態マシンをインプリメントする実施形態が提供される。

このことは、ハードウェア中のいくつかのステータスおよびソフトウェア中の他のステータスのインプリメントにより達成されてもよい。

例えば、デュアルロールデバイス状態マシンを例にとると、ソフトウェア・ドライバは、a_suspend、a_peripheralおよびb_wait_acon状態を除いた状態をすべてインプリメントすることができる。その後、これらの3つの状態をハードウェア中にインプリメントし得る。

さらに、O T G状態マシンは、ソフトウェア中のO T G状態マシンによって明示された状態トランジションのすべてではなくいくつかをインプリメントすることによって、部分的にはハードウェア、および部分的にはソフトウェア中にインプリメントすることができる。

【0 0 6 4】

図7を参照すると、ソフトウェア管理状態トランジションがどのように起こり得るかを示すフローチャートが提供される。

ステップ7 0 0において、O T G制御ユニット4 2 5は、ソフトウェア状態マシンにその状態を変更することを要求し得るイベントを検知する。

10

20

30

40

50

その後OTG制御ユニット425は、OTGステータスレジスタ600中の各ステータス情報を保存し(ステップ705)、プロセッサへの割り込みをかける(ステップ710)。

この割り込みに応じて、USBソフトウェア・ドライバは、ステータスレジスタを読み込み(ステップ715)、現在状況およびステータスレジスタ内容に基づき適切な状態変更を行い(ステップ720)、そしてスイッチの設定を変更するために、すなわちOTGハードウェアに適切な変更を加えるために、OTG制御レジスタ605に書き込む(ステップ725)。

【0065】

本発明は、これにしたがって構築された物理的な実施形態に関して記載されているが、本発明の趣旨および範囲から逸脱することなく、上記の内容に照らして、および添付の請求項の範囲内において、本発明の様々な変更、変形および改善がなされることは当業者に明白である。さらに、当業者に周知であると考えられる領域は、ここに記載された発明を不必要に不明瞭にしないようにここには記載されない。したがって、特定の実施形態の一例によってのみに、本発明は制限されず、しかしながら添付の請求の範囲のみによって制限されることになっていることが理解される。

【産業上の利用可能性】

【0066】

この発明は一般的に、USB(Universal Serial Bus)コントローラデバイスおよび方法に適用することができる。

【図面の簡単な説明】

【0067】

【図1】USB2.0対応のシステムの一例を示す図。

【図2】図1のシステムにおけるハードウェアおよびソフトウェア・コンポーネントの層を示す図。

【図3】一般的なマザーボードのレイアウトを示す図。

【図4】一実施形態による、OTG機能性を有するUSBコントローラ・デバイスのコンポーネントを示すブロック図。

【図5】一実施形態による、図4の配置の一部であるホストコントローラのコンポーネントを示すブロック図。

【図6】一実施形態による、OTGコントローラを示す図。

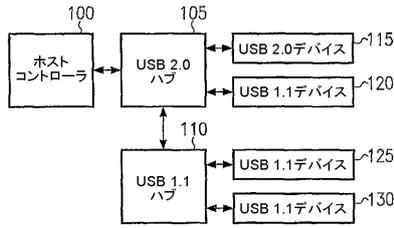
【図7】本実施形態によってどのようにソフトウェア管理状態トランジションを達成することができるかを示すフローチャート。

10

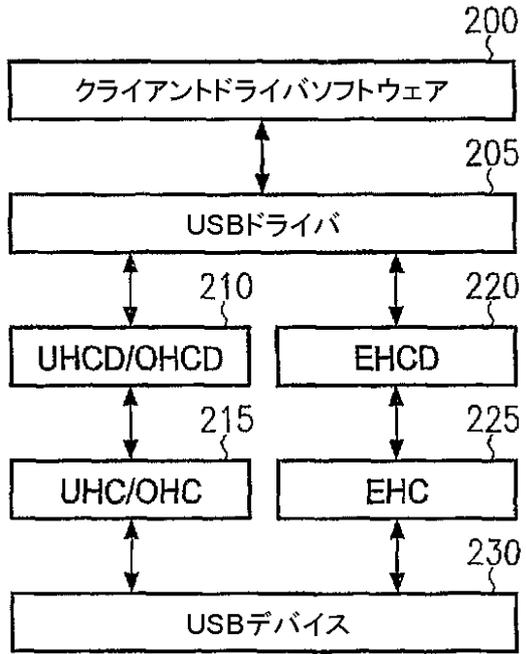
20

30

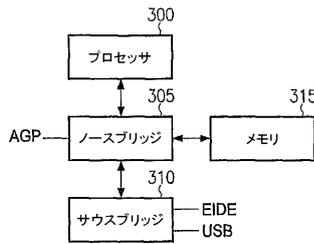
【図1】



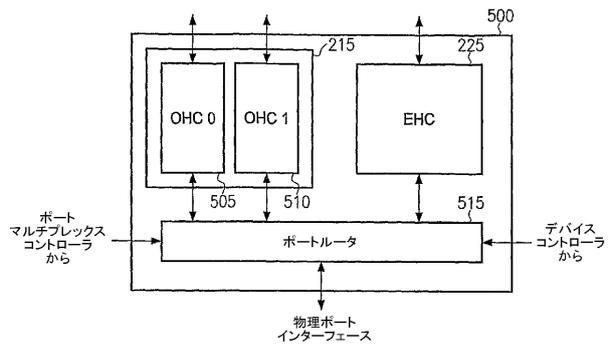
【図2】



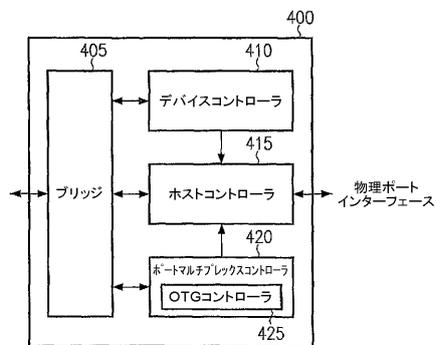
【図3】



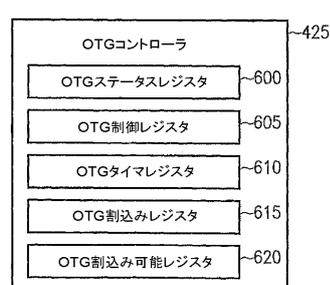
【図5】



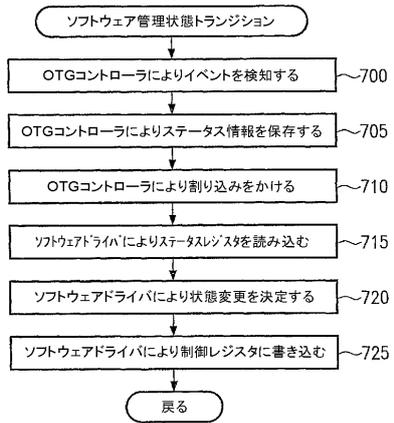
【図4】



【図6】



【図7】



フロントページの続き

(74)代理人 100162156

弁理士 村雨 圭介

(74)代理人 100111615

弁理士 佐野 良太

(72)発明者 カイ ヘッセ

ドイツ、01129 ドレスデン、クノネンシュトラッセ 45

(72)発明者 ズベン ミュラー

ドイツ、01129 ドレスデン、プラタネンシュトラッセ 10

審査官 木村 貴俊

(56)参考文献 特開2003-323396(JP,A)

国際公開第03/107199(WO,A1)

特開2003-323226(JP,A)

国際公開第03/029998(WO,A1)

佐藤 陽二/桑野 雅彦, USB機器のハードウェアとソフトウェアの構成, Interface
10/2004, 日本, CQ出版株式会社, 2004年 8月31日, 第30巻第10号(通巻328号), P.52-59

(58)調査した分野(Int.Cl., DB名)

G06F 13/10-13/42