

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5259333号
(P5259333)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl. F I
HO4B 3/06 (2006.01) HO4B 3/06 A
HO4L 25/03 (2006.01) HO4L 25/03 C

請求項の数 4 (全 14 頁)

(21) 出願番号	特願2008-267825 (P2008-267825)	(73) 特許権者	504411166 アラクサラネットワークス株式会社 神奈川県川崎市幸区鹿島田一丁目1番2号
(22) 出願日	平成20年10月16日(2008.10.16)	(74) 代理人	110000350 ポレール特許業務法人
(65) 公開番号	特開2010-98532 (P2010-98532A)	(72) 発明者	金井 久亮 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 生産技術研究所内
(43) 公開日	平成22年4月30日(2010.4.30)	(72) 発明者	中條 徳男 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 生産技術研究所内
審査請求日	平成22年12月20日(2010.12.20)	審査官	前田 典之

最終頁に続く

(54) 【発明の名称】 波形等化量調整方法、波形等化量調整回路、半導体装置および情報ネットワーク装置

(57) 【特許請求の範囲】

【請求項1】

伝送損失による波形歪みを補正する波形等化回路の波形等化量調整方法であって、
 受信データから再生されたクロックの第1のタイミングで第1のデータを取得するステップと、

前記第1のタイミングと1個のデータシンボル長遅れた第2のタイミングで第2のデータを取得するステップと、

前記第1のタイミングとN個のデータシンボル長早い第3のタイミングで第3のデータを取得するステップと、

前記第1のタイミングと半データシンボルより短い位相分を遅延した第4のタイミングで第4のデータを取得するステップと、

前記第1のタイミングと半データシンボルより長い位相分を遅延した第5のタイミングで第5のデータを取得するステップと、

取得した前記第1のデータないし前記第5のデータのデータセットのデータパターンを評価してUp信号とDown信号とを出力するステップと、

前記Up信号と前記Down信号との数をカウントするステップと、

前記データセットの数をカウントして所定のカウント数を満たしているかを評価するステップと、

カウントしたUp信号の数とDown信号の数との差分と所定の差分しきい値とを比較して波形等化量調整信号を出力するステップと、

10

20

を含み、

前記Up信号とDown信号とを出力するステップにおいて、前記第4のデータと、前記第5のデータとの間で符号が反転した場合、Up信号およびDown信号を出力しないことを特徴とする波形等化量調整方法。

【請求項2】

受信データに係る波形等化量を調整するためのデータを取得するデータ取得部と、取得した前記データのデータパターンを評価してUp信号とDown信号とを出力するデータパターン評価部と、前記Up信号と前記Down信号との数をカウントするUp/Down信号カウント部と、前記データ取得部で取得したデータの数をカウントして所定のカウン
10
数を満たしているかを評価する取得データ数判定部と、カウントしたUp信号の数とDown信号の数との差分と所定の差分しきい値とを比較して波形等化量調整信号を出力するUp/Down信号差分評価部と、を含んで構成され、

前記データ取得部は、

前記受信データから再生されたクロックの第1のタイミングで第1のデータを取得し

、

前記第1のタイミングと1個のデータシンボル長遅れた第2のタイミングで第2のデータを取得し、

前記第1のタイミングとN個のデータシンボル長早い第3のタイミングで第3のデータを取得し、

前記第1のタイミングと半データシンボルより短い位相分を遅延した第4のタイミン
20
グで第4のデータを取得し、

前記第1のタイミングと半データシンボルより長い位相分を遅延した第5のタイミン
グで第5のデータを取得し、

前記データパターン評価部は、前記第4のデータと前記第5のデータとの間で符号が反転した場合、Up信号およびDown信号を出力しないことを特徴とする波形等化量調整回路。

【請求項3】

通信用のインターフェースを備えた半導体装置において、

受信データに係る波形等化量を調整するためのデータを取得するデータ取得部と、取得した前記データのデータパターンを評価してUp信号とDown信号とを出力するデータ
30
パターン評価部と、前記Up信号と前記Down信号との数をカウントするUp/Down信号カウント部と、前記データ取得部で取得したデータの数をカウントして所定のカウン
数を満たしているかを評価する取得データ数判定部と、カウントしたUp信号の数とDown信号の数との差分と所定の差分しきい値とを比較して波形等化量調整信号を出力するUp/Down信号差分評価部と、を含んで構成され、

前記データ取得部は、

前記受信データから再生されたクロックの第1のタイミングで第1のデータを取得し

、

前記第1のタイミングと1個のデータシンボル長遅れた第2のタイミングで第2のデ
40
ータを取得し、

前記第1のタイミングとN個のデータシンボル長早い第3のタイミングで第3のデ
ータを取得し、

前記第1のタイミングと半データシンボルより短い位相分を遅延した第4のタイミン
グで第4のデータを取得し、

前記第1のタイミングと半データシンボルより長い位相分を遅延した第5のタイミン
グで第5のデータを取得し、

前記データパターン評価部は、前記第4のデータと前記第5のデータとの間で符号が反転した場合、Up信号およびDown信号を出力しない波形等化量調整回路を備えたことを特徴とする半導体装置。

10

20

30

40

50

【請求項4】

通信用のインターフェースを備えた半導体装置を実装する第1および第2の実装基板と、前記第1の実装基板と前記第2の実装基板とを接続されたバックプレーン基板を含む情報ネットワーク装置において、

前記半導体装置は、受信データに係る波形等化量を調整するためのデータを取得するデータ取得部と、取得した前記データのデータパターンを評価してUp信号とDown信号とを出力するデータパターン評価部と、前記Up信号と前記Down信号との数をカウントするUp/Down信号カウント部と、前記データ取得部で取得したデータの数をカウントして所定のカウント数を満たしているかを評価する取得データ数判定部と、カウントしたUp信号の数とDown信号の数との差分と所定の差分しきい値とを比較して波形等化量調整信号を出力するUp/Down信号差分評価部と、を含んで構成され、

10

前記データ取得部は、

前記受信データから再生されたクロックの第1のタイミングで第1のデータを取得し

、前記第1のタイミングと1個のデータシンボル長遅れた第2のタイミングで第2のデータを取得し、

前記第1のタイミングとN個のデータシンボル長早い第3のタイミングで第3のデータを取得し、

前記第1のタイミングと半データシンボルより短い位相分を遅延した第4のタイミングで第4のデータを取得し、

20

前記第1のタイミングと半データシンボルより長い位相分を遅延した第5のタイミングで第5のデータを取得し、

前記データパターン評価部は、前記第4のデータと前記第5のデータとの間で符号が反転した場合、Up信号およびDown信号を出力しない波形等化量調整回路を備えたことを特徴とする情報ネットワーク装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、波形等化量調整方法、波形等化量調整回路、半導体装置および情報ネットワーク装置係り、特に、ルータ、サーバ、PCなどの情報ネットワーク装置および情報端末機器に適用する波形等化量調整方法および波形等化量調整回路ならびに半導体装置および情報ネットワーク装置に関する。

30

【背景技術】

【0002】

近年、情報ネットワークのトラフィック量の増加により、サーバおよびルータに代表される情報ネットワーク装置において、LSI間でデータ通信を行うためのインターフェースの伝送速度が増加(10Gb/s~)している。このような伝送速度の増加に伴い、LSI間を電気的に接続する基板、コネクタ、LSIパッケージ、ケーブルなどにおける伝送損失が増加し、伝送波形の歪みが顕著になる。このことから、波形歪みを補償する波形等化回路がLSIに搭載されている。この波形等化回路において、基板配線長、LSIの製造ばらつきなどに応じて適正な波形等化量が異なることから、波形等化量を自動で最適化する技術が必要とされている。

40

【0003】

図1を参照して、波形等化量の調整機能を搭載するLSIおよびLSI間接続の一般的な構成を説明する。図1において、2台のLSI201は、伝送路206と伝送路207とで相互接続されている。LSI201は、高速信号を送信するためのドライバ202と、高速信号を受信するためのレシーバ203と、比較的低速な信号を送受信するためのI/O回路205と、I/O回路205およびレシーバ203で受信した信号を演算処理する論理回路204とで構成され、LSI間は伝送路206、207で接続されている。また、波形等化回路は、レシーバ203に搭載されており、論理回路204から出力される

50

調整信号により、波形等化量が調整される。

【0004】

波形等化量の調整フローは、以下の通りである。LSI201-1のドライバ202-1から出力されたデータは、伝送路206を介して、対向するLSI201-2のレシーバ203-2にて受信される。同様に、LSI201-2のドライバ202-2から出力されたデータは、伝送路206を介して、対向するLSI201-1のレシーバ203-1にて受信される。LSI201は、受信したデータを、論理回路204で演算処理して波形等化量の過不足状態を判別し、結果に応じた波形等化量の調整信号を、自LSI201のレシーバ203に送信する。波長等化量の調整信号は、自レシーバを介して、対向LSIのドライバ、また、I/O回路を介して、対向するLSIに送信される。上記フローにより、波形等化量が自動的に調整される。

10

【0005】

図2を参照して、波形等化量の過不足状態の判別および波形等化量の調整信号を出力する背景技術の波形等化量調整回路の機能ブロックを説明する。図2において、波形等化量調整回路800は、データ取得部801、トレーニングデータ生成部802、パターン同期部803、データパターン評価部804、Up/Down信号カウント部805、取得データカウント部806、Up/Down信号差分評価部807から構成される。

【0006】

データ取得部801は、受信データから、波形等化量を調整するために必要となるデータを取得する。トレーニングデータ生成部802は、送信LSIで生成されたデータと同一のトレーニングデータを生成する。パターン同期部803は、取得データとトレーニングデータとの同期を取る。データパターン評価部804は、取得データとトレーニングデータとのデータパターンを比較して波形等化量が過剰の(強い)場合にはDown信号を、不足(弱い)の場合にはUp信号を出力する。Up/Down信号カウント部805は、Up/Down信号の数をカウントする。取得データカウント部806は、データ取得部801で取得したデータの数をカウントして所定のカウント数を満たしているかを評価する。Up/Down信号差分評価部807は、カウントしたUp/Down信号の数の差分と所定の差分しきい値を比較して波形等化量調整信号を出力する。

20

【0007】

上述したデータパターン評価部804は、波形等化量の過不足を評価する方法として一般的にLMS(Least Mean Square: 最小二乗法)アルゴリズムが用いられる。

30

特許文献1には、波形等化器の等化係数(タップ係数)を、パターン発生器を用いたトレーニングで求める発明が記載されている。

【0008】

【特許文献1】特開2002-009674号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上述した波形等化量調整回路ではトレーニングデータを必要とする。このため、たとえば回路特性の経時変化などにより波形等化量の最適値が変化した場合には、一旦、装置をトレーニング動作に切り替えて波形等化量を再調整する必要がある。すなわち、装置の通常動作を停止させる必要がある。また、トレーニングデータ生成部およびパターン同期部などの、装置の通常動作時には不要な機能を付加する必要がある。このため、LSIの回路規模が大きくなるという問題がある。

40

本発明の目的は、上記課題を解決する波形等化量調整方法および波形等化量調整回路ならびに半導体装置および情報ネットワーク装置を提供することにある。

【課題を解決するための手段】

【0010】

上述した課題は、レシーバにて受信したデータにおいて、クロック再生部で再生されたクロックで取得したデータと、再生クロックとは異なる位相のクロックで取得したデータ

50

とのデータパターンを評価することで、波形等化量を調整する波形等化量調整方法および波形等化量調整回路により、達成できる。

【0011】

また、通信用のインターフェースを備え、受信データに係る波形等化量を調整するためのデータを取得するデータ取得部と、取得したデータのデータパターンを評価してUp信号とDown信号とを出力するデータパターン評価部と、Up信号とDown信号との数をカウントするUp/Down信号カウント部と、データ取得部で取得したデータの数をカウントして所定のカウント数を満たしているかを評価する取得データ数判定部と、カウントしたUp信号の数とDown信号の数の差分と所定の差分しきい値を比較して波形等化量調整信号を出力するUp/Down信号差分評価部とで構成される波形等化量調整回路を備える半導体装置により、達成できる。

10

【0012】

さらに、通信用のインターフェースを備えた半導体装置を実装する第1および第2の実装基板と、第1の実装基板と第2の実装基板とを接続されたバックプレーン基板を含み、半導体装置は、受信データに係る波形等化量を調整するためのデータを取得するデータ取得部と、取得したデータのデータパターンを評価してUp信号とDown信号とを出力するデータパターン評価部と、Up信号とDown信号との数をカウントするUp/Down信号カウント部と、データ取得部で取得したデータの数をカウントして所定のカウント数を満たしているかを評価する取得データ数判定部と、カウントしたUp信号の数とDown信号の数のと差分と所定の差分しきい値を比較して波形等化量調整信号を出力するUp/Down信号差分評価部とで構成される波形等化量調整回路を備える情報ネットワーク装置により、達成できる。

20

【発明の効果】

【0013】

受信したデータのみで波形等化量を最適化できるので、小さな回路規模で実現可能である。また、回路特性の経時変化などにより波形等化量の最適値が変動した場合でも、装置を通常動作させた状態で波形等化量を最適化できる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態について、実施例を用い、図面を参照しながら詳細に説明する。なお、実質同一部位には同じ参照番号を振り、説明は繰り返さない。

30

【実施例1】

【0015】

図3を参照して、実施例1の波形等化量調整回路の機能ブロックを説明する。図3において、波形等化量調整回路100は、データ取得部101、データパターン評価部102、Up/Down信号カウント部103、取得データカウント部104、Up/Down信号差分評価部105から構成される。

【0016】

データ取得部101は、波形等化量を調整するために必要となるデータを取得する。データパターン評価部102は、取得データを評価して波形等化量が過剰な(強い)場合にはDown信号を、不足(弱い)の場合にはUp信号を出力する。Up/Down信号カウント部103は、Up/Down信号の数をカウントする。取得データカウント部104は、データ取得部101で取得したデータの数をカウントして、所定のカウント数を満たしているかを評価する。Up/Down信号差分評価部105は、カウントしたUp/Down信号の数の差分と所定の差分しきい値を比較して、波形等化量調整信号を出力する。

40

【0017】

データ取得部101は、CDR(Clock Data Recovery: クロック再生部)の再生クロックで取得するデータDN、D0、D-1と、再生クロックとは半データシンボル分だけ位相の異なるクロックで取得するデータD-0.5とを取得する。ここで、データDNは

50

データD₀に対して時間的にNクロック前のデータを、D₋₁はデータD₀に対して1クロック後のデータを表している。ここで、Nは任意の整数である(ただし、1~4程度)。また、データD_{-0.5}については、データD₀に対して0.5クロック後のデータを表している。ここでは、D_{-0.5}として、CDRの再生クロックとは異なる位相のクロックとして半データシンボル分だけ位相の異なるクロックを想定しているが、CDRの再生クロックと異なるいずれかの位相で取得したデータであれば良い。

【0018】

【表1】

【表1】

#	D _N	D ₀	D _{-0.5}	D ₋₁	Up	Down
1	0	0	0	0	0	0
2	0	0	0	1	1	0
3	0	0	1	0	0	0
4	0	0	1	1	0	1
5	0	1	0	0	1	0
6	0	1	0	1	0	0
7	0	1	1	0	0	1
8	0	1	1	1	0	0
9	1	0	0	0	0	0
10	1	0	0	1	0	1
11	1	0	1	0	0	0
12	1	0	1	1	1	0
13	1	1	0	0	0	1
14	1	1	0	1	0	0
15	1	1	1	0	1	0
16	1	1	1	1	0	0

データパタン評価部102は、データ取得部101で得られたデータを基に、Up/Down信号を出力する。表1に、取得データパタンD_N、D₀、D_{-0.5}、D₋₁とUp/Down信号の関係を示す。ここで、一般的に論理回路ではデータを2値で表現することから、表内ではデータを0/1で表している。データパタン評価部102では、表1に従ってUp/Down信号を出力する。

【0019】

Up/Down信号カウント部103は、入力されたUp信号およびDown信号のそれぞれの数をカウントする。

【0020】

取得データカウント部104は、取得したデータ数をカウントして所定のカウント数を満たしているかを評価する。所定のカウント数を満たしていない場合、取得データカウ

10

20

30

40

50

ト部104は、データ取得部101とデータパタン評価部102とUp/Down信号カウンタ部103の処理を継続する。所定のカウンタ数を満たした場合、取得データカウンタ部104は、Up/Down信号差分評価部105に処理を移す。

【0021】

Up/Down信号差分評価部105は、Up/Down信号カウンタ部103でカウントしたUp信号とDown信号の差分と所定のしきい値とを比較して、比較結果に応じた波形等化量調整信号を出力する。すなわち、Up信号とDown信号の差分が所定のしきい値以上で且つDown信号に比べてUp信号が大きい場合、Up/Down信号差分評価部105は、波形等化量を増やす方向に波形等化量調整信号を出力する。Up信号とDown信号の差分が所定のしきい値以上で且つUp信号に比べてDown信号が大きい場合、Up/Down信号差分評価部105は、波形等化量を減らす方向に波形等化量調整信号を出力する。Up信号とDown信号の差分が所定のしきい値を超えていない場合、Up/Down信号差分評価部105は、波形等化量を維持するように波形等化量調整信号を出力する。以上の動作で、Up/Down信号差分評価部105は、波形等化量を最適値に調整することができる。

10

【0022】

上述したデータ取得部101で取得する所定のデータカウンタ数と、およびUp/Down信号の差分しきい値については、回路や装置のスペックに対して最適な値を設定することで、本実施例の効果を向上することができる。

【0023】

図4を参照して、波形等化回路の一例として、エンファシス回路を説明する。図4において、エンファシス回路700は、デジタルフィルタの一種であり、入力データをNビット分遅延させる遅延回路701と、入力データの信号レベルを調整する乗算器702-1と、遅延データの信号レベルを調整する乗算器702-2と、乗算器702-1、702-2から出力されたデータを加算する加算器703とで構成される。入力データDATA INは、遅延回路701と乗算器702-1に入力される。遅延回路701に入力されたデータは、Nビット分遅延されて乗算器702-2に入力される。ここで、Nは任意の整数である。乗算器702-1は、入力データD0を乗算係数h0をかけた信号レベルに変換する。乗算器702-2は、入力データDNを乗算係数hNをかけた信号レベルに変換する。信号レベルの変換された2つのデータは、加算器703で加算されて、出力データDATA OUTとして後段の回路へ出力される。

20

30

【0024】

本実施例の波形等化量調整方法では、乗算係数h0やhNを調整するように波形等化量の調整信号を出力することで、波形等化量を最適化することができる。本実施例の効果をすることができる。

【0025】

ここで、波形等化回路としてエンファシス回路を挙げたが、DFE (Decision Feedback Equalizer) 回路でも、容量およびインダクタを用いたアナログイコライザなどのアナログフィルタでも、波形等化量が調整可能であれば、波形等化量調整回路を適用することが可能である。

40

【0026】

図5を参照して、表1に示すデータパタンとUp/Down信号の関係について説明する。ここで、図5(a)は、波形等化量が最適な場合の受信データ波形である。図5(b)は、波形等化量が不足の場合の受信データ波形である。図5(c)は、波形等化量が超過の場合の受信データ波形である。図5(d)は、CDRによる再生クロック波形である。以下では、図5中に示す受信データ波形の信号レベルが、符号判定レベル303より大きい場合の符号を1(Hi)、小さい場合の符号を0(Lo)と表すこととする。

【0027】

波形等化量が最適な場合(a)、CDRの再生クロック(d)で取得したデータDN、D0、D-1が101パタン301および001パタン302のとき共に、再生クロック

50

から半データシンボル分ずれたクロックで取得されたデータD - 0.5の信号レベルは、判定レベル303付近にある。これは、データD - 0.5の0と1の符号の出現確率は、1 : 1になることを示している。

【0028】

波形等化量が不足している受信データ波形の場合(b)には、データDN、D0、D - 1が101パタン311のとき、データD - 0.5の信号レベルは、判定レベル303より大きいため、1の出現確率が0に比べて高い。一方、001パタン312のとき、データD - 0.5の信号レベルは、判定レベル303より小さいため、0の出現確率が1に比べて高い。

【0029】

波形等化量が超過している受信データ波形の場合(c)には、データDN、D0、D - 1が101パタン321のとき、データD - 0.5の信号レベルは、判定レベル303より小さいため、0の出現確率が1に比べて高い。一方、001パタン322のとき、データD - 0.5の信号レベルは、判定レベル303より大きいため、1の出現確率が0に比べて高い。

【0030】

ここで、データパタンの一例として101パタンおよび001パタンを示したが、符号を反転した場合、つまり、010パタンおよび110パタンの場合についても同様の傾向が得られる。

【0031】

上述したように、波形等化量が最適時と、不足時と、超過時とで、データDN、D0、D - 1のデータパタンに対して、データD - 0.5の0 / 1符号の出現率が変化することから、この出現率の変化を利用して波形等化量を調整する。ここで、表1に戻ると、表1では、全てのデータDN、D0、D - 0.5、D - 1のデータの出現パターンを記載している。しかし、データDN、D0、D - 1のパタンが、上述した「001」「010」「101」「110」以外のとき、D - 0.5のデータに係らず、Up、Downは、共に「0」である。一方、データDN、D0、D - 1のパタンが、上述した「001」「010」「101」「110」のとき、D - 0.5のデータに依存して、UpまたはDown欄に「1」を記載している。すなわち、上述した説明に基づいて、波形等化量の不足または超過を判定し、逆方向となるようにUpまたはDown欄に「1」を記載したのが、表1である。なお、波形等化量が適切なときは、UpとDownとの出現数が拮抗して、結果的に波形等化量を維持する。

【0032】

また、CDRの再生クロックで取得するデータおよび再生クロックから半データシンボル分ずれたクロックで取得するデータは、CDRのクロック再生動作に必要なデータであることから、CDRに搭載される回路の一部を、波形等化調整回路に利用できる。

【0033】

図6を参照して、波形等化量調整回路の具体的な構成を説明する。図6において、波形等化量調整回路500は、レシーバで受信したデータからデータDN、D0、D - 1およびデータD - 0.5を取得するデータ取得部101と、Up / Down信号を生成するデータパターン評価部102と、Up / Downカウント部103、取得データカウント部104、Up / Down信号差分評価部105の機能を持つ論理演算回路507とから構成される。

【0034】

データ取得部101は、4つのフリップフロップ回路501で構成される。フリップフロップ回路501のそれぞれのデータ出力端子は、後段のデータパターン評価部102の入力端子に接続される。なお、フリップフロップ回路501 - 4へのクロックは、反転されているので、D - 0.5を出力する。

【0035】

Up / Down信号を生成するデータパターン評価部102は、3つの排他的論理和回路

10

20

30

40

50

(XOR)、4つの論理積回路(AND)、2つの論理和回路(OR)で構成することができる。

【0036】

データ取得部101から出力されたデータD-1、D-0.5、D0、DNは、3つの排他的論理和回路503に入力される。排他的論理和回路503のそれぞれの出力端子は、後段の4つの論理積回路504のそれぞれの入力端子に接続される。さらに、論理積回路504のそれぞれの出力端子は論理和回路505のそれぞれの入力端子に接続される。論理和回路505のそれぞれの出力信号はUp/Down信号として、論理演算回路507へ出力される。

【0037】

上述したような回路構成により、波形等化量調整回路を実現することができる。ここで示した回路構成は、一例であり、たとえば、取得したデータをレジスタに保存しておき、保存データをもとにソフトウェアで波形等化量を調整する方法でも、同様の効果を得る。

【0038】

図7を参照して、論理演算回路の具体的な構成を説明する。図7において、論理演算回路507は、Up/Downカウンタ部103と、取得データカウンタ部104と、Up/Down信号差分評価部105とから構成される。さらに、Up/Downカウンタ部103は、2つのカウンタ901で構成される。取得データカウンタ部104は、カウンタ901-3と比較器905-1とで構成される。Up/Down信号差分評価部105は、減算器907と比較器905-2とで構成される。

【0039】

論理演算回路507は、入力されたUp信号、Down信号、およびクロック信号のそれぞれの数をカウンタ901でカウントする。ここで、クロック信号数は、取得データ数と等価であることを利用している。取得データカウンタ部104は、クロックカウンタ値と所定のしきい値Nを比較する。クロックカウンタ値がしきい値Nを超えた場合、比較器905-1は、減算器907の動作信号を出力する。減算器907は、動作信号を受信して、Upカウンタ値とDownカウンタ値を減算した差分信号を、後段の比較器905-2に出力する。比較器905-2は、差分信号と所定のしきい値Mとを比較する。比較器905-2は、絶対値がしきい値Mより大きく極性が正であれば、波形等化量を増やす方向に波形等化量調整信号を出力する。比較器905-2は、絶対値がしきい値Mより大きく極性が負であれば、波形等化量を減らす方向に波形等化量調整信号を出力する。比較器905-2は、絶対値がしきい値Mを超えていない場合には波形等化量を維持するように波形等化量調整信号を出力する。

【0040】

上記のように論理演算回路を構成することにより、Up信号、Down信号およびクロック信号を用いて、波形等化量の過不足を判別して、その結果に応じた調整信号を出力することができる。

【実施例2】

【0041】

実施例2について、図8を参照して説明する。ここで、図8(a)は、受信データ波形を説明する図である。また、図8(b)は、CDRによる再生クロック波形である。実施例2では、データ取得部101において、CDRによる再生クロックで取得したデータDN、D0、D-1と、再生クロックから半データシンボルより短い位相分を遅延したクロックで取得したデータD-aと、再生クロックから半データシンボルより長い位相分を遅延したクロックで取得したデータD-bとを取得する。

【0042】

10

20

30

40

【表 2】

【表 2】

#	D _N	D ₀	D _{-a}	D _{-b}	D ₋₁	Up	Down
1	0	0	1	X	1	0	1
2	0	0	X	0	1	1	0
3	1	0	1	X	1	0	1
4	1	0	X	0	1	1	0
5	X	X	0	1	X	0	0
6	1	1	0	X	1	0	1
7	1	1	X	1	0	1	0
8	0	1	0	X	0	0	1
9	0	1	X	1	0	1	0
10	X	X	1	0	X	0	0

10

20

データパタン評価部 102 では、取得したデータから表 2 に基づいて Up / Down 信号を出力する。表中に示す X の記号は、符号が 0 / 1 のいずれでもよいことを表す。ただし、X の記号は、符号が 0 / 1 の両方の値をとり得るとは限らない。また、表 2 では、表 1 に記載した D - 0.5 に依存しない部分を省いた。さらに、Up / Down 信号カウンタ部 103 以降の動作は、実施例 1 と同一の動作であるので割愛する。

【0043】

実施例 2 によれば、再生クロックから半データシンボルより短い位相分を遅延したクロックと、再生クロックから半データシンボルより長い位相分を遅延したクロックとの間のタイミングでデータの符号が反転した場合には Up / Down 信号を出力しない。すなわち、Up / Down 信号を出力しない不感タイミングを設けることができることから、波形等化量調整回路の動作を安定させることができる。

30

【0044】

また、3相クロックを用いる CDR 方式の場合には、データ D_N、D₀、D₋₁、D_{-a} および D_{-b} として、CDR のクロック再生動作に必要なデータと共通化することができることから、CDR に搭載される回路の一部を実施例 2 の波形等化調整回路に利用できる。

【実施例 3】

40

【0045】

他の実施の形態について、実施例 3 を図 9 を参照しながら、説明する。図 9 は、波形等化量調整回路を適用した LSI を搭載した情報ネットワーク装置の斜視図である。図 9 において、情報ネットワーク装置 600 は、データ伝送を行うインターフェースを持つ LSI 604 と、LSI 604 を搭載する複数のデータボード 602 と、複数のデータボード 602 間に信号を伝送するためのバックプレーン 601 と、データボード 602 とバックプレーンを電気的に接続するバックプレーンコネクタ 603 とで構成される。特に、LSI 604 は、実施例 1 または実施例 2 の波形等化量調整回路を適用している。

【0046】

上述のように装置を構成することにより、レシーバで受信したデータのみで波形等化量

50

を最適化できるので、回路特性の経時変化などにより波形等化量の最適値が変動した場合でも、装置を通常動作させた状態で波形等化量を最適化でき、安定した動作を保障することができる。

【0047】

上述した実施例3によれば、回路特性などが経時変化や環境変動した場合でも装置を通常動作させたまま波形等化量を最適化できる。情報ネットワーク装置は、安定した動作が要求されるルータ、サーバ、PCを含みこれらに限られない。また、情報端末機器にも適用可能である。

【図面の簡単な説明】

【0048】

【図1】LSI間の接続構成を説明する図である。

【図2】背景技術の波形等化調整回路の機能ブロック図である。

【図3】波形等化調整回路の機能ブロック図である。

【図4】エンファシス回路の機能ブロック図である。

【図5】受信データ波形を説明する図である。

【図6】波長等化調整回路の論理図である。

【図7】論理演算回路の論理図である。

【図8】他の受信データ波形を説明する図である。

【図9】情報ネットワーク装置の斜視図である。

【符号の説明】

【0049】

100...波形等化調整回路、101...データ取得部、102...データパターン評価部、103...Up/Down信号カウント部、104...取得データ数判定部、105...Up/Down信号差分評価部、201...LSI、202...ドライバ、203...レシーバ、204...論理回路、205...I/O回路、206...伝送路、207...伝送路、301...101パターン、302...001パターン、303...符号判定レベル、311...101パターン、312...001パターン、321...101パターン、322...001パターン、341...CDR再生クロック、401...101パターン、402...001パターン、403...符号判定レベル、404...CDR再生クロック、501...フリップフロップ回路、503...排他的論理和回路、504...論理積回路、505...論理和回路、507...論理演算回路、600...情報ネットワーク装置、601...バックプレーン、602...ドータボード、603...バックプレーンコネクタ、604...LSI、700...エンファシス回路、701...遅延回路、702...乗算器、703...加算器、800...波形等化調整回路、901...カウンタ、905...比較器、907...減算器。

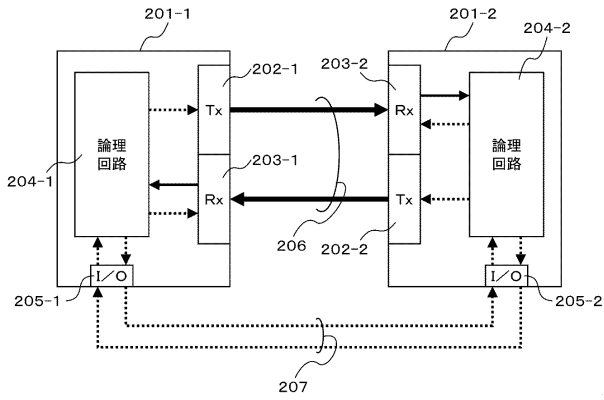
10

20

30

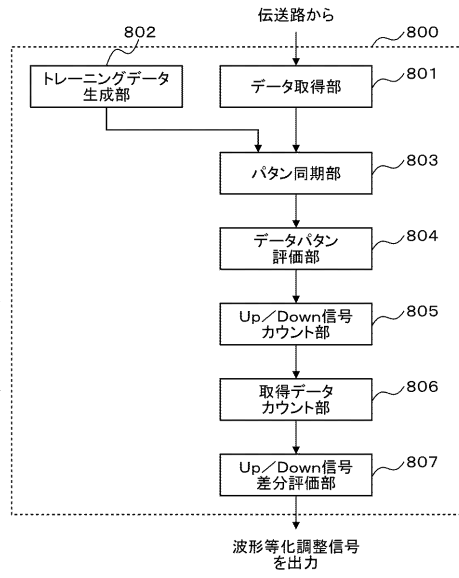
【図1】

図1



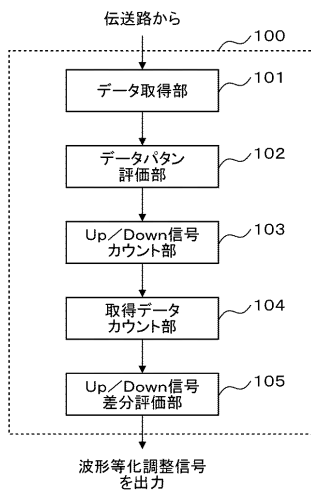
【図2】

図2



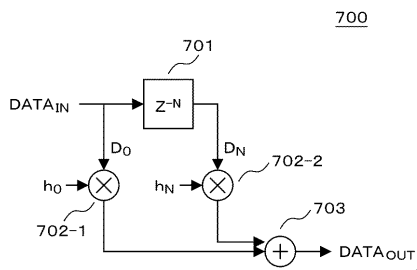
【図3】

図3



【図4】

図4



フロントページの続き

(56)参考文献 特開2008-022537(JP,A)

特開2005-303607(JP,A)

特開2009-296438(JP,A)

Kouichi Yamaguchi, et al., 12Gb/s duobinary signaling with $\times 2$ oversampled edge equalization, 2005 IEEE International Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC., 米国, IEEE, 2005年 2月10日, Vol.1, pages.70,585

(58)調査した分野(Int.Cl., DB名)

H04B 3/06

H04L 25/03