

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成22年7月22日(2010.7.22)

【公表番号】特表2010-520571(P2010-520571A)

【公表日】平成22年6月10日(2010.6.10)

【年通号数】公開・登録公報2010-023

【出願番号】特願2009-552034(P2009-552034)

【国際特許分類】

G 11 C 16/02 (2006.01)

G 11 C 16/04 (2006.01)

G 11 C 16/06 (2006.01)

【F I】

G 11 C 17/00 6 1 2 F

G 11 C 17/00 6 0 1 C

G 11 C 17/00 6 1 2 E

G 11 C 17/00 6 2 2 E

G 11 C 17/00 6 3 3 A

G 11 C 17/00 6 3 5

G 11 C 17/00 6 4 1

【手続補正書】

【提出日】平成22年5月24日(2010.5.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

列として配置されたNANDフラッシュメモリセルストリングの少なくとも1つのブロックを有するメモリアレイであって、前記NANDフラッシュメモリセルストリングのそれぞれは、  
フラッシュメモリセルを有し、前記少なくとも1つのブロックが、第1ワード線から最終ワード線への所定の方向にプログラム可能なページを有し、さらに、前記少なくとも1つのブロックが、開始アドレスによって動的に構成可能な第1ワード線の順次セットを有するメモリアレイと、

第1ワード線に接続されたフラッシュメモリセルを同時に消去する消去電圧まで基板にバイアスがかけられたときに、前記第1ワード線を第1電圧まで駆動する行回路であって、行デコーダが、第2ワード線に結合された前記フラッシュメモリセルの消去を抑制するために前記第2ワード線を第2電圧まで駆動し、前記第2ワード線が、最初の非選択ワード線から最後の非選択ワード線までを含み、前記第1ワード線が、前記最後の非選択ワード線に隣接する前記開始アドレスによってアドレスされた最初に選択されたワード線から、最後に選択されたワード線までを含む行回路と

を備えるフラッシュメモリ装置。

【請求項2】

第1ワード線の前記順次セットに接続された前記フラッシュメモリセルは、マルチピットセル(MBC)である請求項1に記載のフラッシュメモリ装置。

【請求項3】

第1ワード線の前記順次セットは、第1ワード線の第1順次セットであり、  
前記少なくとも1つのブロックは、第3ワード線の第2順次セットを含み、

第3ワード線の前記第2順次セットは、同時に消去可能なフラッシュメモリセルに接続され、

第1ワード線の前記第1順次セットと第3ワード線の前記第2順次セットとは、相互に隣接していない請求項1に記載のフラッシュメモリ装置。

**【請求項4】**

前記少なくとも1つのブロックの前記NANDフラッシュメモリセルストリングは、共通ソース線に結合され、

前記フラッシュメモリ装置は、消去検証動作中に前記共通ソース線の電圧を第3電圧と第4電圧の間に設定するソース線電圧制御回路をさらに含む請求項1に記載のフラッシュメモリ装置。

**【請求項5】**

前記第4電圧が前記第3電圧未満であり、

前記共通ソース線の前記電圧が、第1ワード線の数が増加するにつれて低下する請求項4に記載のフラッシュメモリ装置。

**【請求項6】**

前記最後に選択されたワード線は、前記最終ワード線を含む請求項1に記載のフラッシュメモリ装置。

**【請求項7】**

前記最後に選択されたワード線と選択デバイスとの間の第3ワード線に接続される前記フラッシュメモリセルは、データを格納する請求項1に記載のフラッシュメモリ装置。

**【請求項8】**

前記第3ワード線に接続される前記フラッシュメモリセルは、反復的に消去可能であるとともにプログラム可能である請求項7に記載のフラッシュメモリ装置。

**【請求項9】**

前記最後に選択されたワード線と選択デバイスとの間の第3ワード線に接続される前記フラッシュメモリセルは、消去される請求項1に記載のフラッシュメモリ装置。

**【請求項10】**

前記第3ワード線に接続された前記フラッシュメモリセルが消去されている間、前記第1ワード線に接続された前記フラッシュメモリセルは、反復的に消去可能であるとともにプログラム可能である請求項9に記載のフラッシュメモリ装置。

**【請求項11】**

列として配置されたNANDフラッシュメモリセルストリングの少なくとも1つのブロックを有するメモリアレイであって、前記少なくとも1つのブロックが、第1ページから最後のページへの所定の方向にプログラム可能なページを有するメモリアレイと、

消去電圧まで基板にバイアスがかけられたときに、開始アドレスによって動的に構成可能なページの順次セットを同時に消去する行回路と

を備えるフラッシュメモリ装置。

**【請求項12】**

ページの前記順次セットは、サブブロックを形成する請求項11に記載のフラッシュメモリ装置。

**【請求項13】**

前記サブブロックは、前記第1ページから第1中間ページまでの前記ページを含む請求項12に記載のフラッシュメモリ装置。

**【請求項14】**

前記サブブロックは、下位サブブロックであり、前記第1中間ページに隣接した第2中間ページから前記最後のページまでのページが、すくなくとも1つの上位サブブロックを形成する請求項13に記載のフラッシュメモリ装置。

**【請求項15】**

前記サブブロックは、第1中間ページから前記最後のページまでのページを含む請求項12に記載のフラッシュメモリ装置。

**【請求項 1 6】**

前記サブブロックは、上位サブブロックであり、前記第1中間ページから、前記第1中間ページに隣接した第2中間ページまでのページが、すくなくとも1つの下位サブブロックを形成する請求項15に記載のフラッシュメモリ装置。

**【請求項 1 7】**

前記上位サブブロックが消去されている間、前記すくなくとも1つの下位サブブロックは、消去が禁止される請求項16に記載のフラッシュメモリ装置。

**【請求項 1 8】**

前記サブブロックは、第1中間ページから第2中間ページまでのページを含む請求項12に記載のフラッシュメモリ装置。

**【請求項 1 9】**

前記最後に選択されたワード線は、終了アドレスによってアドレス可能である請求項1に記載のフラッシュメモリ装置。

**【請求項 2 0】**

前記終了アドレスは、前記最終ワード線として事前設定される請求項19に記載のフラッシュメモリ装置。

**【請求項 2 1】**

前記終了アドレスは、前記開始アドレスによってアドレス指定された前記最初に選択されたワード線と前記最終ワード線との間の前記最後に選択されたワード線をアドレス指定する請求項19に記載のフラッシュメモリ装置。

**【請求項 2 2】**

ページの前記順次セットの最初に選択されたページは、前記開始アドレスによってアドレス可能である請求項11に記載のフラッシュメモリ装置。

**【請求項 2 3】**

ページの前記順次セットの最後に選択されたページは、前記終了アドレスによってアドレス可能である請求項22に記載のフラッシュメモリ装置。

**【請求項 2 4】**

前記終了アドレスは、前記少なくとも1つのブロックの最後のページとして事前設定される請求項23に記載のフラッシュメモリ装置。