



(12)发明专利

(10)授权公告号 CN 105023548 B

(45)授权公告日 2019.01.18

(21)申请号 201510350230.5

(22)申请日 2010.09.10

(65)同一申请的已公布的文献号
申请公布号 CN 105023548 A

(43)申请公布日 2015.11.04

(30)优先权数据
2009-209099 2009.09.10 JP

(62)分案原申请数据
201010288990.5 2010.09.10

(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川县厚木市

(72)发明人 木村肇 梅崎敦司

(74)专利代理机构 中国专利代理(香港)有限公司 72001

代理人 张金金 陈岚

(51)Int.Cl.
G09G 3/36(2006.01)

(56)对比文件
CN 101083139 A, 2007.12.05,
CN 101135791 A, 2008.03.05,
EP 1445862 A3, 2006.11.08,
US 2006001637 A1, 2006.01.05,
KR 20080083480 A, 2008.09.18,
US 2005008114 A1, 2005.01.13,

审查员 韩慧龙

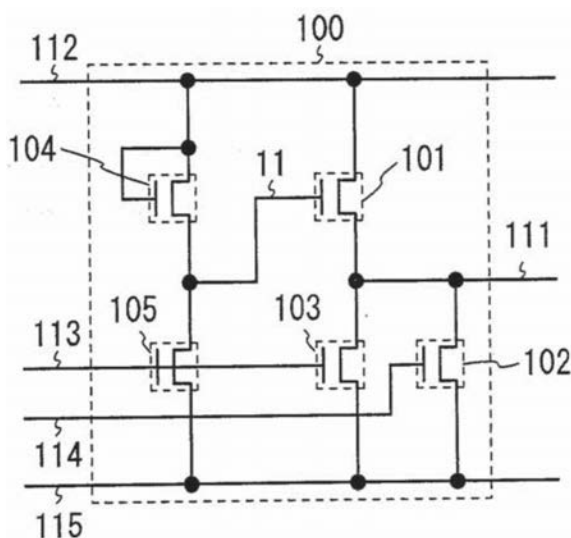
权利要求书5页 说明书45页 附图67页

(54)发明名称

半导体装置和显示装置

(57)摘要

本发明名称为半导体装置和显示装置。本发明的目的就是提供一种具有不容易退化的电路的半导体装置。本发明的一个方式是一种半导体装置,包括:第一晶体管;第二晶体管;第一开关;第二开关;以及第三开关,其中所述第一晶体管的第一端子连接于第一布线,其第二端子连接于第二布线,所述第二晶体管的栅极及第一端子连接于所述第一布线,其第二端子连接于所述第一晶体管的栅极,所述第一开关连接于所述第二布线和第三布线之间,所述第二开关连接于所述第二布线和所述第三布线之间,并且所述第三开关连接于第一晶体管的栅极和所述第三布线之间。



1. 一种半导体装置,包括:

第一晶体管到第十晶体管,所述晶体管中的每个具有相同极性;以及

第一布线和第二布线,

其中所述第一晶体管的源极和漏极其中之一直接连接到所述第二晶体管的源极和漏极其中之一,

其中所述第三晶体管的源极和漏极其中之一电连接到所述第四晶体管的源极和漏极其中之一,

其中所述第三晶体管的所述源极和所述漏极的所述其中之一电连接到所述第五晶体管的源极和漏极其中之一,

其中所述第三晶体管的所述源极和所述漏极的所述其中之一电连接到所述第一晶体管的栅极,

其中所述第六晶体管的源极和漏极其中之一电连接到所述第七晶体管的源极和漏极其中之一,

其中所述第八晶体管的源极和漏极其中之一电连接到所述第九晶体管的源极和漏极其中之一,

其中所述第八晶体管的所述源极和所述漏极的所述其中之一电连接到所述第十晶体管的源极和漏极其中之一,

其中所述第八晶体管的所述源极和所述漏极的所述其中之一电连接到所述第六晶体管的栅极,

其中所述第八晶体管的所述源极和所述漏极的所述其中之一电连接到所述第二晶体管的栅极,

其中所述第八晶体管的所述源极和所述漏极的所述其中之一电连接到所述第五晶体管的栅极,

其中所述第一晶体管的所述源极和所述漏极的所述其中之一电连接到所述第七晶体管的栅极,

其中所述第一晶体管的所述源极和所述漏极的所述其中之一电连接到所述第九晶体管的栅极,

其中所述第一晶体管的所述源极和所述漏极的另一个电连接到所述第一布线,

其中所述第三晶体管的所述源极和所述漏极的另一个电连接到所述第一布线,

其中所述第三晶体管的所述源极和所述漏极的另一个电连接到所述第三晶体管的所述栅极,

其中所述第二晶体管的所述源极和所述漏极的另一个电连接到所述第二布线,

其中所述第四晶体管的所述源极和所述漏极的另一个电连接到所述第二布线,

其中所述第五晶体管的所述源极和所述漏极的另一个电连接到所述第二布线,

其中所述第七晶体管的所述源极和所述漏极的另一个电连接到所述第二布线,

其中所述第九晶体管的所述源极和所述漏极的另一个电连接到所述第二布线,并且

其中所述第十晶体管的所述源极和所述漏极的另一个电连接到所述第二布线。

2. 一种半导体装置,包括:

第一晶体管到第十晶体管,所述晶体管中的每个具有相同极性;以及

第一布线和第二布线，

其中所述第一晶体管的源极和漏极其中之一直接连接到所述第二晶体管的源极和漏极其中之一，

其中所述第三晶体管的源极和漏极其中之一直接连接到所述第四晶体管的源极和漏极其中之一，

其中所述第三晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第五晶体管的源极和漏极其中之一，

其中所述第三晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第一晶体管的栅极，

其中所述第六晶体管的源极和漏极其中之一直接连接到所述第七晶体管的源极和漏极其中之一，

其中所述第八晶体管的源极和漏极其中之一直接连接到所述第九晶体管的源极和漏极其中之一，

其中所述第八晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第十晶体管的源极和漏极其中之一，

其中所述第八晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第六晶体管的栅极，

其中所述第八晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第二晶体管的栅极，

其中所述第八晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第五晶体管的栅极，

其中所述第一晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第七晶体管的栅极，

其中所述第一晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第九晶体管的栅极，

其中所述第一晶体管的所述源极和所述漏极的另一个直接连接到所述第一布线，

其中所述第三晶体管的所述源极和所述漏极的另一个直接连接到所述第一布线，

其中所述第三晶体管的所述源极和所述漏极的另一个直接连接到所述第三晶体管的所述栅极，

其中所述第二晶体管的所述源极和所述漏极的另一个直接连接到所述第二布线，

其中所述第四晶体管的所述源极和所述漏极的另一个直接连接到所述第二布线，

其中所述第五晶体管的所述源极和所述漏极的另一个直接连接到所述第二布线，

其中所述第七晶体管的所述源极和所述漏极的另一个直接连接到所述第二布线，

其中所述第九晶体管的所述源极和所述漏极的另一个直接连接到所述第二布线，并且

其中所述第十晶体管的所述源极和所述漏极的另一个直接连接到所述第二布线。

3. 一种显示装置，包括：

第一衬底；

所述第一衬底上形成的像素区；以及

所述第一衬底上形成的栅极驱动器，包括：

第一晶体管到第十晶体管,所述晶体管中的每个具有相同极性,以及
第一布线和第二布线,

其中所述第一晶体管的源极和漏极其中之一直接连接到所述第二晶体管的源极和漏极其中之一,

其中所述第三晶体管的源极和漏极其中之一电连接到所述第四晶体管的源极和漏极其中之一,

其中所述第三晶体管的所述源极和所述漏极的所述其中之一电连接到所述第五晶体管的源极和漏极其中之一,

其中所述第三晶体管的所述源极和所述漏极的所述其中之一电连接到所述第一晶体管的栅极,

其中所述第六晶体管的源极和漏极其中之一电连接到所述第七晶体管的源极和漏极其中之一,

其中所述第八晶体管的源极和漏极其中之一电连接到所述第九晶体管的源极和漏极其中之一,

其中所述第八晶体管的所述源极和所述漏极的所述其中之一电连接到所述第十晶体管的源极和漏极其中之一,

其中所述第八晶体管的所述源极和所述漏极的所述其中之一电连接到所述第六晶体管的栅极,

其中所述第八晶体管的所述源极和所述漏极的所述其中之一电连接到所述第二晶体管的栅极,

其中所述第八晶体管的所述源极和所述漏极的所述其中之一电连接到所述第五晶体管的栅极,

其中所述第一晶体管的所述源极和所述漏极的所述其中之一电连接到所述第七晶体管的栅极,

其中所述第一晶体管的所述源极和所述漏极的所述其中之一电连接到所述第九晶体管的栅极,

其中所述第一晶体管的所述源极和所述漏极的另一个电连接到所述第一布线,

其中所述第三晶体管的所述源极和所述漏极的另一个电连接到所述第一布线,

其中所述第三晶体管的所述源极和所述漏极的另一个电连接到所述第三晶体管的所述栅极,

其中所述第二晶体管的所述源极和所述漏极的另一个电连接到所述第二布线,

其中所述第四晶体管的所述源极和所述漏极的另一个电连接到所述第二布线,

其中所述第五晶体管的所述源极和所述漏极的另一个电连接到所述第二布线,

其中所述第七晶体管的所述源极和所述漏极的另一个电连接到所述第二布线,

其中所述第九晶体管的所述源极和所述漏极的另一个电连接到所述第二布线,并且

其中所述第十晶体管的所述源极和所述漏极的另一个电连接到所述第二布线。

4. 一种显示装置,包括:

第一衬底;

所述第一衬底上形成的像素区;以及

所述第一衬底上形成的栅极驱动器,包括:

第一晶体管到第十晶体管,所述晶体管中的每个具有相同极性,以及

第一布线和第二布线,

其中所述第一晶体管的源极和漏极其中之一直接连接到所述第二晶体管的源极和漏极其中之一,

其中所述第三晶体管的源极和漏极其中之一直接连接到所述第四晶体管的源极和漏极其中之一,

其中所述第三晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第五晶体管的源极和漏极其中之一,

其中所述第三晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第一晶体管的栅极,

其中所述第六晶体管的源极和漏极其中之一直接连接到所述第七晶体管的源极和漏极其中之一,

其中所述第八晶体管的源极和漏极其中之一直接连接到所述第九晶体管的源极和漏极其中之一,

其中所述第八晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第十晶体管的源极和漏极其中之一,

其中所述第八晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第六晶体管的栅极,

其中所述第八晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第二晶体管的栅极,

其中所述第八晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第五晶体管的栅极,

其中所述第一晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第七晶体管的栅极,

其中所述第一晶体管的所述源极和所述漏极的所述其中之一直接连接到所述第九晶体管的栅极,

其中所述第一晶体管的所述源极和所述漏极的另一个直接连接到所述第一布线,

其中所述第三晶体管的所述源极和所述漏极的另一个直接连接到所述第一布线,

其中所述第三晶体管的所述源极和所述漏极的另一个直接连接到所述第三晶体管的所述栅极,

其中所述第二晶体管的所述源极和所述漏极的另一个直接连接到所述第二布线,

其中所述第四晶体管的所述源极和所述漏极的另一个直接连接到所述第二布线,

其中所述第五晶体管的所述源极和所述漏极的另一个直接连接到所述第二布线,

其中所述第七晶体管的所述源极和所述漏极的另一个直接连接到所述第二布线,

其中所述第九晶体管的所述源极和所述漏极的另一个直接连接到所述第二布线,并且

其中所述第十晶体管的所述源极和所述漏极的另一个直接连接到所述第二布线。

5. 一种显示模块,包括柔性印刷电路和如权利要求1或权利要求2所述的半导体装置或者如权利要求3或权利要求4所述的显示装置。

6. 一种电子装置,包括如权利要求1或权利要求2所述的半导体装置或者如权利要求3或权利要求4所述的显示装置。

7. 一种电子装置,包括如权利要求5所述的显示模块。

半导体装置和显示装置

技术领域

[0001] 本发明涉及半导体装置及其驱动方法。

背景技术

[0002] 近年来,随着例如液晶电视等的大显示装置的增加,对显示装置的研究开发日益火热。特别是,由于使用由非单晶半导体构成的晶体管在与像素部相同的衬底上构成栅极驱动器等的驱动电路的技术极有利于制造成本的减少或可靠性的提高,因此对其的研究开发日益火热。

[0003] 但是,使用非单晶半导体的晶体管退化。结果,发生迁移率的降低或阈值电压的上升(减小)等。尤其是在栅极驱动器中,具有将负电压(也称为L电平的电位)供给给栅极信号线的功能的晶体管(也称为下拉晶体管)显著呈现上述退化。这是因为在未选择栅极信号线时下拉晶体管导通而将负电压供给给栅极信号线的缘故。就是说,这是因为如下缘故:由于未选择栅极信号线,所以在一帧期间下拉晶体管大多导通。

[0004] 在专利文献1中已公开能够抑制下拉晶体管的退化的栅极驱动器,以解决上述问题。在专利文献1中,在栅极驱动器的各级中设置有能够输出脉冲的电路(例如,专利文献1的图7所示的保持控制部350),以抑制下拉晶体管的退化。另外,使用该电路的输出信号控制下拉晶体管的导通状态。该电路与时钟信号等同步地输出脉冲。因此,因为可以使下拉晶体管导通的时间缩短,所以可以抑制下拉晶体管的退化。但是,上述能够输出脉冲的电路包括在一帧期间大多导通的晶体管Q32。由此,晶体管Q32退化。

[0005] 专利文献1日本专利申请公开第2005-50502号公报

发明内容

[0006] 作为本发明的一个方式,在具有第一及第二晶体管、第一至第三开关的半导体装置中,抑制第一及第二晶体管、第一至第三开关的退化。或者,在具有第一至第五晶体管的半导体装置中,抑制第一至第五晶体管的退化。或者,半导体装置除了上述以外还具有第六晶体管,而抑制第一至第六晶体管的退化。或者,半导体装置除了上述以外还具有第七晶体管,而抑制第一至第七晶体管的退化。

[0007] 本发明的一个方式是一种半导体装置,包括:第一晶体管;第二晶体管;第一开关;第二开关;以及第三开关,其中第一晶体管的第一端子连接于第一布线,其第二端子连接于第二布线,第二晶体管的栅极及第一端子连接于第一布线,其第二端子连接于第一晶体管的栅极,第一开关连接于第二布线和第三布线之间,第二开关连接于第二布线和第三布线之间,并且第三开关连接于第一晶体管的栅极和第三布线之间。

[0008] 在上述方式中,也可以具有第一期间和第二期间,在第一期间,第一开关、第二开关和第三开关截止,并且第一布线的电位成为H电平,而在第二期间,第一开关截止,第二开关和第三开关导通,并且第一布线的电位成为L电平。

[0009] 本发明的一个方式是一种半导体装置,包括:第一晶体管;第二晶体管;第三晶体

管;第四晶体管;以及第五晶体管,其中第一晶体管的第一端子连接于第一布线,其第二端子连接于第二布线,第二晶体管的栅极及第一端子连接于第一布线,其第二端子连接于第一晶体管的栅极,第三晶体管的栅极连接于第四布线,其第一端子连接于第三布线,其第二端子连接于第二布线,第四晶体管的栅极连接于第五布线,其第一端子连接于第三布线,其第二端子连接于第二布线,并且第五晶体管的栅极连接于第五布线,其第一端子连接于第三布线,其第二端子连接于第一晶体管的栅极。

[0010] 在上述方式中,也可以采用如下结构:第五晶体管的沟道宽度大于第二晶体管的沟道宽度,并且第二晶体管的沟道宽度大于第一晶体管的沟道宽度。

[0011] 在上述方式中,也可以具有第六晶体管,该第六晶体管的栅极连接于第二布线,其第一端子连接于第三布线,其第二端子连接于第六布线。

[0012] 在上述方式中,也可以具有期间A和期间B;在期间A,第一布线的电位成为H电平,第五布线的电位和第四布线的电位成为L电平,第一晶体管、第二晶体管和第六晶体管导通,第三晶体管、第四晶体管和第五晶体管截止,并且第六布线的电位成为L电平;在期间B,第一布线的电位成为L电平,第五布线的电位成为H电平,第四布线的电位成为L电平,第一晶体管、第二晶体管、第三晶体管和第六晶体管截止,第四晶体管和第五晶体管导通,并且第六布线的电位成为L电平。

[0013] 在上述方式中,也可以具有第七晶体管,该第七晶体管的栅极连接于第四布线,其第一端子连接于第一布线,其第二端子连接于第六布线。

[0014] 在上述方式中,也可以具有期间A、期间B、期间C、期间D和期间E;在期间A,第一布线的电位成为H电平,第五布线的电位和第四布线的电位成为L电平,第一晶体管、第二晶体管和第六晶体管导通,第三晶体管、第四晶体管、第五晶体管和第七晶体管截止,并且第六布线的电位成为L电平;在期间B,第一布线的电位成为L电平,第五布线的电位成为H电平,第四布线的电位成为L电平,第一晶体管、第二晶体管、第三晶体管和第六晶体管截止,第四晶体管和第五晶体管导通,并且第六布线的电位成为L电平;在期间C,第一布线的电位成为L电平,第五布线的电位和第四布线的电位成为H电平,第一晶体管、第二晶体管和第六晶体管截止,第三晶体管、第四晶体管、第五晶体管和第七晶体管导通,并且第六布线的电位成为L电平;在期间D,第一布线的电位成为H电平,第五布线的电位成为L电平,第四布线的电位成为H电平,第一晶体管、第二晶体管、第三晶体管和第七晶体管导通,第四晶体管、第五晶体管和第六晶体管截止,并且第六布线的电位成为L电平;在期间E,第一布线的电位成为L电平,第五布线的电位成为H电平,第四布线的电位成为L电平,第一晶体管、第二晶体管、第三晶体管、第六晶体管和第七晶体管截止,第四晶体管和第五晶体管导通,并且第六布线的电位成为L电平。

[0015] 在上述本发明的各方式中,作为开关,可以使用各种方式。作为开关,可以使用电开关或机械开关等。换言之,开关只要可以控制电流就不局限于特定的开关。作为电开关,有晶体管(例如,双极晶体管或MOS晶体管等)、二极管(例如,PN二极管、PIN二极管、肖特基二极管、MIM(Metal Insulator Metal:金属-绝缘体-金属)二极管、MIS(Metal Insulator Semiconductor:金属-绝缘体-半导体)二极管、被进行了二极管连接的晶体管等)或组合它们的逻辑电路等。作为机械开关,有像数字微镜装置(DMD)那样的利用MEMS(微电子机械系统)技术的开关。该开关具有以机械方式可动的电极,并且通过使该电极活动来控制导通和

非导通而进行工作。

[0016] 另外,在将晶体管用作开关的情况下,由于该晶体管仅作为开关工作,因此对晶体管的极性(导电型)没有特别限制。然而,在想要抑制截止电流时,优选使用具有更小截止电流的极性的晶体管。作为截止电流较小的晶体管,有具有LDD区的晶体管或具有多栅极结构的晶体管等。

[0017] 另外,在上述本发明的各方式中,当用作开关的晶体管的源极的电位以与低电位侧电源(V_{ss} 、GND、0V等)的电位接近的值工作时,优选采用N沟道晶体管,相反,当该晶体管的源极的电位以与高电位侧电源(V_{dd} 等)的电位接近的值工作时,优选采用P沟道晶体管作为开关。这是因为如下缘故:若是N沟道晶体管,则当源极以与低电位侧电源的电位接近的值工作时可以增大栅极-源极间电压的绝对值,并且若是P沟道晶体管,则当源极以与高电位侧电源的电位接近的值工作时可以增大栅极-源极间电压的绝对值,因此使其作为开关更精确地工作。或者,这是因为晶体管进行源极跟随工作的情况较少,所以导致输出电压变小的情况较少。

[0018] 另外,在上述本发明的各方式中,也可以使用N沟道晶体管和P沟道晶体管双方的CMOS型开关作为开关。当采用CMOS型开关时,因为若P沟道晶体管和N沟道晶体管中的一方的晶体管导通则电流流动,因此作为开关更容易起作用。因此,即使输向开关的输入信号的电压高或者低,也可以适当地输出电压。或者,由于可以减少用来使开关导通或截止的信号电压的电压振幅值,所以可以减少耗电量。

[0019] 另外,在将晶体管用作开关的情况下,开关有时具有输入端子(源极和漏极中的一方)、输出端子(源极和漏极中的另一方)以及控制导通的端子(栅极)。另一方面,当使用二极管作为开关时,该开关在某些情况下并没有用于控制导通的端子。因此,当使用二极管作为开关时,相比于使用晶体管作为开关的情况而言,可以减少用于控制端子的布线的数目。

[0020] 在本说明书所公开的发明中,作为晶体管,可以使用各种结构的晶体管。就是说,对晶体管的结构并没有限制。

[0021] 在本说明书中,半导体装置是指具有包括半导体元件(晶体管、二极管、晶闸管等)的电路的装置。但是,也可以将通过利用半导体特性来能够发挥其功能的所有装置或具有半导体材料的装置称为半导体装置。在本说明书中,显示装置是指具有显示元件的装置。

[0022] 在本说明书中,驱动装置指的是具有半导体元件、电路、电子电路的装置。例如,控制将信号从源极信号线输入到像素内的晶体管(有时称为选择用晶体管、开关用晶体管等)、将电压或电流提供到像素电极的晶体管、将电压或电流提供到发光元件的晶体管等是驱动装置的一个例子。再者,将信号提供到栅极信号线的电路(有时称为栅极驱动器、栅极线驱动电路等)、将信号提供到源极信号线的电路(有时称为源极驱动器、源极线驱动电路等)等是驱动装置的一个例子。

[0023] 另外,显示装置、半导体装置、照明装置、冷却装置、发光装置、反射装置以及驱动装置等可以互相组合。本发明的方式也包括上述装置在内。例如,显示装置在某些情况下包括半导体装置和发光装置。或者,半导体装置在某些情况下包括显示装置和驱动装置。

[0024] 另外,在本发明的各方式中,可以将为实现预定的功能而需要的所有电路形成在同一衬底(例如,玻璃衬底、塑料衬底、单晶衬底或SOI衬底等)上。像这样,可以减少部件个数来降低成本或减少与电路部件之间的连接个数来提高可靠性。

[0025] 另外,也可以不将为实现预定的功能而需要的所有电路形成在同一衬底上。也就是说,可以将为实现预定的功能而需要的电路的一部分形成在某个衬底上,而将为实现预定的功能而需要的电路的另一部分形成在其他衬底上。例如,可以将为实现预定的功能而需要的电路的一部分形成在玻璃衬底上,而将为实现预定的功能而需要的电路的另一部分形成在单晶衬底(或SOI衬底)上。然后,可以将形成有为实现预定的功能而需要的电路的另一部分的单晶衬底(也称为IC芯片)通过COG(Chip On Glass:玻璃覆晶封装)连接到玻璃衬底,而将该IC芯片配置在玻璃衬底上。或者,可以使用TAB(Tape Automated Bongding:带式自动接合)、COF(Chip On Film:薄膜上芯片安装)、SMT(Surface Mount Technology:表面组装技术)或印刷线路板等将IC芯片连接到玻璃衬底。

[0026] 在本说明书中,当明确地描述X和Y连接时,包括X和Y电连接的情况、X和Y在功能上连接的情况以及X和Y直接连接的情况。这里,X和Y为对象(例如,装置、元件、电路、布线、电极、端子、导电膜或层等)。因此,还包括附图或文章所示的连接关系以外的连接关系,而不局限于规定的连接关系例如附图或文章所示的连接关系。

[0027] 作为X和Y电连接的情况的一个例子,可以在X和Y之间连接一个以上的能够电连接X和Y的元件(例如开关、晶体管、电容元件、电感器、电阻元件、二极管等)。

[0028] 作为X和Y在功能上连接的情况的一个例子,可以在X和Y之间连接一个以上的能够在功能上连接X和Y的电路(例如,逻辑电路(反相器、NAND电路、NOR电路等)、信号转换电路(DA转换电路、AD转换电路、 γ (伽马)校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平转移器电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差动放大电路、源极跟随电路、缓冲器电路等)、信号产生电路、存储电路、控制电路等)。另外,例如,即使在X和Y之间夹有其他电路,在从X输出的信号传送到Y的情况下也可以说X和Y在功能上连接。

[0029] 在本说明书中,明确地记载为单数的优选为单数。但是,即使在此情况下,也可以是复数。与此同样,明确地记载为复数的优选为复数。但是,即使在此情况下,也可以是单数。

[0030] 在本申请的附图中,有时为了容易理解而夸大尺寸、层的厚度或区域。因此,不一定限定于其尺度。再者,附图是以示意的方式示出了理想的例子,而不局限于附图所示的形状或数值等。例如,可以包括制造技术所引起的形状不均匀、误差所引起的形状不均匀、杂波所引起的信号、电压或电流的不均匀或定时偏差所引起的信号、电压或电流的不均匀等。

[0031] 此外,专业名词在很多情况下被用来描述特定的实施方式或者实施例等。但是,本发明的一个方式不应该被解释为受到专业名词的限定的方式。

[0032] 另外,没有定义的词语(包括专业名词或学术名词等科技名词)可以表示与所属技术领域的技术人员所理解的一般意思相同的意思。由词典等定义的词语优选解释为不与有关技术的背景产生矛盾的意思。

[0033] 另外,第一、第二、第三等这些词用来有区别地描述各种因素、构件、区域、层、领域等。因此,第一、第二、第三等这些词不限定因素、构件、区域、层、领域等顺序及个数。再者,例如,可以使用“第二”或“第三”等代替“第一”。

[0034] 另外,“上”、“上方”、“下”、“下方”、“横”、“右”、“左”、“斜”、“里边”、“前边”、“内”、“外”或“中”等表示空间配置的词语多用于根据附图简单地示出一个因素或特征与另一因

素或特征的关系的情况。但是,不局限于上述用法,这些表示空间配置的词语有时除了附图所描述的方向以外还可以包括其他方向。例如,明确地记载“在X之上有Y”的情况不局限于Y存在于X之上的情况。附图中的结构可以反转或者转动180°,所以还可以包括Y存在于X之下的情况。如此,“上”这词语除了“上”这方向以外还可以包括“下”这方向。但是,不局限于此,附图中的器件转动为各种方向,所以“上”这词语除了“上”及“下”这些方向以外还可以包括“横”、“右”、“左”、“斜”、“里边”、“前边”、“内”、“外”或“中”等其他方向。就是说,可以根据状况而适当地进行解释。

[0035] 另外,明显地描述“Y形成在X之上”或“Y形成在X上”的情况不局限于Y直接接触地形成在X之上的情况。还包括不直接接触的情况,即,在X和Y之间夹有其他对象物的情况。这里,X和Y是对象物(例如装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0036] 因此,例如,在明确地记载“层Y形成在层X的上面(或层X上)”的情况包括如下两种情况:层Y直接接触地形成在层X上面的情况;以及在层X的上面直接接触地形成其他层(例如层Z等),层Y直接接触地形成在所述其他层上的情况。注意,其他层(例如层Z等)可以是单层或多个层。

[0037] 再者,当明确地描述Y形成在X之上时,它并不必须表示X与Y直接接触地形成,而包括在X和Y之间夹有另一对象的情况。因此,例如,“层Y形成在层X的上方”包括如下两种情况:层Y直接接触地形成在层X之上;以及其他层(例如层Z等)直接接触地形成在层X之上,并在其上直接接触地形成层Y。注意,其他层(例如层Z等)可以是单层或多个层。

[0038] 另外,明确地记载“在X的上面形成Y”、“在X上形成Y”、或“在X的上方形成Y”的情况还包括在X的斜上面形成Y的情况。

[0039] Y形成在X之下、或者Y形成在X之下方的描述也是同样的。

[0040] 本发明的一个方式是一种半导体装置,包括:第一晶体管;第二晶体管;第一开关;第二开关;以及第三开关,其中第一晶体管的第一端子连接于第一布线,其第二端子连接于第二布线,第二晶体管的栅极及第一端子连接于第一布线,其第二端子连接于第一晶体管的栅极,第一开关连接于第二布线和第三布线之间,第二开关连接于第二布线和第三布线之间,并且第三开关连接于第一晶体管的栅极和第三布线之间。

[0041] 在本发明的一个方式中,也可以具有第一期间和第二期间;在第一期间,第一开关、第二开关和第三开关截止,并且第一布线的电位成为H电平;在第二期间,第一开关截止,第二开关和第三开关导通,并且第一布线的电位成为L电平。

[0042] 在本发明的一个方式中,因为在包括第一及第二晶体管和第一至第三开关的半导体装置中可以使第一及第二晶体管和第一至第三开关导通的时间缩短或者可以减少导通的次数,所以可以抑制退化。或者,因为在包括第一至第五晶体管的半导体装置中可以使第一至第五晶体管导通的时间缩短或者可以减少导通的次数,所以可以抑制退化。或者,因为在除了第一至第五晶体管以外还具有第六晶体管的半导体装置中可以使第一至第六晶体管导通的时间缩短或者可以减少导通的次数,所以可以抑制退化。或者,因为在除了第一至第六晶体管以外还具有第七晶体管的半导体装置中可以使第一至第七晶体管导通的时间缩短或者可以减少导通的次数,所以可以抑制退化。

附图说明

- [0043] 图1A至1D是实施方式1中的半导体装置的电路图、其逻辑电路、其逻辑式以及其真值表；
- [0044] 图2A至2C是用来说明实施方式1中的半导体装置的工作的示意图；
- [0045] 图3A至3C是用来说明实施方式1中的半导体装置的工作的示意图；
- [0046] 图4A至4C是用来说明实施方式1中的半导体装置的工作的示意图；
- [0047] 图5A至5I是实施方式1中的半导体装置的电路图；
- [0048] 图6A至6F是实施方式1中的半导体装置的电路图；
- [0049] 图7A至7E是实施方式1中的半导体装置的电路图；
- [0050] 图8A至8F是实施方式1中的半导体装置的电路图；
- [0051] 图9A至9H是实施方式1中的半导体装置的电路图；
- [0052] 图10A至10C是实施方式2中的半导体装置的电路图；
- [0053] 图11A至11F是实施方式1中的半导体装置的电路图；
- [0054] 图12A至12D是实施方式1中的半导体装置的电路图；
- [0055] 图13A至13D是实施方式2中的半导体装置的电路图、其逻辑电路、其逻辑式以及其真值表；
- [0056] 图14A至14C是实施方式2中的半导体装置的电路图和用来说明其工作的示意图；
- [0057] 图15A至15C是用来说明实施方式2中的半导体装置的工作的时序图；
- [0058] 图16A至16C是实施方式2中的半导体装置的电路图和用来说明其工作的示意图；
- [0059] 图17A和17B是实施方式2中的半导体装置的电路图和用来说明其工作的时序图；
- [0060] 图18A和18B是用来说明实施方式2中的半导体装置的工作的示意图；
- [0061] 图19A至19C是用来说明实施方式2中的半导体装置的工作的示意图；
- [0062] 图20A至20C是实施方式2中的半导体装置的电路图和用来说明其工作的示意图；
- [0063] 图21A和21B是实施方式2中的半导体装置的电路图和用来说明其工作的时序图；
- [0064] 图22A和22B是用来说明实施方式2中的半导体装置的工作的示意图；
- [0065] 图23A和23B是实施方式2中的半导体装置的电路图和用来说明其工作的示意图；
- [0066] 图24A和24B是用来说明实施方式2中的半导体装置的工作的示意图；
- [0067] 图25A和25B是实施方式2中的半导体装置的电路图和用来说明其工作的时序图；
- [0068] 图26A和26B是用来说明实施方式2中的半导体装置的工作的示意图；
- [0069] 图27A至27C是实施方式2中的半导体装置的电路图；
- [0070] 图28A至28C是实施方式2中的半导体装置的电路图；
- [0071] 图29A至29C是实施方式2中的半导体装置的电路图；
- [0072] 图30A至30C是实施方式2中的半导体装置的电路图；
- [0073] 图31A至31C是实施方式2中的半导体装置的电路图和用来说明其工作的时序图；
- [0074] 图32A和32B是实施方式2中的半导体装置的电路图和用来说明其工作的时序图；
- [0075] 图33A至33E是实施方式3中的显示装置的方框图和像素的电路图；
- [0076] 图34是实施方式3中的移位寄存器的电路图；
- [0077] 图35是用来说明实施方式3中的移位寄存器的工作的时序图；
- [0078] 图36A至36D是实施方式4中的信号线驱动电路的电路图、用来说明其工作的时序图以及显示装置的方框图；

- [0079] 图37A至37G是实施方式5中的保护电路的电路图；
[0080] 图38A和38B是实施方式5中的保护电路的电路图；
[0081] 图39A至39C是实施方式6中的半导体装置的截面图；
[0082] 图40A至40C是实施方式7中的显示装置的俯视图和截面图；
[0083] 图41A至41E是用来说明实施方式8中的晶体管的制造工序的图；
[0084] 图42是实施方式9中的半导体装置的布局图；
[0085] 图43A至图43H是用来说明实施方式10中的电子设备的图；
[0086] 图44A至图44H是用来说明实施方式10中的电子设备的图；
[0087] 图45A和45B是实施方式1中的半导体装置的电路图；
[0088] 图46A和46B是实施方式1中的半导体装置的电路图；
[0089] 图47A和47B是实施方式2中的半导体装置的电路图。

具体实施方式

[0090] 以下,参照附图说明实施方式。本实施方式可以以多种不同方式来实施,所属技术领域的技术人员可以很容易地理解一个事实就是,其方式及详细内容可以在不脱离本发明的宗旨及其范围的情况下被变换为各种各样的形式。因此,并不只限于实施方式的记载内容。在以下所说明的结构中,使用相同的附图标记来表示不同附图中的相同的部分或具有相同功能的部分而省略相同的部分或具有相同的功能的部分的详细说明。

[0091] 实施方式1

[0092] 将参照图45A说明本实施方式的结构。图45A示出本实施方式的半导体装置的电路图。

[0093] 电路100具有晶体管101(第一晶体管)、开关102S(第一开关)、开关103S(第二开关)、晶体管104(第二晶体管)以及开关105S(第三开关)。

[0094] 另外,晶体管101和晶体管104是N沟道晶体管。n沟道晶体管在其栅极与源极之间的电位差(V_{gs})超过阈值电压(V_{th})时导通。但是,本发明不局限于此。晶体管101和晶体管104可以是p沟道晶体管。p沟道晶体管在其栅极与源极之间的电位差(V_{gs})变成小于阈值电压(V_{th})时导通。

[0095] 晶体管101的第一端子连接到布线112(第一布线),而晶体管101的第二端子连接到布线111(第二布线)。开关102S连接于布线111和布线115(第三布线)之间。开关103S连接于布线111和布线115之间。晶体管104的第一端子连接于布线112,晶体管104的第二端子连接于晶体管101的栅极,并且晶体管104的栅极连接于布线112。开关105S连接于布线115和晶体管101的栅极之间。

[0096] 另外,开关102S、开关103S以及开关105S可以具有控制端子。图45B示出开关102S的控制端子连接于布线114(第四布线),开关103S的控制端子连接于布线113(第五布线),并且开关105S的控制端子连接于布线113时的结构。

[0097] 另外,作为开关102S、开关103S以及开关105S,可以使用晶体管。在图1A中,使用晶体管作为开关。图1A示出作为开关102S、开关103S以及开关105S,分别使用晶体管102(第三晶体管)、晶体管103(第四晶体管)以及晶体管105(第五晶体管)时的例子。晶体管102的第一端子连接于布线115,晶体管102的第二端子连接于布线111,并且晶体管102的栅极连接

于布线114。晶体管103的第一端子连接于布线115,晶体管103的第二端子连接于布线111,并且晶体管103的栅极连接于布线113。晶体管105的第一端子连接于布线115,晶体管105的第二端子连接于晶体管101的栅极,并且晶体管105的栅极连接于布线113。

[0098] 另外,晶体管102、晶体管103以及晶体管105是与晶体管101相同的N沟道晶体管。但是,晶体管102、晶体管103以及晶体管105也可以是P沟道晶体管。

[0099] 另外,以节点11表示晶体管101的栅极和晶体管104的第二端子的连接部分或者晶体管101的栅极和晶体管105的第二端子的连接部分。

[0100] 接着,说明输入或输出到布线111至布线115的信号或电压的一个例子及这些布线的功能。

[0101] 从布线111输出信号OUT。

[0102] 信号IN1输入到布线112。信号IN2输入到布线113。信号IN3输入到布线114。

[0103] 将电压V1提供给布线115。电压V1为电源电压、参考电压、接地电压、接地或负电源电压。但是,本发明不局限于此,也可以将信号(例如,时钟信号或反相时钟信号等)输入到布线115。

[0104] L电平的信号、L信号、L电平的电位或电压V1等的电位大致为V1。H电平的信号、H信号、H电平的电位或电压V2等的电位大致为V2 ($V_2 > V_1$)。注意,词语“大致”包括各种误差,例如因杂波引起的误差、因工序的不均匀性引起的误差、因制造元件的步骤的不均匀性引起的误差和/或测量误差(以下同)。

[0105] 例如,在晶体管的栅极连接于一个节点,并且该节点的电位成为L电平时,该晶体管截止(或导通)。在此情况下,该节点的电位成为L电平是指该节点的电位成为能够使该晶体管截止(或导通)的数值。或者,该节点的电位成为L电平是指该节点的电位成为如下数值,即可以将该晶体管的栅极与源极之间的电压(V_{gs})减小(或增大)到包括该晶体管的电路可以实现预定的工作的程度的数值。

[0106] 另外,在作为信号IN1至IN3使用时钟信号时,该时钟信号既可为平衡,又可为非平衡(不平衡)。平衡是指在一个周期中成为H电平的期间和成为L电平的期间大致相同。非平衡是指成为H电平的期间和成为L电平的期间不同。

[0107] 例如,作为信号IN1使用时钟信号,作为信号IN2使用其相位从信号IN1大致错开 180° 的信号,且信号IN1和信号IN2为非平衡。在此情况下,信号IN2有可能不是信号IN1的反相信号。

[0108] 这里,如图5A所示,将信号或电压从电路150供给给布线112至115。电路150生成信号或电压等,而将信号或电压供给给布线112至115。

[0109] 电路150可以具有电路151至电路154。电路151具有生成信号或电压而将信号或电压供给给布线112的功能。电路152具有生成信号或电压而将信号或电压供给给布线113的功能。电路153具有生成信号或电压而将信号或电压供给给布线114的功能。电路154具有生成信号或电压而将信号或电压供给给布线115的功能。

[0110] 电路150至154分别包括图5B所示的放大电路、图5C所示的双极晶体管、图5D所示的MOS晶体管、图5E所示的电容元件、图5F所示的反相器、图5G所示的直流电压源、图5H所示的交流电压源和/或图5I所示的直流电流源等。

[0111] 如图5A所示,将保护电路160连接于布线112至114。

[0112] 以下,说明电路100和晶体管101至105的功能。

[0113] 电路100具有控制布线111的电位的功能。或者,电路100具有控制将布线112的电位、布线113的电位、布线114的电位或布线115的电位供给给布线111的时序的功能。或者,电路100具有控制将信号或电压供给给布线111的时序的功能。或者,电路100具有控制将H信号或电压V2供给给布线111的时序的功能。或者,电路100具有控制将L信号或电压V1供给给布线111的时序的功能。或者,电路100具有控制使布线111的电位上升的时序的功能。或者,电路100具有控制使布线111的电位降低的时序的功能。或者,电路100具有控制维持布线111的电位的时序的功能。如上所述,电路100具有控制电路的功能。另外,电路100不一定需要具有以上所列出的全部功能。另外,根据信号IN1至IN3而控制电路100。

[0114] 另外,如图1B所示,电路100具有包含AND的逻辑电路的功能。具体地说,电路100具有组合了三个输入的AND和两个NOT的逻辑电路的功能。另外,将信号IN1输入到AND的第一输入端子,将信号IN2由第一NOT反相的信号输入到AND的第二输入端子,将信号IN3由第二NOT反相的信号输入到AND的第三输入端子,并且从AND的输出输出信号OUT。就是说,电路100具有实现图1C所示的逻辑式的功能,或者,具有实现图1D所示的真值表的功能。

[0115] 晶体管101具有控制布线112和布线111的导通状态的功能。或者,晶体管101具有控制将布线112的电位供给给布线111的时序的功能。或者,在将信号或电压输入到布线112时,晶体管101具有控制将输入到布线112的信号或电压供给给布线111的时序的功能。或者,晶体管101具有控制将H信号或电压V2供给给布线111的时序的功能。或者,晶体管101具有控制将L信号或电压V1供给给布线111的时序的功能。或者,晶体管101具有控制使布线111的电位上升的时序的功能。或者,晶体管101具有控制使布线111的电位降低的时序的功能。或者,晶体管101具有执行自举(bootstrap)工作的功能。或者,晶体管101具有通过执行自举工作而使节点11的电位上升的功能。如上所述,晶体管101具有开关或缓冲器的功能。另外,晶体管101不一定需要具有以上所列出的全部功能。

[0116] 晶体管102具有控制布线115和布线111的导通状态的功能。或者,晶体管102具有控制将布线115的电位供给给布线111的时序的功能。或者,在将信号或电压输入到布线115时,晶体管102具有控制将输入到布线115的信号或电压供给给布线111的时序的功能。或者,晶体管102具有控制将L信号或电压V1供给给布线111的时序的功能。或者,晶体管102具有控制使布线111的电位降低的时序的功能。如上所述,晶体管102具有开关的功能。另外,晶体管102不一定需要具有以上所列出的全部功能。另外,可以根据布线114的电位(信号IN3)而控制晶体管102。

[0117] 晶体管103具有控制布线115和布线111的导通状态的功能。或者,晶体管103具有控制将布线115的电位供给给布线111的时序的功能。或者,在将信号或电压输入到布线115时,晶体管103具有控制将输入到布线115的信号或电压供给给布线111的时序的功能。或者,晶体管103具有控制将L信号或电压V1供给给布线111的时序的功能。或者,晶体管103具有控制使布线111的电位降低的时序的功能。如上所述,晶体管103具有开关的功能。另外,晶体管103不一定需要具有以上所列出的全部功能。另外,可以根据布线113的电位(信号IN2)而控制晶体管103。

[0118] 晶体管104具有控制布线112和节点11的导通状态的功能。或者,晶体管104具有控制将布线112的电位供给给节点11的时序的功能。或者,在将信号或电压输入到布线112时,

晶体管104具有控制将输入到布线112的信号或电压供给给节点11的时序的功能。或者,晶体管104具有控制将H信号或电压V2供给给节点11的时序的功能。或者,晶体管104具有控制使节点11的电位上升的时序的功能。或者,晶体管104具有使节点11处于浮动状态的功能。如上所述,晶体管104具有开关、二极管或被进行了二极管连接的晶体管等的功能。另外,晶体管104不一定需要具有以上所列出的全部功能。另外,可以根据布线112的电位(信号IN1)和/或节点11的电位而控制晶体管104。

[0119] 晶体管105具有控制布线115和节点11的导通状态的功能。或者,晶体管105具有控制将布线115的电位供给给节点11的时序的功能。或者,在将信号或电压输入到布线115时,晶体管105具有控制将输入到布线115的信号或电压供给给节点11的时序的功能。或者,晶体管105具有控制将L信号或电压V1供给给节点11的时序的功能。或者,晶体管105具有控制使节点11的电位降低的时序的功能。如上所述,晶体管105具有开关的功能。另外,晶体管105不一定需要具有以上所列出的全部功能。另外,可以根据布线113的电位(信号IN2)而控制晶体管105。

[0120] 接着,参照图1D的真值表(工作表)说明电路100的工作。图1D示出信号IN1至IN3为数字信号时的真值表。因此,有八个信号IN1至IN3的H电平和L电平的组合。就是说,电路100能够进行至少八个种类的工作。这里,分别说明该八个种类的工作。

[0121] 另外,电路100不一定需要进行这些八个种类的所有工作,而可以选择其一部分来进行工作。另外,电路100可以进行这些八个种类的工作以外的工作。例如,在信号IN1至IN3具有三个以上的数值时,或者,在信号IN1至IN3具有模拟信号时,电路100除了进行这些八个种类的工作以外还可以进行更多种类的工作。

[0122] 首先,参照图2A说明电路100的工作1。因为信号IN2成为H电平,所以晶体管105导通。然后,因为布线115和节点11处于导通状态,所以布线115的电位(例如,电压V1)被供给给节点11。此时,因为信号IN1成为H电平,所以晶体管104导通。然后,因为布线112和节点11处于导通状态,所以布线112的电位(例如,H电平的信号IN1)被供给给节点11。就是说,将布线115的电位(例如,电压V1)和布线112的电位(例如,H电平的信号IN1)供给给节点11。这里,晶体管105的沟道宽度大于晶体管104的沟道宽度。因此,节点11的电位成为L电平。此时的节点11的电位大于V1且小于 $V1 + V_{th101}$ (V_{th101} 是晶体管101的阈值电压)。结果,因为晶体管101截止,所以布线112和布线111处于非导通状态。

[0123] 另外,因为信号IN2成为H电平,所以晶体管103导通。此时,因为信号IN3成为H电平,所以晶体管102导通。因为布线115和布线111处于导通状态,所以布线115的电位(例如,电压V1)被供给给布线111。因此,布线111的电位成为V1,从而信号OUT成为L电平。

[0124] 另外,可以将“晶体管A的沟道宽度大于晶体管B的沟道宽度”解释为“晶体管A的 $1/W$ (W 为沟道宽度)小于晶体管B的 $1/W$ ”,“晶体管A的 L (L 为沟道长度)小于晶体管B的 L ”,“晶体管A的 $1/L$ 大于晶体管B的 $1/L$ ”,“晶体管A的 W/L 大于晶体管B的 W/L ”,“晶体管A的 V_{gs} (V_{gs} 为栅极和源极之间的电位差)大于晶体管B的 V_{gs} ”等。在晶体管为多栅结构,而且晶体管具有多个栅极时,可以将“晶体管A的沟道宽度大于晶体管B的沟道宽度”解释为“晶体管A的栅极个数小于晶体管B的栅极个数”或“晶体管A的栅极个数的倒数大于晶体管B的栅极个数的倒数”。

[0125] 接着,参照图2B说明电路100的工作2。工作2与工作1不同之处为信号IN3成为L电

平。因为信号IN3成为L电平,所以晶体管102截止。虽然晶体管102截止,但是与工作1同样,晶体管103导通。就是说,与工作1同样,布线115和布线111处于导通状态,因此,将布线115的电位(例如,电压V1)供给给布线111。因此,布线111的电位成为V1,从而信号OUT成为L电平。

[0126] 接着,参照图2C说明电路100的工作3。因为信号IN2成为L电平,所以晶体管105截止。然后,布线115和节点11处于非导通状态。此时,因为信号IN1成为H电平,所以晶体管104导通。然后,因为布线112和节点11处于导通状态,所以布线112的电位(例如,H电平的信号IN1)被供给给节点11。就是说,将布线112的电位(例如,H电平的信号IN1)供给给节点11。然后,节点11的电位开始上升。然后,当节点11的电位成为 $V1+V_{th101}+V_a$ (V_a 为正数)时,晶体管101导通。然后,由于布线112和布线111处于导通状态,所以将布线112的电位(例如,H电平的信号IN1)供给给布线111。然后,节点11的电位也连续上升。然后,在节点11的电位成为 $V2-V_{th104}$ (V_{th104} 为晶体管104的阈值电压)时,晶体管104截止。然后,布线112和节点11处于非导通状态。因此,节点11处于浮动状态,同时其电位维持为 $V2-V_{th104}$ 。

[0127] 因为信号IN2成为L电平,所以晶体管103截止。此时,因为信号IN3成为H电平,所以晶体管102导通。结果,因为布线115和布线111处于导通状态,所以将布线115的电位(例如,电压V1)供给给布线111。就是说,将布线115的电位(例如,电压V1)和布线112的电位(例如,H电平的信号IN1)供给给布线111。这里,晶体管102的沟道宽度大于晶体管101的沟道宽度。因此,布线111的电位成为L电平。此时的布线111的电位成为低于电压V1和晶体管101至晶体管105中的任一晶体管的阈值电压的总和的数值。像这样,因为布线111的电位成为L电平,所以信号OUT成为L电平。

[0128] 以下,参照图3A说明电路100的工作4。工作4与工作3的不同之处是信号IN3成为L电平。因此,因为信号IN3成为L电平,所以晶体管102截止。此时,因为晶体管103也截止,所以布线115和布线111处于非导通状态。就是说,将布线112的电位(例如,H电平的信号IN1)供给给布线111。因此,布线111的电位开始上升。此时,节点11处于浮动状态。然后,因晶体管101的栅极和第二端子之间的寄生电容而使节点11的电位上升。结果,节点11的电位成为 $V2+V_{th101}+V_a$ 。这就是所谓的自举(bootstrap)工作。像这样,因为布线111的电位成为V2,所以信号OUT成为H电平。

[0129] 以下,参照图3B说明电路100的工作5。因为信号IN2成为H电平,所以晶体管105导通。然后,因为布线115和节点11处于导通状态,所以布线115的电位(例如,电压V1)被供给给节点11。此时,因为信号IN1成为L电平,所以晶体管104截止。然后,布线112和节点11处于非导通状态。就是说,将布线115的电位(例如,电压V1)供给给节点11。因此,节点11的电位成为V1。然后,因为晶体管101截止,所以布线112和布线111处于非导通状态。

[0130] 另外,因为信号IN2成为H电平,所以晶体管103导通。此时,因为信号IN3成为H电平,所以晶体管102导通。因为布线115和布线111处于导通状态,所以布线115的电位(例如,电压V1)被供给给布线111。因此,布线111的电位成为V1,从而信号OUT成为L电平。

[0131] 接着,参照图3C说明电路100的工作6。工作6与工作5不同之处为信号IN3成为L电平。因为信号IN3成为L电平,所以晶体管102截止。虽然晶体管102截止,但是与工作5同样,晶体管103导通。就是说,与工作5同样,布线115和布线111处于导通状态,因此,将布线115的电位(例如,电压V1)供给给布线111。因此,布线111的电位成为V1,从而信号OUT成为L电

平。

[0132] 接着,参照图4A说明电路100的工作7。因为信号IN2成为L电平,所以晶体管105截止。然后,布线115和节点11处于非导通状态。此时,因为信号IN1成为L电平,所以晶体管104截止。然后,布线112和节点11处于非导通状态。就是说,因为节点11处于浮动状态,所以维持前一状态的电位。这里,节点11的电位低于 $V_1 + V_{th101}$ 。因此,由于晶体管101截止,所以布线112和布线111处于非导通状态。

[0133] 另外,因为信号IN2成为L电平,所以晶体管103截止。此时,因为信号IN3成为H电平,所以晶体管102导通。因为布线115和布线111处于导通状态,所以布线115的电位(例如,电压 V_1)被供给给布线111。因此,布线111的电位成为 V_1 ,从而信号OUT成为L电平。

[0134] 以下,参照图4B说明电路100的工作8。工作8与工作7的不同之处是信号IN3成为L电平。因此,因为信号IN3成为L电平,所以晶体管102截止。此时,因为晶体管103也截止,所以布线115和布线111处于非导通状态。就是说,布线111处于不定状态Z(浮置状态、浮动状态或高阻抗状态)。因此,只要没有因杂波等而发生的电位的变动,布线111的电位就维持前一状态的数值。因此,例如,在工作8的前一工作为工作1至3及工作5至7中的任一工作时,信号OUT成为L电平。或者,例如,在工作8的前一工作为工作4时,信号OUT成为H电平。

[0135] 如上所述,在工作1至8中的任一工作中,晶体管101至105截止。因此,因为可以使晶体管导通的时间缩短或者可以减少晶体管导通的次数,所以可以抑制晶体管的退化。结果,可以抑制晶体管的特性退化(例如,阈值电压的上升或迁移率的降低等)。

[0136] 或者,因为可以抑制晶体管的退化或者可以将电路100所具有的所有晶体管的极性设定为N沟道型,所以可以将与单晶半导体相比容易退化的材料(例如,非晶半导体或微晶半导体等的非单晶半导体、有机半导体或氧化物半导体等)用作晶体管的半导体层。因此,可以减少工序数、提高成品率和/或减少制造成本等。或者,例如,将本实施方式的半导体装置用于显示装置。在此情况下,该显示装置可以为大型显示装置。

[0137] 或者,不需要考虑晶体管的退化而增大晶体管的沟道宽度。或者,因为通过进行自举工作可以增高晶体管的 V_{gs} ,所以可以减小晶体管的沟道宽度。或者,因为可以将输出信号的振幅设定为与电源电压相同的数值或者与信号的振幅相同的数值,所以可以增大输出信号的振幅。因此,可以减小由该输出信号控制的晶体管的沟道宽度。就是说,因为可以减小晶体管的沟道宽度,所以可以减小晶体管的沟道的面积。

[0138] 或者,因为可以减小晶体管的沟道的面积,所以可以减小布局面积。结果,例如,将本实施方式的半导体装置用于显示装置。在此情况下,可以提高显示装置的分辨率。或者,可以缩小显示装置的边框。

[0139] 或者,因为可以减小晶体管的沟道的面积,所以可以减小具有栅极的功能的材料与半导体层隔着绝缘层重叠的面积。结果,可以减少具有栅极的功能的材料与半导体层之间的短路。因此,可以减少输出信号的不均匀、防止误动和/或提高成品率。

[0140] 或者,可以将所有晶体管设定为N沟道晶体管,或者,可以将所有晶体管设定为P沟道晶体管。据此,与使用CMOS电路的情况相比,可以更有效地实现工序数的减少、成品率的提高、可靠性的提高或者制造成本的降低。尤其是,通过将所有晶体管设定为N沟道晶体管,可以将非晶半导体或微晶半导体等的非单晶半导体、有机半导体或氧化物半导体等用作晶体管的半导体层。注意,使用这些半导体层的晶体管容易退化。但是,本实施方式的半导体

装置可以抑制晶体管的退化。

[0141] 以下,说明电路100除了进行工作1至8以外还可以进行的工作。

[0142] 首先,在工作1及2中,通过使晶体管104的沟道宽度大于晶体管105的沟道宽度,可以使晶体管101导通。然后,因为布线112和布线111处于导通状态,所以将布线112的电位(例如,H电平的信号IN1)供给给布线111。就是说,将布线115的电位(例如,电压V1)和布线112的电位(例如,H电平的信号IN1)供给给布线111。在此情况下,通过减小晶体管101的电流供给能力并将布线111的电位设定为比V1稍高一些的数值,可以使信号OUT成为L电平。因此,晶体管101的沟道宽度优选小于晶体管102的沟道宽度或晶体管103的沟道宽度。或者,晶体管101的V_{gs}优选小于V₂-V₁,更优选小于(V₂-V₁)×1/2。例如,通过控制晶体管101的V_{gs},可以从布线111输出模拟电压。就是说,电路100可以具有模拟缓冲器或放大电路等的功能。作为另一例子,通过使晶体管101的沟道宽度大于晶体管102的沟道宽度和晶体管103的沟道宽度的总和,可以使信号OUT成为H电平。

[0143] 接着,使信号IN1从H电平变成L电平并使信号IN2从L电平变成H电平来将工作4转换成工作6。在此情况下,如图4C所示,在工作6中,通过使晶体管101导通一段时间,可以将布线112的电位(例如,L电平的信号IN1)供给给布线111。像这样,可以使信号OUT下降的时间缩短。为了实现使信号OUT下降的时间缩短,可以使晶体管101截止的时序比信号IN1成为L电平的时序迟。或者,可以使信号IN2成为H电平的时序比信号IN1成为L电平的时序迟。或者,可以使信号IN2的失真比信号IN1的失真大。或者,可以使晶体管105的沟道宽度小于晶体管103的沟道宽度。或者,可以将电容元件中的一方电极连接于节点11。可以将该电容元件中的另一电极连接于电源线或信号线(例如,布线115或布线111等)。该电容元件可以为晶体管(例如,晶体管101、晶体管104或晶体管105)的寄生电容。或者,可以将信号从形成在与电路100相同的衬底上的电路供给给布线113。

[0144] 接着,在工作7及8中,节点11的电位可以为V₁+V_{th101}+V_a。在此情况下,因为晶体管101导通,所以布线112和布线111处于导通状态。然后,将布线112的电位(例如,L电平的信号IN1)供给给布线111。像这样,尤其是在工作8中,可以固定布线111的电位,因此电路不容易引起误动。

[0145] 如上所述,本实施方式的半导体装置除了进行工作1至8以外还可以进行各种工作。

[0146] 以下,说明晶体管101至105的沟道宽度的比率。

[0147] 首先,晶体管104及105所驱动的负载(例如,晶体管101的栅极)小于晶体管101至103所驱动的负载(例如,连接于布线111的负载(例如,晶体管的栅极))。因此,晶体管104的沟道宽度可以小于晶体管101的沟道宽度、晶体管102的沟道宽度和/或晶体管103的沟道宽度。或者,晶体管105的沟道宽度可以小于晶体管101的沟道宽度、晶体管102的沟道宽度和/或晶体管103的沟道宽度。在此情况下,晶体管101的沟道宽度优选为晶体管104的沟道宽度的20倍以下,更优选为10倍以下,进一步优选为7倍以下。晶体管101的沟道宽度优选为晶体管105的沟道宽度的10倍以下,更优选为5倍以下,进一步优选为3倍以下。

[0148] 接着,在信号OUT成为L电平的情况下,有时将布线115的电位(例如,电压V1)通过晶体管102和晶体管103的两个晶体管供给给布线111。另一方面,在信号OUT成为H电平的情况下,有时将布线112的电位(例如,H电平的信号IN1)隔着晶体管101的一个晶体管供给给

布线111。因此,晶体管101的沟道宽度可以大于晶体管102的沟道宽度和/或晶体管103的沟道宽度。在此情况下,晶体管101的沟道宽度优选为晶体管102的沟道宽度或晶体管103的沟道宽度的3倍以下,更优选为2倍以下。

[0149] 接着,在信号IN1成为H电平,并且晶体管101导通时,晶体管102或晶体管103导通。在此情况下,晶体管102的沟道宽度可以大于晶体管101的沟道宽度,以使布线111的电位成为L电平。或者,晶体管103的沟道宽度可以大于晶体管101的沟道宽度。在此情况下,晶体管101的沟道宽度优选为晶体管102的沟道宽度或晶体管103的沟道宽度的1倍以下,更优选为0.7倍以下。

[0150] 另外,在信号IN1成为H电平,并且晶体管101导通时,晶体管103导通,但是,晶体管102几乎不导通。因此,晶体管103的沟道宽度可以小于晶体管102的沟道宽度。

[0151] 接着,在工作1至2中,通过使晶体管104和晶体管105导通,将布线115的电位(例如,电压V1)和布线112的电位(例如,H电平的信号IN1)供给给节点11。因此,如上所述,晶体管105的沟道宽度可以大于晶体管104的沟道宽度,以使节点11的电位成为L电平。在此情况下,晶体管105的沟道宽度优选为晶体管104的沟道宽度的15倍以下,更优选为10倍以下,进一步优选为8倍以下。例如,通过使晶体管104的沟道长度大于晶体管105的沟道长度,可以使晶体管105的W/L比大于晶体管104的W/L比。在此情况下,晶体管104的沟道长度优选为晶体管105的沟道长度的9倍以下,更优选为6倍以下,进一步优选为3倍以下。

[0152] 如上所述,优选将晶体管的沟道宽度的比率设定为适当的数值。另外,考虑到上述晶体管的尺寸的比率,晶体管101的沟道宽度优选为100 μm 以上且1000 μm 以下,更优选为100 μm 以上且300 μm 以下或者500 μm 以上且800 μm 以下。晶体管102的沟道宽度或晶体管103的沟道宽度优选为100 μm 以上且1500 μm 以下,更优选为100 μm 以上且300 μm 以下或者700 μm 以上且1200 μm 以下。晶体管104的沟道宽度优选为10 μm 以上且300 μm 以下,更优选为20 μm 以上且100 μm 以下。晶体管105的沟道宽度优选为30 μm 以上且500 μm 以下,更优选为50 μm 以上且150 μm 以下。

[0153] 以下,说明其结构与图1A不同的半导体装置。

[0154] 首先,在图1A所示的结构中,晶体管105的第一端子可以连接于与布线115不同的布线(例如,布线112等)。或者,晶体管105的栅极可以连接于与布线113不同的布线(例如,布线111、布线116或节点11等)。

[0155] 另外,可以将电压V2供给给布线116。因此,布线116可以具有电源线的功能。例如,可以将信号输入到布线116。因此,布线116可以具有信号线的功能。

[0156] 图6A示出在图1A的半导体装置中将晶体管105的第一端子连接于布线112的结构。可以将H信号供给给晶体管105的第一端子。因此,因为可以将反向偏压施加到晶体管105,所以可以抑制晶体管105的退化。

[0157] 图6B示出在图1A的半导体装置中将晶体管105的第一端子连接于布线112且将晶体管105的栅极连接于节点11的结构。可以将H信号供给给晶体管105的第一端子。因此,因为可以将反向偏压施加到晶体管105,所以可以抑制晶体管105的退化。

[0158] 图6C示出在图1A的半导体装置中将晶体管105的第一端子连接于布线112且将晶体管105的栅极连接于布线116的结构。可以将H电平的信号IN1通过晶体管104和晶体管105供给给节点11。因此,可减小晶体管104的沟道宽度。

[0159] 接着,在图1A及图6A至6C所示的结构中,可以将晶体管103的第一端子连接于与布线115不同的布线(例如,布线112)。或者,可以将晶体管103的栅极连接于与布线113不同的布线(例如,布线111、布线116或节点11等)。

[0160] 图6D示出在图1A的半导体装置中将晶体管103的第一端子连接于布线112的结构。可以将H信号供给给晶体管103的第一端子。因此,因为可以将反向偏压施加到晶体管103,所以可以抑制晶体管103的退化。

[0161] 图6E示出在图1A的半导体装置中将晶体管103的第一端子连接于布线112且将晶体管103的栅极连接于布线111的结构。因此,因为可以将反向偏压施加到晶体管103,所以可以抑制晶体管103的退化。

[0162] 图6F示出在图1A的半导体装置中将晶体管103的第一端子连接于布线112且将晶体管103的栅极连接于布线116的结构。可以将H电平的信号IN1通过晶体管103和晶体管101供给给布线111。因此,可减小晶体管101的沟道宽度。

[0163] 接着,在图1A及图6A至6F所示的结构中,可以将晶体管104的第一端子连接于与布线112不同的布线(例如,布线116等)。或者,可以将晶体管104的栅极连接于与布线112不同的布线(例如,布线116等)。

[0164] 图7A示出在图1A的半导体装置中将晶体管104的第一端子连接于布线116的结构。

[0165] 图7B示出在图1A的半导体装置中将晶体管104的栅极连接于布线116的结构。可以通过晶体管104供给布线112的电位(例如,L电平的信号IN1)。由此,可以固定节点11的电位,因此可以得到抗杂波性能好的半导体装置。

[0166] 接着,在图1A、图6A至6F以及图7A和7B所示的结构中,可以将晶体管102的第一端子连接于与布线115不同的布线(例如,布线113、布线114或节点11等)。或者,可以将晶体管103的第一端子和/或晶体管105的第一端子连接于与布线115不同的布线(例如,布线113、布线114或节点11等)。

[0167] 图7C示出在图1A的半导体装置中将晶体管102的第一端子连接于布线113的结构。可以将H信号供给给晶体管102的第一端子。因此,因为可以将反向偏压施加到晶体管102,所以可以抑制晶体管102的退化。

[0168] 图7D示出在图1A的半导体装置中将晶体管103的第一端子和晶体管105的第一端子连接于布线114的结构。可以将H信号供给给晶体管103的第一端子或晶体管105的第一端子。因此,因为可以将反向偏压施加到晶体管103或晶体管105,所以可以抑制晶体管103或晶体管105的退化。

[0169] 接着,在图1A、图6A至6F以及图7A至7D所示的结构中,可以将晶体管的各端子或各电极分别连接于不同的布线。例如,可以将晶体管101的第一端子和晶体管104的第一端子分别连接于不同的布线。或者,可以将晶体管103的栅极和晶体管105的栅极分别连接于不同的布线。或者,可以将晶体管102的第一端子、晶体管103的第一端子和晶体管105的第一端子分别连接于不同的布线。为了实现上述连接,可以将布线分割成多个布线。

[0170] 图7E示出在图1A的半导体装置中将布线112分割成多个布线112A和112B,将布线113分割成多个布线113A和113B,并且将布线115分割成多个布线115A至115C的结构。晶体管101的第一端子连接于布线112A,晶体管104的第一端子连接于布线112B,并且晶体管104的栅极连接于布线112B。或者,晶体管103的栅极连接于布线113A,并且晶体管105的栅极连

接于布线113B。或者,晶体管102的第一端子连接于布线115A,晶体管103的第一端子连接于布线115B,并且晶体管105的第一端子连接于布线115C。

[0171] 另外,布线112A和112B可以具有与布线112相同的功能。或者,布线113A和113B可以具有与布线113相同的功能。或者,布线115A至115C可以具有与布线115相同的功能。因此,可以将信号IN1输入到布线112A和112B。或者,可以将信号IN2输入到布线113A和113B。或者,可以将电压V1供给给布线115A至115C。例如,可以将不同的电压或不同的信号分别供给给布线112A和112B。或者,可以将不同的电压或不同的信号分别供给给布线113A和113B。或者,可以将不同的电压或不同的信号分别供给给布线115A至115C。

[0172] 接着,在图1A、图6A至6F以及图7A至7E所示的结构中,可以重新设置晶体管105A和/或晶体管103A。

[0173] 图8A示出在图1A的半导体装置中重新设置晶体管105A的结构。晶体管105A可以对应于晶体管105,并可以具有同样的功能。晶体管105A的第一端子连接于布线112,晶体管105A的第二端子连接于节点11,并且晶体管105A的栅极连接于布线113。例如,与图6B和6C同样,可以将晶体管105A的栅极连接于节点11或布线116。例如,与图6B和6C同样,可以将晶体管105A的栅极连接于与布线113不同的布线(例如,布线111、布线116或节点11等)。

[0174] 图8B示出在图1A的半导体装置中重新设置晶体管103A的结构。晶体管103A可以对应于晶体管103,并可以具有同样的功能。晶体管103A的第一端子连接于布线112,晶体管103A的第二端子连接于布线111,并且晶体管103A的栅极连接于布线113。例如,与图6E和6F同样,可以将晶体管103A的栅极连接于与布线113不同的布线(例如,布线111、布线116或节点11等)。

[0175] 接着,在图1A、图6A至6F、图7A至7E以及图8A和8B所示的结构中,可以重新设置晶体管106。

[0176] 图8C示出在图1A的半导体装置中重新设置晶体管106的结构。晶体管106为N沟道晶体管。但是,本实施方式不局限于此,晶体管106可以为P沟道晶体管。晶体管106的第一端子连接于布线115,晶体管106的第二端子连接于节点11,并且晶体管106的栅极连接于布线114。

[0177] 以下,说明晶体管106的功能。晶体管106具有控制布线115和节点11的导通状态的功能。或者,晶体管106具有控制将布线115的电位供给给节点11的时序的功能。或者,在将信号或电压输入到布线115时,晶体管106具有控制将输入到布线115的信号或电压供给给节点11的时序的功能。或者,晶体管106具有控制将L信号或电压V1供给给节点11的时序的功能。或者,晶体管106具有控制使节点11的电位降低的时序的功能。如上所述,晶体管106可以具有开关的功能。另外,晶体管106不一定需要具有以上所列出的全部功能。另外,可以根据布线114的电位(信号IN3)控制晶体管106。

[0178] 以下,说明图8C的半导体装置的工作。在工作1、工作3、工作5和工作7中,因为信号IN3成为H电平,所以晶体管106导通。然后,因为布线115和节点11处于导通状态,所以将布线115的电位(例如,电压V1)供给给节点11。由此,可以固定节点11的电位,因此可以得到抗杂波性能好的半导体装置。或者,因为可以将节点11的电位设定为更低的电位,所以容易使晶体管101截止。或者,因为可以减小晶体管105的沟道宽度,所以可以减小布局面积。另一方面,在工作2、工作4、工作6和工作8中,因为信号IN3成为L电平,所以晶体管106截止。像这

样,因为可以使晶体管106导通的时间缩短,所以可以抑制晶体管106的退化。

[0179] 接着,在图1A、图6A至6F、图7A至7E以及图8A至8C所示的结构中,可以省略晶体管103和/或晶体管105。

[0180] 图8D示出在图1A的半导体装置中省略晶体管103的结构。即使在省略晶体管103的情况下,例如,通过使晶体管101从导通变成截止的时序迟于信号IN1从H电平变成L电平的时序,也可以将布线112的电位(例如,L电平的信号IN1)供给给布线111。因此,可以将布线111的电位设定为V1。像这样,通过省略晶体管103,可以减少晶体管的个数。

[0181] 另外,晶体管105的沟道宽度可以小于晶体管101的沟道宽度,以使晶体管101从导通变成截止的时序迟于信号IN1从H电平变成L电平的时序。或者,在电路100所具有的晶体管中,晶体管101的沟道的面积(例如, $L \times W$)可以最大。

[0182] 图8E示出在图1A的半导体装置中省略晶体管105的结构。通过省略晶体管105,可以减少晶体管的个数。

[0183] 接着,在图1A、图6A至6F、图7A至7E以及图8A至8E所示的结构中,可以将电容元件107连接于晶体管101的栅极和第二端子之间。例如,作为电容元件,可以使用MOS电容器。

[0184] 图8F示出在图1A的半导体装置中将电容元件107连接于晶体管101的栅极和第二端子之间的结构。在进行自举工作时,节点11的电位容易上升。因此,可以增大晶体管101的 V_{gs} 。结果,可以减小晶体管101的沟道宽度。或者,信号OUT的下降时间或上升时间可缩短。

[0185] 另外,电容元件107中的一方电极的材料优选为与晶体管的栅极相同的材料。或者,电容元件107中的另一方电极的材料优选为与晶体管的源极或漏极相同的材料。像这样,可以减小布局面积。或者,可以增大电容值。

[0186] 另外,电容元件107中的一方电极和另一方电极重叠的面积优选小于晶体管101中的用作栅极的材料和半导体层重叠的面积。

[0187] 接着,在图1A、图6A至6F、图7A至7E以及图8A至8F所示的结构中,可以在电路100中重新设置电路120。

[0188] 图9A示出在图1A的半导体装置中重新设置电路120的结构。电路120连接于布线113与晶体管103的栅极及晶体管105的栅极的连接部之间。电路120具有使输入到布线113的信号IN2延迟的功能。因此,例如,晶体管105的栅极电位上升的时序迟于信号IN2从L电平变成H电平的时序。就是说,晶体管105导通的时序或节点11的电位降低的时序迟于信号IN2从L电平变成H电平的时序。因此,例如,晶体管101从导通变成截止的时序可以迟于信号IN1从H电平变成L电平的时序。结果,因为将L电平的信号IN1供给给布线111,所以信号OUT的下降时间可以缩短。例如,如图9B所示,可以将晶体管103的栅极不隔着电路120连接于布线113,将晶体管105的栅极隔着电路120连接于布线113。这是因为如下缘故:晶体管103越快地导通,就可以越快地将电压V1供给给布线111。因此,信号OUT的下降时间可缩短。作为另一个例子,可以将晶体管105的栅极隔着电路120连接于布线111。在此情况下,晶体管103的栅极既可连接于晶体管105的栅极,又可连接于布线113。

[0189] 另外,电路120只要至少具有电容成分和电阻成分,即可。例如,作为电路120,可以使用电阻元件、电容元件、晶体管、二极管、组合了这些元件的电路或其他各种元件。图9C和9D示出电路120具有电阻元件121和电容元件122的结构。作为另一个例子,作为电路120,可以使用缓冲器电路、反相器电路、NAND电路、NOR电路、电平转移器电路、组合了这些电路的

电路或其他各种电路。图9E示出电路120具有缓冲器电路123的结构。图9F示出电路120具有反相器电路124的结构。

[0190] 另外,电容成分可以为寄生电容,而电阻成分可以为寄生电阻。就是说,作为电路120,可以使用布线、一个层的材料与另一个层的材料之间的接触或FPC焊盘等。因此,例如,布线113的布线电阻优选大于布线112的布线电阻。布线113的最小布线宽度优选小于布线112的最小布线宽度,以实现布线113的布线电阻大于布线112的布线电阻。或者,与布线112相比,布线113可以包含大量的在导电材料中电阻值最大的材料(例如,包含像素电极的材料)。或者,例如,将某个材料用于布线113和布线112的双方。在此情况下,布线113所具有的该材料的最小厚度可以薄于布线112所具有的该材料的最小厚度。

[0191] 另外,作为缓冲器电路123,可以使用图9G所示的结构。缓冲器电路具有晶体管125、晶体管126、晶体管127以及晶体管128。晶体管125的第一端子连接于布线129,晶体管125的第二端子连接于晶体管103的栅极,并且晶体管125的栅极连接于布线113。晶体管126的第一端子连接于布线130,晶体管126的第二端子连接于晶体管103的栅极。晶体管127的第一端子连接于布线129,晶体管127的第二端子连接于晶体管126的栅极,并且晶体管127的栅极连接于布线129。晶体管128的第一端子连接于布线130,晶体管128的第二端子连接于晶体管126的栅极,并且晶体管128的栅极连接于布线113。另外,在很多情况下,将电压V2等的高电压供给给布线129,并且将电压V1等的负电压供给给布线130。

[0192] 另外,作为反相器电路124,可以使用图9H所示的结构。反相器电路具有晶体管131、晶体管132、晶体管133以及晶体管134。晶体管131的第一端子连接于布线129,晶体管131的第二端子连接于晶体管103的栅极。晶体管132的第一端子连接于布线130,晶体管132的第二端子连接于晶体管103的栅极,并且晶体管132的栅极连接于布线113。晶体管133的第一端子连接于布线129,晶体管133的第二端子连接于晶体管131的栅极,并且晶体管133的栅极连接于布线129。晶体管134的第一端子连接于布线130,晶体管134的第二端子连接于晶体管131的栅极,并且晶体管134的栅极连接于布线113。

[0193] 接着,在图1A、图6A至6F、图7A至7E、图8A至8F以及图9A和9B所示的结构中,可以使用二极管代替晶体管。例如,可以对晶体管进行二极管连接。

[0194] 图11A示出在图1A的半导体装置中使用二极管代替晶体管的结构。可以使用其一方电极(例如,输入端子)连接于节点11,而其另一方电极(例如,输出端子)连接于布线111的二极管101d代替晶体管101。或者,可以使用其一方电极(例如,输入端子)连接于布线111,而其另一方电极(例如,输出端子)连接于布线114的二极管102d代替晶体管102。或者,可以使用其一方电极(例如,输入端子)连接于布线111,而其另一方电极(例如,输出端子)连接于布线113的二极管103d代替晶体管103。或者,可以使用其一方电极(例如,输入端子)连接于布线112,而其另一方电极(例如,输出端子)连接于节点11的二极管104d代替晶体管104。或者,可以使用其一方电极(例如,输入端子)连接于节点11,而其另一方电极(例如,输出端子)连接于布线113的二极管105d代替晶体管105。由此,可以减少信号或电源的数量。就是说,可以减少布线数。因此,因为可以减小形成电路100的衬底和用来将信号供给给该衬底的衬底之间的连接数,所以可以实现可靠性的提高、成品率的提高或制造成本的削减等。可以使用二极管代替电路100所具有的多个晶体管(例如,晶体管101至105)的一部分的晶体管。

[0195] 图11B示出在图1A的半导体装置中对晶体管进行了二极管连接的结构。晶体管101的第一端子可以连接于节点11。或者,晶体管102的第一端子可以连接于布线114,而晶体管102的栅极可以连接于布线111。或者,晶体管103的第一端子可以连接于布线113,而晶体管103的栅极可以连接于布线111。或者,晶体管105的第一端子可以连接于布线113,而晶体管105的栅极可以连接于节点11。由此,可以减少信号或电源的数量。就是说,可以减少布线数。因此,因为可以减小形成电路100的衬底和用来将信号供给给该衬底的衬底之间的连接数,所以可以实现可靠性的提高、成品率的提高或制造成本的削减。可以对多个晶体管(例如,晶体管101至105)的一部分的晶体管进行二极管连接。

[0196] 接着,在图1A、图6A至6F、图7A至7E、图8A至8F、图9A和9B以及图11A和11B所示的结构中,可以使用电容元件代替晶体管。例如,可以重新设置该电容元件,而不省略晶体管。

[0197] 图11C示出在图1A的半导体装置中使用连接于布线112和节点11之间的电容元件104A代替晶体管104的结构。电容元件104A可以通过电容耦合而根据布线112的电位控制节点11的电位。像这样,通过使用电容元件104A代替晶体管104,可以减少恒定电流,从而可以降低耗电量。

[0198] 图11D示出在图1A的半导体装置中重新设置电容元件104A的结构。因为可以使节点11的电位的变化陡峭,所以可以减小耗电量。

[0199] 图11E示出在图1A的半导体装置中分别使用连接于布线114和布线111之间的电容元件102A、连接于布线113和布线111之间的电容元件103B以及连接于布线113和节点11之间的电容元件105B代替晶体管102、晶体管103以及晶体管105的结构。

[0200] 接着,在图1A、图6A至6F、图7A至7E、图8A至8F、图9A和9B以及图11A至11F所示的结构中,可以使用电阻元件代替晶体管。

[0201] 图11F示出在图1A的半导体装置中使用电阻元件104R代替晶体管104的结构。电阻元件104R连接于布线112和节点11之间。

[0202] 接着,在图1A、图6A至6F、图7A至7E、图8A至8F、图9A和9B以及图11A至11F所示的结构中,可以重新设置晶体管108。

[0203] 图46A示出在图1A的半导体装置中重新设置晶体管108的结构。晶体管108为N沟道晶体管。但是,本实施方式不局限于此,晶体管108可以为P沟道晶体管。晶体管108的第一端子连接于布线111,晶体管108的第二端子连接于节点11,并且晶体管108的栅极连接于布线112。

[0204] 以下,说明图46A的半导体装置的工作。在工作1至3中,因为信号IN1成为H电平,所以晶体管108导通。然后,因为布线111和节点11处于导通状态,所以将布线111的电位供给给节点11。或者,将节点11的电位供给给布线111。但是,在工作4中,虽然信号IN3成为H电平,但是因节点11的电位和布线111的电位成为H电平而使晶体管108截止。但是,直到布线111的电位成为H电平为止,晶体管108导通。因此,节点11的电位降低。然后,因为晶体管101 V_{gs} 变小,所以可以防止晶体管101的绝缘击穿或退化等。另一方面,在工作5至8中,因为信号IN1成为L电平,所以晶体管108截止。因此,节点11和布线111处于非导通状态。

[0205] 接着,在图1A、图6A至6F、图7A至7E、图8A至8F、图9A和9B、图11A至11F以及图46A所示的结构中,可以产生与信号OUT不同的信号。为此,可以在这些半导体装置中重新设置晶体管109。

[0206] 图46B示出在图1A所示的半导体装置中重新设置晶体管109的结构。晶体管109具有与晶体管101相同的极性。并且,晶体管109可以具有与晶体管101相同的功能。晶体管109的第一端子可以连接于布线112,晶体管109的第二端子可以连接于布线117,并且晶体管109的栅极可以连接于节点11。

[0207] 注意,可以适当地组合图1A、图6A至6F、图7A至7E、图8A至8F、图9A和9B、图11A至11F以及图46A和46B所示的结构。

[0208] 图12A示出组合图6B所示的结构和图6E所示的结构的结构。晶体管103的第一端子连接于布线112,晶体管103的第二端子连接于布线111,并且晶体管103的栅极连接于布线111。晶体管105的第一端子连接于布线112,晶体管105的第二端子连接于节点11,并且晶体管105的栅极连接于节点11。像这样,因为可以省略信号IN2和布线113,所以可以实现信号数的减少或布线数的减少。因此,可以实现形成电路100的衬底和另一衬底之间的连接个数的减少、可靠性的提高、制造成本的减小和/或耗电量的减小等。

[0209] 图12B示出组合图7A所示的结构和图8E所示的结构的结构。省略晶体管105,并且晶体管104的第一端子连接于布线112,晶体管104的第二端子连接于节点11,并且晶体管104的栅极连接于布线116。由此,可以减少晶体管的数量,从而可以实现布局面积的缩小。再者,可以将节点11的电位固定为L电平,因此可以得到抗杂波性能好的电路。

[0210] 图12C示出组合图7D所示的结构和图11C所示的结构的结构。晶体管103的第一端子连接于布线114,晶体管105的第一端子连接于布线114,并且使用连接于布线112和节点11之间的电容元件104A代替晶体管104。

[0211] 如上所述,本实施方式不局限于图1A所示的结构,也可以使用各种各样的结构。

[0212] 接着,在图1A、图6A至6F、图7A至7E、图8A至8F、图9A和9B、图11A至11F、图12A至12C以及图46A和46B所示的结构中,可以使用P沟道晶体管。也可以仅使半导体装置所具有的多个晶体管中的几个为P沟道晶体管。就是说,本实施方式的半导体装置可以采用CMOS电路。

[0213] 图13A示出在图1A的半导体装置中作为晶体管使用P沟道晶体管的结构。晶体管101p至105p具有与晶体管101至105相同的功能并是P沟道晶体管。在此情况下,将电压V2供给给布线115。

[0214] 在图13A所示的半导体装置中,如图13B所示,电路100可以具有包含NAND的逻辑电路的功能。具体地说,电路100可以具有组合了三个输入的NAND和两个NOT的逻辑电路的功能。另外,可以将信号IN1输入到NAND的第一输入端子,可以将信号IN2由第一NOT反相的信号输入到NAND的第二输入端子,可以将信号IN3由第二NOT反相的信号输入到NAND的第三输入端子,并且可以从NAND的输出输出信号OUT。就是说,电路100可以具有实现图13C所示的逻辑式的功能,或者,具有实现根据该逻辑式而求得的真值表的功能。注意,在信号IN1成为L电平,并且信号IN2及信号IN3成为H电平时,信号OUT成为L电平,在输入除此以外的输入信号时,信号OUT成为H电平。图13D示出信号IN1至IN3为数字信号时的真值表。

[0215] 图12D示出在图1A的半导体装置中作为其一部分的晶体管使用P沟道晶体管的结构。晶体管104p的栅极连接于节点11。

[0216] 实施方式2

[0217] 在本实施方式中,说明在实施方式1的半导体装置中重新设置元件或电路等的半导体装置。

[0218] 首先,说明在实施方式1的半导体装置中重新设置晶体管201(第六晶体管)的结构。图14A示出在图1A的半导体装置中重新设置晶体管201的结构。

[0219] 晶体管201为N沟道晶体管。但是,本实施方式不局限于此,晶体管201可以为P沟道晶体管。晶体管201的第一端子连接于布线115,晶体管201的第二端子连接于布线211(第六布线),并且晶体管201的栅极连接于布线111。

[0220] 另外,以晶体管201的栅极为节点12。因为节点12对应于实施方式1所述的布线111,所以在有“布线111”的记载时,可以将“布线111”解释为“节点12”。因此,在有“布线111的电位(信号OUT的电位)”的记载时,可以将“布线111的电位(信号OUT的电位)”解释为“节点12的电位”。

[0221] 以下,说明晶体管201的功能。晶体管201具有控制布线115和布线211的导通状态的功能。或者,晶体管201具有控制将布线115的电位供给给布线211的时序的功能。或者,在将信号或电压输入到布线115的情况下,晶体管201具有控制将输入到115的信号或电压供给给布线211的时序的功能。或者,晶体管201具有控制将L信号或电压V1供给给布线211的时序的功能。或者,晶体管201具有控制使布线211的电位下降的时序的功能。如上所述,晶体管201可以具有开关的功能。另外,晶体管201不一定需要具有以上所列出的全部功能。另外,可以根据电路100的输出信号控制晶体管201。

[0222] 接着,参照图15A说明图14A所示的半导体装置的工作。图15A示出可以应用于本实施方式的半导体装置的时序图。

[0223] 另外,图15A的时序图具有期间A和期间B。并且,在图15A的时序图中交替地配置期间A和期间B。在图15A的时序图中,可以交替地配置多个期间A和多个期间B。或者,图15A的时序图既可具有期间A和期间B以外的期间,又可省略期间A和期间B中的一方期间。

[0224] 另外,期间A和期间B的长短大致相同。或者,例如,在将时钟信号输入到本实施方式的半导体装置的情况下,期间A和期间B的长短与该时钟信号的半周期大致相同。或者,例如,在将本实施方式的半导体装置用于栅极驱动器的情况下,期间A和期间B的长短与一个栅极选择期间大致相同。

[0225] 首先,参照图14B的示意图说明期间A的半导体装置的工作。在期间A,信号IN1成为H电平,信号IN2成为L电平,并且信号IN3成为L电平。因此,因为电路100能够进行图3A的工作4,所以节点12的电位(信号OUT)成为H电平。结果,因为晶体管201导通,所以布线115和布线211处于导通状态。然后,因为将布线115的电位(例如,电压V1)供给给布线211,所以布线211的电位(信号GOUT)成为L电平。

[0226] 接着,参照图14C的示意图说明期间B的半导体装置的工作。在期间B,信号IN1成为L电平,信号IN2成为H电平,并且信号IN3成为L电平。因此,因为电路100能够进行图3C的工作6,所以节点12的电位(信号OUT)成为L电平。结果,因为晶体管201截止,所以布线115和布线211处于非导通状态。因此,因为布线211处于浮动状态,所以布线211的电位大致维持为V1。

[0227] 如上所述,在期间A,晶体管201导通,而在期间B,晶体管201截止。因此,可以使晶体管201导通的时间缩短。因此,可以抑制晶体管的退化。另外,在期间A及期间B中,晶体管101、晶体管102、晶体管103、晶体管104、晶体管105以及晶体管201不会连续导通,由此可以使导通的时间缩短或减少导通的次数。

[0228] 以下,说明信号IN1至IN3的功能及该信号的特征。

[0229] 首先,信号IN1按每个期间反复成为H电平或L电平。因此,信号IN1可以具有时钟信号的功能。或者,布线112可以具有时钟信号线(时钟线或时钟供给线)的功能。

[0230] 接着,信号IN2按每个期间反复成为H电平或L电平。并且,信号IN2是信号IN1的反相信号或相位从信号IN1错开 180° 的信号。因此,信号IN2可以具有反相时钟信号的功能。或者,布线113可以具有时钟信号线的功能。

[0231] 接着,说明信号IN1和信号IN2具有时钟信号的功能的情况。在此情况下,信号IN1和信号IN2既可为如图15A所示那样平衡,又可为非平衡。平衡是指在一个周期中成为H电平的期间和成为L电平的期间大致相同。非平衡是指成为H电平的期间和成为L电平的期间不同。另外,这里,“不同”是指“大致相同”的范围以外的范围。

[0232] 图15B示出在图15A的时序图中信号IN1和信号IN2为非平衡时的时序图。

[0233] 接着,可以将n相的时钟信号输入到本实施方式的半导体装置。或者,可以将n相的时钟信号中的几个时钟信号输入到本实施方式的半导体装置。n相的时钟信号是指其周期分别错开 $1/n$ 周期的n个时钟信号。

[0234] 图15C示出将三相的时钟信号之一用作信号IN1,并将三相的时钟信号之另一用作信号IN2时的时序图。

[0235] 如上所述,作为信号IN1至IN3,除了图15A的时序图所示的波形以外,还可以使用各种波形。

[0236] 以下,说明晶体管201的沟道宽度的比率。例如,在布线211具有栅极信号线的功能时,布线211延伸到像素部,有时连接于像素。就是说,布线211连接于较大负载。因此,晶体管201的沟道宽度大于电路100所具有的晶体管的沟道宽度。在此情况下,晶体管201的沟道宽度优选为晶体管101的沟道宽度的10倍以下。晶体管201的沟道宽度更优选为晶体管101的沟道宽度的5倍以下。晶体管201的沟道宽度进一步优选为晶体管101的沟道宽度的3倍以下。

[0237] 如上所述,优选将晶体管的沟道宽度的比率设定为适当的数值。另外,考虑到上述晶体管的沟道宽度的比率,晶体管201的沟道宽度优选为 $1000\mu\text{m}$ 以上且 $5000\mu\text{m}$ 以下。晶体管201的沟道宽度更优选为 $1500\mu\text{m}$ 以上且 $4000\mu\text{m}$ 以下。晶体管201的沟道宽度进一步优选为 $2000\mu\text{m}$ 以上且 $3000\mu\text{m}$ 以下。

[0238] 以下,说明具有与图14A不同的结构的半导体装置。

[0239] 首先,在图14A所示的结构中,电路100不局限于图1A所示的结构,而可以使用实施方式1所描述的各种结构。作为电路100,只要满足预定的功能,就可以使用实施方式1所示的结构以外的结构。

[0240] 图10A示出在图14A所示的结构中作为电路100使用图7B所示的结构的结构。

[0241] 图10B示出在图14A所示的结构中作为电路100使用图8D所示的结构的结构。可以防止杂波通过晶体管103产生在节点12。因此,可以防止误动。

[0242] 图10C示出在图14A所示的结构中作为电路100使用图8C所示的结构的结构。因为可以进一步减小节点11的电位,所以可以防止晶体管201导通。

[0243] 另外,在图10A至10C和图14A所示的结构中,可以重新设置晶体管202。

[0244] 图16A示出在图14A的半导体装置中重新设置晶体管202的结构。晶体管202为N沟

道晶体管。但是,本实施方式不局限于此,晶体管202可以为P沟道晶体管。晶体管202的第一端子连接于布线115,晶体管202的第二端子连接于布线211,并且晶体管202的栅极连接于布线113。晶体管202的栅极可以连接于与布线113不同的布线。或者,晶体管202的第一端子可以连接于与布线115不同的布线。

[0245] 以下,说明晶体管202的功能。晶体管202具有控制布线115和布线211的导通状态的功能。或者,晶体管202具有控制将布线115的电位供给给布线211的时序的功能。或者,在将信号或电压输入到布线115时,晶体管202具有控制将输入到布线115的信号或电压供给给布线211的时序的功能。或者,晶体管202具有控制将L信号或电压V1供给给布线211的时序的功能。或者,晶体管202具有控制使布线211的电位降低的时序的功能。如上所述,晶体管202可以具有开关的功能。另外,晶体管202不一定需要具有以上所列出的全部功能。另外,可以根据布线113的电位(例如,信号IN2)控制晶体管202。

[0246] 以下,说明图16A的半导体装置的工作。在期间A,因为信号IN2成为L电平,所以如图16B所示,晶体管202截止。在期间B,因为信号IN2成为H电平,所以如图16C所示,晶体管202导通。因此,在期间B,也使布线115和布线211处于导通状态,由此将布线115的电位(例如,电压V1)供给给布线211。因此,可以减少布线211的杂波。例如,在将图16A的半导体装置用于显示装置,并且将布线211连接于像素选择用电晶管的栅极时,可以防止因布线211的杂波而向该像素写入输入属于另一行的像素的视频信号。或者,可以防止因布线211的杂波而使像素所保持的视频信号变化。因此,可以实现显示质量的提高。

[0247] 另外,在图10A至10C、图14A和图16A所示的结构中,可以重新设置晶体管203(第七晶体管)。

[0248] 图17A示出在图14A的半导体装置中重新设置晶体管203的结构。晶体管203为N沟道晶体管。但是,本实施方式不局限于此,晶体管203可以为P沟道晶体管。晶体管203的第一端子连接于布线112,晶体管203的第二端子连接于布线211。并且,将晶体管203的栅极称为节点13。另外,晶体管102的栅极可以连接于节点13。因此,作为信号IN3,可以使用节点13的电位(V13)。

[0249] 以下,说明晶体管203的功能。晶体管203具有控制布线112和布线211的导通状态的功能。或者,晶体管203具有控制将布线112的电位供给给布线211的时序的功能。或者,在将信号或电压输入到布线112时,晶体管203具有控制将输入到布线112的信号或电压供给给布线211的时序的功能。或者,晶体管203具有控制将H信号或电压V2供给给布线211的时序的功能。或者,晶体管203具有控制将L信号或电压V1供给给布线211的时序的功能。或者,晶体管203具有控制使布线211的电位上升的时序的功能。或者,晶体管203具有控制使布线211的电位降低的时序的功能。或者,晶体管203具有执行自举(bootstrap)操作的功能。或者,晶体管203具有通过执行自举而使节点13的电位上升的功能。如上所述,晶体管203可以具有开关或缓冲器的功能。另外,晶体管203不一定需要具有以上所列出的全部功能。另外,可以根据节点13的电位、布线112的电位(例如,信号IN1)以及/或布线211的电位(信号GOUT)控制晶体管203。

[0250] 接着,参照图17B说明图17A所示的半导体装置的工作。图17B示出可以应用于本实施方式的半导体装置的时序图。

[0251] 另外,图17B的时序图具有期间A至期间E。在图17B的时序图中,依次配置期间C、期

间D和期间E。另外,在除此以外的期间,交替地配置期间A和期间B。也可以按各种顺序配置期间A至期间E。

[0252] 首先,参照图18A的示意图说明期间A的半导体装置的工作。在期间A,信号IN1成为H电平,信号IN2成为L电平,并且节点13(信号IN3)成为L电平。因此,因为电路100能够进行图3A的工作4,所以节点12的电位(信号OUT)成为H电平。然后,因为晶体管201导通,所以布线115和布线211处于导通状态。因此,因为将布线115的电位(例如,电压V1)供给给布线211。此时,因为节点13的电位成为L电平,所以晶体管203截止。然后,布线112和布线211处于非导通状态。结果,因为将布线115的电位(例如,电压V1)供给给布线211,所以信号GOUT成为L电平。

[0253] 接着,参照图18B的示意图说明期间B的半导体装置的工作。在期间B,信号IN1成为L电平,信号IN2成为H电平,并且节点13的电位(信号IN3)一直为L电平。因此,因为电路100能够进行图3C的工作6,所以节点12的电位(信号OUT)成为L电平。然后,因为晶体管201截止,所以布线115和布线211处于非导通状态。此时,因为节点13的电位成为L电平,所以晶体管203截止。然后,布线112和布线211处于非导通状态。结果,因为布线211处于浮动状态,所以布线211的电位大致维持为V1。

[0254] 首先,参照图19A的示意图说明期间C的半导体装置的工作。在期间C,信号IN1成为L电平,信号IN2成为H电平,并且节点13(信号IN3)的电位成为H电平。因此,因为电路100能够进行图3B的工作5,所以节点12的电位(信号OUT)成为L电平。然后,因为晶体管201截止,所以布线115和布线211处于非导通状态。此时,因为节点13的电位成为H电平,所以晶体管203导通。然后,因为布线112和布线211处于导通状态,所以将布线112的电位(L电平的信号IN1)供给给布线211。结果,因为将布线112的电位(L电平的信号IN1)供给给布线211,所以信号GOUT成为L电平。

[0255] 接着,参照图19B的示意图说明期间D的半导体装置的工作。在期间D,信号IN1成为H电平,信号IN2成为L电平,并且节点13的电位(信号IN3)成为H电平。因此,因为电路100能够进行图2C的工作3,所以节点12的电位(信号OUT)成为L电平。然后,因为晶体管201截止,所以布线115和布线211处于非导通状态。此时,因为节点13的电位成为H电平,所以晶体管203导通。然后,因为布线112和布线211处于导通状态,所以将布线112的电位(H电平的信号IN1)供给给布线211。结果,因为将布线112的电位(H电平的信号IN1)供给给布线211,所以布线211的电位开始上升。此时,节点12处于浮动状态。然后,通过晶体管203的栅极和第二端子之间的寄生电容而使节点13的电位上升。结果,节点13的电位成为 $V_2 + V_{th203} + V_a$ 。这是所谓的自举工作。像这样,因为布线211的电位成为V2,所以信号GOUT成为H电平。

[0256] 以下,参照图19C的示意图说明期间E的半导体装置的工作。在期间E,信号IN1成为L电平,信号IN2成为H电平,并且节点13的电位(信号IN3)成为L电平。因此,因为电路100能够进行图3C的工作6,所以节点12的电位(信号OUT)成为L电平。然后,因为晶体管201截止,所以布线115和布线211处于非导通状态。此时,节点13的电位成为L电平。然后,因为晶体管203截止,所以布线112和布线211处于非导通状态。但是,信号IN1从H电平变成L电平的时序可以早于节点13的电位从H电平减小到L电平的时序。在此情况下,在晶体管203导通时,即布线112和布线211处于导通状态时,信号IN1有时成为L电平。因此,因为将L电平的信号IN1供给给布线211,所以信号GOUT成为L电平。

[0257] 另外,在图10A至10C、图14A、图16A和图17A所示的结构中,可以将晶体管203的栅极连接于节点12。或者,可以将晶体管201的栅极连接于节点13(参照图47A)。

[0258] 另外,在图10A至10C、图14A、图16A、图17A和图47A所示的结构中,可以将电路100和其他晶体管分别连接于不同布线。例如,如图47B所示,可以将晶体管203的第一端子连接于与布线112不同的布线(布线112A)。或者,可以将晶体管201的第一端子连接于与布线115不同的布线(布线115A)。

[0259] 另外,在图10A至10C、图14A、图16A、图17A以及图47A和47B所示的结构中,可以重新设置晶体管204。

[0260] 图20A示出在图17A的半导体装置中重新设置晶体管204的结构。晶体管204为N沟道晶体管。但是,本实施方式不局限于此,晶体管204可以为P沟道晶体管。晶体管204的第一端子连接于布线115,晶体管204的第二端子连接于节点13,并且晶体管204的栅极连接于节点12。

[0261] 以下,说明晶体管204的功能。晶体管204具有控制布线115和节点13的导通状态的功能。或者,晶体管204具有控制将布线115的电位供给给节点13的时序的功能。或者,在将信号或电压输入到布线115时,晶体管204具有控制将输入到布线115的信号或电压供给给节点13的时序的功能。或者,晶体管204具有控制将L信号或电压V1供给给节点13的时序的功能。或者,晶体管204具有控制使节点13的电位降低的时序的功能。如上所述,晶体管204可以具有开关的功能。另外,晶体管204不一定需要具有以上所列出的全部功能。另外,可以根据节点12的电位(例如,信号OUT)控制晶体管204。

[0262] 以下,说明图20A所示的半导体装置的工作。在期间A,如图20B所示,因为电路100输出H信号,所以晶体管204导通。然后,因为布线115和节点13处于导通状态,所以将布线115的电位(例如,电压V1)供给给节点13。在期间B至期间E,因为电路100输出L信号,所以晶体管204截止。因此,布线115和节点13处于非导通状态。另外,图20C示出期间B的图20A所示的半导体装置的示意图。

[0263] 另外,在图10A至10C、图14A、图16A、图17A、图20A以及图47A和47B所示的结构中,可以重新设置晶体管205。

[0264] 图21A示出在图17A的半导体装置中重新设置晶体管205的结构。晶体管205为N沟道晶体管。但是,本实施方式不局限于此,晶体管205可以为P沟道晶体管。晶体管205的第一端子连接于布线212,晶体管205的第二端子连接于节点13,并且晶体管205的栅极连接于布线212。

[0265] 以下,说明输入到布线212的信号及布线212的功能。将信号IN4输入到布线212。信号IN4可以具有起始脉冲的功能。因此,布线212可以具有信号线的功能。可以将固定的电压供给给布线212。因此,布线212可以具有电源线的功能。

[0266] 另外,在连接有多个半导体装置的情况下,布线212连接于另一半导体装置(例如,前一级的半导体装置)的布线211。因此,布线212可以具有栅极信号线、扫描线、选择线、电容线或电源线的功能。另外,信号IN4可以具有栅极信号或扫描信号的功能。

[0267] 以下,说明晶体管205的功能。晶体管205具有控制布线212和节点13的导通状态的功能。或者,晶体管205具有控制将布线212的电位供给给节点13的时序的功能。或者,在将信号或电压输入到布线212时,晶体管205具有控制将输入到布线212的信号或电压供给给

节点13的时序的功能。或者,晶体管205具有控制将H信号或电压V2供给给节点13的时序的功能。或者,晶体管205具有不将信号或电压供给给节点13的功能。或者,晶体管205具有控制使节点13的电位上升的时序的功能。或者,晶体管205具有使节点13处于浮动状态的功能。如上所述,晶体管205可以具有开关、二极管或被进行了二极管连接的晶体管等的功能。另外,晶体管205不一定需要具有以上所列出的全部功能。另外,可以根据布线212的电位(信号IN4)和/或节点13的电位控制晶体管205。

[0268] 以下,参照图21B说明图21A所示的半导体装置的工作。图21B示出可以应用于本实施方式的半导体装置的时序图。在期间C,如图22A所示,信号IN4成为H电平。因此,因为晶体管205导通,所以布线212和节点13处于导通状态。然后,将布线212的电位(例如,H电平的信号IN4)供给给节点13。结果,节点13的电位开始上升。然后,当节点13的电位成为从晶体管205的栅极电位(例如,V2)减去晶体管205的阈值电压(V_{th205})的数值($V2 - V_{th205}$)时,晶体管205截止。因此,因为节点13处于浮动状态,所以节点13的电位维持为 $V2 - V_{th205}$ 。在期间A和B以及期间D和E,信号IN4成为L电平。因此,由于晶体管205截止,所以布线212和节点13处于非导通状态。另外,图22B示出期间B的图21A所示的半导体装置的工作的示意图。

[0269] 另外,在图10A至10C、图14A、图16A、图17A、图20A、图21A以及图47A和47B所示的结构中,可以重新设置晶体管206。

[0270] 图23A示出在图21A的半导体装置中设置晶体管206的结构。晶体管206为N沟道晶体管。但是,本实施方式不局限于此,晶体管206可以为P沟道晶体管。晶体管206的第一端子连接于布线212,晶体管206的第二端子连接于节点13,并且晶体管206的栅极连接于布线113。

[0271] 以下,说明晶体管206的功能。晶体管206具有控制布线212和节点13的导通状态的功能。或者,晶体管206具有控制将布线212的电位供给给节点13的时序的功能。或者,在将信号或电压输入到布线212时,晶体管206具有控制将输入到布线212的信号或电压供给给节点13的时序的功能。或者,晶体管206具有控制将L信号或电压V1供给给节点13的时序的功能。或者,晶体管206具有控制将H信号或电压V2供给给节点13的时序的功能。或者,晶体管206具有控制使节点13的电位降低的时序的功能。或者,晶体管206具有控制使节点13的电位上升的时序的功能。如上所述,晶体管206可以具有开关的功能。另外,晶体管206不一定需要具有以上所列出的全部功能。另外,可以根据布线113的电位(例如,信号IN2)控制晶体管206。

[0272] 以下,说明图23A的半导体装置的工作。在期间C,如图23B所示,因为信号IN2成为H电平,所以晶体管206导通。因此,因为布线212和节点13处于导通状态,所以布线212的电位(例如,H电平的信号IN4)被供给给节点13。像这样,在期间C,可以使节点13的电位变化陡峭,因此可以提高半导体装置的驱动频率。

[0273] 在期间B和期间E,与期间C同样,因为信号IN2也成为H电平,所以晶体管206导通。因此,因为布线212和节点13处于导通状态,所以将布线212的电位(例如,L电平的信号IN4)供给给节点13。由此,在期间B,可以固定节点13的电位,因此可以得到抗杂波性能好的半导体装置。或者,在期间E,因为可以降低节点13的电位,所以可以使晶体管203截止。另外,图24A示出期间B的图23A所示的半导体装置的工作的示意图。

[0274] 在期间A,如图24B所示,因为信号IN2成为L电平,所以晶体管206截止。因此,布线

212和节点13处于非导通状态。像这样,因为晶体管206截止,所以可以抑制晶体管206的退化。

[0275] 另外,在图10A至10C、图14A、图16A、图17A、图20A、图21A、图23A以及图47A和47B所示的结构中,可以重新设置晶体管207。

[0276] 图25A示出在图17A的半导体装置中重新设置晶体管207的结构。晶体管207为N沟道晶体管。但是,本实施方式不局限于此,晶体管207可以为P沟道晶体管。晶体管207的第一端子连接于布线115,晶体管207的第二端子连接于节点13,并且晶体管207的栅极连接于布线213。

[0277] 以下,说明输入到布线213的信号及布线213的功能。将信号IN5输入到布线213。信号IN5可以具有复位信号的功能。因此,布线213可以具有信号线的功能。可以将固定的电压供给给布线213。因此,布线213可以具有电源线的功能。

[0278] 另外,在连接有多个半导体装置的情况下,布线213连接于另一半导体装置(例如,下一级的半导体装置)的布线211。因此,布线213可以具有栅极信号线、扫描线、选择线、电容线或电源线的功能。另外,信号IN5可以具有栅极信号或扫描信号的功能。

[0279] 以下,说明晶体管207的功能。晶体管207具有控制布线115和节点13的导通状态的功能。或者,晶体管207具有控制将布线115的电位供给给节点13的时序的功能。或者,在将信号或电压输入到布线115时,晶体管207具有控制将输入到布线115的信号或电压供给给节点13的时序的功能。或者,晶体管207具有控制将L信号或电压V1供给给节点13的时序的功能。或者,晶体管207具有控制使节点13的电位降低的时序的功能。如上所述,晶体管207可以具有开关的功能。另外,晶体管207不一定需要具有以上所列出的全部功能。另外,可以根据布线213的电位(例如,信号IN5)控制晶体管207。

[0280] 以下,参照图25B说明图25A所示的半导体装置的工作。图25B示出可以应用于本实施方式的半导体装置的时序图。在期间E,如图26A所示,信号IN5成为H电平。因此,因为晶体管207导通,所以布线115和节点13处于导通状态。然后,将布线115的电位(例如,电压V1)供给给节点13。结果,节点13的电位降低。在期间A至期间D,信号IN5成为L电平。因此,由于晶体管207截止,所以布线115和节点13处于非导通状态。另外,图26B示出期间B的图25A所示的半导体装置的工作的示意图。

[0281] 另外,在图10A至10C、图14A、图16A、图17A、图20A、图21A、图23A、图25A以及图47A和47B所示的结构中,晶体管102的栅极可以连接于与节点13不同的布线(例如,布线211等)。

[0282] 图27B示出在图27A的半导体装置中将晶体管102的栅极连接于布线211的结构。可以防止因将大电压施加到晶体管102的栅极而引起晶体管102的介质击穿或退化。

[0283] 另外,图27A的半导体装置具有在图14A的半导体装置中重新追加晶体管201至207的结构。

[0284] 另外,在图10A至10C、图14A、图16A、图17A、图20A、图21A、图23A、图25A、图27A和27B以及图47A和47B所示的结构中,晶体管204的第一端子可以连接于与布线115不同的布线(例如,布线113、布线212、布线213、节点12或节点13等)。或者,晶体管204的栅极可以连接于与节点12不同的布线(例如,布线112等)。

[0285] 图27C示出在图27A的半导体装置中将晶体管204的第一端子连接于布线211且将

晶体管204的栅极连接于布线112的结构。由此,在期间D,可以降低节点13的电位。因此,可以防止连接于节点13的晶体管(例如,晶体管102、晶体管203、晶体管205或晶体管206等)的介质击穿或者可以抑制这些晶体管的退化。

[0286] 另外,在图10A至10C、图14A、图16A、图17A、图20A、图21A、图23A、图25A、图27A至27C以及图47A和47B所示的结构中,晶体管205的第一端子可以连接于与布线212不同的布线(例如,布线113、布线116等)。或者,晶体管205的栅极可以连接于与布线212不同的布线(例如,布线113、布线116等)。

[0287] 图28A示出在图27A的半导体装置中将晶体管205的第一端子连接于布线116的结构。

[0288] 另外,在图10A至10C、图14A、图16A、图17A、图20A、图21A、图23A、图25A、图27A至27C、图28A以及图47A和47B所示的结构中,晶体管207的第二端子可以连接于与节点13不同的布线(例如,布线211、节点11或节点12等)。或者,晶体管207的第一端子可以连接于与布线115不同的布线(例如,布线112、布线116、节点11或节点12等)。

[0289] 图28B示出在图27A的半导体装置中将晶体管207的第二端子连接于布线211的结构。在期间E,可以将布线115的电位(例如,电压V1)通过晶体管207供给给布线211。因此,信号GOUT的下降时间可以缩短。

[0290] 另外,在图10A至10C、图14A、图16A、图17A、图20A、图21A、图23A、图25A、图27A至27C、图28A和28B以及图47A和47B所示的结构中,晶体管201的第一端子可以连接于与布线115不同的布线(例如,布线113、布线212、布线213、节点12或节点13等)。或者,晶体管202的第一端子可以连接于与布线115不同的布线(例如,布线112或节点12等)。或者,晶体管204的第一端子可以连接于与布线115不同的布线(例如,布线113、布线212、布线213、节点12或节点13等)。或者,晶体管207的第一端子可以连接于与布线115不同的布线(例如,布线112、布线116、布线212、节点12等)。各晶体管的各端子除了附图中的连接关系以外还可以连接于各种布线。

[0291] 图28C示出图27A的半导体装置中晶体管201的第一端子连接于布线113,晶体管202的第一端子连接于布线113,晶体管204的第一端子连接于布线113,并且晶体管207的第一端子连接于布线112的结构。因为可以将H信号输入到晶体管201、晶体管202、晶体管204以及晶体管207的第一端子,所以可以抑制这些晶体管的退化。

[0292] 接着,在图10A至10C、图14A、图16A、图17A、图20A、图21A、图23A、图25A、图27A至27C、图28A至28C以及图47A和47B所示的结构中,可以使用二极管代替晶体管。例如,可以对晶体管进行二极管连接。

[0293] 图29A示出在图27A的半导体装置中使用二极管代替晶体管的结构。可以使用其一方电极(例如,输入端子)连接于布线211,而其另一方电极(例如,输出端子)连接于节点12的二极管201d代替晶体管201。或者,可以使用其一方电极(例如,输入端子)连接于布线211,而其另一方电极(例如,输出端子)连接于布线113的二极管202d代替晶体管202。或者,可以使用其一方电极(例如,输入端子)连接于节点13,而其另一方电极(例如,输出端子)连接于布线211的二极管203d代替晶体管203。或者,可以使用其一方电极(例如,输入端子)连接于节点13,而其另一方电极(例如,输出端子)连接于节点12的二极管204d代替晶体管204。或者,可以使用其一方电极(例如,输入端子)连接于布线212,而其另一方电极(例如,

输出端子)连接于节点13的二极管205d代替晶体管205。或者,可以使用其一方电极(例如,输入端子)连接于节点13,而其另一方电极(例如,输出端子)连接于布线213的二极管207d代替晶体管207。由此,可以减少信号或电源的数量。就是说,可以减少布线数。因此,因为可以减小形成本实施方式的半导体装置的衬底和用来将信号供给给该衬底的衬底之间的连接数,所以可以实现可靠性的提高、成品率的提高或制造成本的削减等。可以使用二极管代替本实施方式的多个晶体管中的几个。

[0294] 图29B示出在图27A的半导体装置中对晶体管进行了二极管连接的结构。例如,晶体管201的第一端子连接于节点12而晶体管201的栅极连接于布线211。或者,例如,晶体管202的第一端子连接于布线113,而晶体管202的栅极连接于布线211。或者,例如,晶体管203的第一端子连接于节点13,而晶体管203的栅极连接于节点13。或者,例如,晶体管204的第一端子连接于节点12,晶体管204的栅极连接于节点13。或者,例如,晶体管207的第一端子连接于布线213,晶体管207的栅极连接于节点13。由此,可以减少信号或电源的数量。就是说,可以减少布线数。因此,因为可以减小形成本实施方式的半导体装置的衬底和用来将信号供给给该衬底的衬底之间的连接数,所以可以实现可靠性的提高、成品率的提高或制造成本的削减等。可以对本实施方式的多个晶体管中的几个进行二极管连接。

[0295] 图29C示出在图27A的半导体装置中对P沟道晶体管进行了二极管连接的结构。晶体管201p、晶体管202p、晶体管203p、晶体管204p、晶体管205p和晶体管207p分别具有与晶体管201、晶体管202、晶体管203、晶体管204、晶体管205和晶体管207同样的功能,并且它们是P沟道晶体管。图29C的半导体装置的连接关系与图29B的半导体装置相同。但是,图29C的半导体装置与图29B的半导体装置不同之处是:将晶体管201p的栅极连接于节点12;将晶体管202p的栅极连接于布线113,将晶体管203p的栅极连接于布线211,将晶体管204p的栅极连接于节点12,将晶体管205p的栅极连接于节点13,并且将晶体管207p的栅极连接于布线213,以对晶体管进行二极管连接。由此,可以减少信号或电源的数量。就是说,可以减少布线数。因此,因为可以减小形成本实施方式的半导体装置的衬底和用来将信号供给给该衬底的衬底之间的连接数,所以可以实现可靠性的提高、成品率的提高或制造成本的削减等。可以对本实施方式的多个晶体管中的几个进行二极管连接。

[0296] 接着,在图10A至10C、图14A、图16A、图17A、图20A、图21A、图23A、图25A、图27A至27C、图28A至28C、图29A至29C以及图47A和47B所示的结构中,可以将晶体管的各端子或各电极分别连接于不同的布线。例如,可以将晶体管101的第一端子、晶体管104的第一端子和晶体管203的第一端子分别连接于不同的布线。或者,例如,可以将晶体管103的栅极、晶体管105的栅极和晶体管202的栅极分别连接于不同的布线。或者,例如,可以将晶体管102的第一端子、晶体管105的第一端子、晶体管201的第一端子、晶体管202的第一端子、晶体管204的第一端子和晶体管207的第一端子分别连接于不同的布线。或者,例如,可以将晶体管205的第一端子和晶体管206的第一端子分别连接于不同的布线。为了实现上述连接,可以将布线分割成多个布线。

[0297] 图30A示出在图27A的半导体装置中将布线112分割成多个布线112A至112C,将布线113分割成多个布线113A至113D,将布线115分割成多个布线115A至115G,并且将布线212分割成多个布线212A和212B的结构。晶体管201的第一端子连接于布线115D。或者,晶体管202的第一端子连接于布线115E,并且晶体管202的栅极连接于布线113C。或者,晶体管203

的第一端子连接于布线112C。或者,晶体管204的第一端子连接于布线115F。或者,晶体管205的第一端子及栅极连接于布线212A。或者,晶体管206的第一端子连接于布线212B。或者,晶体管206的栅极连接于布线113D。或者,晶体管207的第一端子连接于布线115G。

[0298] 另外,布线112A至112C可以具有与布线112相同的功能。或者,布线113A至113D可以具有与布线113相同的功能。或者,布线115A至115G可以具有与布线115相同的功能。或者,布线212A和212B可以具有与布线212相同的功能。因此,可以将信号IN1输入到布线112A至112C。或者,可以将信号IN2输入到布线113A至113D。或者,可以将电压V1供给给布线115A至115G。或者,可以将信号IN4输入到布线212A和212B。可以将不同的电压或不同的信号分别供给给布线112A至112C。或者,可以将不同的电压或不同的信号分别供给给布线113A至113D。或者,可以将不同的电压或不同的信号分别供给给布线115A至115G。或者,可以将不同的电压或不同的信号分别供给给布线212A和212B。

[0299] 接着,在图10A至10C、图14A、图16A、图17A、图20A、图21A、图23A、图25A、图27A至27C、图28A至28C、图29A至29C、图30A以及图47A和47B所示的结构中,可以省略一部分的晶体管。例如,可以省略晶体管201和晶体管204中的一方。或者,例如,在半导体装置具有晶体管206时,可以省略晶体管205和晶体管207中的一方或双方。在上述以外的情况下,根据需要,也可以省略晶体管的一部分。

[0300] 图30B示出在图27A的半导体装置中省略晶体管201和晶体管205的结构。晶体管个数减小,因此可以减小布局面积。或者,可以降低耗电量。

[0301] 接着,在图10A至10C、图14A、图16A、图17A、图20A、图21A、图23A、图25A、图27A至27C、图28A至28C、图29A至29C、图30A和30B以及图47A和47B所示的结构中,可以重新设置连接于节点13和布线211之间的电容元件220。

[0302] 图30C示出在图17A所示的半导体装置中重新设置连接于节点13和布线211之间的电容元件220的结构。由此,在进行自举工作时,节点13的电位容易上升。因此,可以增大晶体管203的 V_{gs} 。结果,可以减小晶体管203的沟道宽度。或者,信号OUT的下降时间或上升时间可缩短。例如,作为电容元件,可以使用MOS电容器。

[0303] 接着,在图10A至10C、图14A、图16A、图17A、图20A、图21A、图23A、图25A、图27A至27C、图28A至28C、图29A至29C、图30A至30C以及图47A和47B所示的结构中,可以与信号GOUT另行产生信号。例如,本实施方式的半导体装置与信号GOUT另行产生信号SOUT,并且连接有多个半导体装置。在此情况下,不将信号SOUT输出到布线211,而将信号SOUT作为起始脉冲输入到另一级的半导体装置。因此,信号SOUT的延迟或失真比信号GOUT小。为此,因为可以使用延迟或失真小的信号驱动半导体装置,所以可以降低半导体装置的输出信号的延迟。为此,在图14A、图16A、图17A、图20A、图21A、图23A、图25A、图27A至27C、图28A至28C、图29A至29C、图30A至30C以及图47A和47B所示的结构中,可以重新设置晶体管208。

[0304] 图31A示出在图17A的半导体装置中重新设置晶体管208的结构。晶体管208可以具有与晶体管203相同的功能,并具有相同的极性。晶体管208的第一端子连接于布线112,晶体管208的第二端子连接于布线214,并且晶体管208的栅极连接于节点13。布线214可以具有与布线211相同的功能。另外,例如,在连接有多个半导体装置的情况下,布线211连接于另一半导体装置(例如,下一级的半导体装置)的布线212。例如,如图31B所示,可以重新设置晶体管209。晶体管209可以具有与晶体管203相同的功能,并具有相同的极性。晶体管209

的第一端子连接于布线115,晶体管209的第二端子连接于布线214,并且晶体管209的栅极连接于节点12。另外,图31C示出与信号GOUT另行产生信号SOUT时的时序图。

[0305] 如上所述,本实施方式不局限于图14A所示的结构,而可以采用各种结构。

[0306] 接着,在图10A至10C、图14A、图16A、图17A、图20A、图21A、图23A、图25A、图27A至27C、图28A至28C、图29A至29C、图30A至30C、图31A和31B以及图47A和47B所示的结构中,可以使用P沟道晶体管。也可以仅使半导体装置所具有的多个晶体管中的几个为P沟道晶体管。就是说,本实施方式的半导体装置可以采用CMOS电路。

[0307] 图32A示出在图27A的半导体装置中使用P沟道晶体管的结构。晶体管201p至207p具有与晶体管201至207相同的功能并是P沟道晶体管。在此情况下,将电压V2供给给布线115。另外,如图32B的时序图所示,可以使信号IN1、信号IN2、信号IN4、信号IN5、节点11的电位、节点12的电位、节点13的电位以及信号GOUT反相。

[0308] 以下,说明晶体管201至209的沟道宽度的比率和晶体管的尺寸。

[0309] 首先,晶体管201将电位供给给布线211。另外,布线211的负载大于节点12的负载。因此,晶体管201的沟道宽度大于电路100所具有的晶体管的沟道宽度。在此情况下,晶体管201的沟道宽度优选为晶体管101的沟道宽度的10倍以下,更优选为5倍以下,进一步优选为3倍以下。

[0310] 其次,晶体管202的栅极电位的变化比晶体管201的栅极电位陡峭。因此,晶体管202的沟道宽度优选小于晶体管201的沟道宽度。在此情况下,晶体管201的沟道宽度优选为晶体管202的沟道宽度的10倍以下,更优选为7倍以下,进一步优选为5倍以下。

[0311] 其次,晶体管203通过将电位供给给布线211而改变布线211的电位。另外,布线211连接于较大的负载(例如,栅极信号线、像素、晶体管或电容元件等)。因此,在本实施方式的半导体装置所具有的晶体管中,晶体管203的沟道宽度最大。例如,晶体管203的沟道宽度优选为晶体管201的沟道宽度的10倍以下,更优选为5倍以下,进一步优选为2倍以下。

[0312] 其次,晶体管204将电位供给给节点13。另外,节点13的负载大于节点12的负载。因此,晶体管204的沟道宽度小于晶体管201的沟道宽度。在此情况下,晶体管201的沟道宽度优选为晶体管204的沟道宽度的5倍以下,更优选为3倍以下,进一步优选为2倍以下。

[0313] 其次,通过增大晶体管205的沟道宽度,可以在期间A使节点13的电位的变化陡峭,所以可以提高半导体装置的驱动频率。因此,晶体管205的沟道宽度大于晶体管201或电路100所具有的晶体管的沟道宽度。或者,晶体管205的沟道宽度小于晶体管203的沟道宽度。在此情况下,晶体管203的沟道宽度优选为晶体管205的沟道宽度的10倍以下,更优选为5倍以下,进一步优选为2倍以下。

[0314] 其次,晶体管206通过将电位供给给节点13而维持节点13的电位。因此,晶体管206的沟道宽度小于晶体管205的沟道宽度。在此情况下,晶体管205的沟道宽度优选为晶体管206的沟道宽度的3倍以下,更优选为2倍以下,进一步优选为1.8倍以下。

[0315] 其次,晶体管207通过将电位供给给节点13而降低节点13的电位。注意,通过使节点13的电位的降低变慢,可以在期间E使晶体管203导通。由此,在期间E,晶体管203可以将电位供给给布线211,因此可以使布线211的电位的降低变快。因此,晶体管207的沟道宽度小于晶体管205的沟道宽度。在此情况下,晶体管205的沟道宽度优选为晶体管207的沟道宽度的10倍以下,更优选为7倍以下,进一步优选为5倍以下。

[0316] 其次,晶体管208将电位供给给布线214。另外,布线214的负载小于布线211的负载。因此,晶体管208的沟道宽度小于晶体管203的沟道宽度。在此情况下,晶体管203的沟道宽度优选为晶体管208的沟道宽度的10倍以下,更优选为7倍以下,进一步优选为4倍以下。

[0317] 其次,晶体管209将电位供给给布线214。另外,布线214的负载小于布线211的负载。因此,晶体管209沟道宽度小于晶体管203的沟道宽度。在此情况下,晶体管203的沟道宽度优选为晶体管209的沟道宽度的7倍以下,更优选为4倍以下,进一步优选为2.5倍以下。

[0318] 另外,考虑到上述晶体管的沟道宽度的比率,晶体管201的沟道宽度优选为1000 μm 以上且5000 μm 以下,更优选为1500 μm 以上且4000 μm 以下,进一步优选为2000 μm 以上且3000 μm 以下。或者,晶体管202的沟道宽度优选为200 μm 以上且3000 μm 以下,更优选为300 μm 以上且2000 μm 以下,进一步优选为400 μm 以上且1000 μm 以下。或者,晶体管203的沟道宽度优选为2000 μm 以上且30000 μm 以下,更优选为3000 μm 以上且15000 μm 以下,进一步优选为4000 μm 以上且10000 μm 以下。或者,晶体管204的沟道宽度优选为200 μm 以上且2500 μm 以下,更优选为400 μm 以上且2000 μm 以下,进一步优选为700 μm 以上且1500 μm 以下。或者,晶体管205的沟道宽度优选为500 μm 以上且3000 μm 以下,更优选为1000 μm 以上且2500 μm 以下,进一步优选为1500 μm 以上且2000 μm 以下。或者,晶体管206的沟道宽度优选为300 μm 以上且2000 μm 以下,更优选为500 μm 以上且1500 μm 以下,进一步优选为800 μm 以上且1300 μm 以下。或者,晶体管207的沟道宽度优选为100 μm 以上且1500 μm 以下,更优选为300 μm 以上且1000 μm 以下,进一步优选为400 μm 以上且800 μm 以下。或者,晶体管208的沟道宽度优选为300 μm 以上且5000 μm 以下,500 μm 以上且2000 μm 以下,进一步优选为800 μm 以上且1500 μm 以下。或者,晶体管209的沟道宽度优选为200 μm 以上且2000 μm 以下,更优选为400 μm 以上且1500 μm 以下,进一步优选为500 μm 以上且1000 μm 以下。

[0319] 实施方式3

[0320] 在本实施方式中,说明显示装置、显示装置所具有的像素以及显示装置所具有的移位寄存器电路。另外,该移位寄存器电路可以具有实施方式1或2所示的半导体装置。

[0321] 首先,参照图33A至33D说明显示装置。显示装置具有电路1001、电路1002、电路1003_1、像素部1004以及端子1005。多个布线可以从电路1003_1延伸而配置在像素部1004。该多个布线可以具有栅极信号线或扫描线的功能。或者,多个布线可以从电路1002延伸而配置在像素部1004。该多个布线可以具有视频信号线或数据线的功能。另外,对应于从电路1003_1延伸而配置的多个布线和从电路1002延伸而配置的多个布线,配置有多个像素。例如,在像素部1004,除了上述以外还可以配置各种布线。该布线可以具有栅极信号线、数据线、电源线或电容线等的功能。

[0322] 另外,电路1001具有将信号、电压或电流等供给给电路1002及电路1003的功能。或者,电路1001具有控制电路1002及电路1003的功能。如上所述,电路1001可以具有控制器、控制电路、时序发生器、电源电路或调节器等的功能。

[0323] 另外,电路1002具有将视频信号供给给像素部1004的功能。或者,电路1002具有控制像素部1004所具有的像素的亮度或透过率等的功能。如上所述,电路1002具有驱动电路、源极驱动器或信号线驱动电路等的功能。

[0324] 另外,电路1003_1及电路1003_2具有将扫描信号或栅极信号供给给像素部1004的功能。或者,电路1003_1及电路1003_2具有选择像素部1004所具有的像素的功能。如上所

述,电路1003_1及电路1003_2具有驱动电路、栅极驱动器或扫描线驱动电路的功能。另外,电路1003_1及电路1003_2既可驱动同一布线,又可驱动不同布线。例如,电路1003_1可以驱动奇数级的栅极信号线,电路1003_2可以驱动偶数级的栅极信号线。

[0325] 另外,电路1001、电路1002、电路1003_1及电路1003_2既可形成在与像素部1004相同的衬底1006上,又可形成在与像素部1004不同的衬底(例如,半导体衬底或SOI衬底等)上。

[0326] 图33A示出如下结构:电路1003_1形成在与像素部1004相同的衬底1006上,电路1001及电路1002形成在与像素部1004不同的衬底上。电路1003_1的驱动频率比电路1001或电路1002低。因此,作为晶体管的半导体层,容易使用非单晶半导体、非晶半导体、微晶半导体、氧化物半导体、有机半导体等。结果,可以制造较大的显示装置。可以制造廉价的显示装置。

[0327] 图33B示出如下结构:电路1003_1及电路1003_2形成在与像素部1004相同的衬底1006上,电路1001及电路1002形成在与像素部1004不同的衬底上。电路1003_1及电路1003_2的驱动频率比电路1001或电路1002低。因此,作为晶体管的半导体层,容易使用非单晶半导体、非晶半导体、微晶半导体、氧化物半导体、有机半导体等。结果,可以制造较大的显示装置。可以制造廉价的显示装置。

[0328] 图33C示出如下结构:电路1002、电路1003_1及电路1003_2形成在与像素部1004相同的衬底1006上,电路1001形成在与像素部1004不同的衬底上。

[0329] 图33D示出如下结构:电路1002的一部分的电路1002a、电路1003_1及电路1003_2形成在与像素部1004相同的衬底1006上,电路1001和电路1002的其他部分的电路1002b形成在与像素部1004不同的衬底上。在此情况下,作为电路1002a,可以使用开关、移位寄存器和/或选择器等的驱动频率低的电路。

[0330] 以下,参照图33E说明像素部1004所具有的像素。像素3020包括晶体管3021、液晶元件3022和电容元件3023。晶体管3021的第一端子连接到布线3031。晶体管3021的第二端子连接到液晶元件3022的一个电极以及电容元件3023的一个电极。晶体管3021的栅极连接到布线3032。液晶元件3022的另一个电极连接到电极3034。电容元件3023的另一个电极连接到布线3033。

[0331] 将视频信号从图33A至33D所示的电路1002输入到布线3031。因此,布线3031可以具有信号线、视频信号线或者源极信号线的功能。将扫描信号、选择信号或栅极信号从图33A至33D所示的电路1003_1和/或电路1003_2输入到布线3032。因此,布线3032可以具有信号线、扫描线或栅极信号线的功能。可以将固定的电压从图33A至33D所示的电路1001供给给布线3033和电极3034。因此,布线3033可以具有电源线或电容线的功能。或者,电极3034可以具有公共电极或对置电极的功能。例如,可以将预充电电压供给给布线3031。预充电电压与被供给给电极3034的电压大致相同。作为另一例子,可以将信号输入到布线3033。由此,因为可以控制施加到液晶元件3022的电压,所以既可减小视频信号的振幅又可实现反相驱动。作为另一例子,可以将信号输入到电极3034。由此,可以实现帧反相驱动。

[0332] 晶体管3021具有控制布线3031和液晶元件3022的一方电极之间的导通状态的功能。或者,晶体管3021具有控制将视频信号写入到像素的时序的功能。由此,晶体管3021具有开关的功能。电容元件3023具有保持液晶元件3022的一个电极的电位与布线3033的电位

之间的电位差的功能。或者,电容元件3023具有将施加到液晶元件3022的电压保持为一定的功能。由此,电容元件3023具有存储电容器的功能。

[0333] 其次,参照图34说明移位寄存器电路。电路1002、电路1003_1和/或电路1003_2可以包括上述移位寄存器电路。

[0334] 移位寄存器电路1100包括触发器电路1101_1至1101_N(N为自然数)的多个触发器电路。另外,作为触发器电路1101_1至1101_N,分别可以使用实施方式1或实施方式2所示的半导体装置。

[0335] 移位寄存器电路1100连接到布线1111_1至1111_N、布线1112、布线1113、布线1114、布线1115以及布线1116。此外,在触发器电路1101_i(i是1至N中的任一个自然数)中,布线211连接于布线1111_i,布线112连接于布线1112,布线113连接于布线1113,布线212连接于布线1111_i-1,布线213连接于布线1111_i+1,并且布线115连接于布线1115。注意,在奇数级的触发器电路和偶数级的触发器电路之间,布线112及布线113的连接位置相反。另外,在触发器电路1101_1中,布线212连接于布线1114。另外,在触发器电路1101_N中,布线213连接于布线1116。

[0336] 以下,说明对每个布线输入或者从每个布线输出的信号或电压的一个例子和各布线的功能。信号GOUT_1至GOUT_N分别从布线1111_1至1111_N输出。在很多情况下,信号GOUT_1至GOUT_N分别为触发器电路1101_1至1101_N的输出信号,并可以具有与信号GOUT相同的功能。因此,布线1111_1至1111_N可以具有与布线211相同的功能。将信号GCK1输入到布线1112,将信号GCK2输入到布线1113。信号GCK1可以具有与信号IN2或信号IN3相同的功能,信号GCK2可以具有与信号IN2或信号IN3相同的功能。因此,布线1112可以具有与布线112或布线113相同的功能,布线1113可以具有与布线112或布线113相同的功能。将信号GSP输入到布线1114。信号GSP可以具有与信号IN4相同的功能。因此,布线1114可以具有与布线212相同的功能。将电压V1供给给布线1115。因此,布线1115可以具有与布线115相同的功能。将信号GRE输入到布线1116。信号GRE可以具有与信号IN5相同的功能。因此,布线1116可以具有与布线213相同的功能。

[0337] 以下,参照图35的时序图说明图34的移位寄存器电路的一帧期间的工作。

[0338] 例如,在信号GOUT_i-1成为H电平时,触发器电路1101_i开始进行期间C的工作。然后,在信号GCK1及信号GCK2反相时,触发器电路1101_i开始进行期间D的工作。因此,信号GOUT_i成为H电平。因为将信号GOUT_i输入到触发器电路1101_i+1,所以触发器电路1101_i+1开始进行期间C的工作。然后,在信号GCK1及信号GCK2反相时,触发器电路1101_i+1开始进行期间D的工作。由此,信号GOUT_i+1成为H电平。因为将信号GOUT_i+1输入到触发器电路1101_i,所以触发器电路1101_i开始进行期间E的工作。因此,信号GOUT_i成为L电平。然后,每次信号GCK1及信号GCK2反相,触发器电路1101_i都反复交替地进行期间A的工作和期间B的工作。因此,信号GOUT_i维持为L电平。另外,在图35中,将信号GCK1和GCK2中的一方表示为GCK。

[0339] 另外,本实施方式的移位寄存器可以使用实施方式1或实施方式2所示的半导体装置。因此,由于可以将信号GOUT至GOUT_N的H电平上升到V2,所以可以使像素所具有的晶体管导通的时间变长。结果,可以在充分的时间内将视频信号写入到像素,而可以实现显示质量的提高。或者,由于信号GOUT至GOUT_N的下降时间和上升时间可以缩短,所以可防止将输

向属于另一行的像素的视频信号写入到属于所选择的行的像素。结果,可以实现显示质量的提高。或者,由于可以抑制信号GOUT_1至GOUT_N的下降时间的不均匀,所以可以抑制影响到在像素中存储的视频信号的穿通(feedthrough)的不均匀。由此,可以抑制串扰等的显示不均匀。或者,因为可以减小晶体管的尺寸,所以可以减小移位寄存器的负载(例如,寄生电容等)。结果,因为可以减小具有将信号或电压等供给给移位寄存器的功能的外部电路及其电流供给能力,所以可以制造尺寸小的外部电路或尺寸小的具有该外部电路的显示装置。

[0340] 实施方式4

[0341] 在本实施方式中对信号线驱动电路进行说明。注意,可以将信号线驱动电路表示为半导体装置或信号生成电路。

[0342] 首先,参照图36A对信号线电路的结构进行说明。信号线驱动电路包括电路2001及电路2002。电路2002包括多个电路,即电路2002_1至2002_N(N是自然数)。电路2002_1至2002_N分别具有多个晶体管,即晶体管2003_1至2003_k(k是自然数)。晶体管2003_1至2003_k是N沟道型。但是,不局限于此,晶体管2003_1至2003_k也可以为P沟道型或CMOS型开关。

[0343] 以电路2002_1为例子对信号线驱动电路的连接关系进行说明。晶体管2003_1至2003_k的第一端子分别连接到布线2004_1至2004_k。晶体管2003_1至2003_k的第二端子分别连接到布线S1至Sk。晶体管2003_1至2003_k的栅极连接到布线2005_1。

[0344] 电路2001具有控制对布线2005_1至2005_N按顺序输出H电平的信号的时序的功能。或者,它具有按顺序选择电路2002_1至2002_N的功能。像这样,电路2001具有移位寄存器的功能。电路2001可以对布线2005_1至2005_N按各种顺序输出H电平的信号。或者,可以按各种顺序选择电路2002_1至2002_N。像这样,电路2001可以具有解码器的功能。

[0345] 电路2002_1具有控制布线2004_1至2004_k和布线S1至Sk导通的时序的功能。或者,电路2002_1具有控制将布线2004_1至2004_k的电位供给到布线S1至Sk的时序的功能。像这样,电路2002_1可以具有选择器的功能。另外,电路2002_2至2002_N可以具有与电路2002_1同样的功能。

[0346] 晶体管2003_1至2003_N分别具有控制布线2004_1至2004_k和布线S1至Sk导通的时序的功能。或者,晶体管2003_1至2003_N分别具有控制对布线S1至Sk供给布线2004_1至2004_k的电位的时序的功能。例如,晶体管2003_1具有控制布线2004_1和布线S1导通的时序的功能。或者,晶体管2003_1具有控制对布线S1供给布线2004_1的电位的时序的功能。像这样,晶体管2003_1至2003_N可以分别具有开关的功能。

[0347] 另外,对布线2004_1至2004_k分别输入信号。该信号是根据图像信息或图像信号的模拟信号。像这样,该信号可以具有视频信号的功能。因此,布线2004_1至2004_k可以具有信号线的功能。例如,根据像素结构,可以是数字信号、模拟电压或模拟电流。

[0348] 接着,参照图36B的时序图说明图36A的信号线驱动电路的工作。图36B示出信号2015_1至2015_N及信号2014_1至2014_k。信号2015_1至2015_N分别是电路2001的输出信号,信号2014_1至2014_k分别是输入到布线2004_1至2004_k的信号。注意,信号线驱动电路的一个工作期间对应于显示装置中的一个栅极选择期间。一个栅极选择期间被分割为期间T0及期间T1至期间TN。期间T0是用来同时对属于被选择的行的像素施加预充电电压的期间,并且期间T0可以具有预充电期间的功能。期间T1至TN分别是用来对属于被选择的行的

像素写入视频信号的期间,并可以具有写入期间的功能。

[0349] 首先,在期间T0中,电路2001对布线2005_1至2005_N供给H电平的信号。这样,例如在电路2002_1中晶体管2003_1至2003_k导通,所以布线2004_1至2004_k和布线S1至Sk处于导通状态。此时,对布线2004_1至2004_k供给预充电电压 V_p 。因此,预充电电压 V_p 通过晶体管2003_1至2003_k分别输出到布线S1至Sk。如此,因为预充电电压 V_p 写入到属于被选择的行的像素,所以对属于被选择的行的像素进行预充电。

[0350] 在期间T1至期间TN中,电路2001对布线2005_1至2005_N按顺序输出H电平的信号。例如,在期间T1中,电路2001将H电平的信号输出到布线2005_1。然后,晶体管2003_1至2003_k导通,所以布线2004_1至2004_k和布线S1至Sk处于导通状态。此时,对布线2004_1至2004_k输入Data (S1) 至Data (Sk)。Data (S1) 至Data (Sk) 分别通过2003_1至2003_k写入到属于被选择的行的像素中的第一列至第k列像素。通过上述步骤,在期间T1至TN中,对属于被选择的行的像素的每k列按顺序写入视频信号。

[0351] 如上所述,通过对每多个列的像素写入视频信号,可以减少视频信号的数量或布线的数量。因此,可以减少与外部电路的连接个数,所以可以实现成品率的提高、可靠性的提高、部件个数的缩减及/或成本的削减。或者,通过对每多个列的像素写入视频信号,可以延长写入时间。因此,可以防止视频信号的写入不足,从而可以实现显示质量的提高。

[0352] 另外,通过使k增大,可以减少与外部电路的连接个数。但是,若是k过大,对像素的写入时间变短。因此,优选 $k \leq 6$ 。更优选的是 $k \leq 3$ 。进一步优选的是 $k = 2$ 。

[0353] 特别是,当像素的色彩单元为n (n是自然数) 个时,优选 $k = n$ 或 $k = n \times d$ (d是自然数)。例如,当像素的色彩单元分割为三个,即红(R)、绿(G)、蓝(B)时,优选的是, $k = 3$ 或 $k = 3 \times d$ 。例如,当像素分割为m (m是自然数) 个子像素(将子像素称为亚像素或副像素)时,优选 $k = m$ 或 $k = m \times d$ 。例如,当像素分割为两个子像素时,优选 $k = 2$ 。或者,当像素的色彩单元为n个时,优选 $k = m \times n$ 或 $k = m \times n \times d$ 。

[0354] 例如,将本实施方式应用于显示装置。在此情况下,本实施方式的信号线驱动电路既可形成在与像素部相同的衬底上,又可形成在与像素部不同的衬底(例如,硅衬底或SOI衬底等)上。或者,可以将本实施方式的信号线驱动电路的一部分(例如,电路2002)形成在与像素部相同的衬底上,并将本实施方式的信号线驱动电路的其他部分(例如,电路2001)形成在与像素部不同的衬底上。

[0355] 图36C示出在与像素部2007相同的衬底上形成有电路2001和电路2002的结构。由此可以减少形成像素部的衬底与外部电路的连接个数,所以可以实现成品率的提高、可靠性的提高、部件个数的缩减或成本的削减等。特别是,通过将扫描线驱动电路2006A及扫描线驱动电路2006B也形成在与像素部2007相同的衬底上,可以更进一步减少与外部电路的连接个数。

[0356] 图36D示出在与像素部2007相同的衬底上形成有电路2002,并且在与像素部2007不同的衬底上形成有电路2001的结构。由于在此情况下也可以减少形成像素部的衬底与外部电路的连接数,因此可以实现成品率的提高、可靠性的提高、部件个数的缩减或成本的削减等。或者,由于形成在与像素部2007相同的衬底上的电路减少,因此可以缩小边框。

[0357] 另外,作为电路2001,可以使用实施方式3的移位寄存器电路。由此,因为可以使所有晶体管的极性为N沟道型,所以可以实现制造工序的减少。或者,因为可以抑制晶体管的

退化,所以可以延长信号线驱动电路的使用寿命。

[0358] 实施方式5

[0359] 在本实施方式中,对保护电路进行说明。为了防止连接到某个布线的半导体器件(例如,晶体管、电容元件、电路等)等因ESD(静电放电)被损坏,设置保护电路。

[0360] 首先,参照图37A对保护电路进行说明。保护电路3000包括晶体管3001及晶体管3002。晶体管3001及晶体管3002是N沟道型。但是,本实施方式不局限于此,也可以是P沟道型。

[0361] 以下,说明保护电路3000的连接关系。晶体管3001的第一端子连接到布线3012,晶体管3001的第二端子连接到布线3011,晶体管3001的栅极连接到布线3011。晶体管3002的第一端子连接到布线3013,晶体管3002的第二端子连接到布线3011,晶体管3002的栅极连接到布线3013。

[0362] 接着,说明输入到布线3011至3013的信号或电压等的一个例子及这些布线的功能。可以将信号(例如,扫描信号、视频信号、时钟信号、起始信号、复位信号或选择信号等)或电压(负电源电压、接地电压、正电源电压等)供给给布线3011。因此,布线3011可以具有信号线或电源线等的功能。将正电源电压(VDD)供给给布线3012。因此,布线3012可以具有电源线的功能。将负电源电压(VSS)或接地电压等供给给布线3013。因此,布线3013可以具有电源线的功能。

[0363] 接着,说明保护电路3000的工作。若是布线3011的电位大致是VSS至VDD之间的值,则晶体管3001及晶体管3002截止。因此,供给到布线3011的电压或信号等被供给到与布线3011连接的半导体器件。注意,由于静电等的影响,有时布线3011被供给比电源电压高的电位或比电源电压低电位。而且,有时由于该比电源电压高的电位或比电源电压低电位,与布线3011连接的半导体器件被损坏。为了防止这种半导体器件的静电击穿,通过使晶体管3001或晶体管3002导通,抑制布线3011的变化。例如,在对布线3011供给比电源电压高的电位时,晶体管3001导通。于是,布线3011的电荷通过晶体管3001移动到布线3012,布线3011的电位降低。由此,可以防止半导体器件的静电击穿。另一方面,例如,当对布线3011供给比电源电压低电位时,晶体管3002导通。于是,布线3011的电荷通过晶体管3002移动到布线3013,所以布线3011的电位上升。像这样,可以防止与布线3011连接的半导体器件的静电击穿。

[0364] 另外,在图37A所描述的结构中,可以省略晶体管3001和晶体管3002中的一方。图37B示出在图37A的保护电路中省略晶体管3002的结构。图37C示出在图37A的保护电路中省略晶体管3001的结构。

[0365] 此外,在图37A至37C所描述的结构中,可以在布线3011和布线3012之间将多个晶体管串联连接。或者,可以在布线3011和布线3013之间使多个晶体管串联连接。图37D示出如下结构:在图37A的保护电路中,在布线3011和布线3012之间将晶体管3001和晶体管3003串联连接,并且在布线3011和布线3013之间将晶体管3002和晶体管3004串联连接。晶体管3003的第一端子与布线3012连接,晶体管3003的第二端子与晶体管3001的第一端子连接,晶体管3003的栅极与晶体管3001的第一端子连接。晶体管3004的第一端子与布线3013连接,晶体管3004的第二端子与晶体管3002的第一端子连接,晶体管3004的栅极与晶体管3002的第一端子连接。例如,还可以如图37E所示,晶体管3001的栅极和晶体管3003的栅极

连接。或者,晶体管3002的栅极和晶体管3004的栅极连接。或者,可以在布线3011和布线3012之间与布线3011和布线3013之间中的一方将多个晶体管串联连接。

[0366] 另外,在图37A至37E所描述的结构中,可以在布线3011和布线3012之间使多个晶体管并联连接。或者,可以在布线3011和布线3013之间使多个晶体管并联连接。图37F示出如下结构:在图37A的保护电路中,在布线3011和布线3012之间使晶体管3001和晶体管3003并联连接,并且在布线3011和布线3013之间使晶体管3002和晶体管3004并联连接。晶体管3003的第一端子与布线3012连接,晶体管3003的第二端子与布线3011连接,晶体管3003的栅极与布线3011连接。晶体管3004的第一端子与布线3013连接,晶体管3004的第二端子与布线3011连接,晶体管3004的栅极与布线3013连接。

[0367] 此外,在图37A至37F所描述的结构中,可以在晶体管的栅极和第一端子之间使电容元件和电阻元件并联连接。可以在晶体管的栅极和第一端子之间只使电容元件和电阻元件中的一方连接。图37G示出如下结构:在图37A的保护电路中,在晶体管3001的栅极和第一端子之间使电容元件3005和电阻元件3006并联连接;在晶体管3002的栅极和第一端子之间使电容元件3007和电阻元件3008并联连接。由此,可以防止保护电路3000本身的损坏或退化。例如,当对布线3011供给比电源电压高的电位时,晶体管3001的 V_{gs} 增大。从而,晶体管3001导通,所以布线3011的电位降低。但是,由于晶体管3001的栅极和第二端子之间施加有大电压,因此有时产生晶体管3001的损坏或退化。为了防止这种现象,使晶体管3001的栅极的电位上升来降低晶体管3001的 V_{gs} 。为了实现晶体管3001的 V_{gs} 的降低,使用电容元件3005。当晶体管3001导通时,晶体管3001的第一端子的电位瞬时上升。于是,通过电容元件3005的电容耦合而使晶体管3001的栅极的电位上升。像这样,可以缩小晶体管3001的 V_{gs} ,从而可以抑制晶体管3001的损坏或退化。同样地,当对布线3011供给比电源电压低电位时,晶体管3002的第一端子的电位瞬时下降。于是,通过电容元件3007的电容耦合而使晶体管3002的栅极电位降低。像这样,由于可以降低晶体管3002的 V_{gs} ,因此可以抑制晶体管3002的损坏或退化。

[0368] 另外,作为电容元件,可以使用晶体管的栅极与第一端子之间的寄生电容。因此,用作晶体管的栅极的材料和用作晶体管的第一端子的材料重叠的面积大于用作晶体管的栅极的材料和用作晶体的第二端子的材料重叠的面积。

[0369] 另外,作为电阻元件,可以使用其导电率比用于布线3011的材料或用作晶体管的栅极的材料低材料(例如,与像素电极相同的材料、透光电极、添加有杂质的半导体层等)。

[0370] 在此,图37A至37G所描述的保护电路可以用于各种电路或布线(例如,信号线驱动电路、扫描线驱动电路、电平转移电路、栅极信号线、源极信号线、电源线、电容线等)。在图38A中示出在栅极信号线设置保护电路时的结构。在此情况下,布线3012及布线3013可以连接到与栅极驱动器3100连接的布线中的任一个。由此,可以减少电源的数量及布线的数量。在图38B中示出在对接接收来自FPC等的外部的信号或电压的端子设置保护电路时的结构。在此情况下,布线3012及布线3013可以与外部端子的任一个连接。例如,布线3012与端子3101a连接,布线3013与端子3101b连接。在此情况下,在设置在端子3101a中的保护电路中可以省略晶体管3001。同样地,在设置在端子3101b中的保护电路中,可以省略晶体管3002。由此,可以减少晶体管的数量,从而可以实现缩小布局面积。

[0371] 实施方式6

[0372] 在本实施方式中,参照图39A、39B及39C对晶体管进行说明。

[0373] 图39A是示出顶栅型晶体管和形成在其上的显示元件的图。图39B是示出底栅型晶体管和形成在其上的显示元件的图。

[0374] 图39A的晶体管包括:衬底5260;形成在衬底5260上的绝缘层5261;形成在绝缘层5261上并且包括区域5262a、区域5262b、区域5262c、区域5262d、以及区域5262e的半导体层5262;覆盖半导体层5262地形成的绝缘层5263;形成在半导体层5262及绝缘层5263上的导电层5264;形成在绝缘层5263及导电层5264上并包括开口部的绝缘层5265;以及形成在绝缘层5265上及绝缘层5265的开口部中的导电层5266。

[0375] 图39B的晶体管包括:衬底5300;形成在衬底5300上的导电层5301;覆盖导电层5301地形成的绝缘层5302;形成在导电层5301上及绝缘层5302上的半导体层5303a;形成在半导体层5303a上的半导体层5303b;形成在半导体层5303b及绝缘层5302上的导电层5304;形成在绝缘层5302上及导电层5304上并包括开口部的绝缘层5305;以及形成在绝缘层5305上及绝缘层5305的开口部中的导电层5306。

[0376] 图39C的晶体管包括:包括区域5353及区域5355的半导体衬底5352;形成在半导体衬底5352上的绝缘层5356;形成在半导体衬底5352上的绝缘层5354;形成在绝缘层5356上的导电层5357;形成在绝缘层5354、绝缘层5356、以及导电层5357上并包括开口部的绝缘层5358;以及形成在绝缘层5358上及绝缘层5358的开口部中的导电层5359。如此,在区域5350和区域5351中分别制造晶体管。

[0377] 在图39A至39C所述的晶体管中,如图39A所示,可以在晶体管上形成:形成在导电层5266上及绝缘层5265上并包括开口部的绝缘层5267;形成在绝缘层5267上及绝缘层5267的开口部中的导电层5268;形成在绝缘层5267上及导电层5268上并包括开口部的绝缘层5269;形成在绝缘层5269上及绝缘层5269的开口部中的发光层5270;以及形成在绝缘层5269上及发光层5270上的导电层5271。

[0378] 另外,在图39A至39C所描述的晶体管中,如图39B所示,可以在晶体管上形成配置在绝缘层5305上及导电层5306上的液晶层5307以及形成在液晶层5307上的导电层5308。

[0379] 绝缘层5261可以用作基底膜。绝缘层5354用作元件间分离层(element isolation layer)(例如,场氧化膜)。绝缘层5263、绝缘层5302、绝缘层5356可以用作栅极绝缘膜。导电层5264、导电层5301、导电层5357可以用作栅电极。绝缘层5265、绝缘层5267、绝缘层5305及绝缘层5358可以用作层间膜或者平坦化膜。导电层5266、导电层5304、以及导电层5359可以用作布线、晶体管的电极或电容元件的电极等。导电层5268以及导电层5306可以用作像素电极或反射电极等。绝缘层5269可以用作分隔壁。导电层5271及导电层5308可以用作对置电极或者公共电极等。

[0380] 作为衬底5260及衬底5300,有玻璃衬底、石英衬底、半导体衬底(例如,硅衬底或单晶衬底)、SOI衬底、塑料衬底、金属衬底、不锈钢衬底、具有不锈钢箔的衬底、钨衬底、具有钨箔的衬底或者柔性衬底等。作为玻璃衬底,有钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等。作为柔性衬底,有如下具有柔性的合成树脂:以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)为典型的塑料;丙烯酸树脂等。此外,还有贴合薄膜(聚丙烯、聚酯、乙烯、聚氟化乙烯、氯乙烯等)、包括纤维状材料的纸、基材薄膜(聚酯、聚酰胺、聚酰亚胺、无机

蒸镀薄膜、纸类等)等。

[0381] 作为半导体衬底5352,可以使用具有n型或p型的导电型的单晶Si衬底。但是,本发明不局限于此,而可以使用通过在其一部分或全部使用可以应用于半导体衬底5352的衬底而形成的半导体衬底5352。区域5353是在半导体衬底5352中添加有杂质的区域,并且用作阱。例如,在半导体衬底5352具有p型导电型的情况下,区域5353具有n型导电型,并且用作n阱。另一方面,在半导体衬底5352具有n型导电型的情况下,区域5353具有p型导电型,并且用作p阱。区域5355是在半导体衬底5352中添加有杂质的区域,并且用作源区或漏区。另外,可以在半导体衬底5352中形成LDD区域。

[0382] 作为绝缘层5261,有氧化硅(SiO_x)膜、氮化硅(SiN_x)膜、氧氮化硅(SiO_xN_y) ($x>y>0$)膜、氮氧化硅(SiN_xO_y) ($x>y>0$)膜等具有氧或氮的膜或这些膜的层叠结构等。作为在绝缘层5261由两层结构设置的情况下,作为第一层的绝缘层可以设置氮化硅膜,并且作为第二层的绝缘层可以设置氧化硅膜。作为在绝缘层5261由三层结构设置的情况下,作为第一层的绝缘层可以设置氧化硅膜,作为第二层的绝缘层可以设置氮化硅膜,并且作为第三层的绝缘层可以设置氧化硅膜。

[0383] 作为半导体层5262、半导体层5303a以及半导体层5303b,有非单晶半导体(例如,非晶硅、多晶硅、微晶硅等)、单晶半导体、化合物半导体或者氧化物半导体(例如, ZnO 、 InGaZnO 、 SiGe 、 GaAs 、 IZO (氧化铟锌)、 ITO (氧化铟锡)、 SnO 、 TiO 、 AlZnSnO (AZTO))、有机半导体或碳纳米管等。

[0384] 另外,例如,区域5262a处于不对半导体层5262添加杂质的本征的状态,并且用作沟道区域。但是,可以对区域5262a添加杂质,并且添加到区域5262a的杂质的浓度优选比添加到区域5262b、区域5262c、区域5262d或区域5262e的杂质的浓度低。区域5262b及区域5262d是添加有其浓度比区域5262c或区域5262e低的杂质的区域,并且用作LDD(Lightly Doped Drain:轻掺杂漏)区域。但是,可以省略区域5262b及区域5262d。区域5262c及区域5262e是在半导体层5262中添加有高浓度的杂质的区域,并且用作源区或漏区。

[0385] 另外,半导体层5303b是作为杂质元素添加有磷等的半导体层,并且具有n型导电型。

[0386] 另外,当作为半导体层5303a使用氧化物半导体或化合物半导体时,可以省略半导体层5303b。

[0387] 作为绝缘层5263、绝缘层5302以及绝缘层5356,有氧化硅(SiO_x)膜、氮化硅(SiN_x)膜、氧氮化硅(SiO_xN_y) ($x>y>0$)膜、氮氧化硅(SiN_xO_y) ($x>y>0$)膜等具有氧或氮的膜或它们的层叠结构等。

[0388] 作为导电层5264、导电层5266、导电层5268、导电层5271、导电层5301、导电层5304、导电层5306、导电层5308、导电层5357以及导电层5359,有单层结构的导电膜或者这些膜的层叠结构等。作为该导电膜,有由铝(Al)、钽(Ta)、钛(Ti)、钼(Mo)、钨(W)、钕(Nd)、铬(Cr)、镍(Ni)、铂(Pt)、金(Au)、银(Ag)、铜(Cu)、锰(Mn)、钴(Co)、铌(Nb)、硅(Si)、铁(Fe)、钯(Pd)、碳(C)、钪(Sc)、锌(Zn)、镓(Ga)、铟(In)、锡(Sn)、锆(Zr)、铈(Ce)构成的组、选自该组的一种元素的单质膜或包含选自上述组中的一种元素或多种元素的化合物等。另外,该单质膜或该化合物可以包含磷(P)、硼(B)、砷(As)及/或氧(O)等。

[0389] 作为该化合物,有包含选自上述多种元素中的一种元素或多种元素的化合物(例

如合金);选自上述多种元素中的一种元素或多种元素与氮的化合物(例如氮化膜);选自上述多种元素中的一种元素或多种元素与硅的化合物(例如硅化物膜);或者纳米管材料等。作为合金,有氧化铟锡(ITO)、氧化铟锌(IZO)、包含氧化硅的氧化铟锡(ITSO)、氧化锌(ZnO)、氧化锡(SnO)、氧化锡镉(CTO)、铝钕(Al-Nd)、铝钨(Al-W)、铝锆(Al-Zr)、铝钛(Al-Ti)、铝铈(Al-Ce)、镁银(Mg-Ag)、钼铌(Mo-Nb)、钼钨(Mo-W)、钼钽(Mo-Ta)等。作为氮化膜,有氮化钛、氮化钽、氮化钼等。作为硅化物膜,有硅化钨、硅化钛、硅化镍、铝硅、钼硅等。作为纳米管材料,有碳纳米管、有机纳米管、无机纳米管或金属纳米管等。

[0390] 作为绝缘层5265、绝缘层5267、绝缘层5269、绝缘层5305及绝缘层5358,有单层结构的绝缘层或者这些膜的层叠结构等。作为该绝缘层,有氧化硅(SiO_x)膜、氮化硅(SiN_x)膜、氧氮化硅(SiO_xN_y) ($x>y>0$)膜、氮氧化硅(SiN_xO_y) ($x>y>0$)膜等具有氧或氮的膜;DLC(类金刚石碳)膜等具有碳的膜;硅氧烷树脂、环氧树脂、聚酰亚胺、聚酰胺、聚乙烯基苯酚、苯并环丁烯或丙烯酸树脂等有机材料等。

[0391] 作为发光层5270,有有机EL元件或者无机EL元件等。对于有机EL元件,例如,有由空穴注入材料形成的空穴注入层、由空穴传输材料形成的空穴传输层、由发光材料形成的发光层、由电子传输材料形成的电子传输层、由电子注入材料形成的电子注入层或者其中混合有上述材料中的多种材料的层的单层结构或上述材料的叠层结构等。

[0392] 另外,在绝缘层5305及导电层5306上可以形成用作取向膜的绝缘层或用作突起部的绝缘层等。

[0393] 另外,在导电层5308上可以形成用作滤色片、黑矩阵或者突起部的绝缘层等。在导电层5308下可以形成用作取向膜的绝缘层。

[0394] 可以将本实施方式的晶体管用于实施方式1或实施方式2所描述的半导体装置。具体来说,在图39B中,在作为半导体层使用非单晶半导体、非晶半导体、微晶半导体、有机半导体或氧化物半导体等的情况下,晶体管退化。但是,因为在实施方式1至6的半导体装置、移位寄存器或显示装置中可以抑制晶体管的退化,所以是有用的。

[0395] 实施方式7

[0396] 在本实施方式中,参照图40A、40B及40C说明显示装置的截面结构。

[0397] 图40A是显示装置的俯视图。在衬底5391上形成有驱动电路5392和像素部5393。作为驱动电路5392,有扫描线驱动电路或信号线驱动电路等。

[0398] 图40B示出沿着图40A的A-B截断的截面。而且,图40B示出:衬底5400;形成在衬底5400上的导电层5401;覆盖导电层5401地形成的绝缘层5402;形成在导电层5401及绝缘层5402上的半导体层5403a;形成在半导体层5403a上的导电层5403b;形成在半导体层5403b上及绝缘层5402上的导电层5404;形成在绝缘层5402上及导电层5404上并包括开口部的绝缘层5405;形成在绝缘层5405上及导电层5405的开口部中的导电层5406;配置在绝缘层5405上及导电层5406上的绝缘层5408;形成在绝缘层5405上的液晶层5407;形成在液晶层5407上及绝缘层5408上的导电层5409;以及形成在导电层5409上的衬底5410。

[0399] 导电层5401可以用作栅电极。绝缘层5402可以用作栅极绝缘膜。导电层5404可以用作布线、晶体管的电极或电容元件的电极等。绝缘层5405可以用作层间膜或平坦化膜。导电层5406用作布线、像素电极或反射电极。绝缘层5408可以用作密封材料。导电层5409可以用作对置电极或公共电极。

[0400] 在此,有时在驱动电路5392和导电层5409之间产生寄生电容。其结果是,在驱动电路5392的输出信号或各节点的电位产生失真或延迟等。或者,耗电量增大。但是,如图40B所示,通过在驱动电路5392上形成可用作密封材料的绝缘层5408,可以减少产生在驱动电路5392和导电层5409之间的寄生电容。这是因为密封材料的介电常数比液晶层的介电常数低。因此,可以减少驱动电路5392的输出信号或各节点的电位的失真或延迟。或者,可以降低驱动电路5392的耗电量。

[0401] 另外,如图40C所示,可以在驱动电路5392的一部分上形成还可以用作密封材料的绝缘层5408。由于在此情况下也可以减少产生在驱动电路5392和导电层5409之间的寄生电容,因此可以减少驱动电路5392的输出信号或各节点的电位的失真或延迟。但是,不局限于此,也可以不在驱动电路5392上形成可用作密封材料的绝缘层5408。

[0402] 另外,显示元件不局限于液晶元件而可以使用EL元件或电泳元件等的各种显示元件。

[0403] 如上所述,在本实施方式中,说明了显示装置的截面结构。可以组合这种结构和实施方式1或实施方式2所描述的半导体装置。例如,当作为晶体管的半导体层使用非单晶半导体、微晶半导体、有机半导体或氧化物半导体等时,晶体管的沟道宽度增大。但是,若是能够如本实施方式那样地减少驱动电路的寄生电容,则可以缩小晶体管的沟道宽度。因此,可以实现缩小布局面积,从而可以使显示装置的边框变窄。或者,可以实现显示装置的高精细化。

[0404] 实施方式8

[0405] 在本实施方式中,说明半导体装置的制造工序。这里,说明晶体管及电容元件的制造工序。特别是,说明作为半导体层使用氧化物半导体的制造工序。

[0406] 参照图41A至41C说明晶体管及电容元件的制造工序。图41A至41C是晶体管5441及电容元件5442的制造工序。晶体管5441是反交错型薄膜晶体管,其中在氧化物半导体层上隔着源电极或漏电极设置有布线。

[0407] 首先,在衬底5420的整个面上通过溅射法形成第一导电层。接着,使用通过使用第一光掩模的光刻工序形成的抗蚀剂掩模选择性地对第一导电层进行蚀刻,从而形成导电层5421及导电层5422。导电层5421可以用作栅电极,导电层5422可以用作电容元件的一个电极。但是不局限于此,导电层5421及导电层5422可以具有用作布线、栅电极或电容元件的电极的部分。然后,去除抗蚀剂掩模。

[0408] 接着,在整个面上通过等离子体CVD法或溅射法形成绝缘层5423。绝缘层5423可以用作栅极绝缘层,且覆盖导电层5421及导电层5422地形成。另外,绝缘层5423的厚度为50nm以上且250nm以下。

[0409] 接着,使用通过使用第二光掩模的光刻工序形成的抗蚀剂掩模对绝缘层5423选择性地蚀刻来形成达到导电层5421的接触孔5424。然后,去除抗蚀剂掩模。但是不局限于此,也可以省略接触孔5424。或者,可以在形成氧化物半导体层之后形成接触孔5424。到此为止的阶段的截面图相当于图41A。

[0410] 接着,在整个面上通过溅射法形成氧化物半导体层。但是,不局限于此,也可以通过溅射法形成氧化物半导体层,且在其上形成缓冲层(例如, n^+ 层)。另外,氧化物半导体层的厚度为5nm以上且200nm以下。

[0411] 接着,使用通过使用第三光掩模的光刻工序形成的抗蚀剂掩模对氧化物半导体层选择性地蚀刻。然后,去除抗蚀剂掩模。

[0412] 接着,在整个面上通过溅射法形成第二导电层。然后,使用通过使用第四光掩模的光刻工序形成的抗蚀剂掩模对第二导电层选择性地蚀刻来形成导电层5429、导电层5430及导电层5431。导电层5429通过接触孔5424与导电层5421连接。导电层5429及导电层5430可以用作源电极或漏电极,并且导电层5431可以用作电容元件的另一个电极。但是,不局限于此,导电层5429、导电层5430及导电层5431也可以包括用作布线、源电极或漏电极或电容元件的电极的部分。到此为止的阶段的截面图相当于图41B。

[0413] 接着,在大气气氛下或氮气气氛下以200℃至600℃进行加热处理。通过该热处理,进行In-Ga-Zn-O类非单晶层的原子级的重新排列。像这样,通过热处理(还包括光退火)消除阻碍载流子移动的畸变。另外,进行该加热处理的时序不局限于此,只要是形成氧化物半导体之后,就可以以各种时序进行该加热处理。

[0414] 接着,在整个面上形成绝缘层5432。绝缘层5432可以采用单层结构或层叠结构。例如,当作为绝缘层5432使用有机绝缘层时,涂敷有机绝缘层的材料的组成物,在大气气氛下或氮气气氛下进行200℃至600℃的加热处理形成有机绝缘层。像这样,通过形成与氧化物半导体层接触的有机绝缘层,可以制造电特性可靠性高的薄膜晶体管。另外,当作为绝缘层5432使用有机绝缘层时,可以在有机绝缘层之下设置氮化硅膜或氧化硅膜。

[0415] 接着,在整个面上形成第三导电层。然后,使用通过使用第五光掩模的光刻工序形成的抗蚀剂掩模对第三导电层选择性地蚀刻来形成导电层5433及导电层5434。到此为止的阶段的截面图相当于图41C。导电层5433及导电层5434可以用作布线、像素电极、反射电极、透光电极或电容元件的电极。特别是,由于导电层5434与导电层5422连接,因此可以用作电容元件5442的电极。但是,不局限于此,导电层5434还可以具有连接第一导电层和第二导电层的功能。例如,通过连接导电层5433和导电层5434,可以使导电层5422和导电层5430通过第三导电层(导电层5433及导电层5434)连接。

[0416] 通过上述工序,可以制造晶体管5441和电容元件5442。

[0417] 另外,如图41D所示,可以在氧化物半导体层5425上形成绝缘层5435。在图41D中,附图标记5437表示导电层,而附图标记5436表示半导体层。

[0418] 此外,如图41E所示,可以在对第二导电层进行构图之后形成氧化物半导体层5425。在图41E中,附图标记5438和附图标记5439分别表示导电层。

[0419] 另外,作为本实施方式的衬底、绝缘层、导电层及半导体层,可以使用与其他实施方式所描述的材料或本说明书所描述的材料相同的材料。

[0420] 实施方式9

[0421] 在本实施方式中,说明半导体装置的布局图(也称为俯视图)。在本实施方式中,说明图1A的半导体装置的布局图。另外,本实施方式所述的内容可适当地与其他实施方式中所述的内容组合。注意,本实施方式的布局图是一个例子,因此半导体装置的布局图不局限于此。

[0422] 以下,参照图42说明本实施方式的布局图。图42示出图1A的半导体装置的布局图。

[0423] 图42所示的晶体管或布线等由导电层901、半导体层902、导电层903、导电层904和接触孔905构成。注意,本发明不局限于此,而可以重新形成另一导电层、绝缘膜或另一接触

孔。例如,可以重新追加用来连接导电层901和导电层903的接触孔。

[0424] 导电层901可以包括用作栅电极或布线的部分。半导体层902可以包括用作晶体管的半导体层的部分。导电层903可以包括用作布线或者源极或漏极的部分。导电层904可以包括用作透光电极、像素电极或布线的部分。接触孔905具有连接导电层901和导电层904的功能或者连接导电层903和导电层904的功能。

[0425] 另外,半导体层902可以形成在导电层901和导电层903重叠的部分中。由此,导电层901和导电层903之间的寄生电容可以减小,由此可以实现杂波的降低。与此同时,半导体层902或导电层903可以形成在导电层901和导电层904重叠的部分中。

[0426] 另外,导电层904可以在导电层901的一部分之上形成,该导电层901可以通过接触孔905连接到导电层904。由此,布线电阻可以减小。或者,导电层903和导电层904可以在导电层901的一部分之上形成,该导电层901可以通过接触孔905连接到该导电层904,而该导电层903可以通过另一接触孔905连接到该导电层904。由此,布线电阻可以进一步减小。

[0427] 另外,导电层904可以在导电层903的一部分之上形成,该导电层903可以通过接触孔905连接到导电层904。由此,布线电阻可以减小。

[0428] 另外,导电层901或导电层903可以在导电层904的一部分之下形成,该导电层904可以通过接触孔905连接到该导电层901或该导电层903。由此,布线电阻可以减小。

[0429] 另外,如上所述,在晶体管101中,栅极和第二端子之间的寄生电容可以大于栅极和第一端子之间的寄生电容。由此,在晶体管101中,用作第二端子的导电层903和用作栅极的导电层901重叠的面积优选大于用作第一端子的导电层903和用作栅极的导电层901重叠的面积。

[0430] 实施方式10

[0431] 在本实施方式中说明电子设备的例子。

[0432] 图43A至43H以及图44A至44D是示出电子设备的图。这些电子设备可以包括框体5000、显示部5001、扬声器5003、LED灯5004、操作键5005(包括电源开关或操作开关)、连接端子5006、传感器5007(它包括测定如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风5008等。

[0433] 图43A示出移动计算机,该移动计算机除了上述以外还可以包括开关5009、红外端口5010等。图43B示出具备记录媒体的便携式图像再现装置(例如DVD再现装置),该便携式图像再现装置除了上述以外还可以包括第二显示部5002、记录媒体读取部5011等。图43C示出护目镜型显示器,该护目镜型显示器除了上述以外还可以包括第二显示部5002、支撑部5012、耳机5013等。图43D示出便携式游戏机,该便携式游戏机除了上述以外还可以包括记录媒体读取部5011等。图43E示出投影仪装置,该投影仪装置除了上述以外还可以包括光源5033、投射透镜5034等。图43F示出便携式游戏机,该便携式游戏机除了上述以外还可以包括第二显示部5002、记录媒体读取部5011等。图43G示出电视接收机,该电视接收机除了上述以外还可以包括调谐器、图像处理部等。图43H示出便携式电视接收机,该便携式电视接收机除了上述以外还可以包括能够收发信号的充电器5017等。图44A示出显示器,该显示器除了上述以外还可以包括支撑台5018等。图44B示出相机,该相机除了上述以外还可以包括外部连接端口5019、快门按钮5015、图像接收部5016等。图44C示出计算机,该计算机除了上

述以外还可以包括定位装置5020、外部连接端口5019、读写器5021等。图44D示出移动电话机,该移动电话机除了上述以外还可以包括天线、用于移动电话・移动终端的单波段广播(one-segment broadcasting)部分接收服务用调谐器等。

[0434] 图43A至43H、图44A至44D所示的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上;触控面板;显示日历、日期或时刻等;通过利用各种软件(程序)控制处理;进行无线通信;通过利用无线通信功能来连接到各种计算机网络;通过利用无线通信功能,进行各种数据的发送或接收;读出储存在记录媒体中的程序或数据来将其显示在显示部上;等等。再者,在具有多个显示部的电子设备中,可以具有如下功能:一个显示部主要显示图像信息,而另一个显示部主要显示文字信息;或者,在多个显示部上显示考虑到视差的图像来显示立体图像;等等。再者,在具有图像接收部的电子设备中,可以具有如下功能:拍摄静态图像;拍摄动态图像;对所拍摄的图像进行自动或手动校正;将所拍摄的图像储存在记录媒体(外部或内置于相机)中;将所拍摄的图像显示在显示部上等。注意,图43A至43H、图44A至44D所示的电子设备的可具有的功能不局限于上述功能,而可以具有各种各样的功能。

[0435] 本实施方式所述的电子设备的特征是具有用来显示某些信息的显示部。通过组合本实施方式的电子设备以及实施方式1至5的半导体装置、移位寄存器或显示装置,可实现可靠性提高、成品率的提高、成本的降低、显示部的大型化、显示部的高精细化等。

[0436] 下面,说明半导体装置的应用例子。

[0437] 图44E示出将半导体装置和建筑物设置为一体的例子。图44E包括框体5022、显示部5023、作为操作部的遥控装置5024、扬声器5025等。半导体装置以壁挂式的方式结合到建筑物内并且可以不需要较大的空间而设置。

[0438] 图44F示出在建筑物内将半导体装置和建筑物设置为一体的另一个例子。显示面板5026被结合到浴室5027内,并且洗澡的人可以观看显示面板5026。

[0439] 另外,在本实施方式中,举出墙、浴室作为建筑物的例子。但是,本实施方式不局限于此,也可以将半导体装置安装到各种建筑物。

[0440] 下面,示出将半导体装置和移动体设置为一体的例子。

[0441] 图44G示出将半导体装置设置到汽车中的例子。显示面板5028被安装到汽车的车体5029,并且可以根据需要而显示车体的工作或从车体内部或外部输入的信息。另外,也可以具有导航功能。

[0442] 图44H示出将半导体装置和旅客用飞机设置为一体的例子。图44H示出在将显示面板5031设置在旅客用飞机的座位上方的天花板5030上的情况下的使用形状。显示面板5031通过铰链部5032被结合到天花板5030,并且利用铰链部5032的伸缩乘客可以观看显示面板5031。显示面板5031具有通过乘客的操作来显示信息的功能。

[0443] 另外,在本实施方式中,举出汽车、飞机作为移动体,但是不限于此,还可以设置在各种移动体诸如摩托车、自动四轮车(包括汽车、公共汽车等)、电车(包括单轨、铁路等)以及船舶等。

[0444] 本申请基于2009年9月10日在日本专利局受理的日本专利申请第2009-209099号而制作,所述申请内容包括在本说明书中。

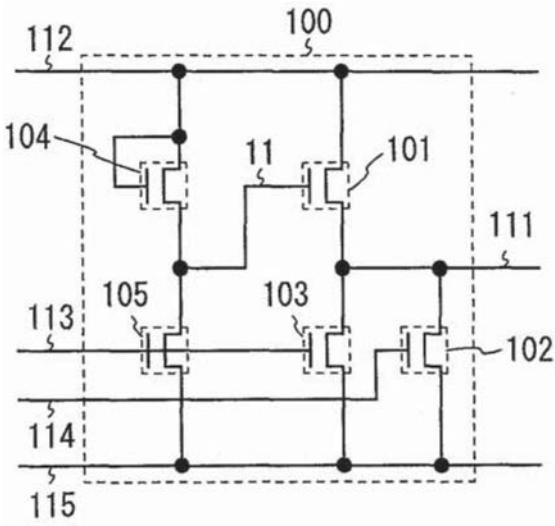


图1A

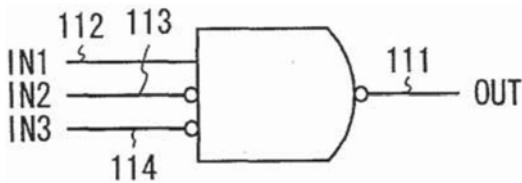


图1B

$$OUT=IN1 \cdot \overline{IN2} \cdot \overline{IN3} = \overline{IN1} \text{ AND } \overline{IN2} \text{ AND } \overline{IN3}$$

图1C

	IN1	IN2	IN3	OUT
工作 1	H	H	H	L
工作 2	H	H	L	L
工作 3	H	L	H	L
工作 4	H	L	L	H
工作 5	L	H	H	L
工作 6	L	H	L	L
工作 7	L	L	H	L
工作 8	L	L	L	Z

图1D

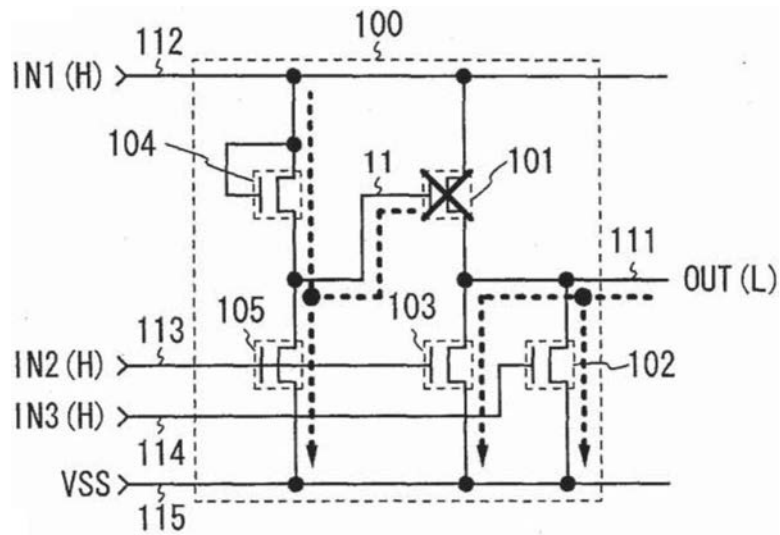


图2A

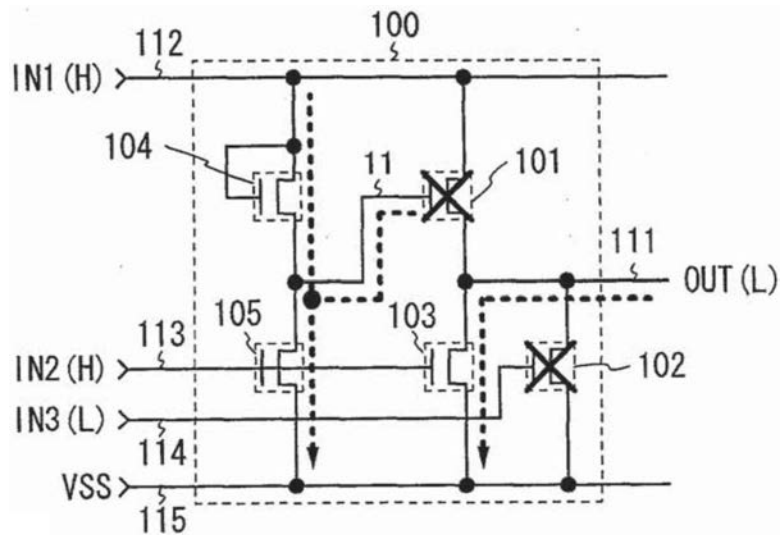


图2B

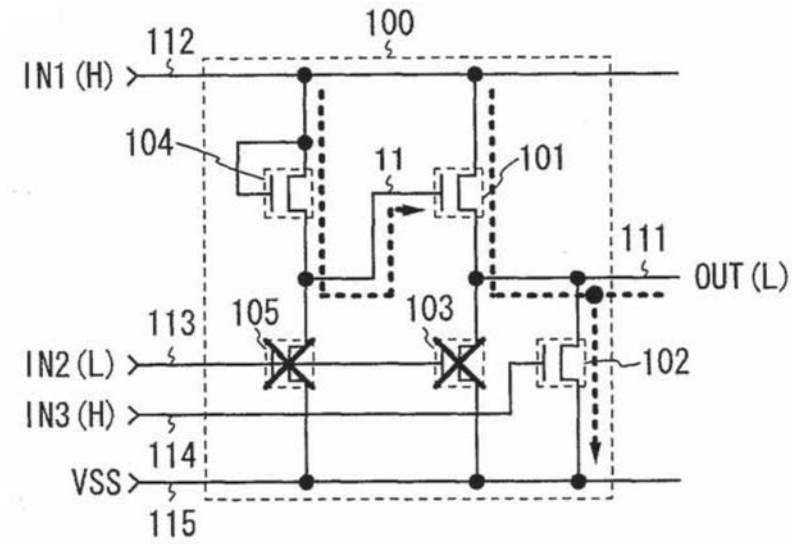


图2C

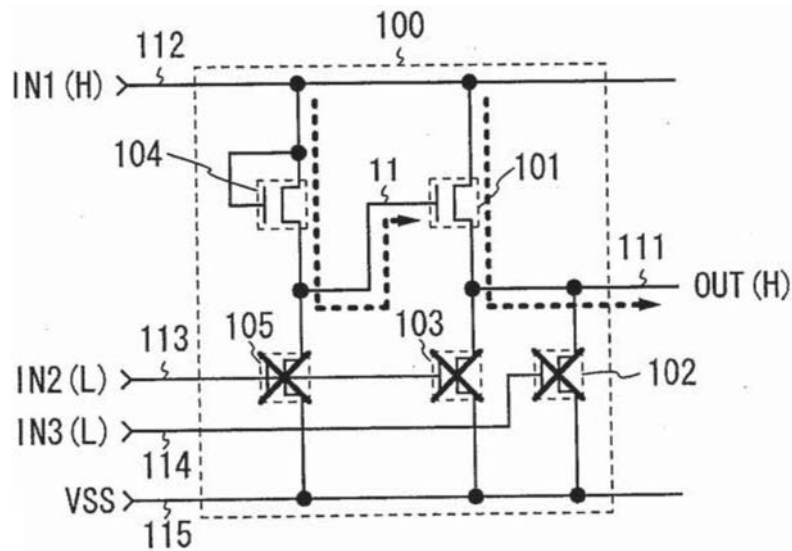


图3A

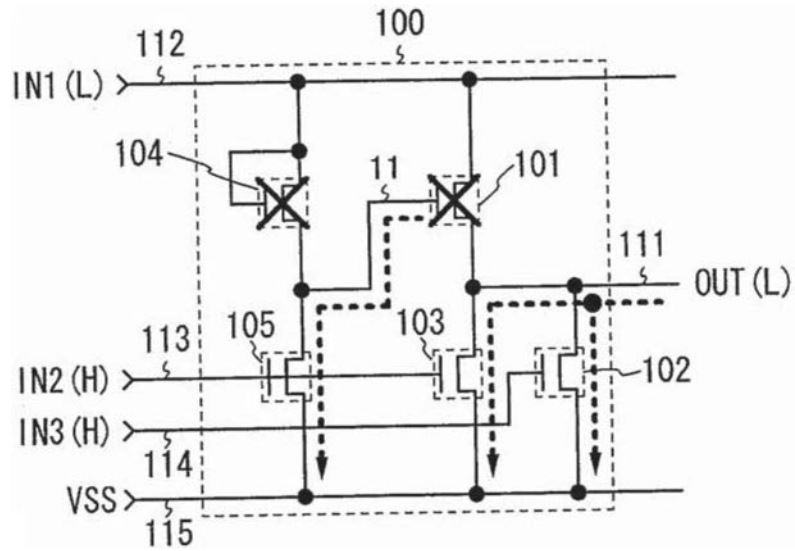


图3B

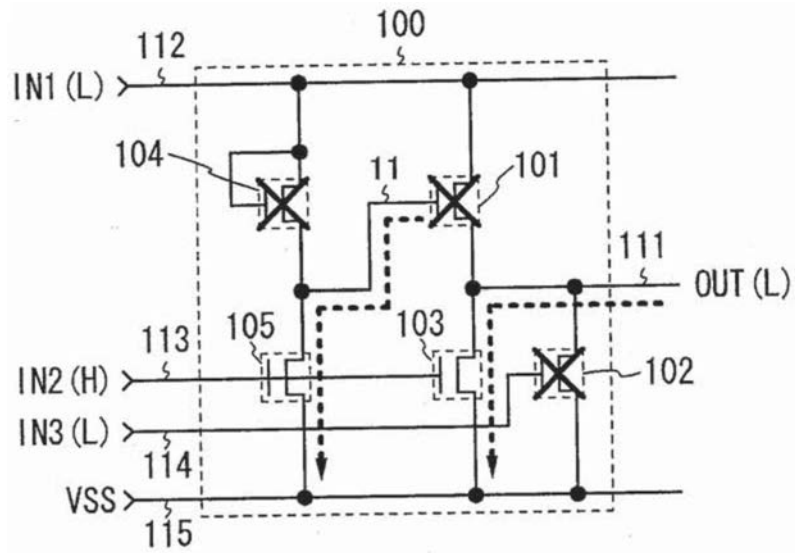


图3C

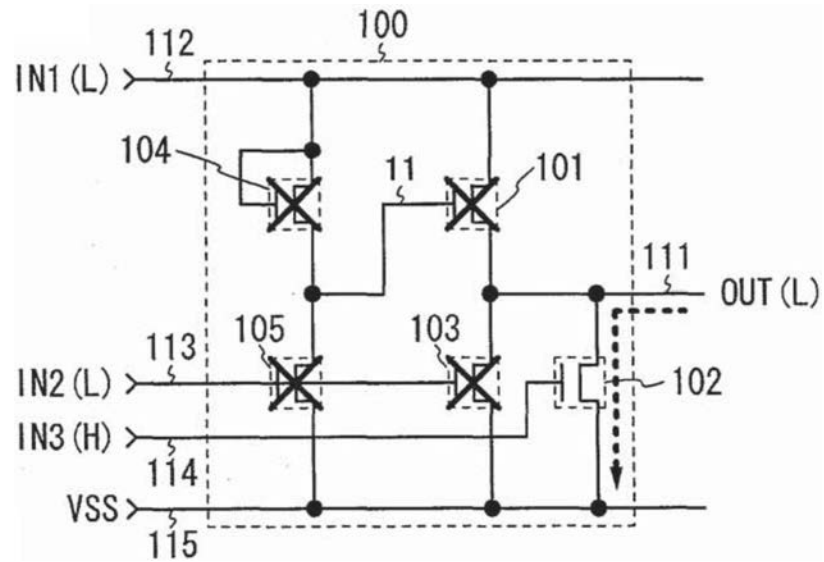


图4A

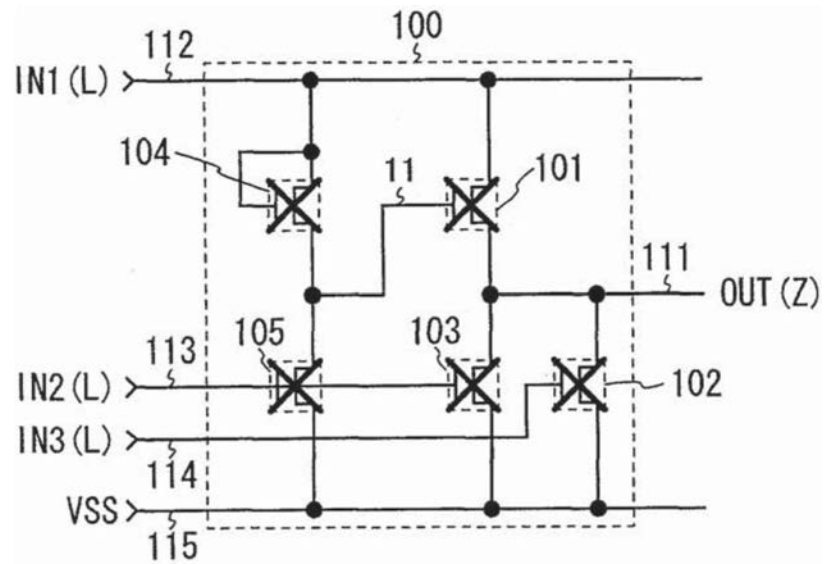


图4B

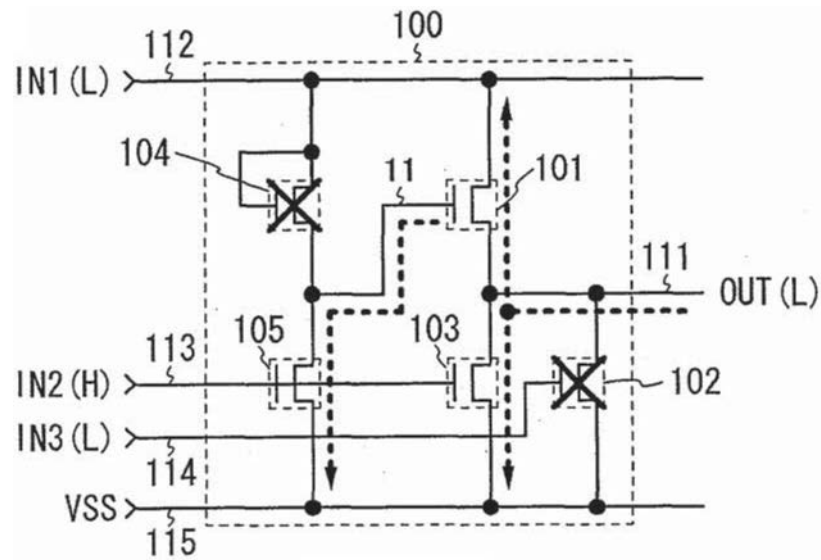


图4C

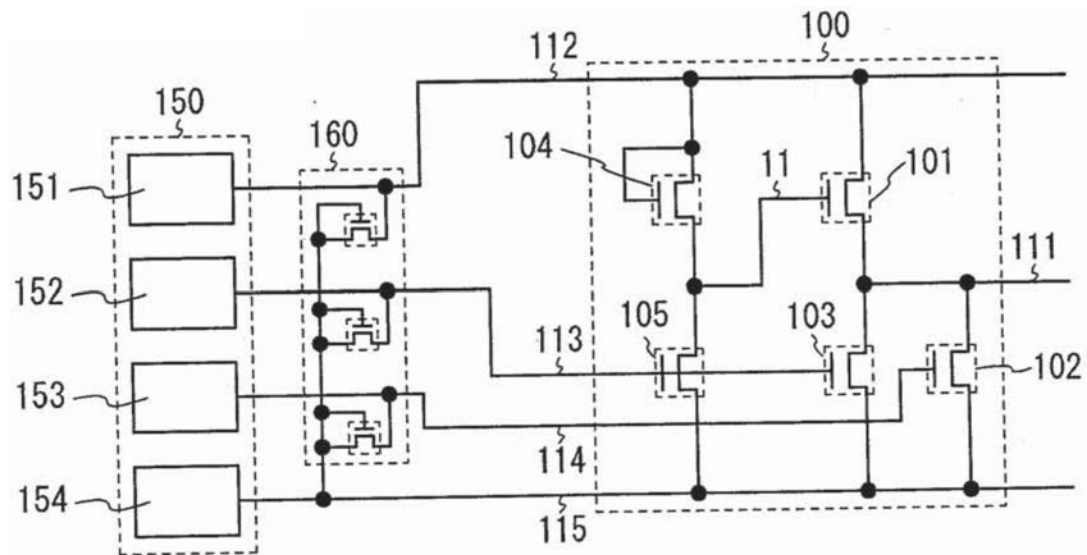


图5A

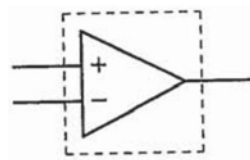


图5B

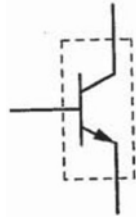


图5C

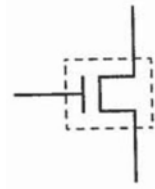


图5D

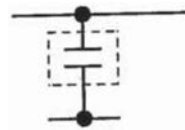


图5E

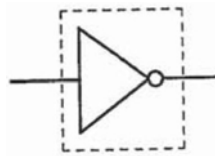


图5F

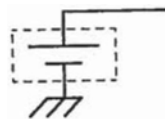


图5G

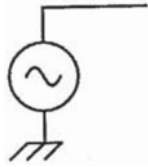


图5H

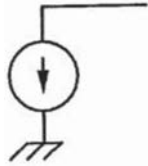


图5I

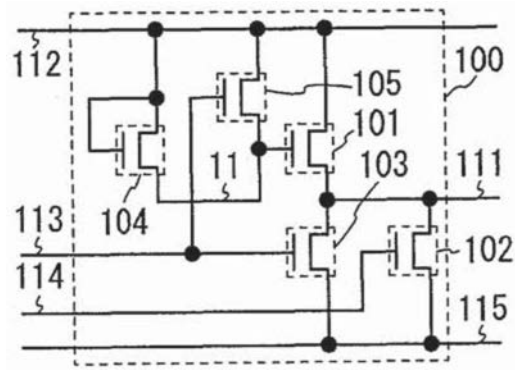


图6A

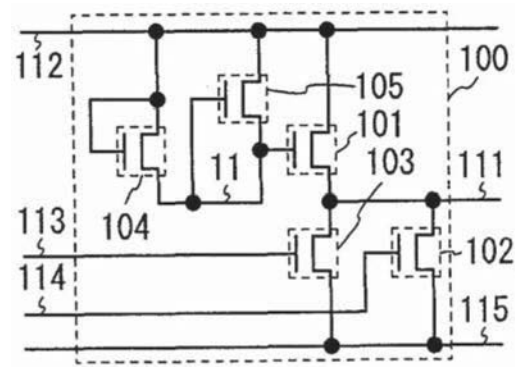


图6B

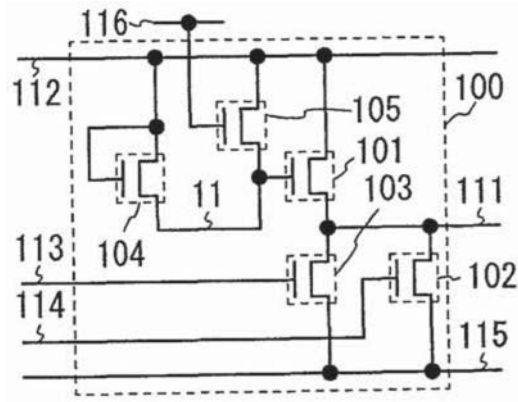


图6C

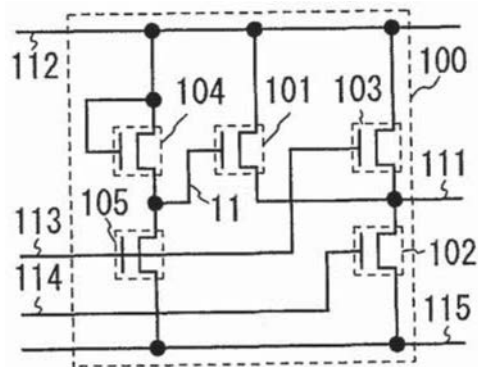


图6D

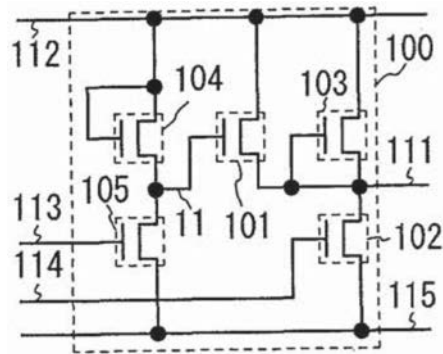


图6E

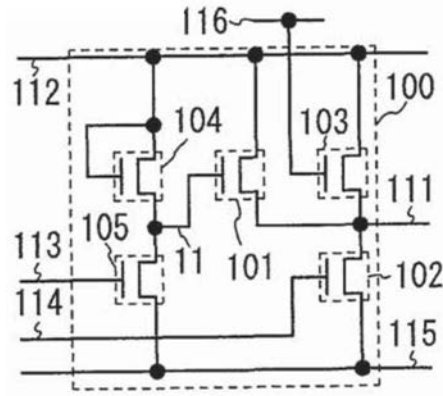


图6F

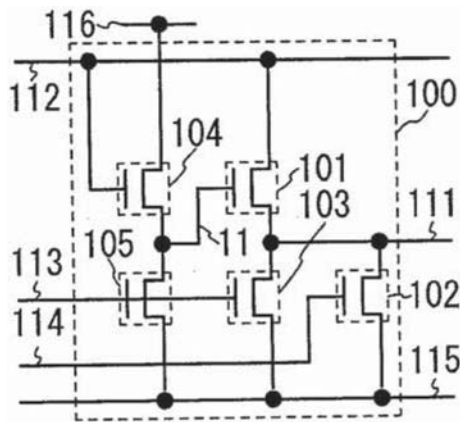


图7A

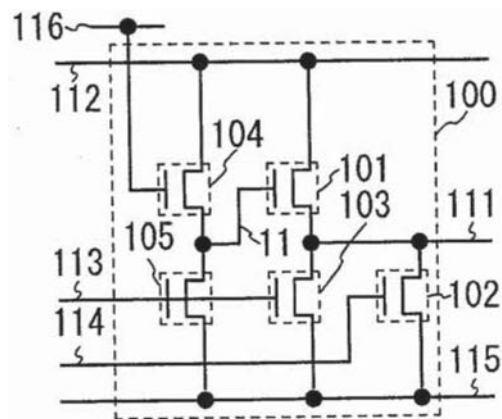


图7B

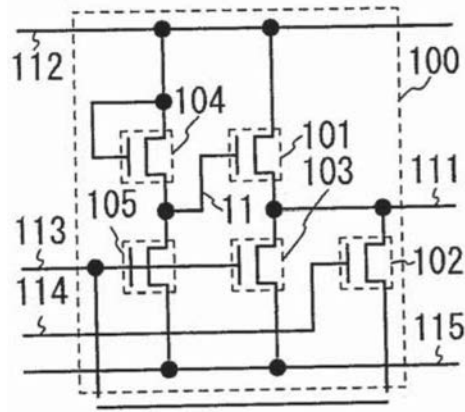


图7C

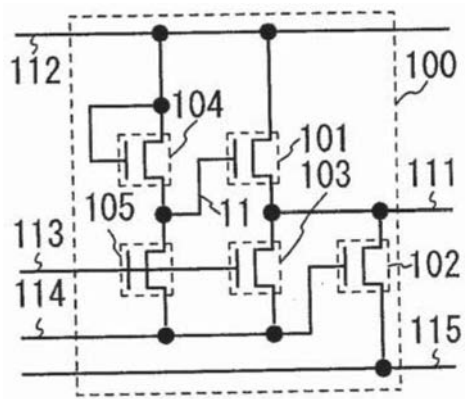


图7D

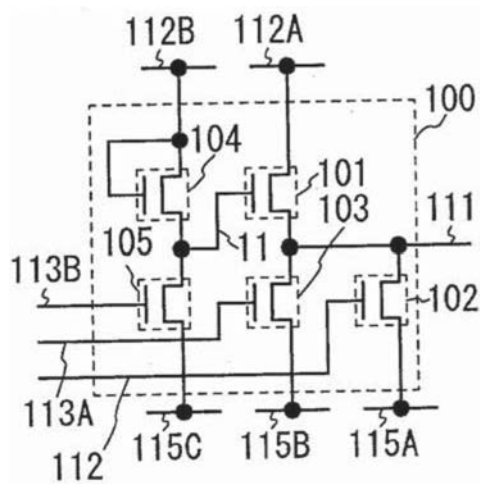


图7E

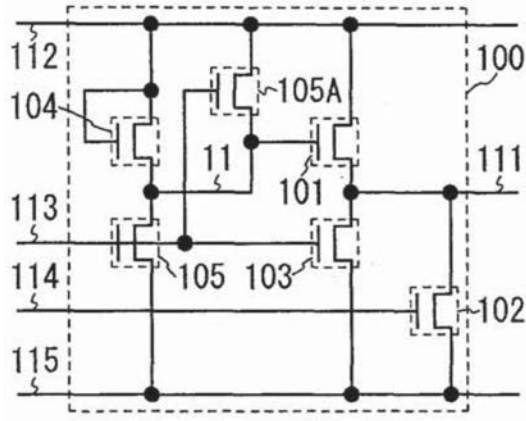


图8A

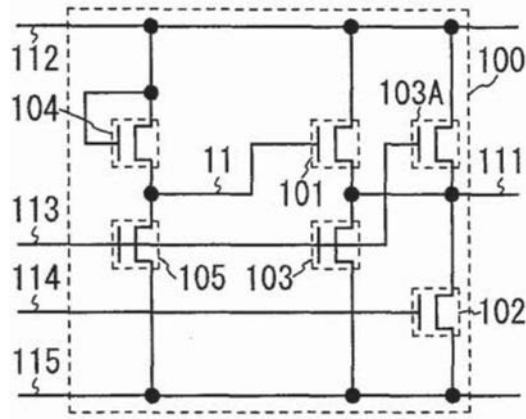


图8B

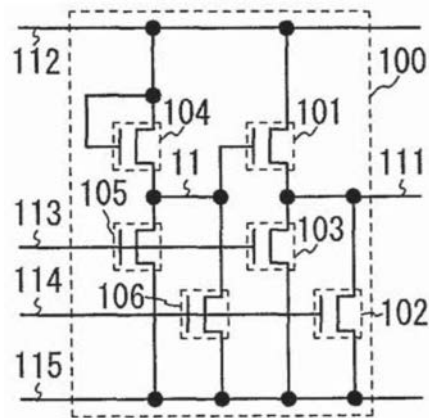


图8C

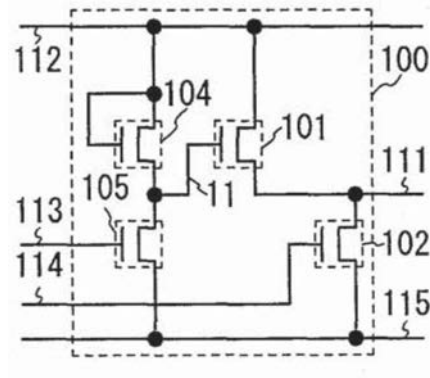


图8D

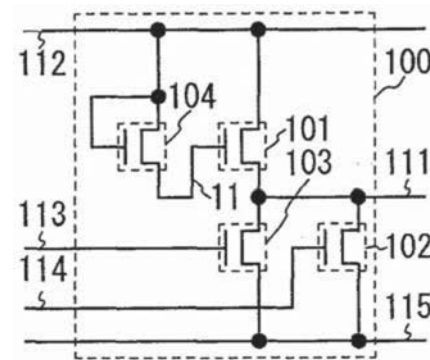


图8E

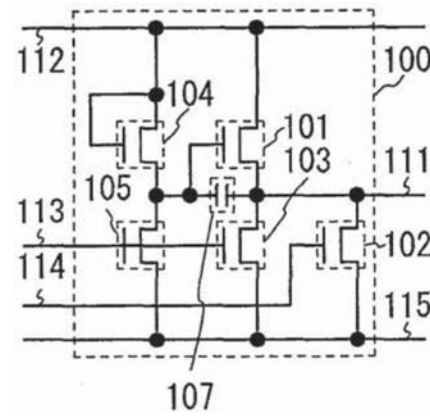


图8F

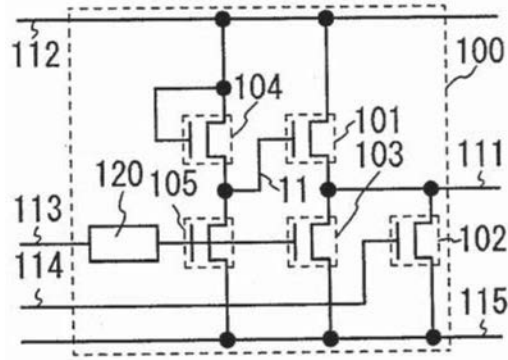


图9A

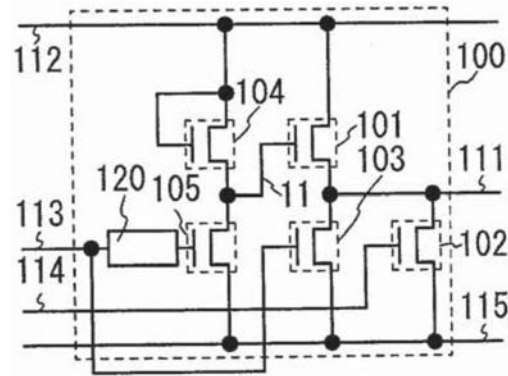


图9B

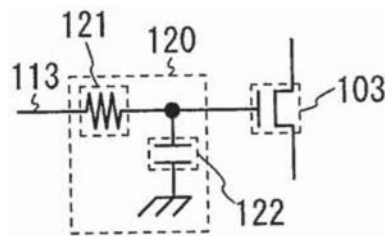


图9C

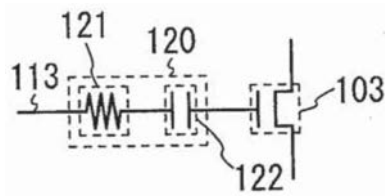


图9D

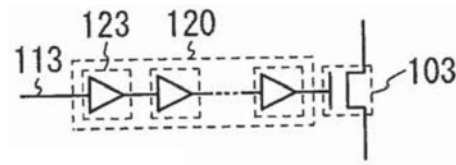


图9E

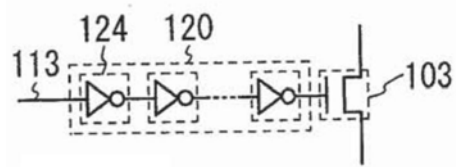


图9F

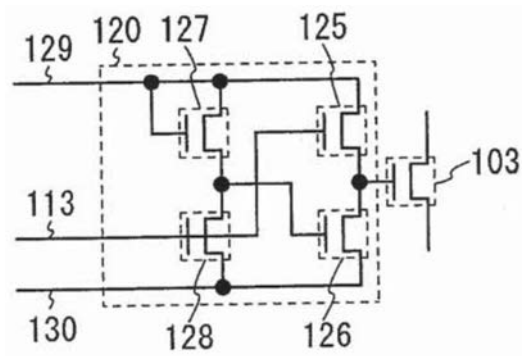


图9G

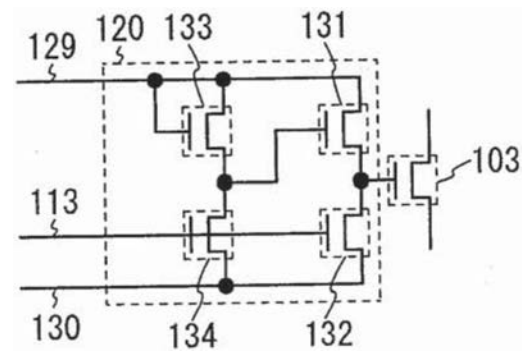


图9H

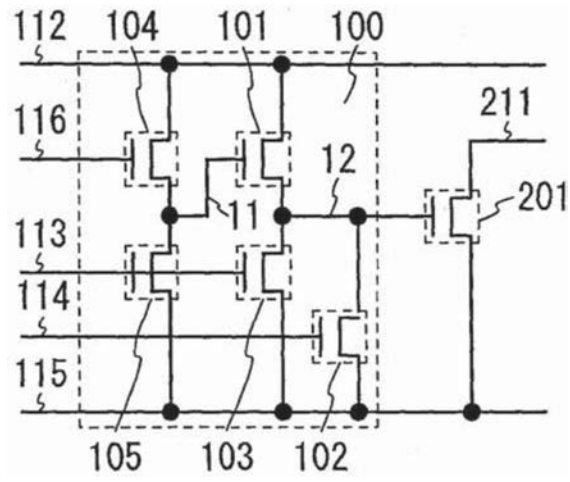


图10A

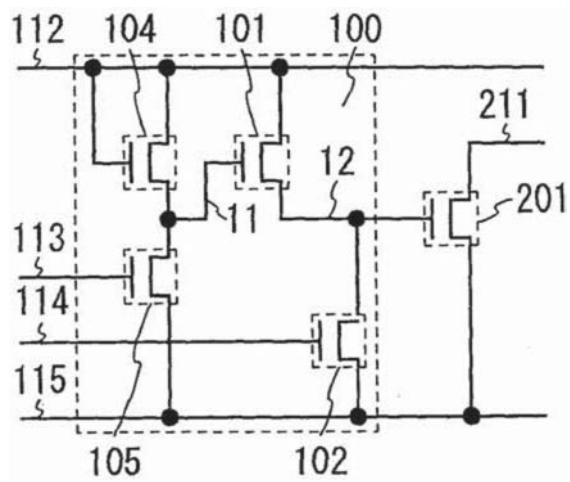


图10B

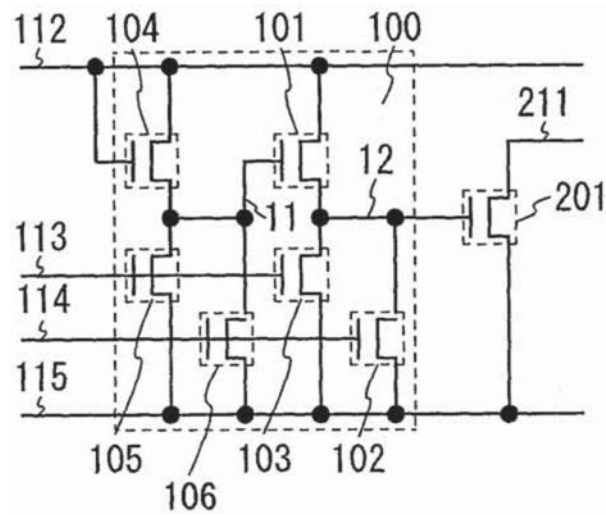


图10C

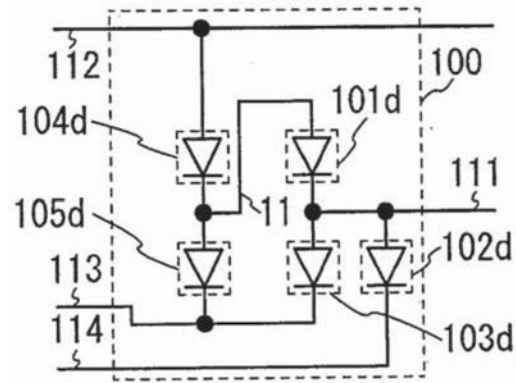


图11A

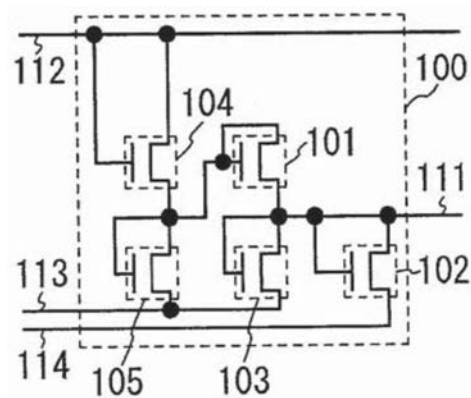


图11B

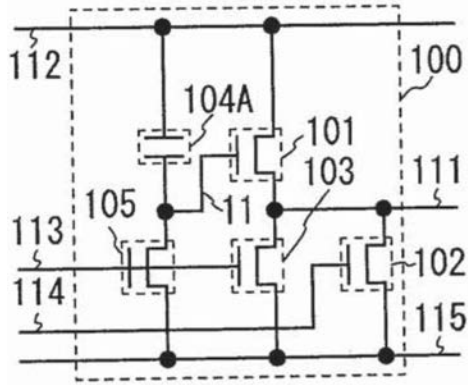


图11C

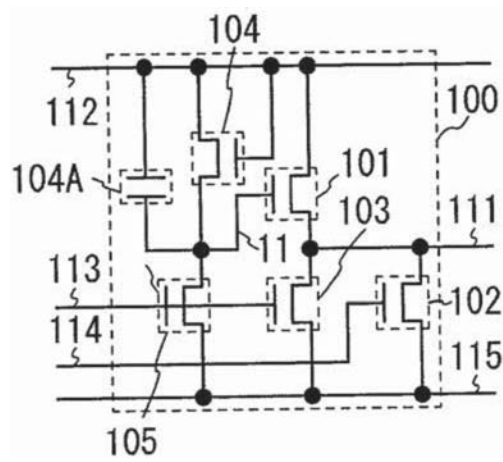


图11D

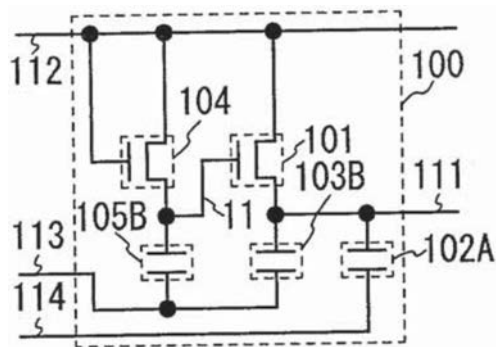


图11E

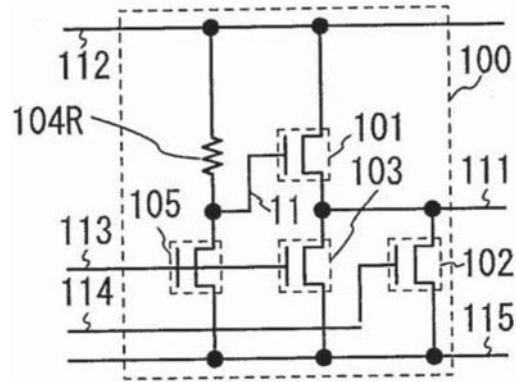


图11F

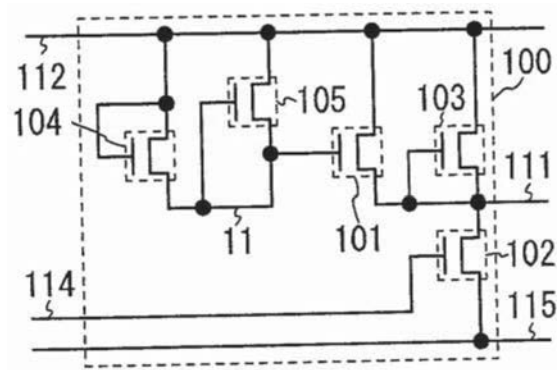


图12A

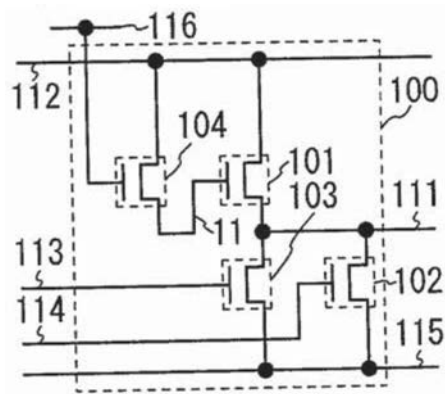


图12B

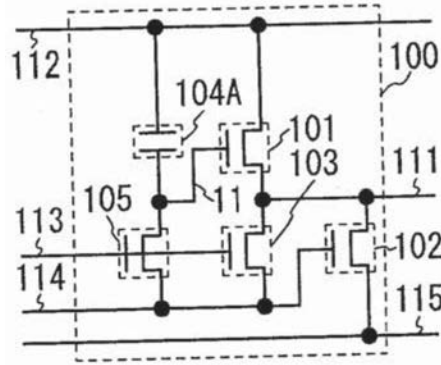


图12C

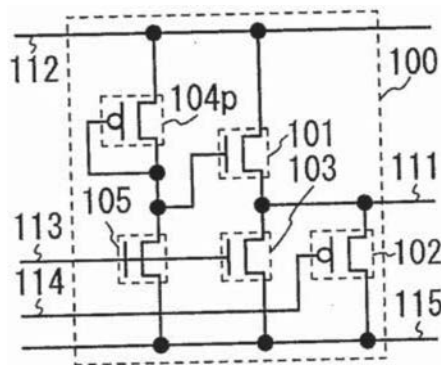


图12D

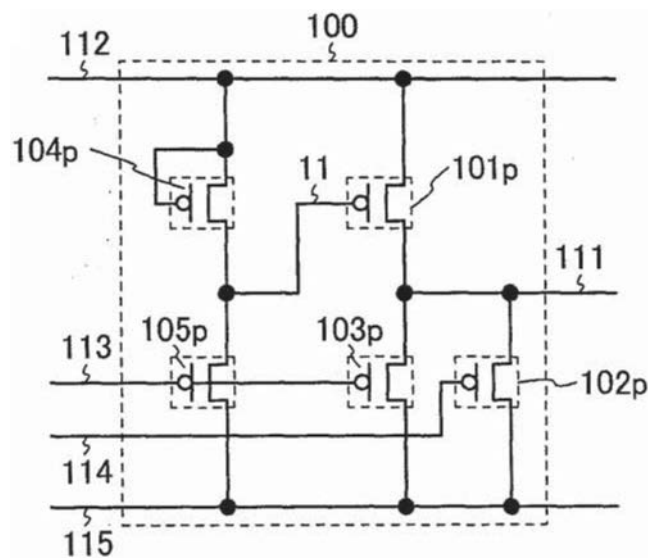


图13A

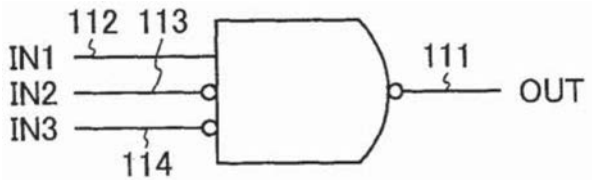


图13B

$$OUT = \overline{IN1} \cdot \overline{IN2} \cdot \overline{IN3} = \overline{IN1 \text{ AND } IN2 \text{ AND } IN3}$$

图13C

	IN1	IN2	IN3	OUT
工作 1	H	H	H	Z
工作 2	H	H	L	H
工作 3	H	L	H	H
工作 4	H	L	L	H
工作 5	L	H	H	L
工作 6	L	H	L	H
工作 7	L	L	H	H
工作 8	L	L	L	Z

图13D

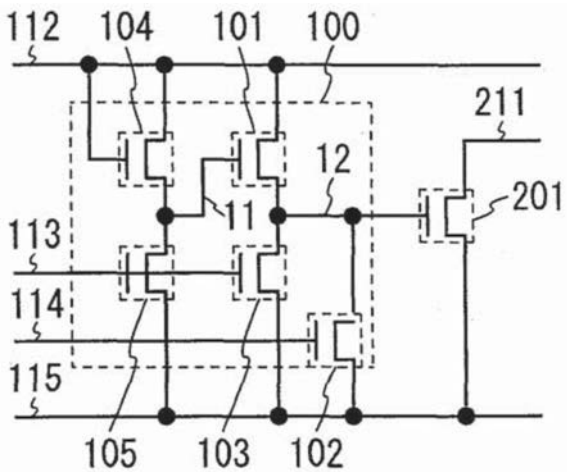


图14A

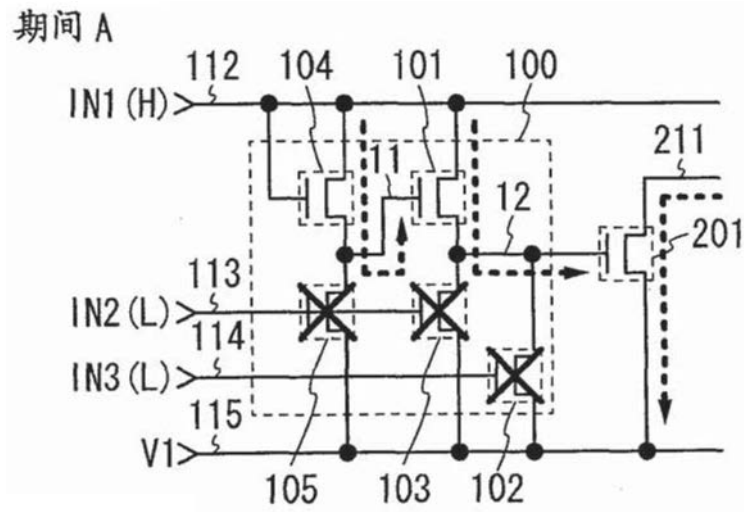


图14B

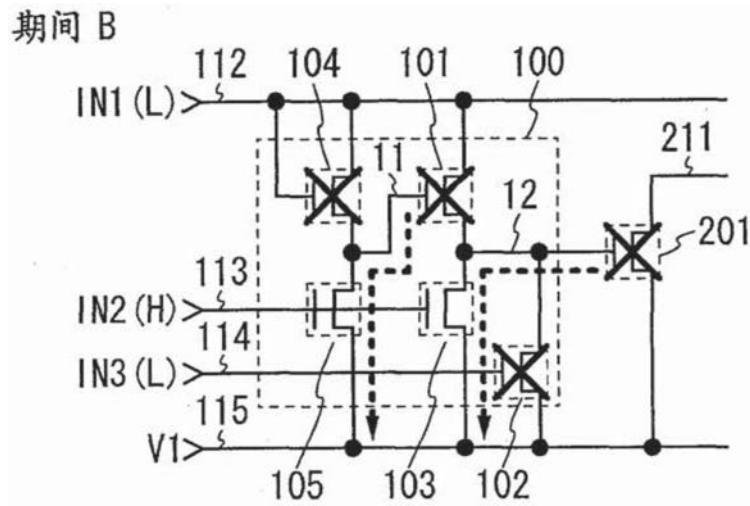


图14C

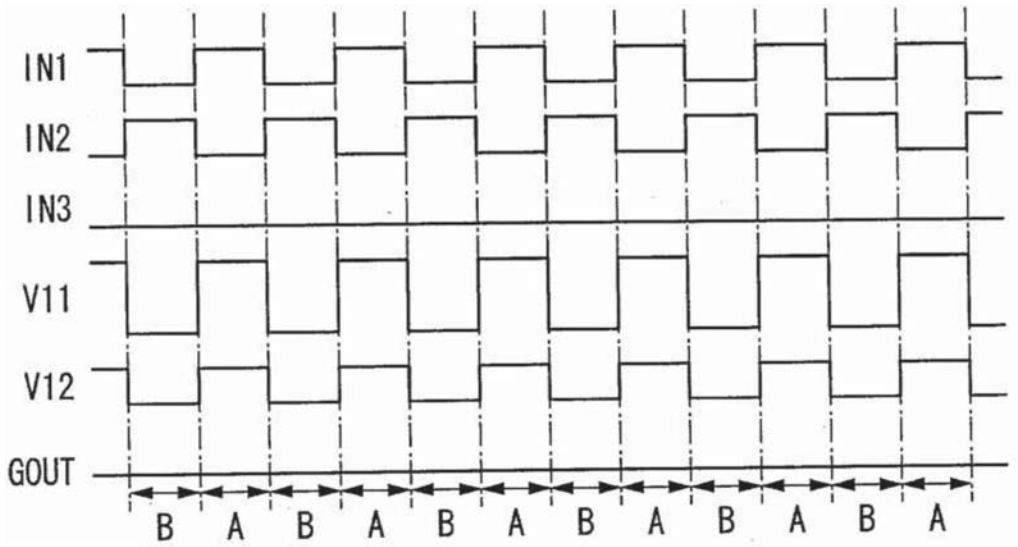


图15A

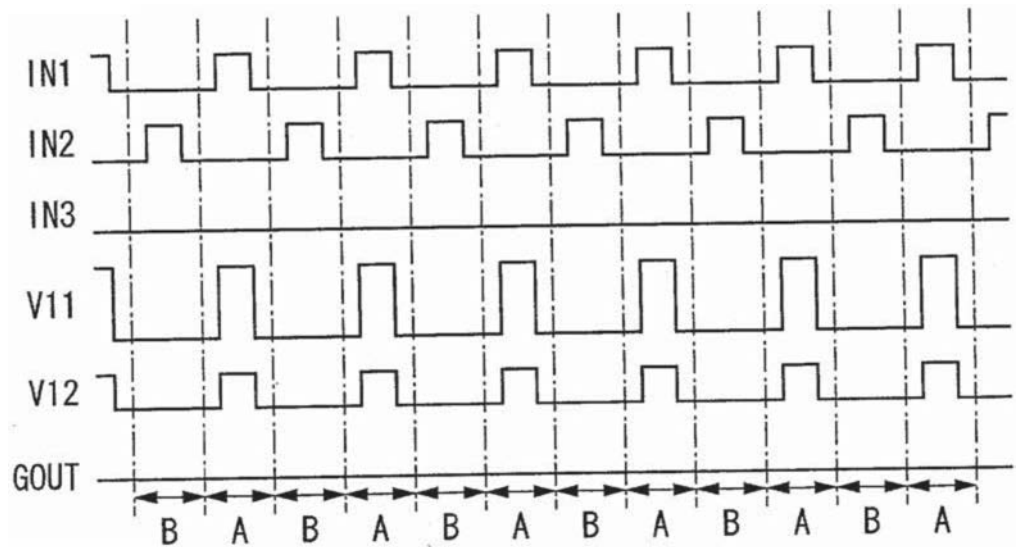


图15B

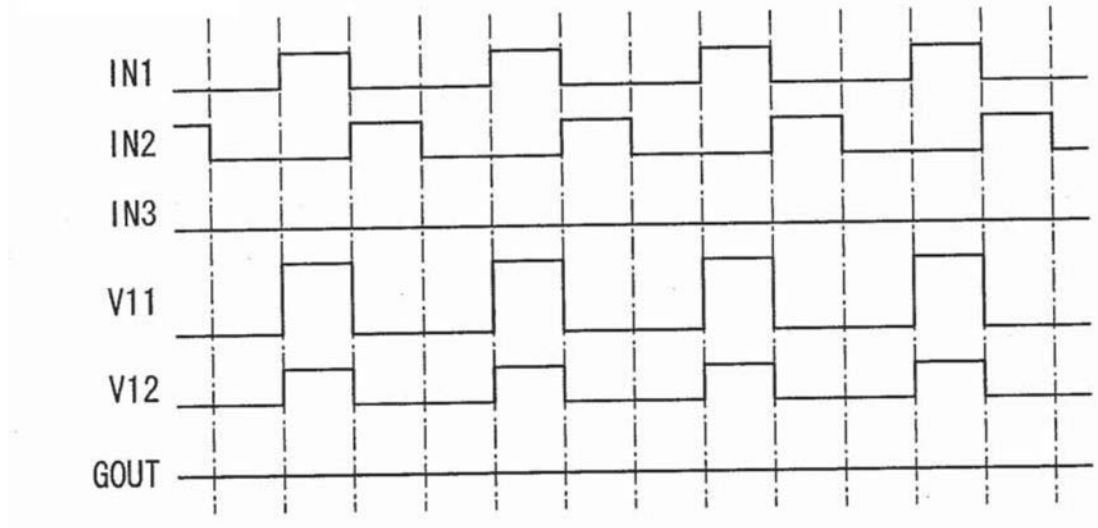


图15C

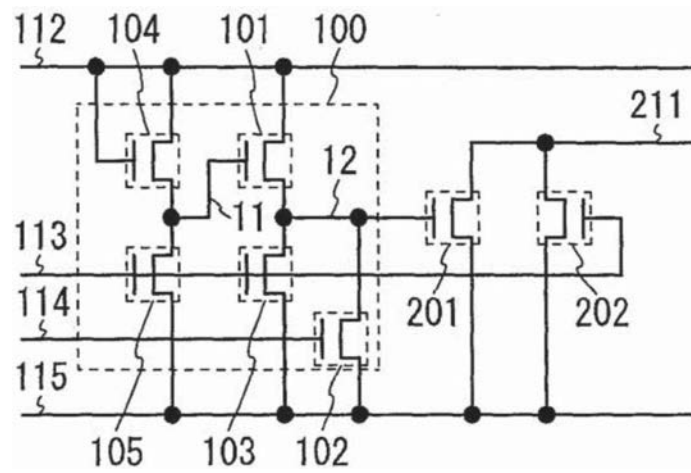


图16A

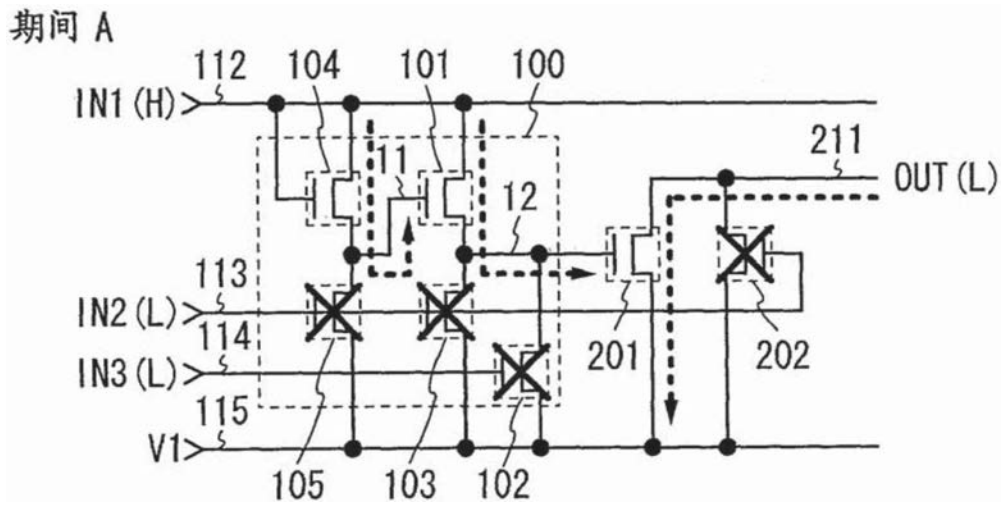


图16B

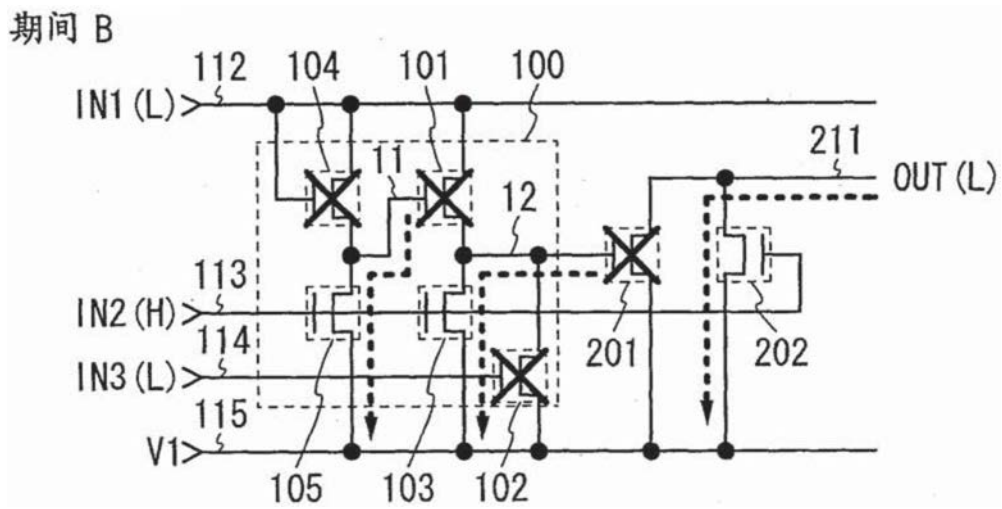


图16C

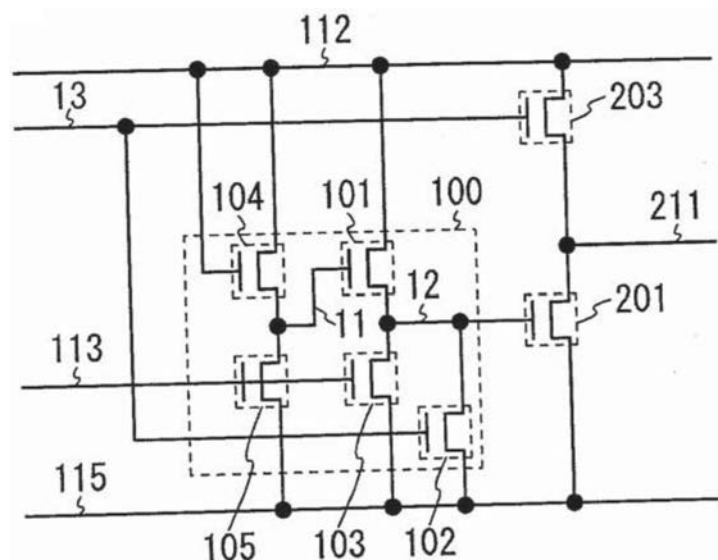


图17A

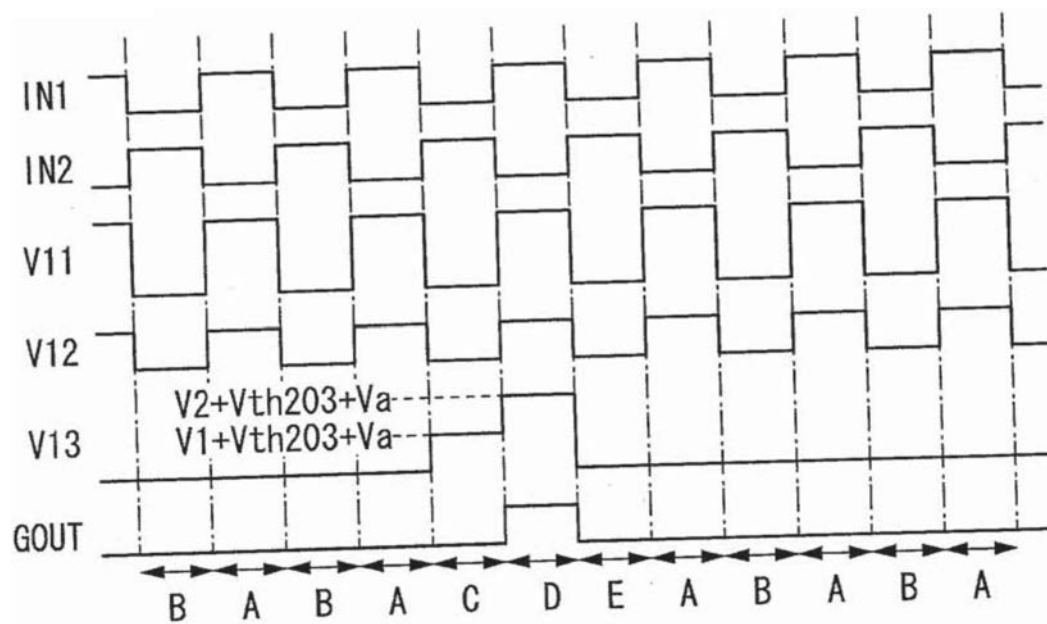


图17B

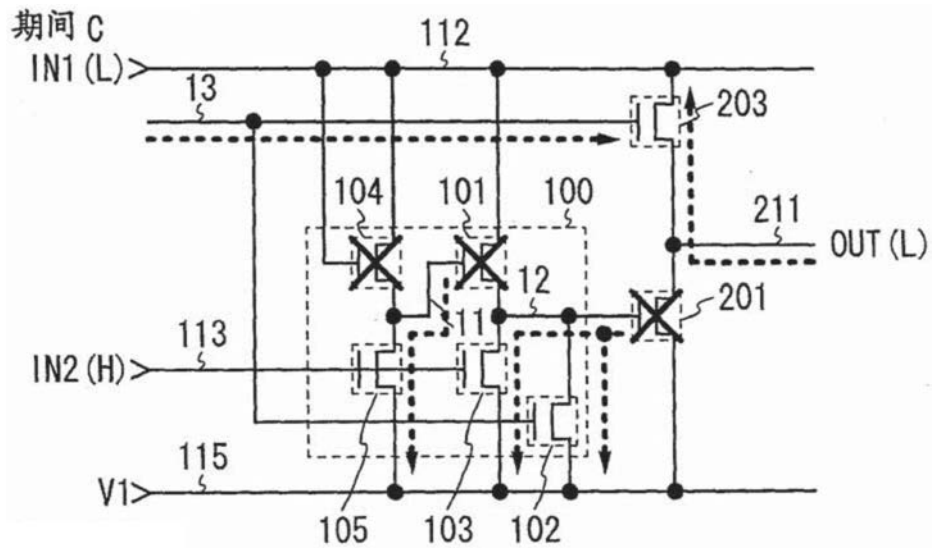


图19A

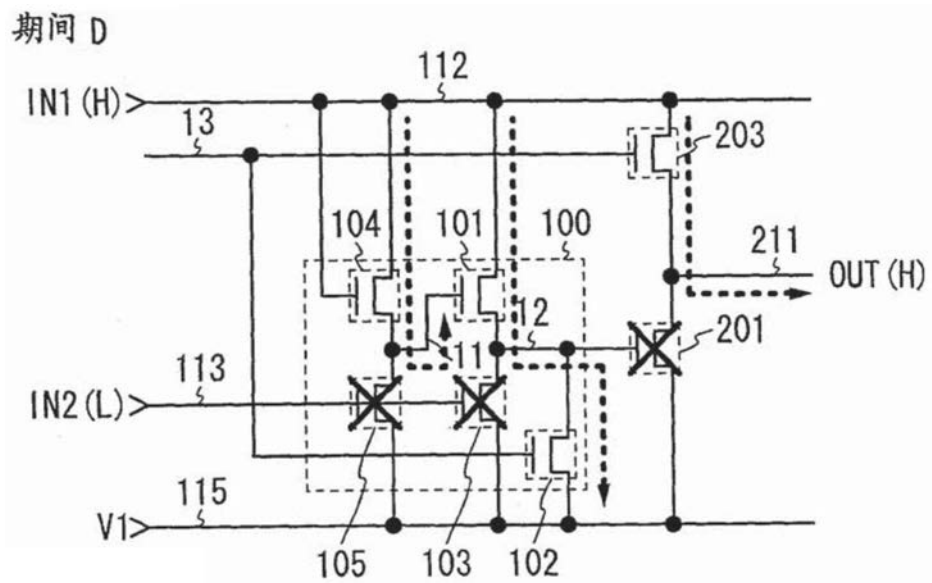


图19B

期间 E

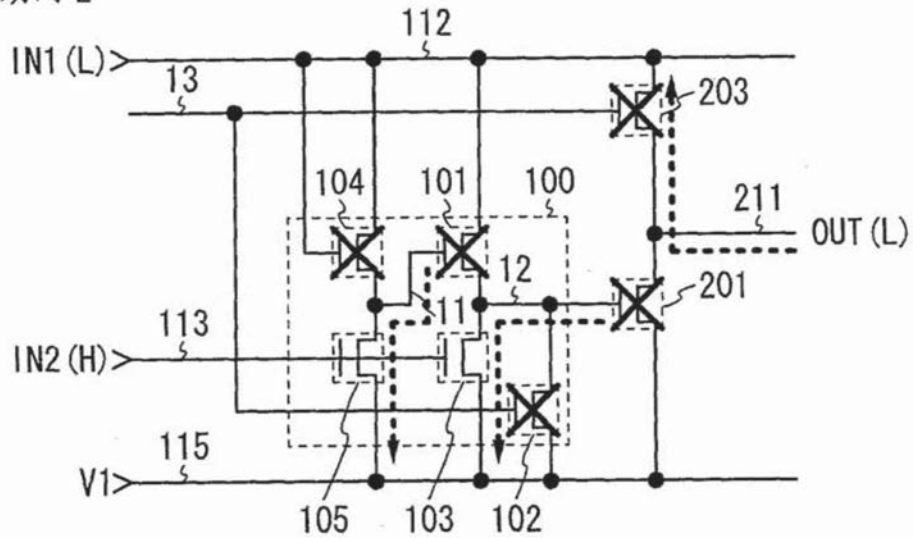


图19C

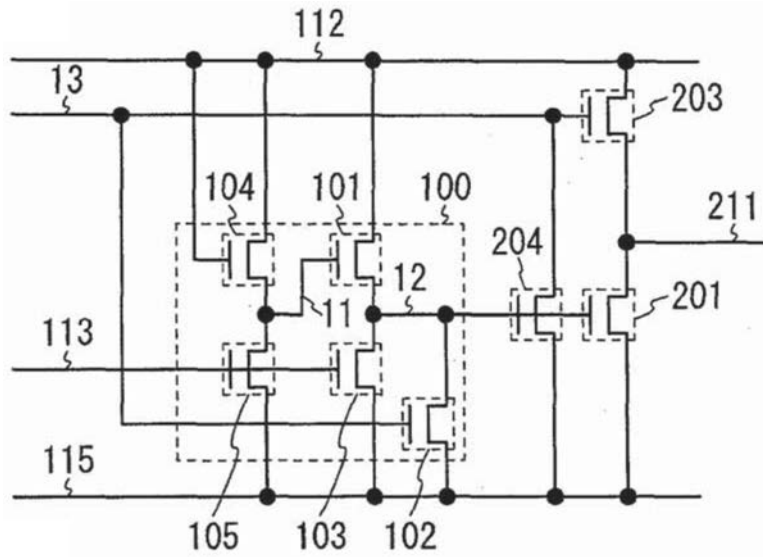


图20A

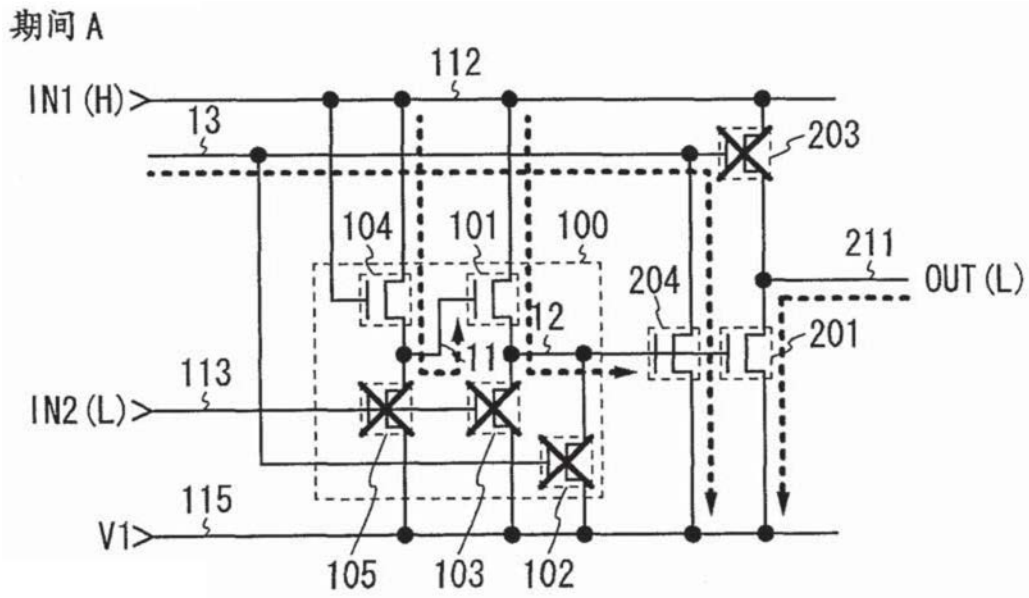


图20B

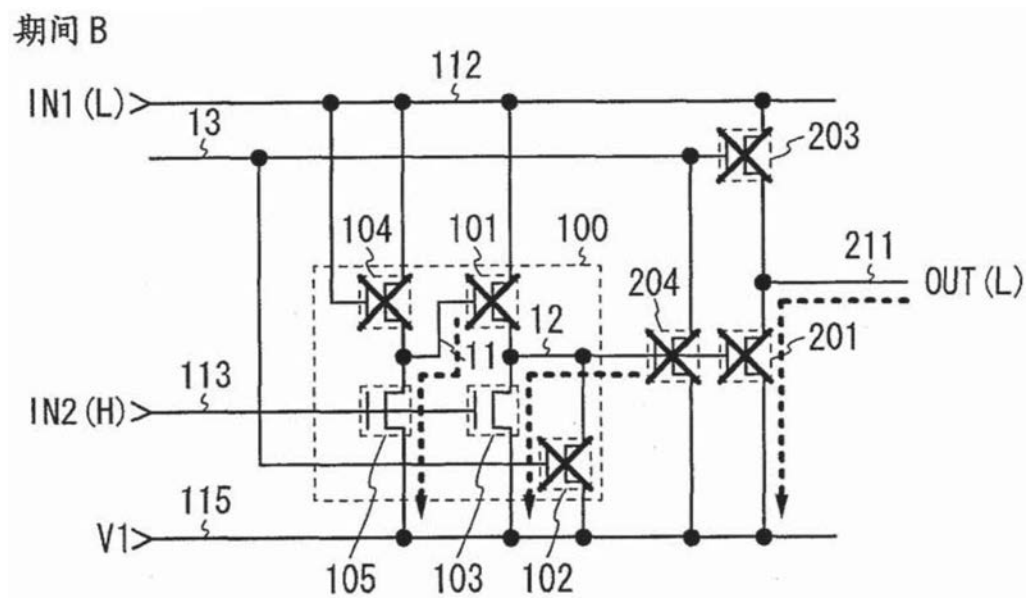


图20C

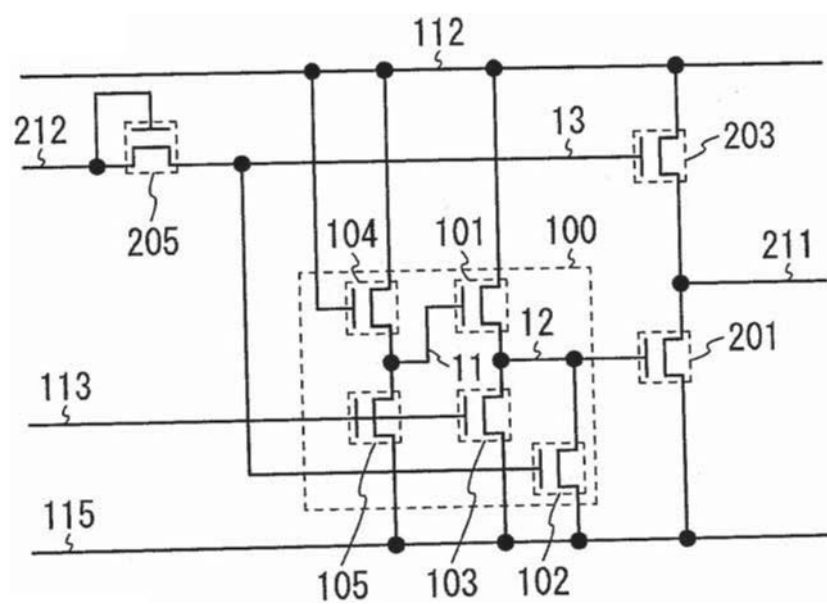


图21A

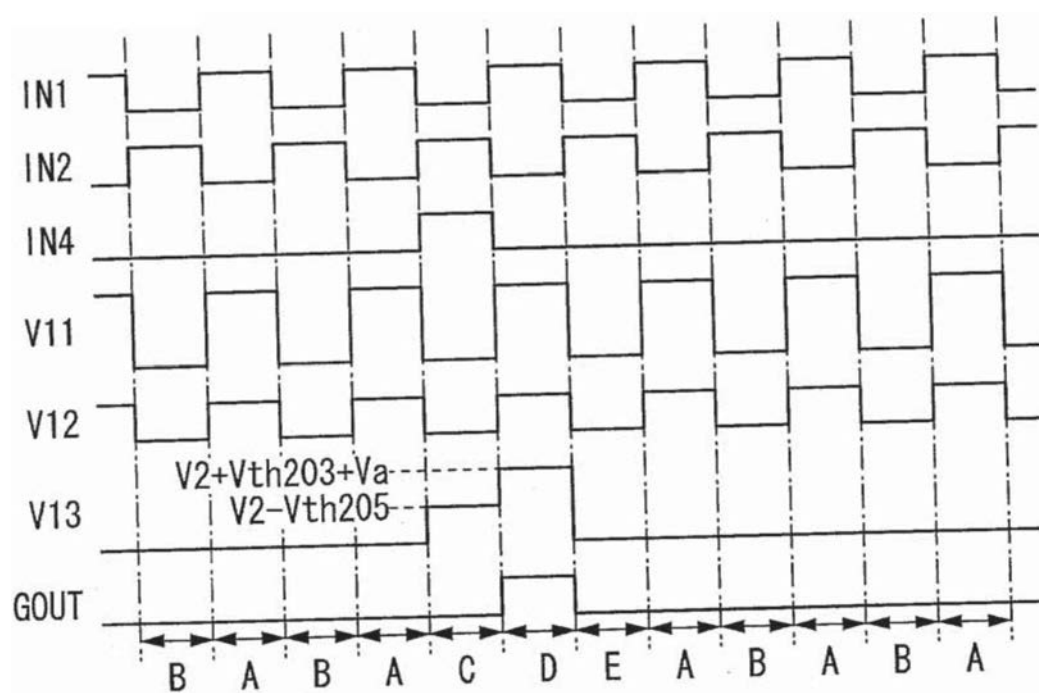


图21B

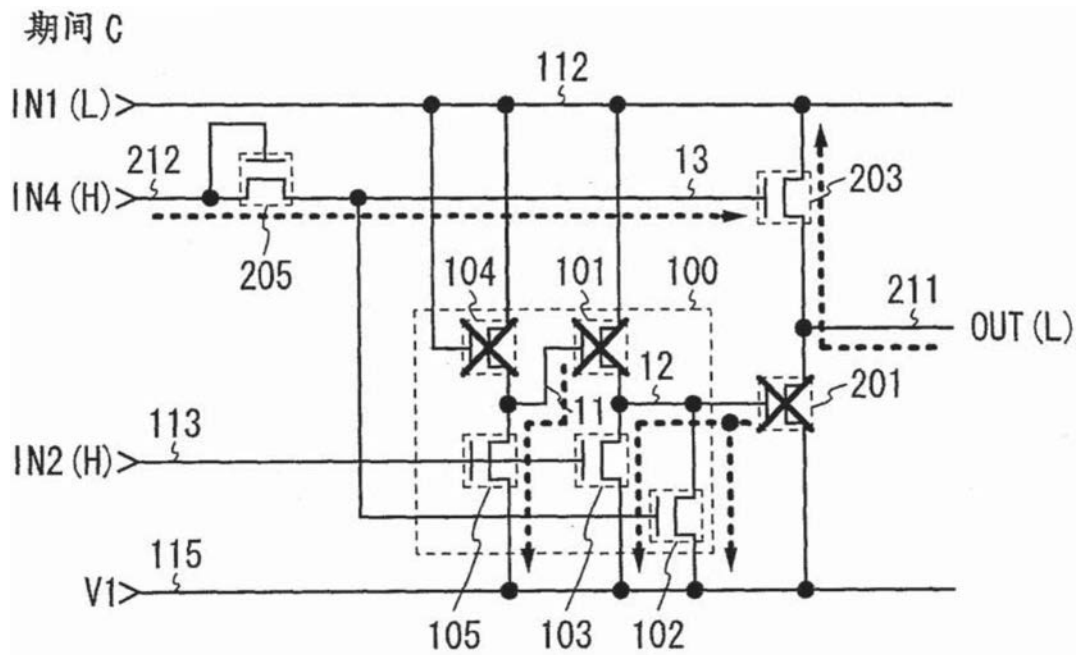


图22A

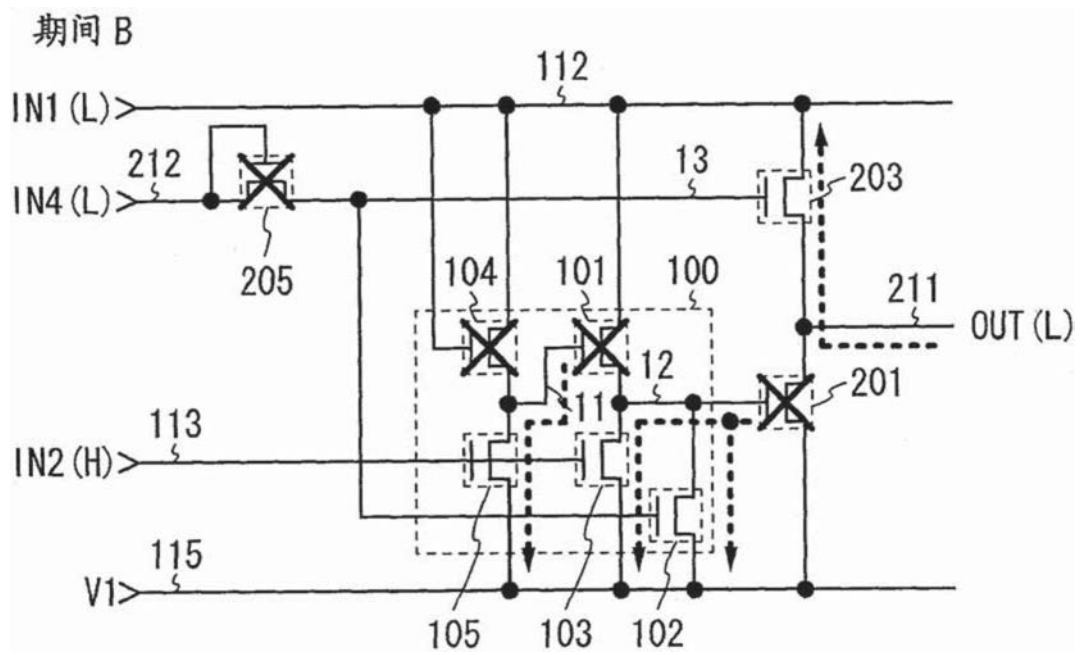


图22B

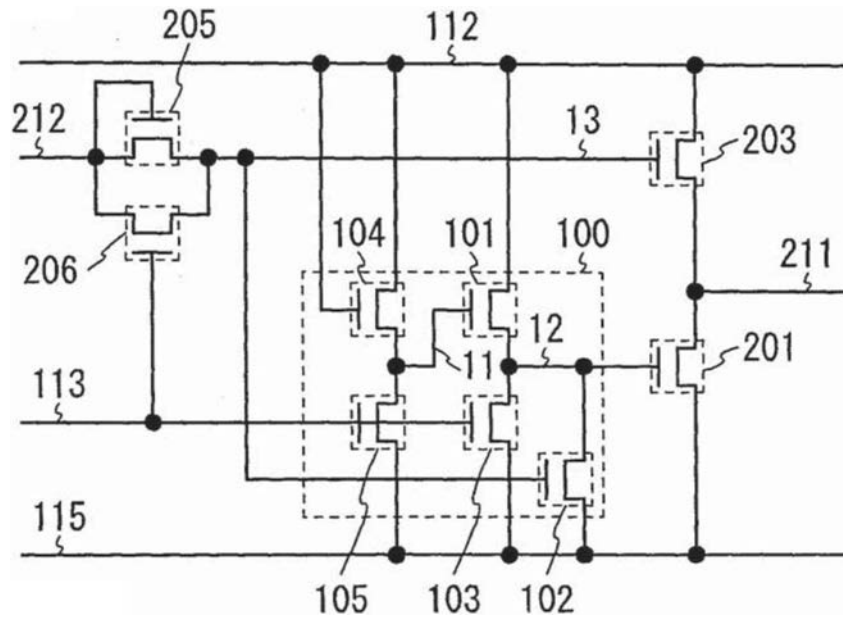


图23A

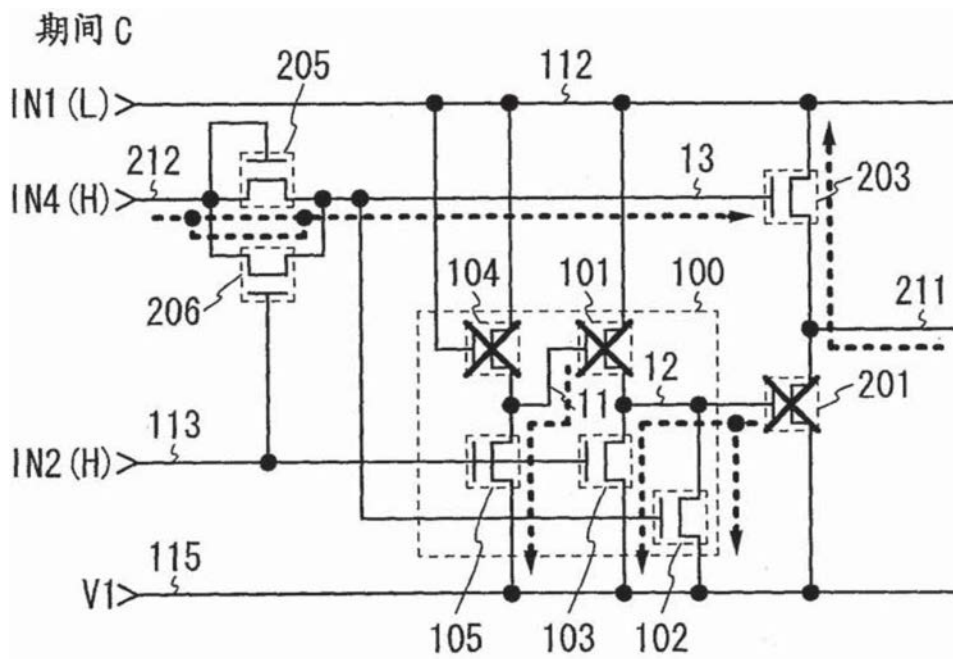


图23B

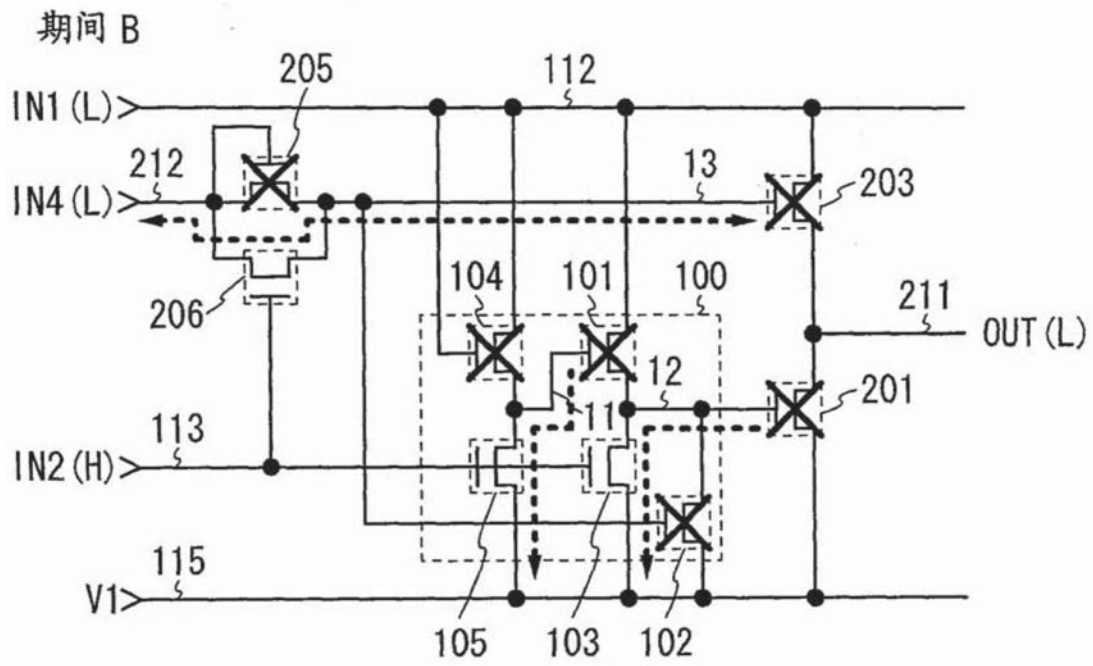


图24A

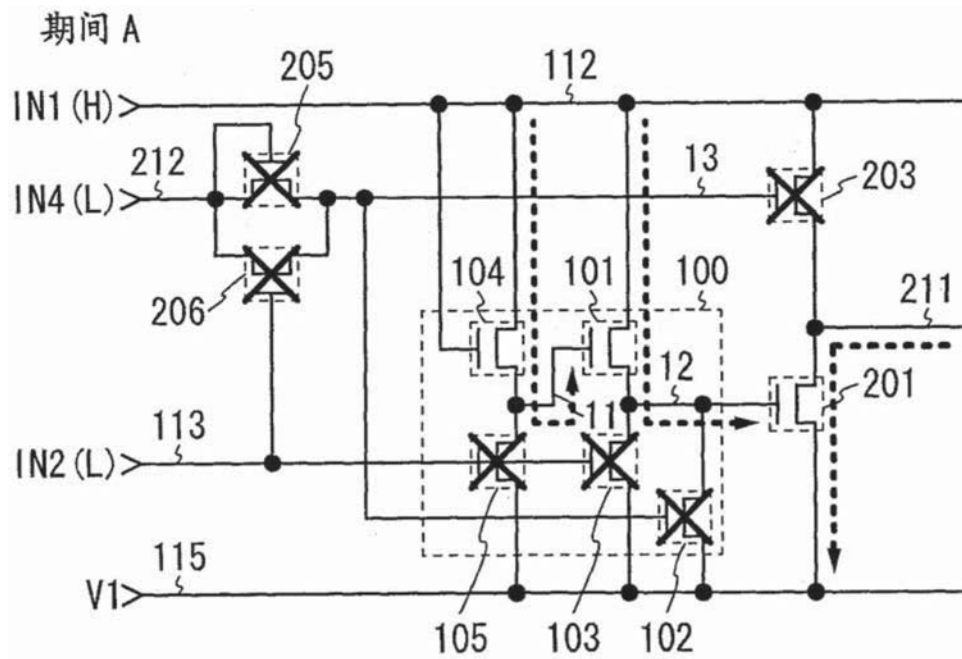


图24B

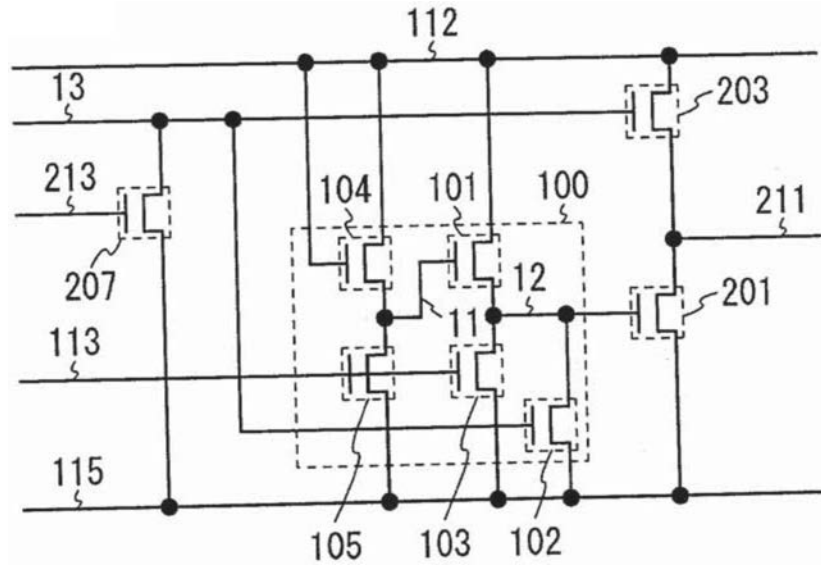


图25A

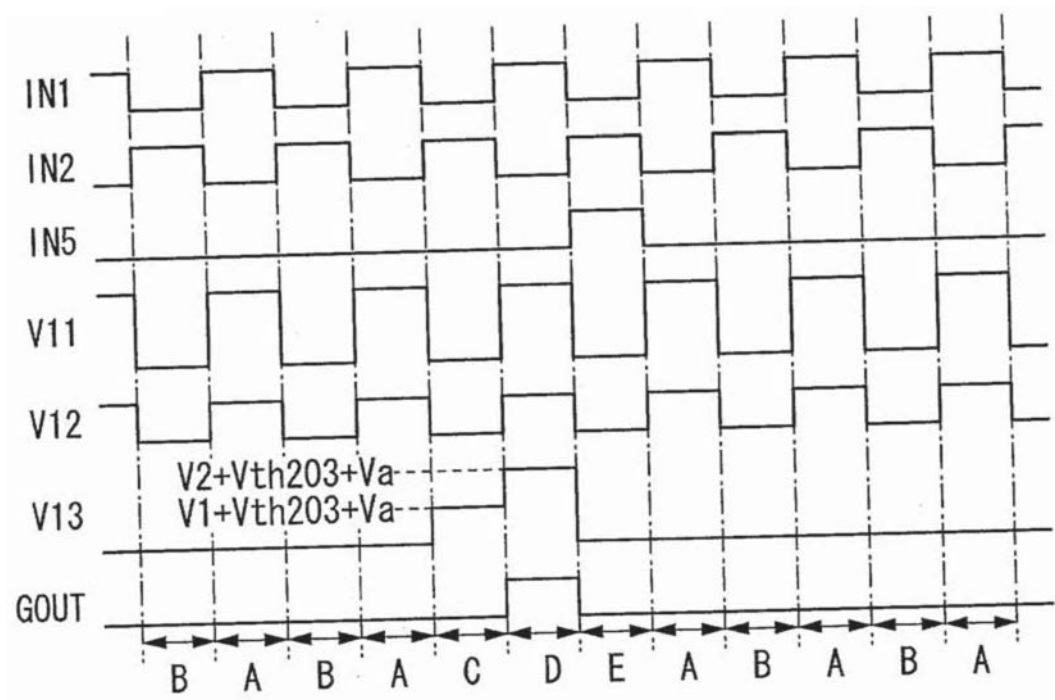


图25B

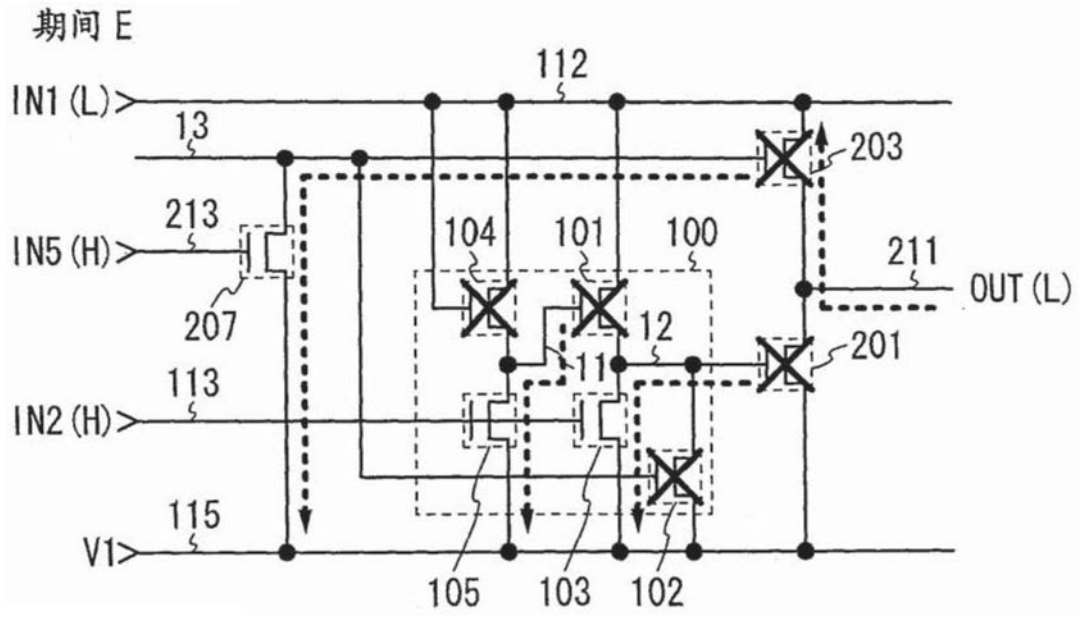


图26A

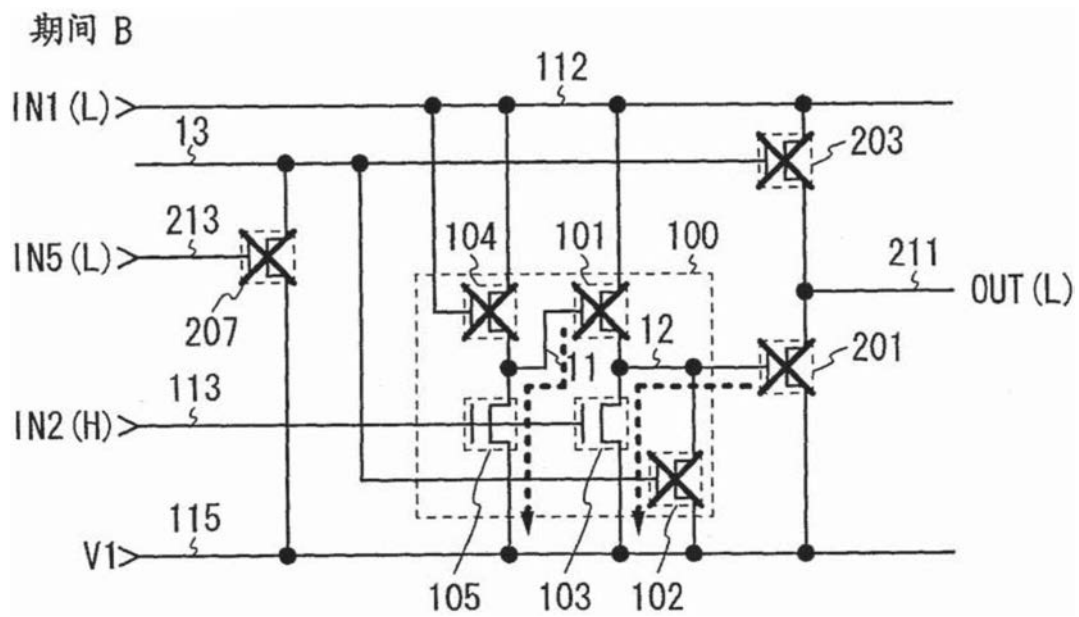


图26B

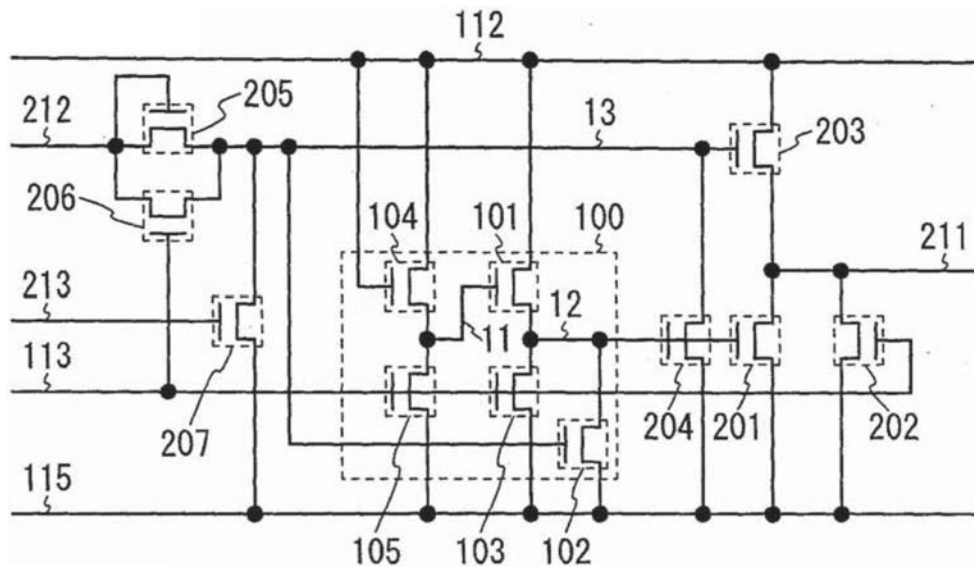


图27A

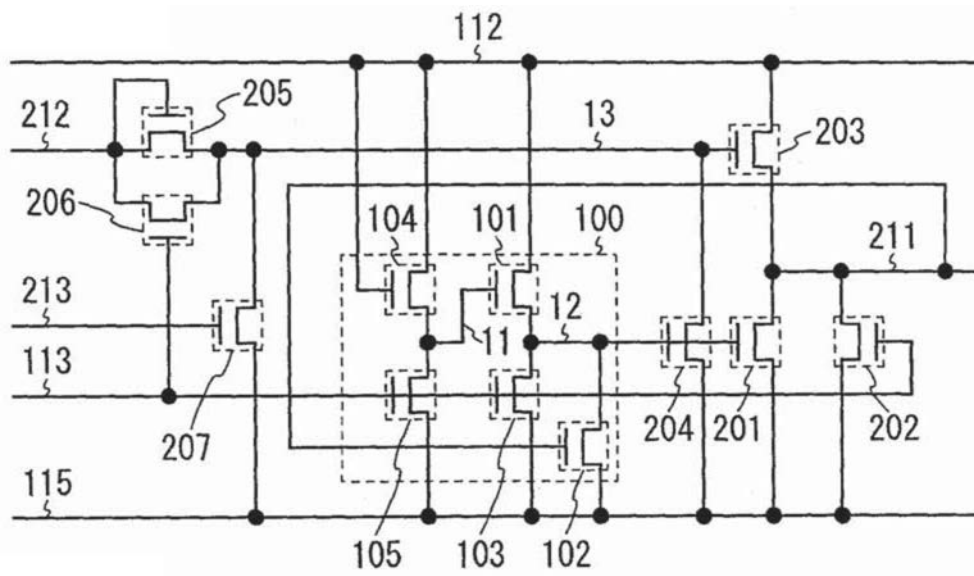


图27B

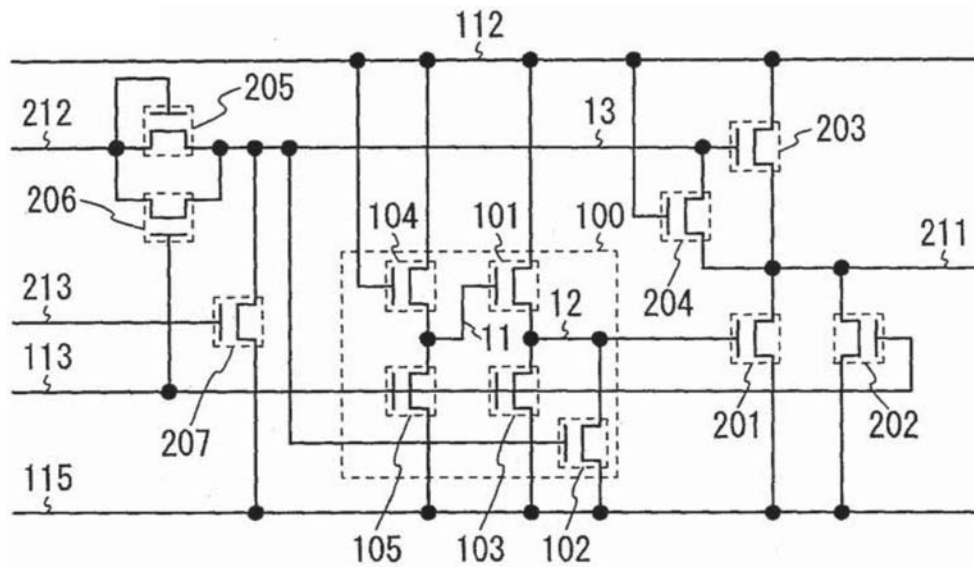


图27C

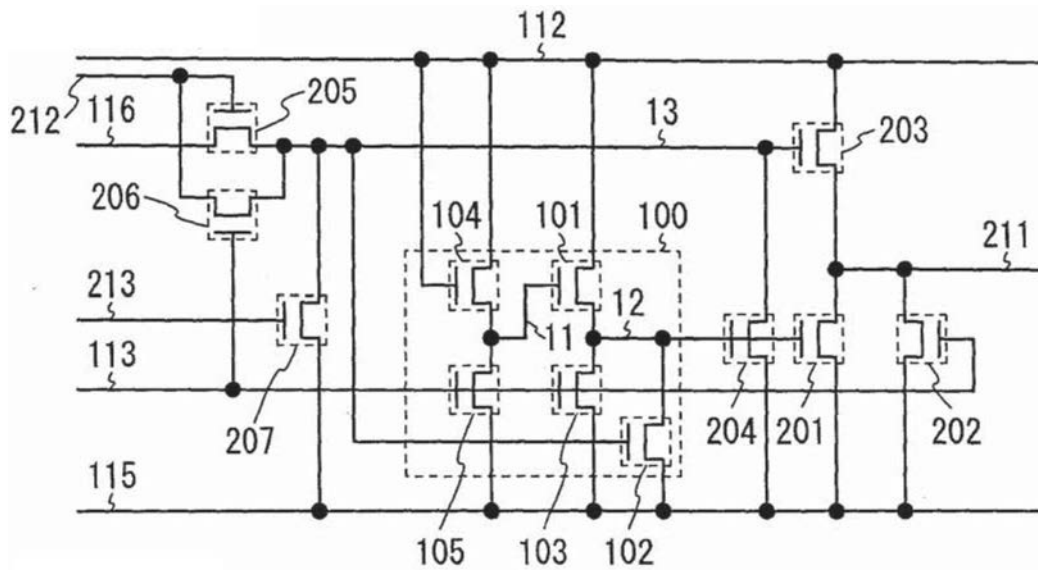


图28A

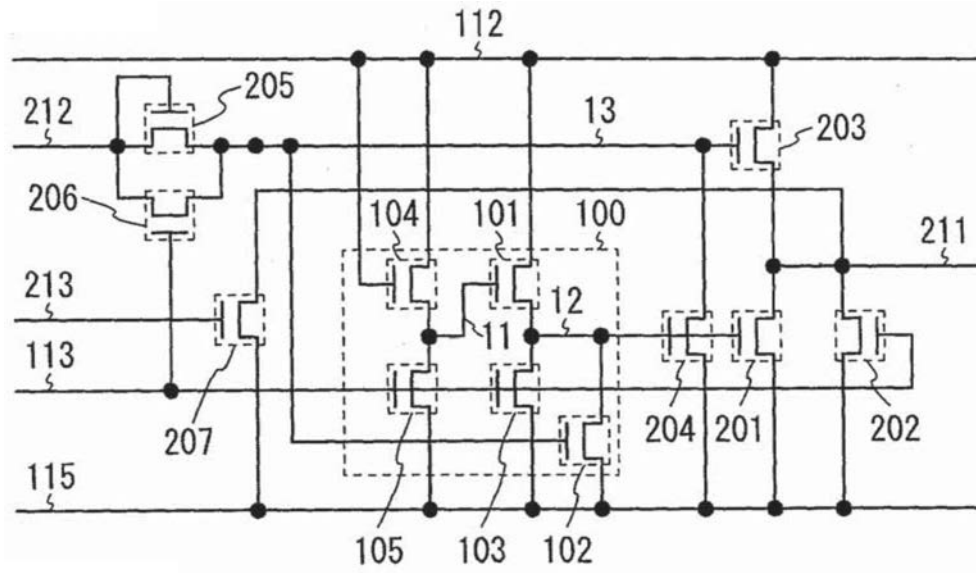


图28B

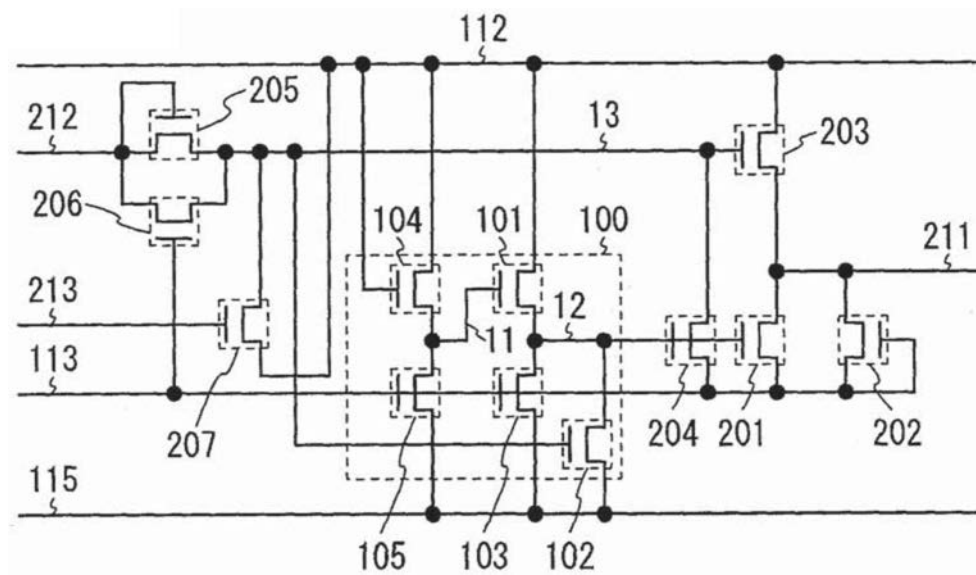


图28C

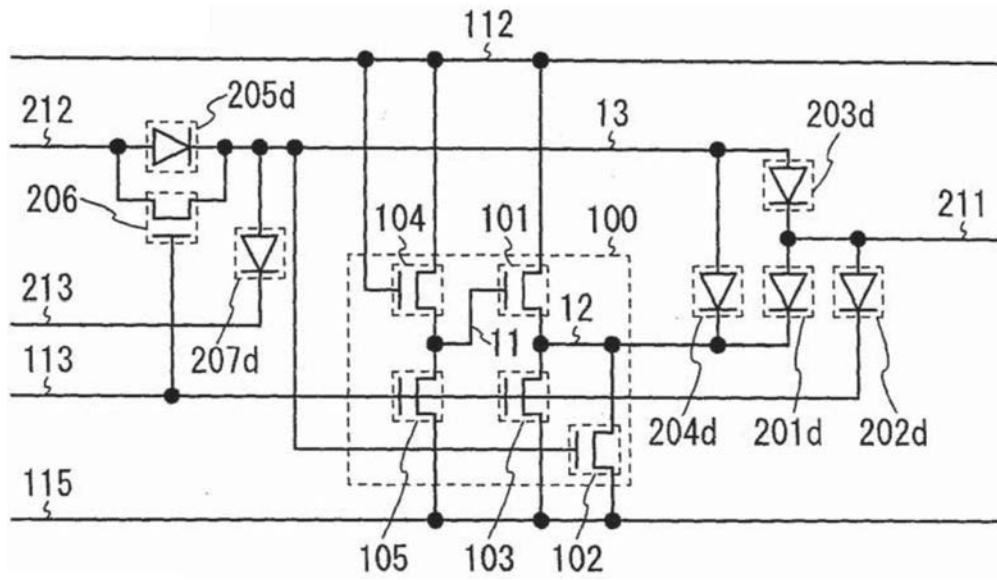


图29A

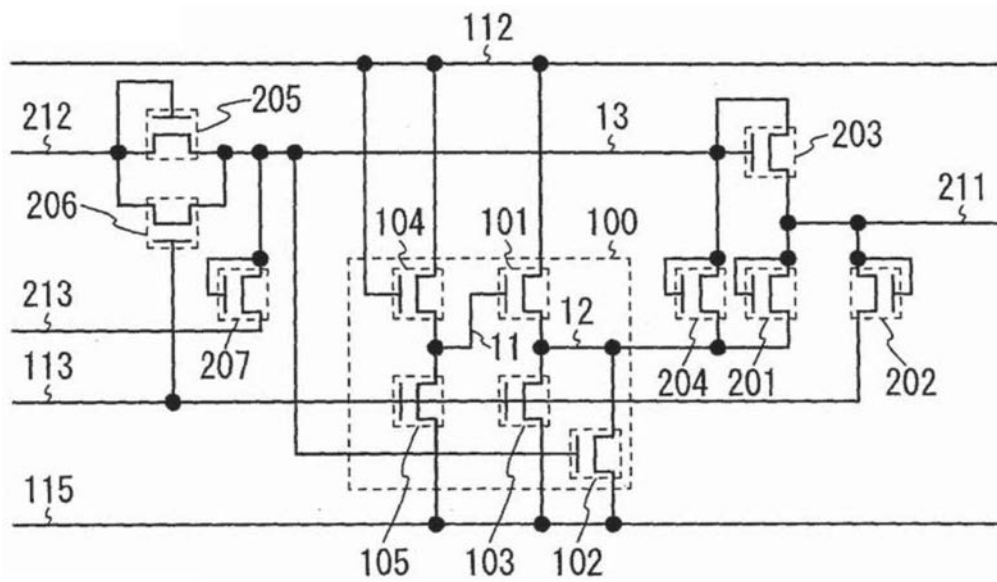


图29B

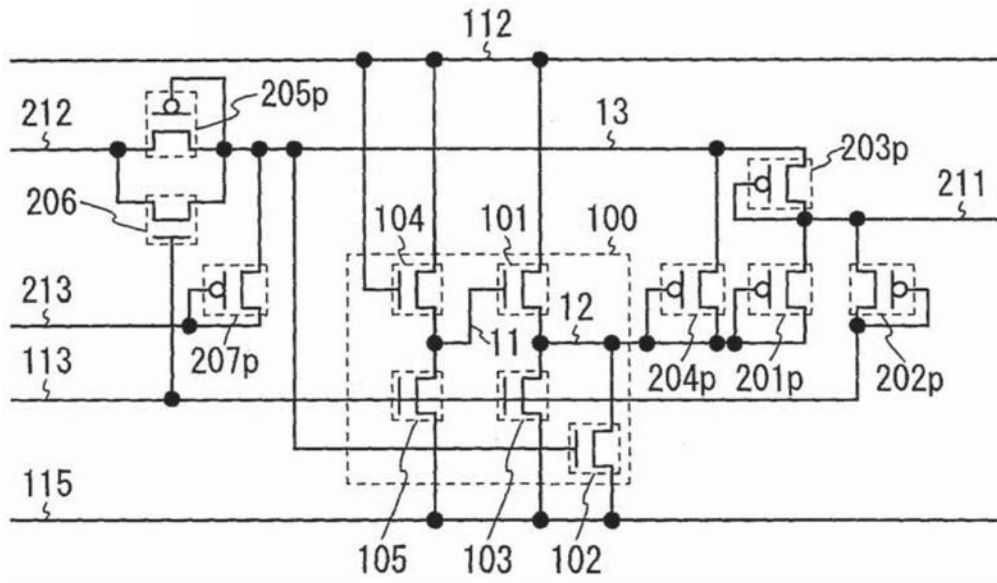


图29C

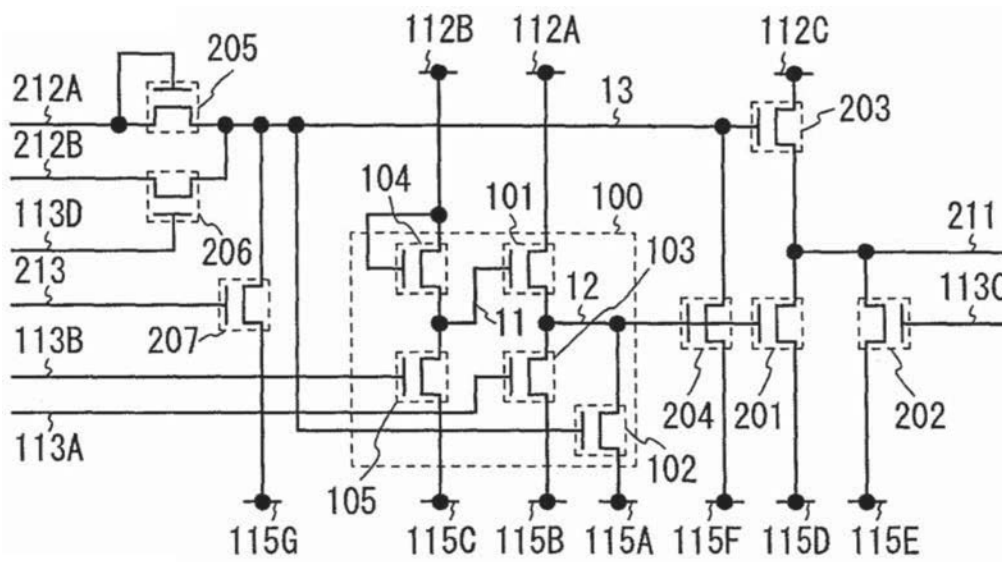


图30A

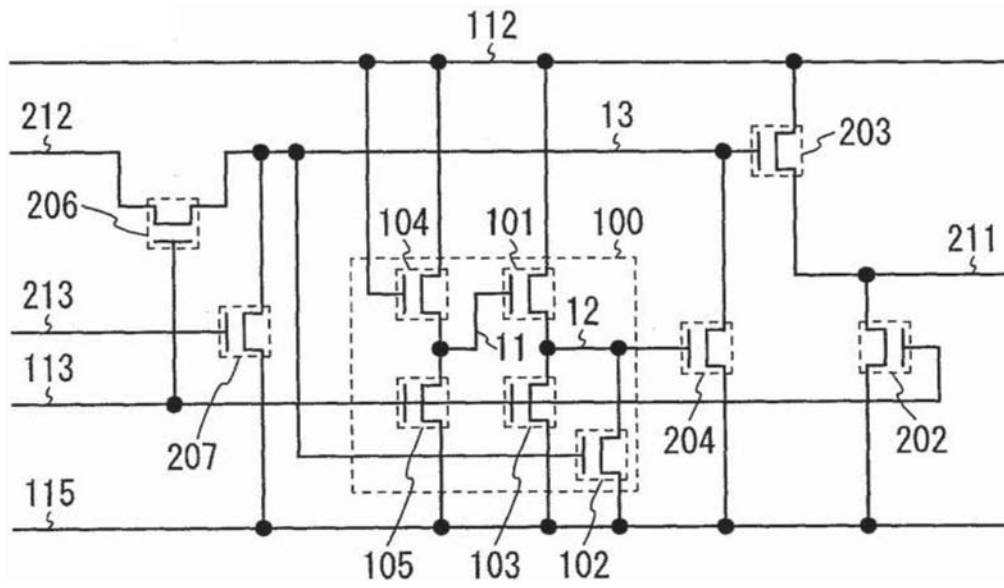


图30B

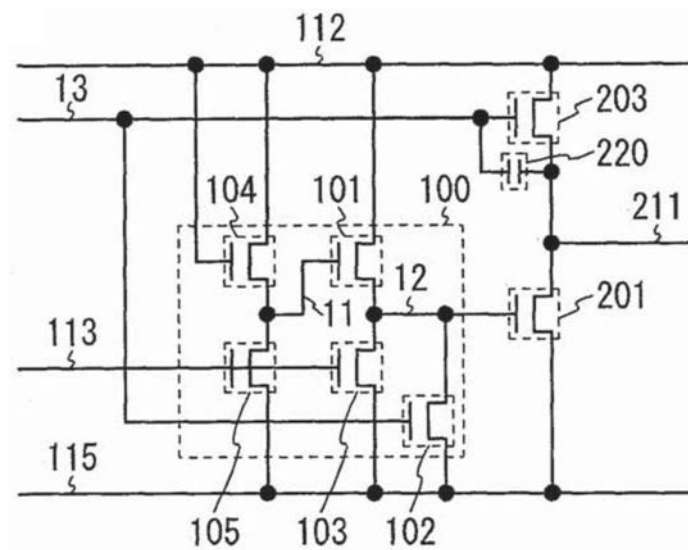


图30C

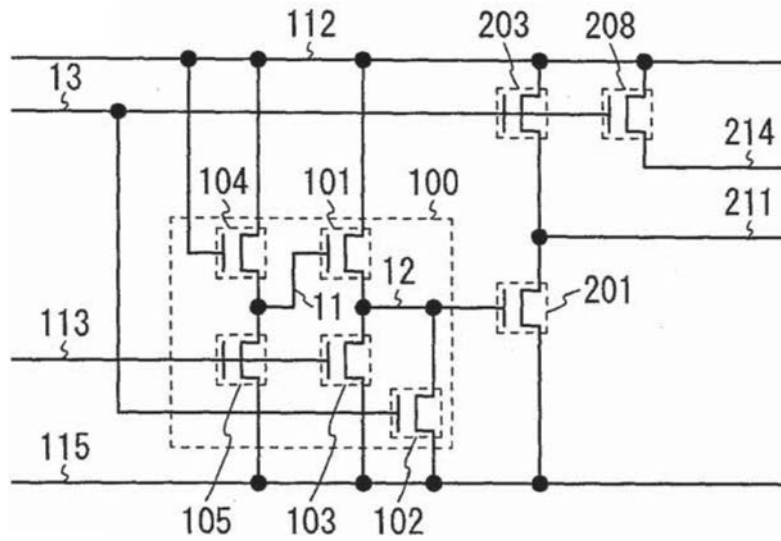


图31A

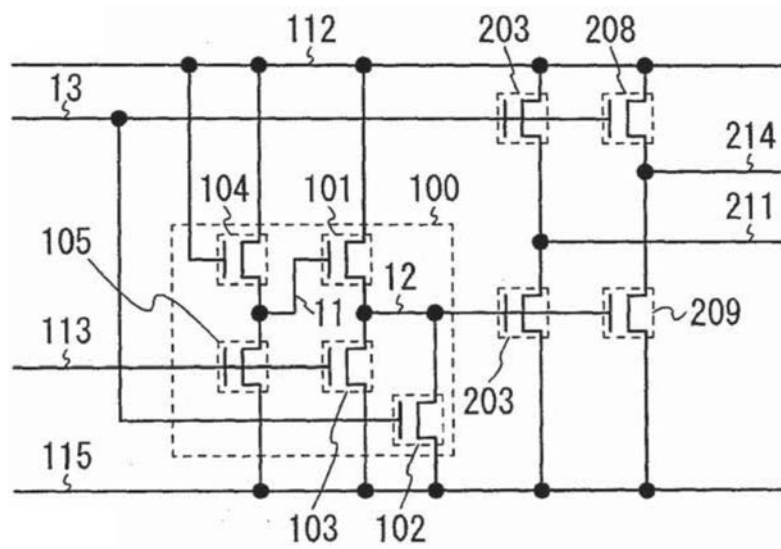


图31B

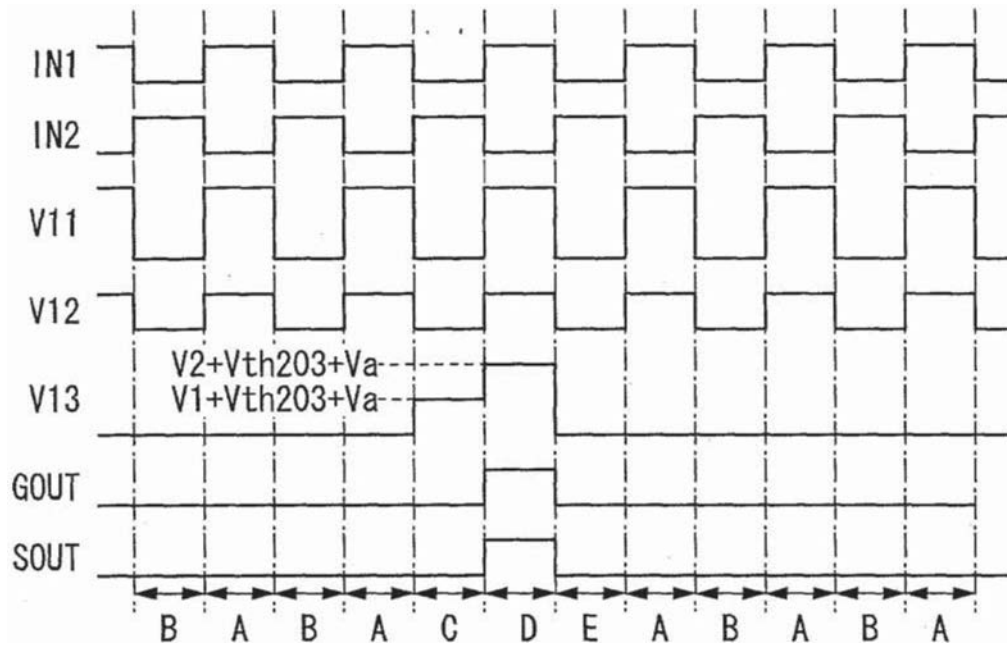


图31C

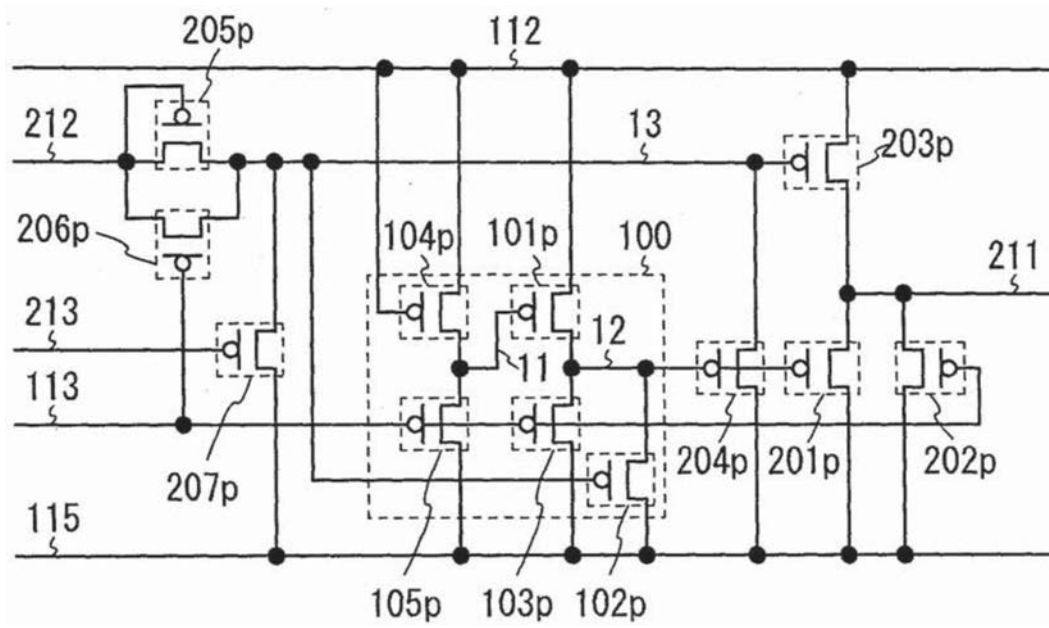


图32A

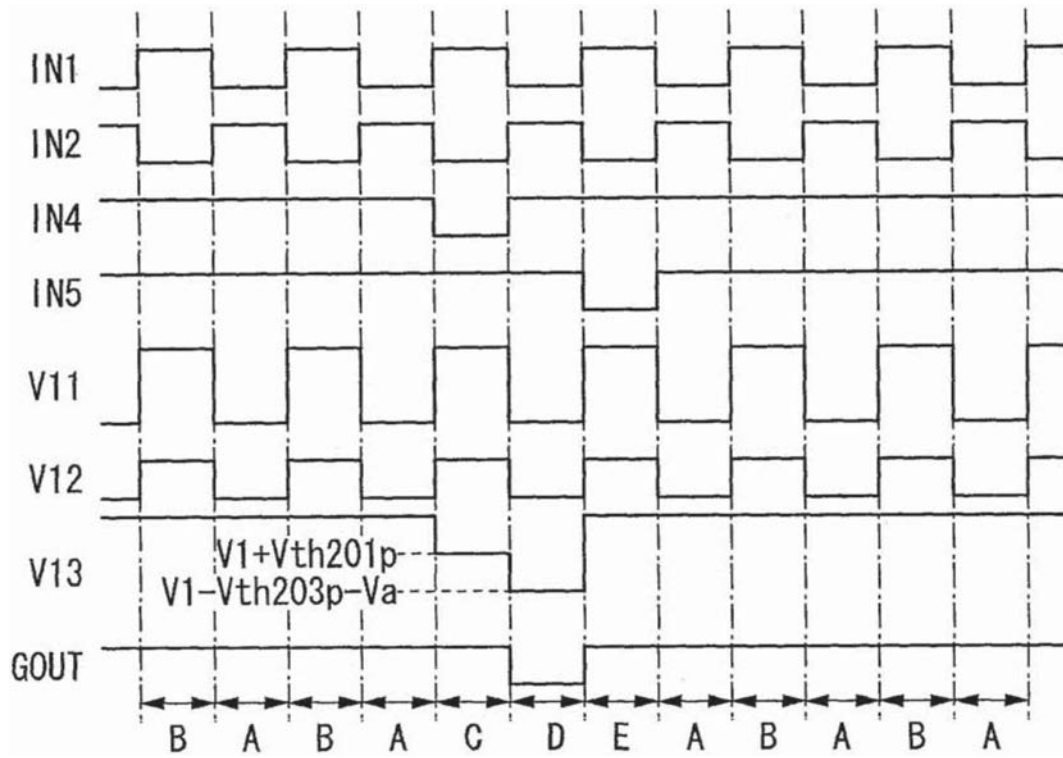


图32B

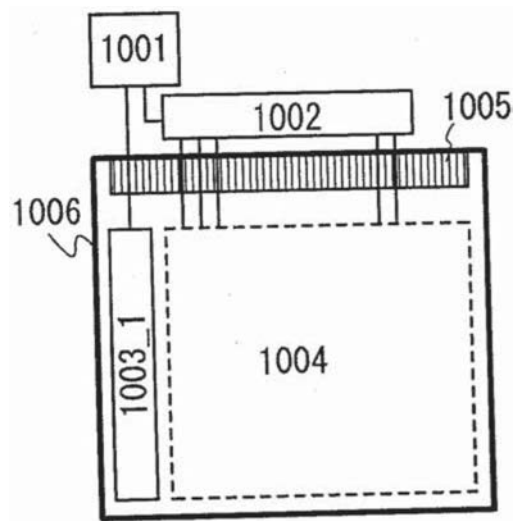


图33A

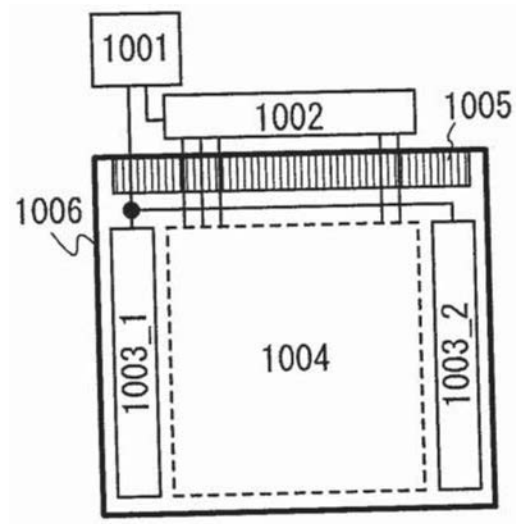


图33B

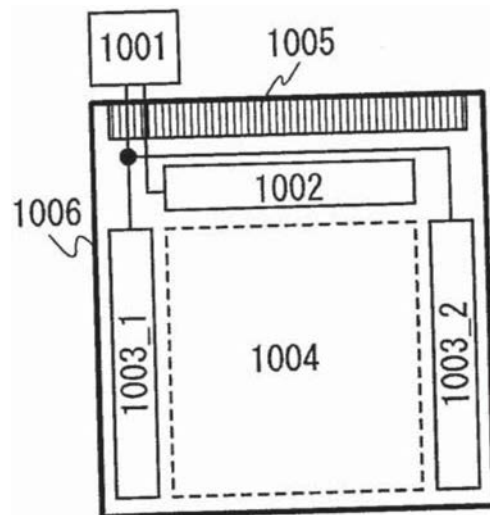


图33C

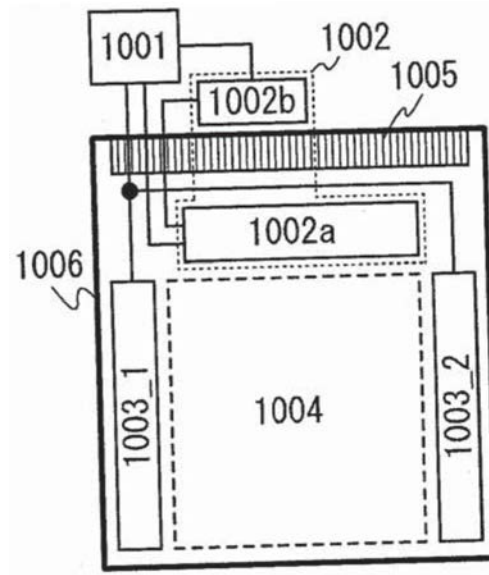


图33D

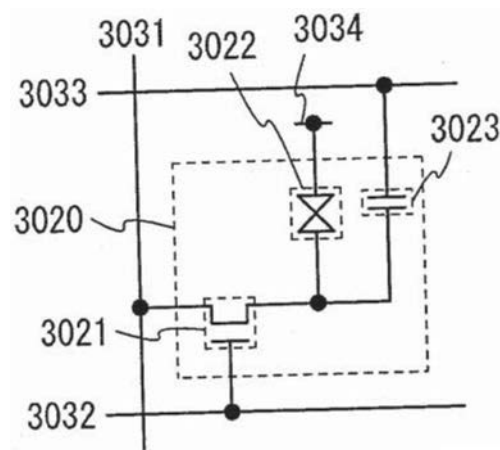


图33E

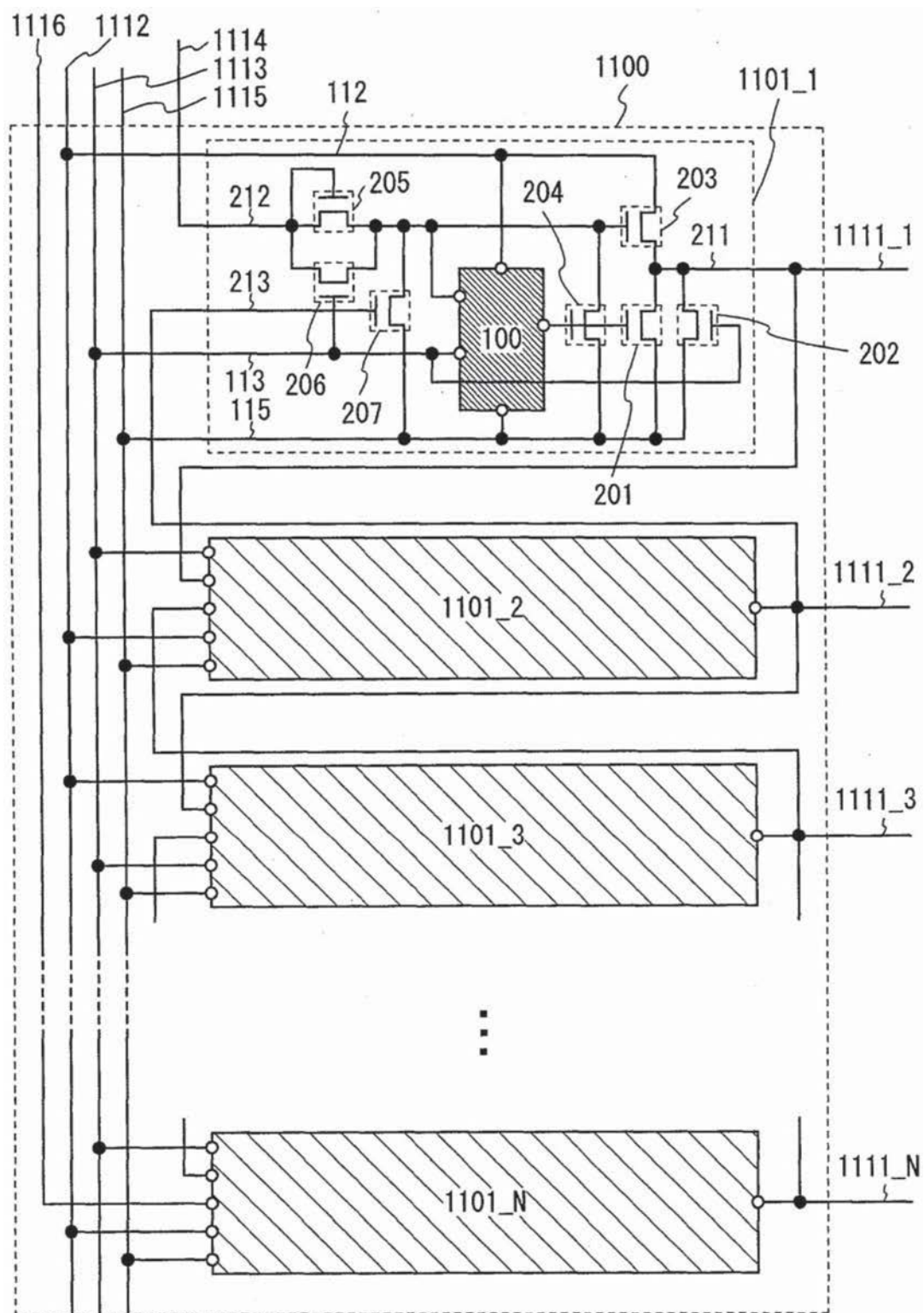


图34

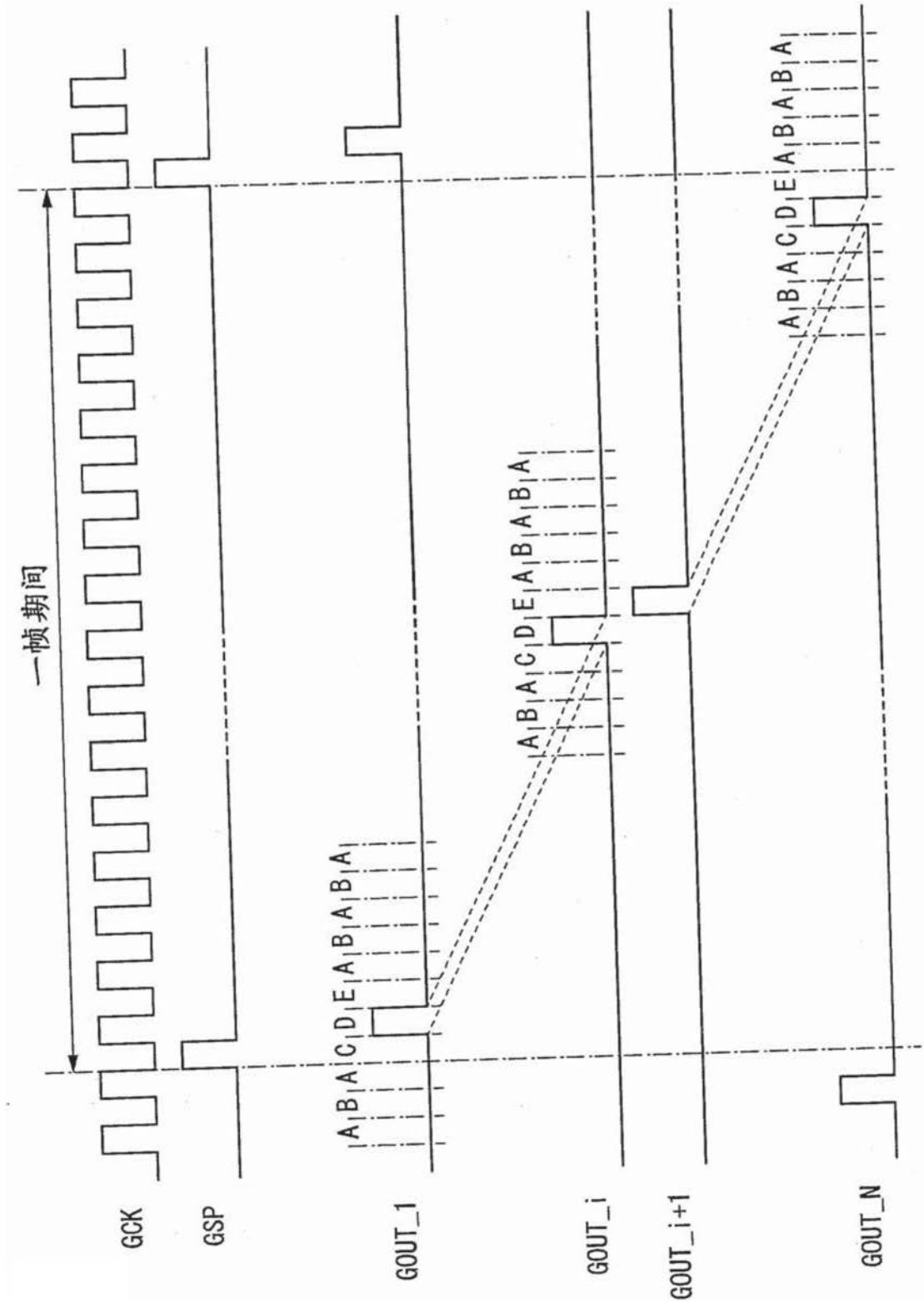


图35

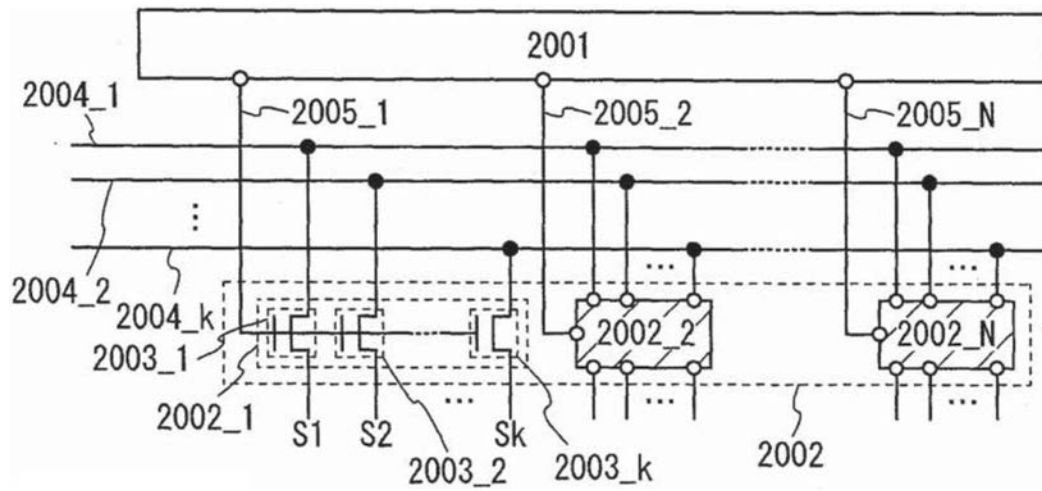


图36A

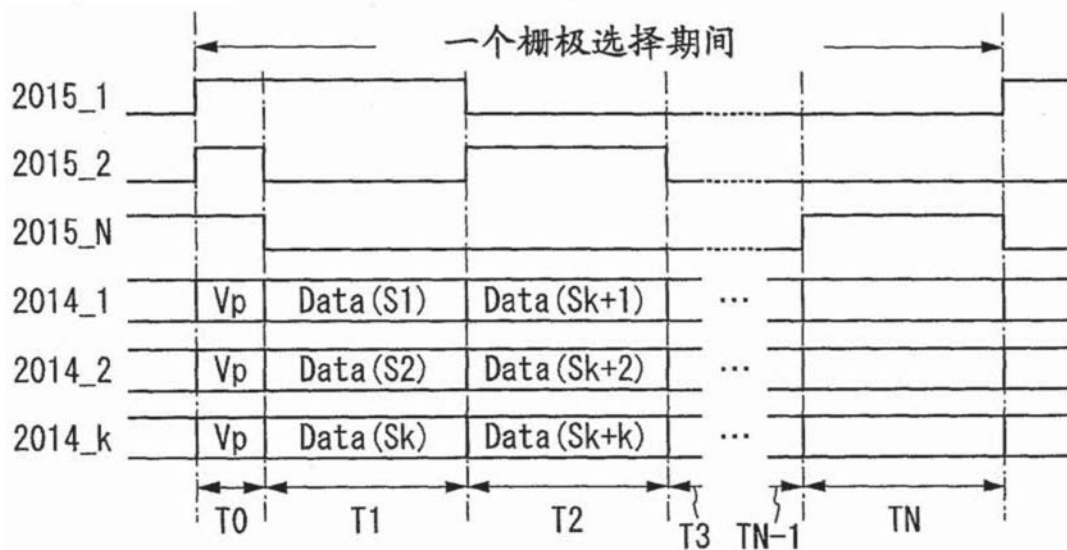


图36B

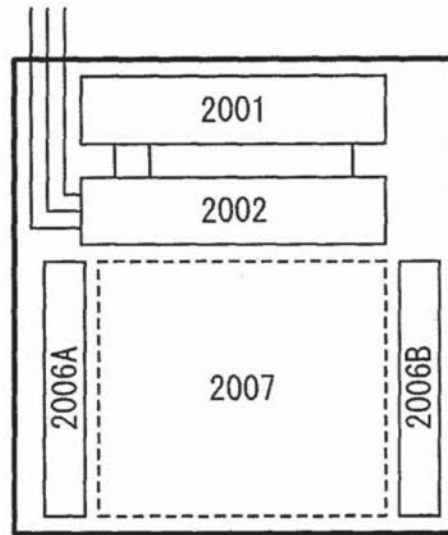


图36C

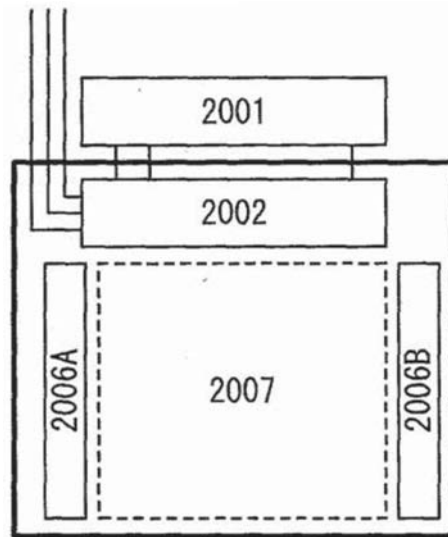


图36D

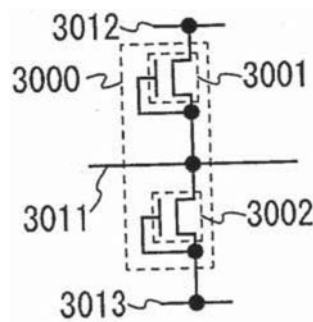


图37A

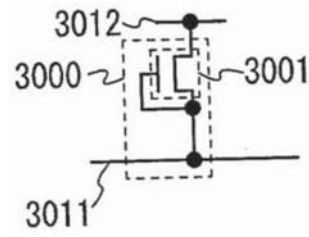


图37B

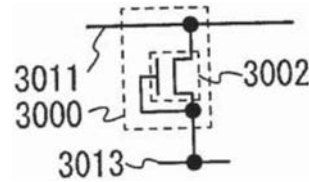


图37C

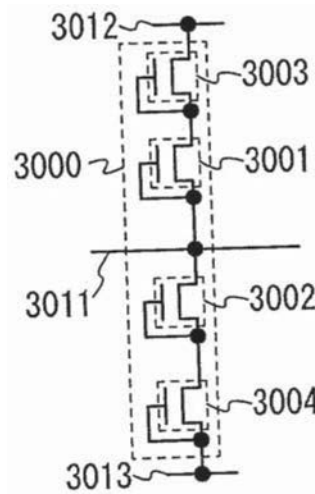


图37D

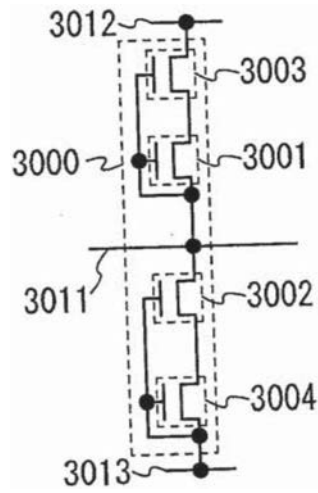


图37E

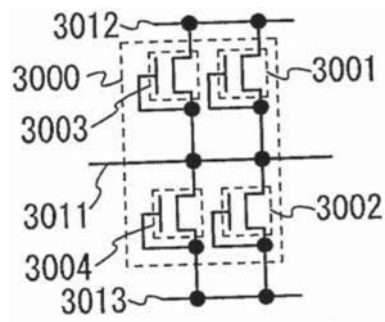


图37F

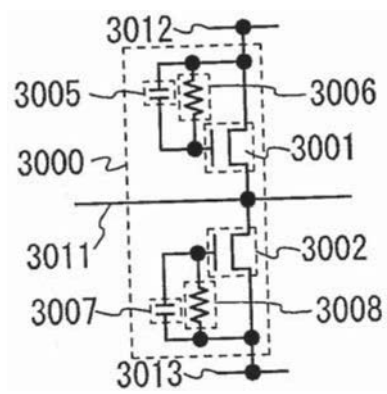


图37G

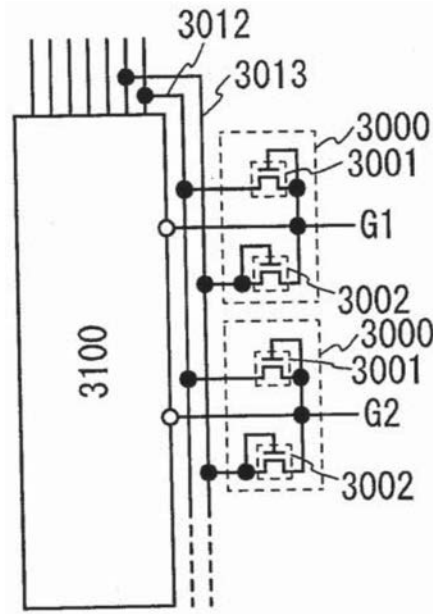


图38A

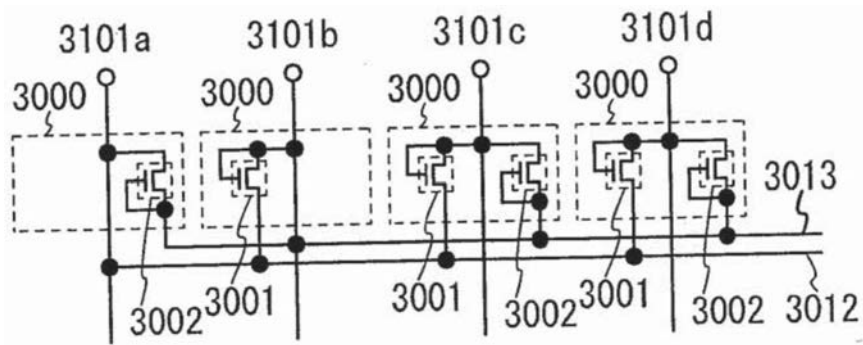


图38B

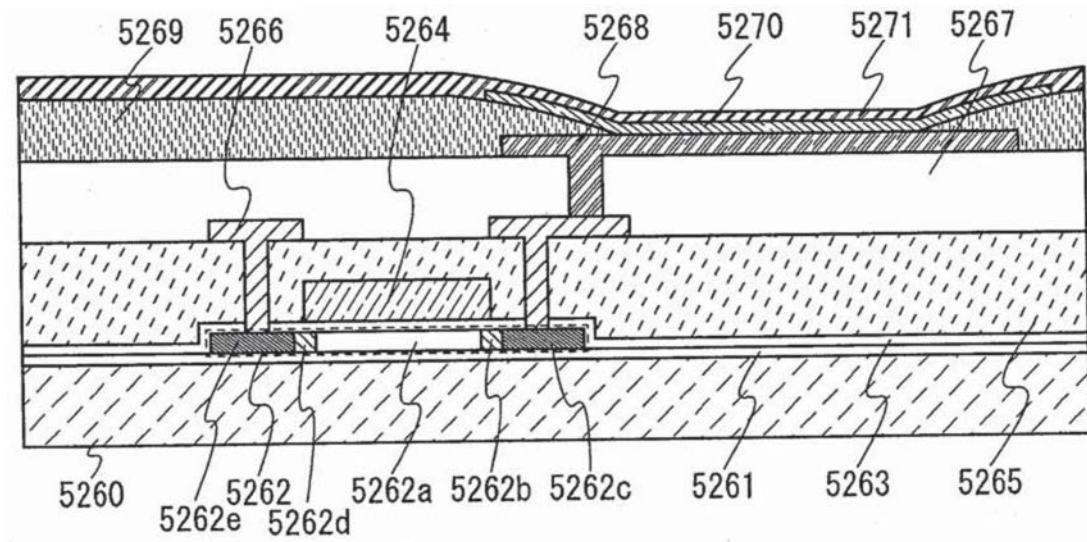


图39A

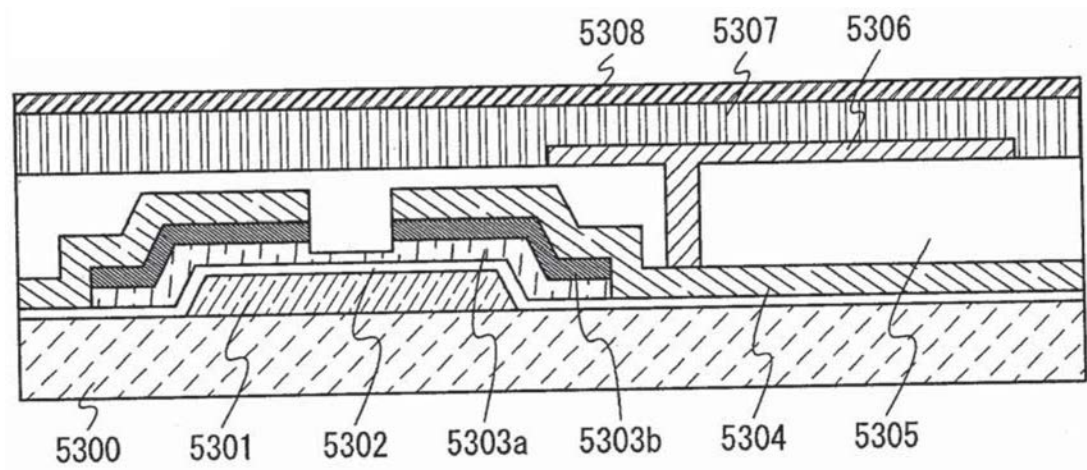


图39B

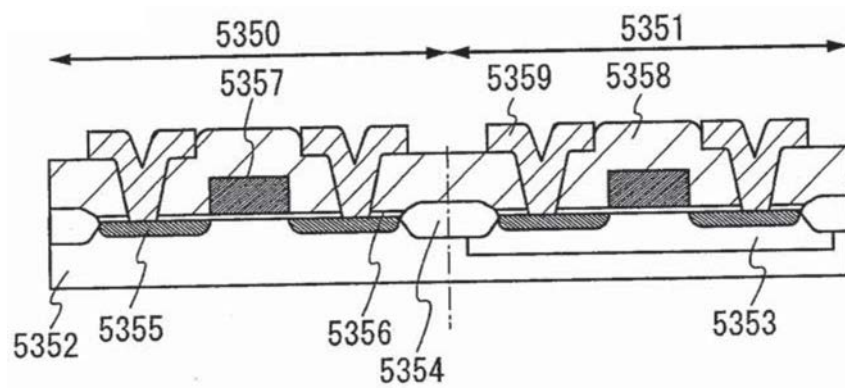


图39C

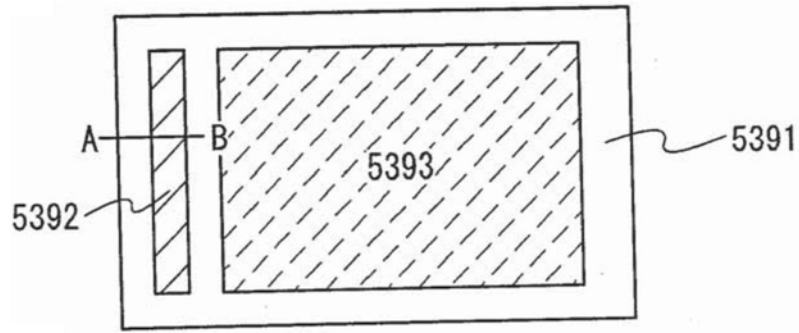


图40A

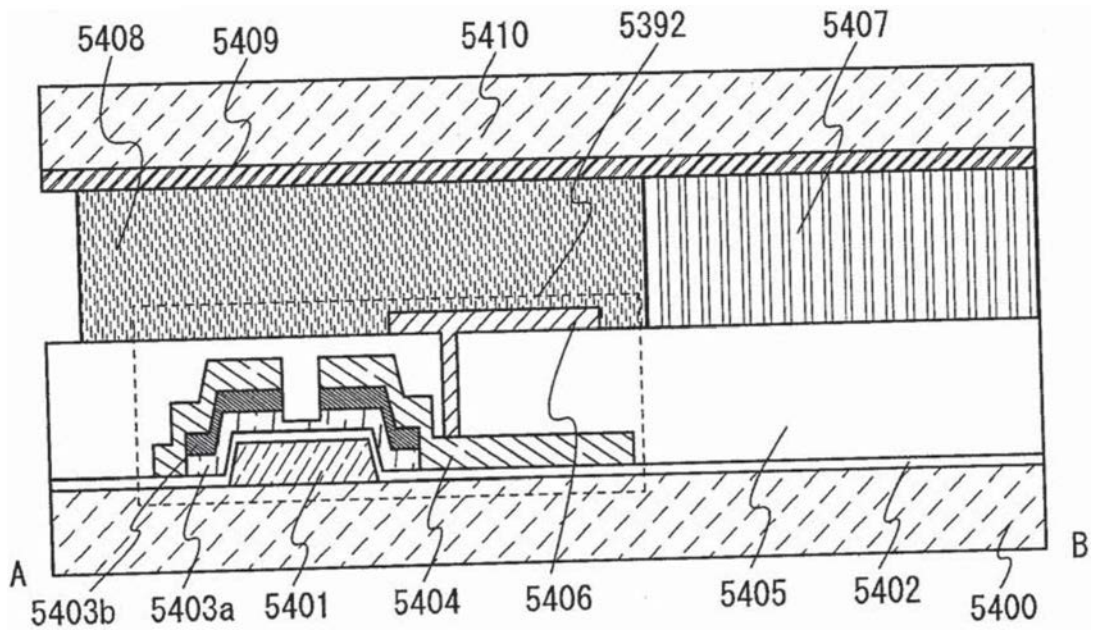


图40B

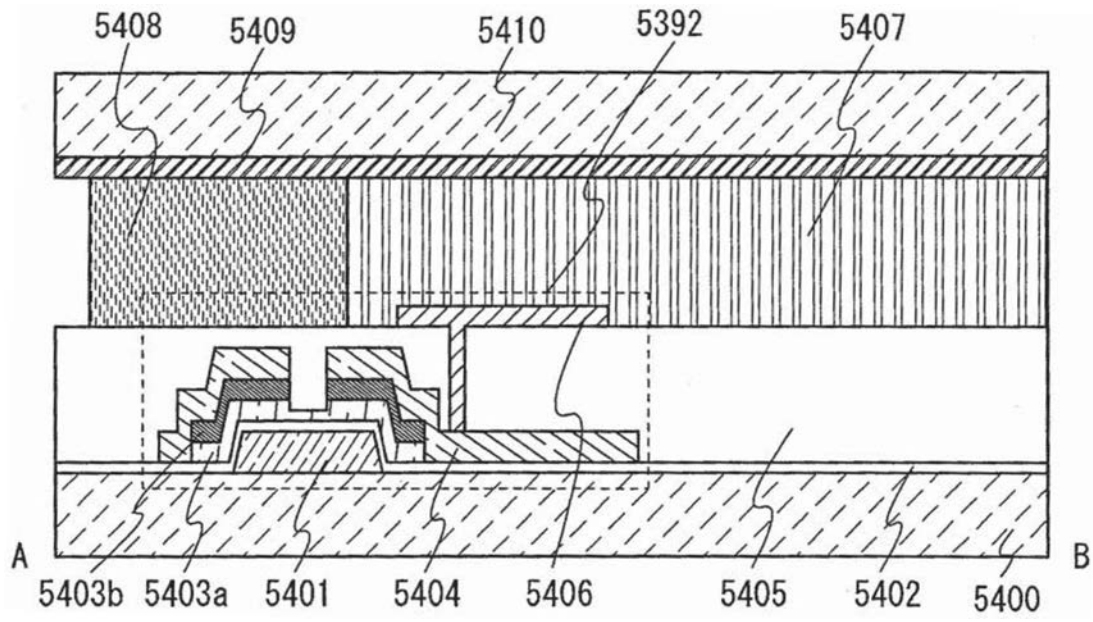
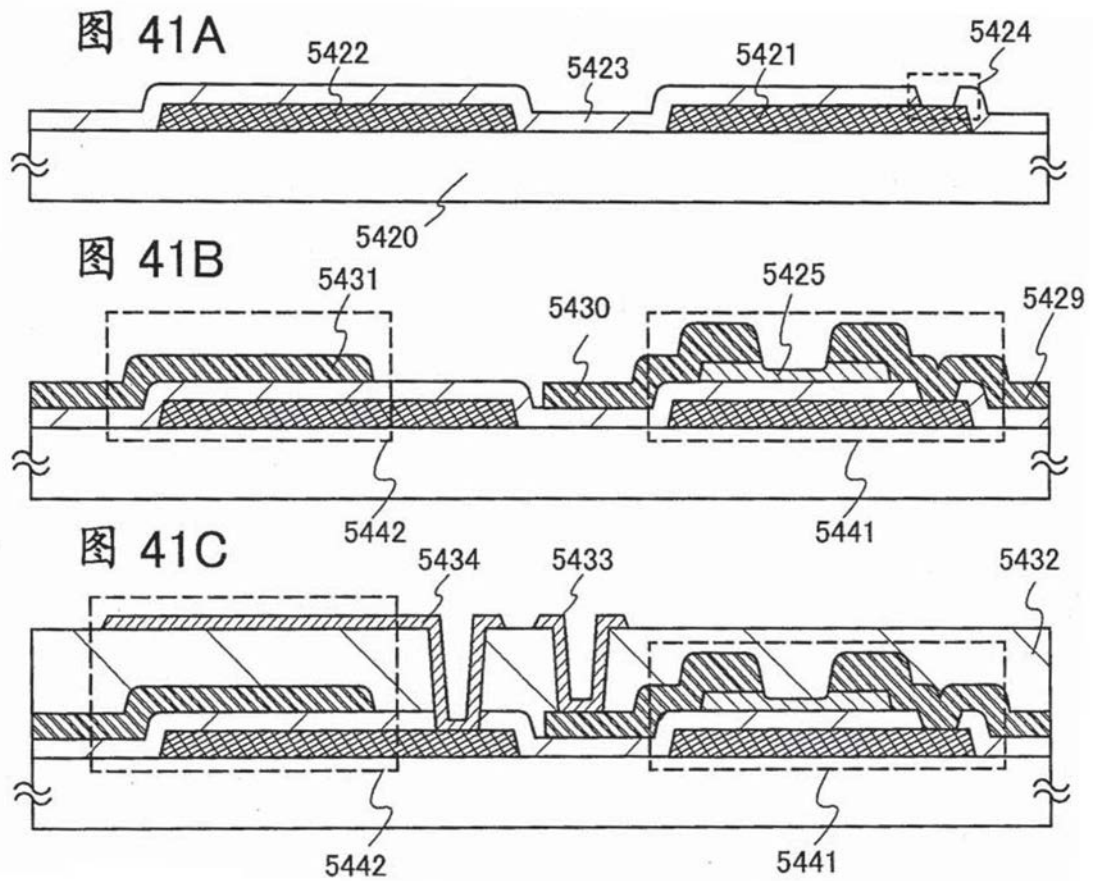


图40C



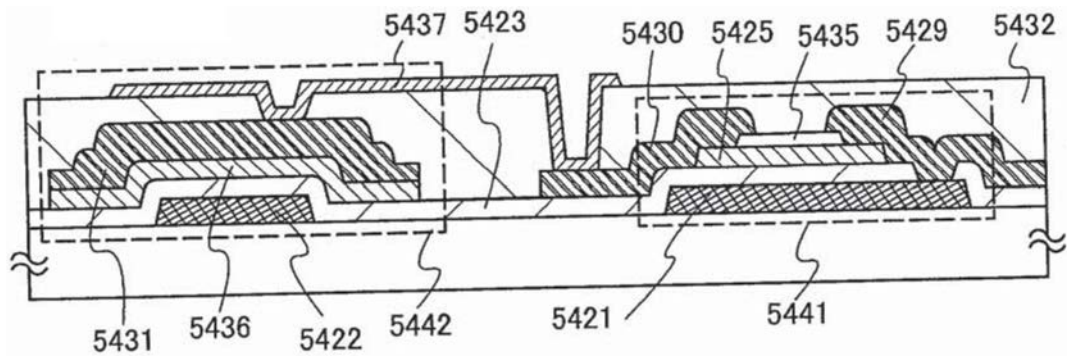


图41D

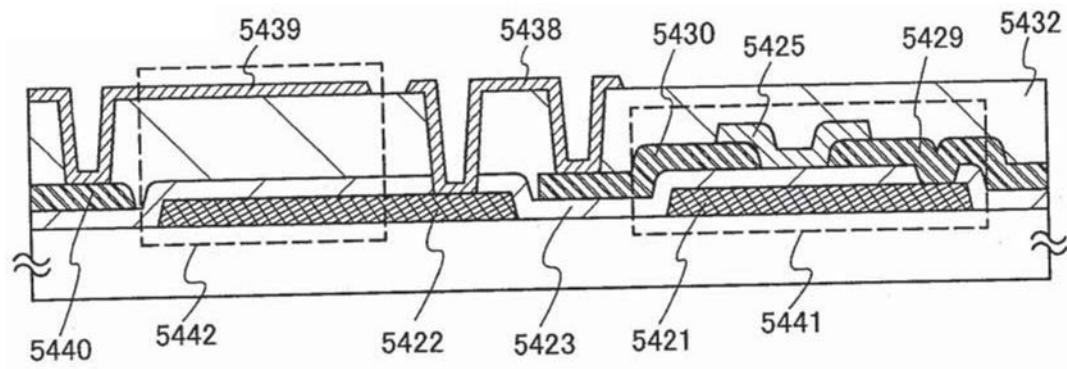


图41E

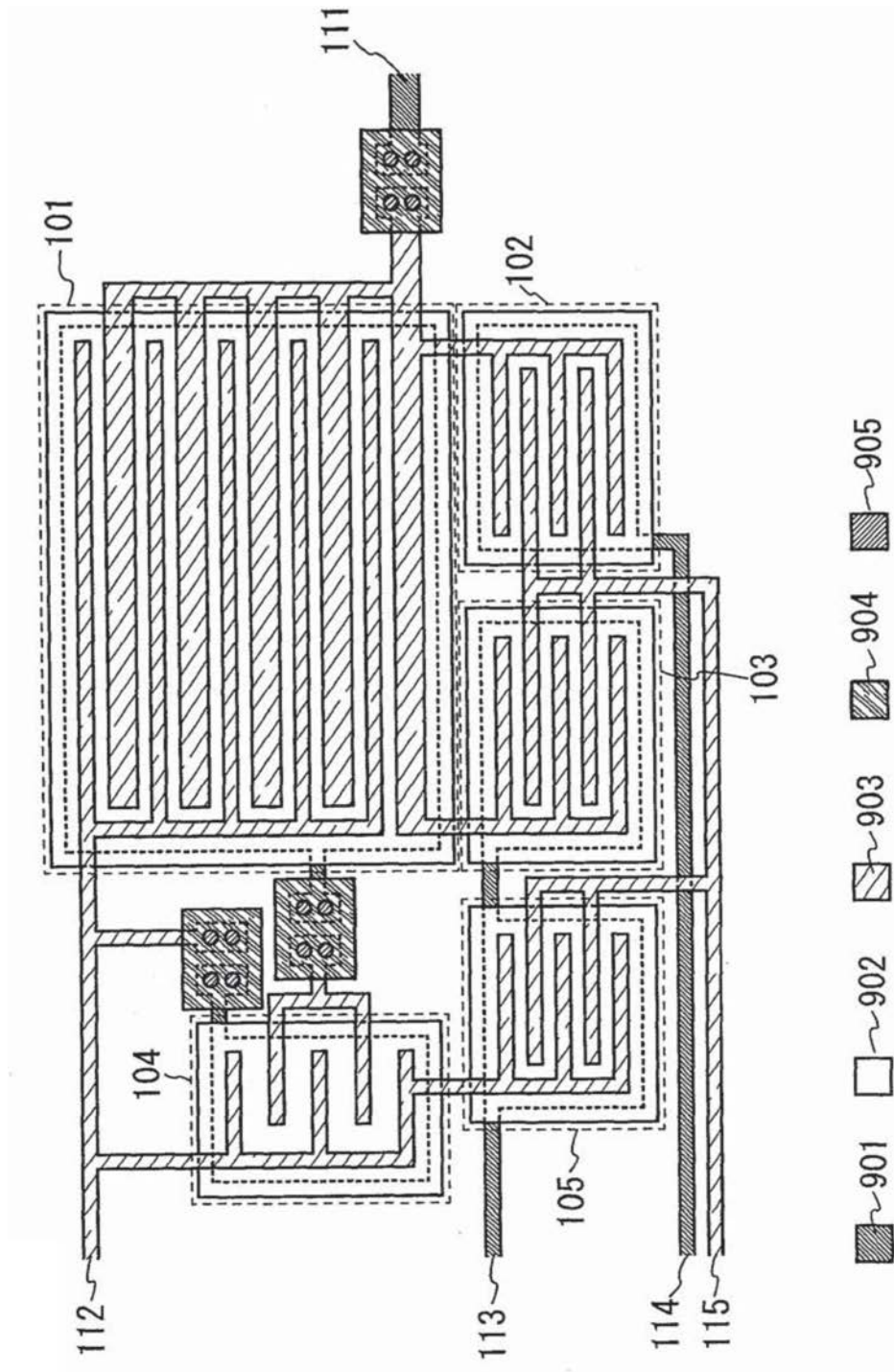


图42

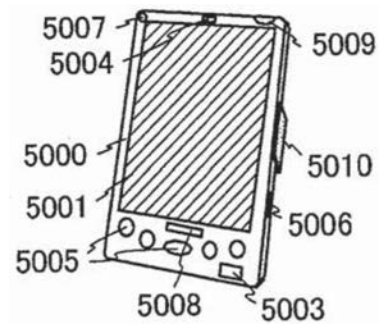


图43A

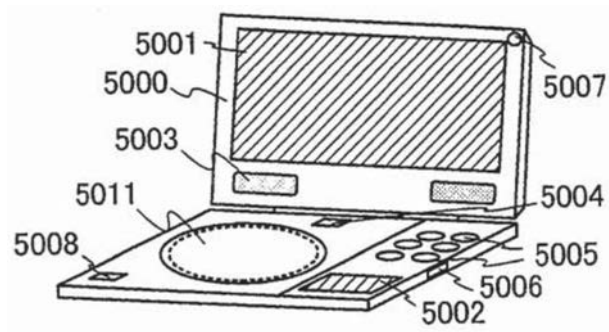


图43B

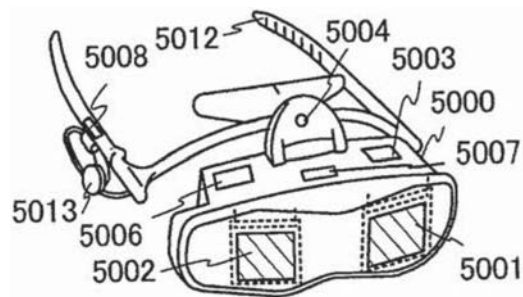


图43C

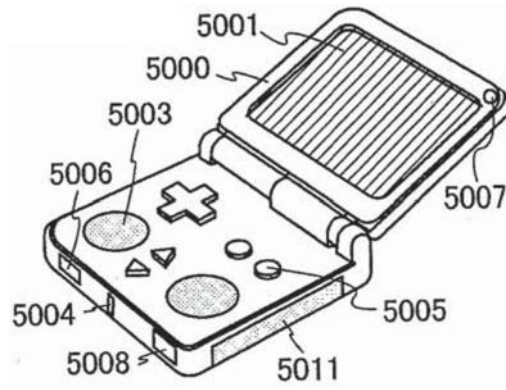


图43D

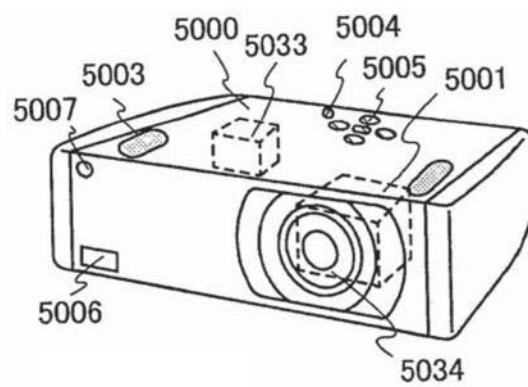


图43E

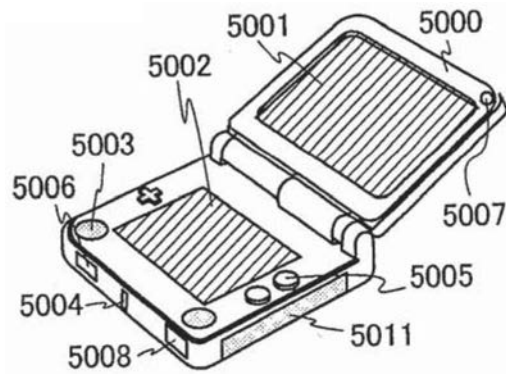


图43F

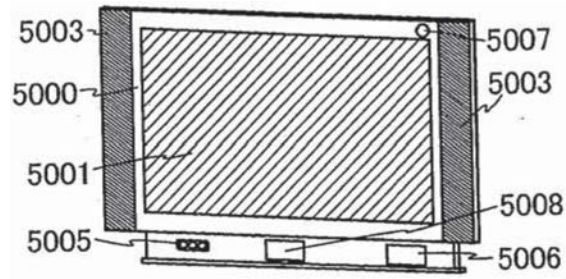


图43G

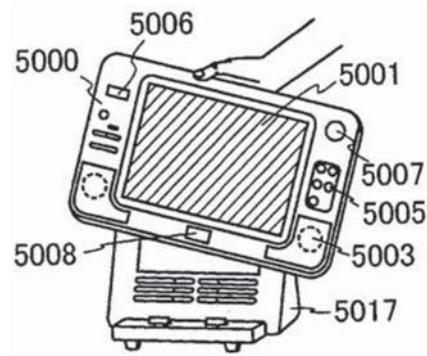


图43H

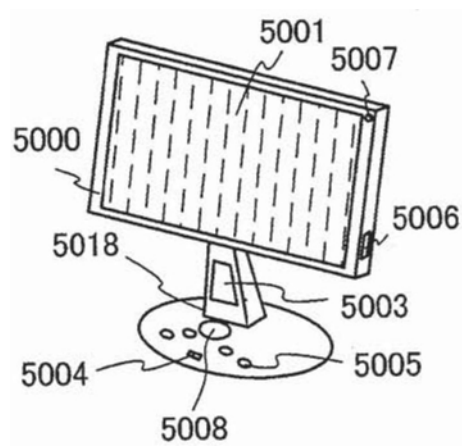


图44A

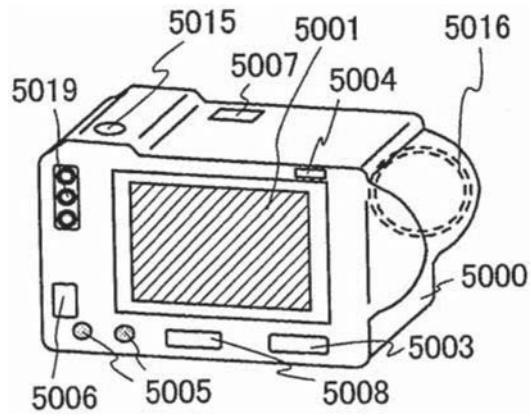


图44B

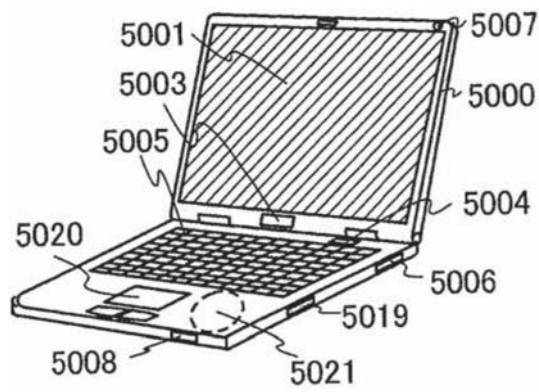


图44C

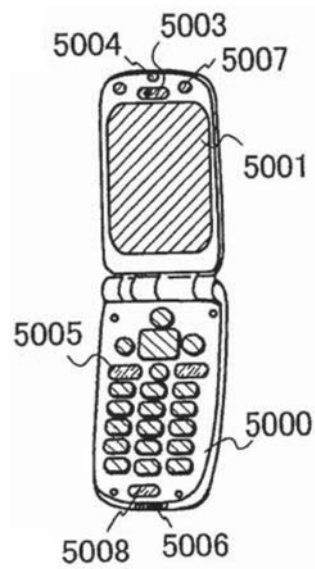


图44D

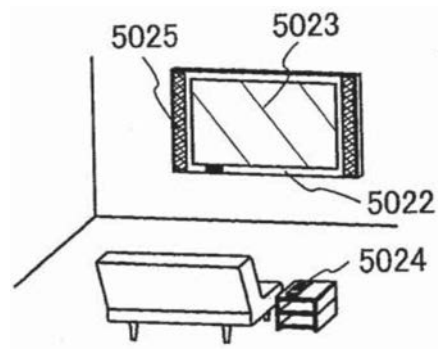


图44E

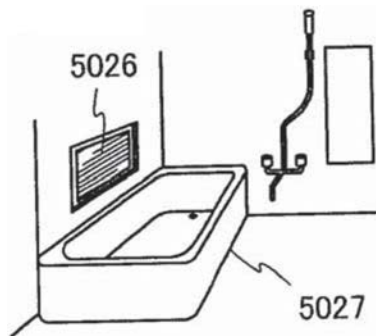


图44F



图44G

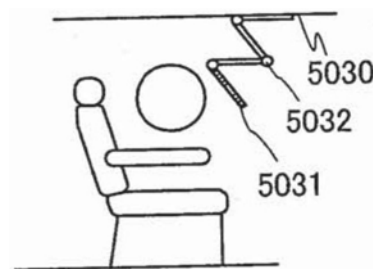


图44H

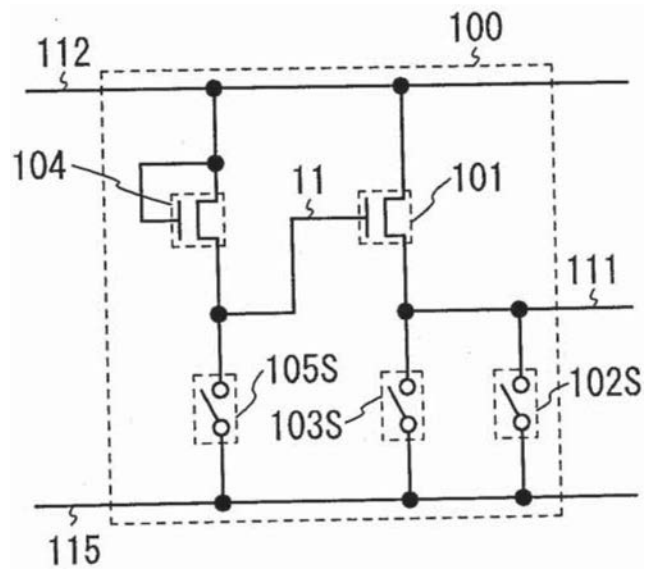


图45A

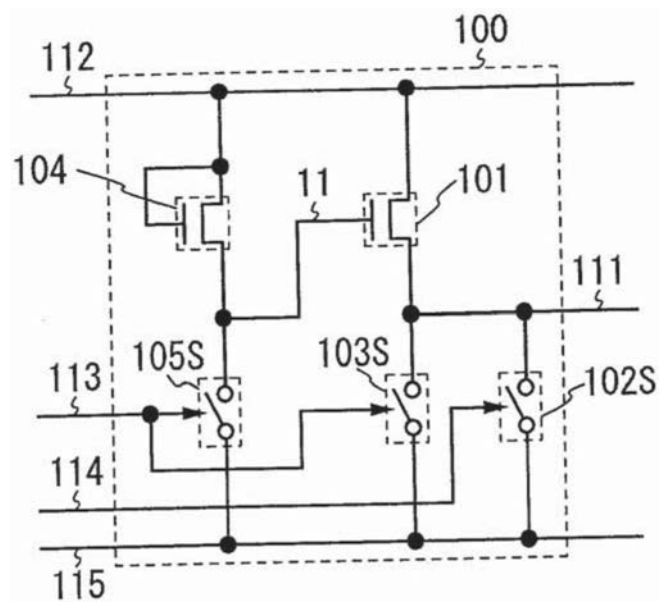


图45B

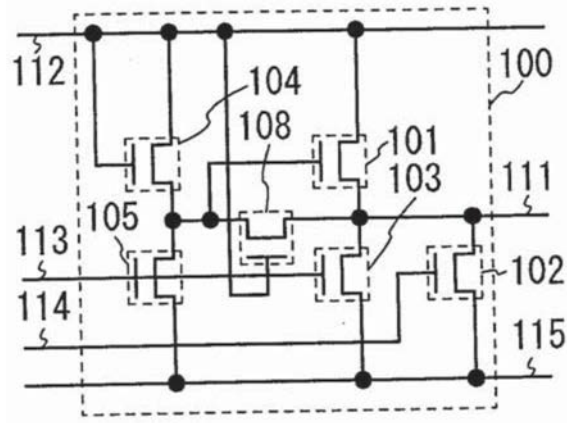


图46A

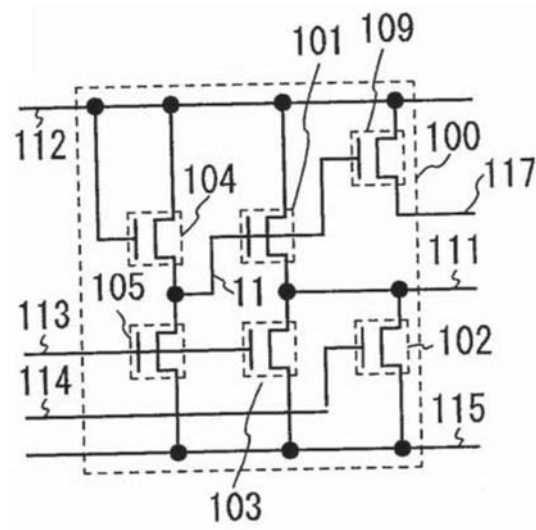


图46B

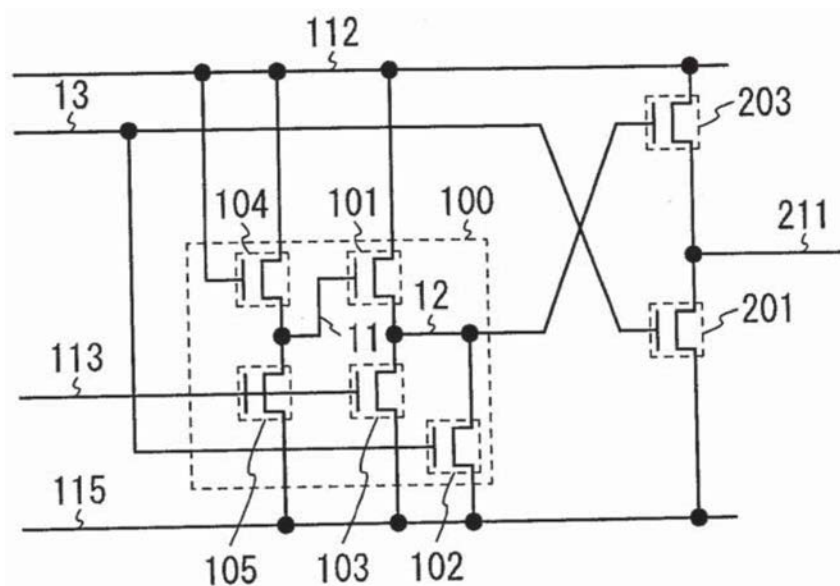


图47A

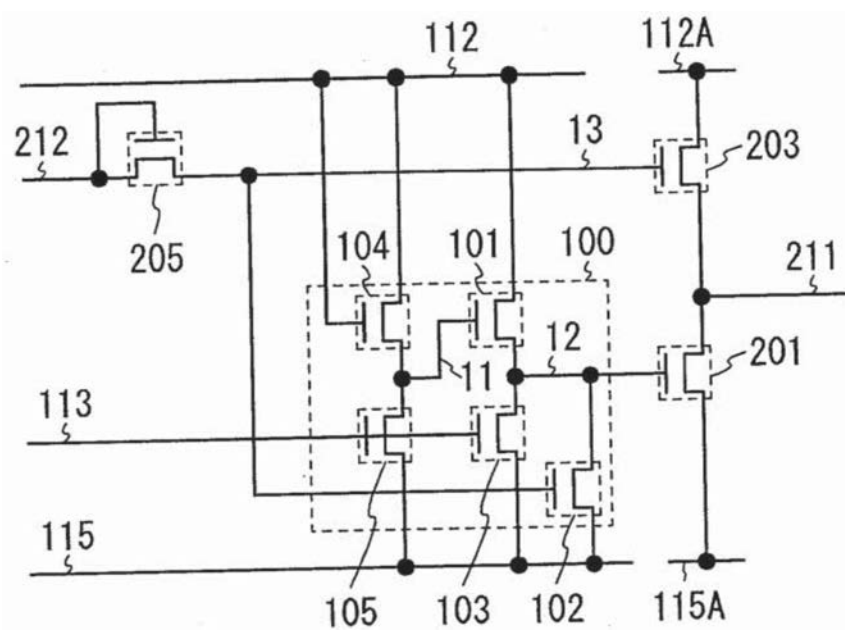


图47B