

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年6月20日(20.06.2024)



(10) 国際公開番号
WO 2024/127469 A1

(51) 国際特許分類:
H10N 60/12 (2023.01) *H10N 60/01* (2023.01)
H10N 60/00 (2023.01)

(21) 国際出願番号: PCT/JP2022/045703

(22) 国際出願日: 2022年12月12日(12.12.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 富士通株式会社 (**FUJITSU LIMITED**)
[JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

(72) 発明者: 山口 淳一 (**YAMAGUCHI, Junichi**);
〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 中島 淳, 外 (**NAKAJIMA, Jun et al.**);
〒1600022 東京都新宿区新宿4丁目3番

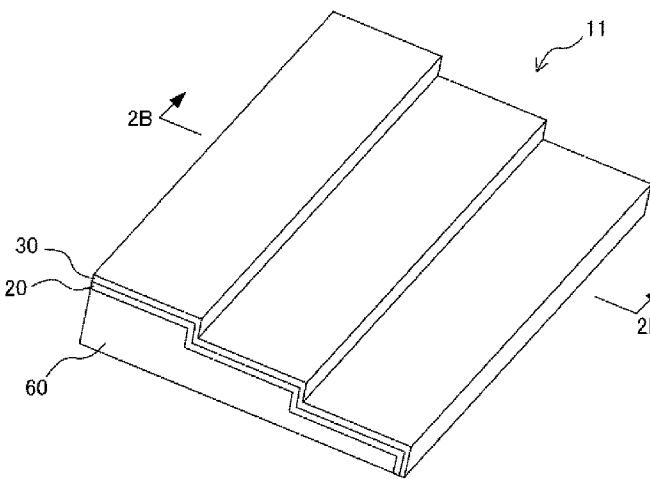
17号 H K 新宿ビル7階 太陽国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

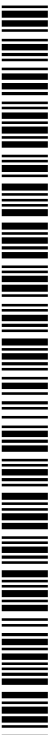
(54) **Title:** LAYERED STRUCTURE, QUANTUM BIT DEVICE, METHOD FOR PRODUCING LAYERED STRUCTURE, AND METHOD FOR PRODUCING QUANTUM BIT DEVICE

(54) 発明の名称: 積層構造体、量子ビットデバイス、積層構造体の製造方法及び量子ビットデバイスの製造方法



(57) **Abstract:** The layered structure is constructed by layering a sapphire substrate, an s-wave superconductor film, and a higher order topological insulator film. The sapphire substrate has, at a main surface, a step-and-terrace periodic structure in parallel to the $[-12-10]$ direction. The s-wave superconductor film is a layered transition metal dichalcogenide film that is disposed on a surface of the sapphire substrate. The higher order topological insulator film is a layered transition metal dichalcogenide film that is disposed on the s-wave superconductor multilayer film.

(57) 要約: 積層構造体は、サファイア基板、s波超伝導体膜及び高次トポロジカル絶縁体膜を積層して構成される。サファイア基板は、主面に、 $[-12-10]$ 方向と平行にステップアンドテラス周期構造を有する。s波超伝導体膜は、サファイア基板の表面上に設けられた層状の遷移金属ダイカルコゲナイド膜である。高次トポロジカル絶縁体膜は、s波超伝導体多層膜上に設けられた層状の遷移金属ダイカルコゲナイド膜である。



WO 2024/127469 A1

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：

積層構造体、量子ビットデバイス、積層構造体の製造方法及び量子ビットデバイスの製造方法

技術分野

[0001] 開示の技術は、積層構造体及び量子ビットデバイスに関する。

背景技術

[0002] 量子ビットデバイスに関する技術として以下の技術が知られている。特許文献1には、トポロジカル絶縁体層を含むマヨラナ担体と、マヨラナ担体に接するs波超伝導体層とを含む量子ビット回路が記載されている。

[0003] 特許文献2には、主面が(0001)面から傾斜したサファイア基板と、サファイア基板に部分的に設けられた表面が(0001)面である(0001)面領域と、(0001)面領域に形成された層状カルコゲナイド膜とを備えた半導体装置が記載されている。

先行技術文献

特許文献

[0004] 特許文献1：WO2022/137421号

特許文献2：特開2017-128461号公報

発明の概要

発明が解決しようとする課題

[0005] 近年トポロジカル量子コンピュータが注目されている。トポロジカル量子コンピュータは、非アーベル統計性に従うマヨラナ準粒子を量子ビットに利用するものである。マヨラナ準粒子を利用した量子コンピュータでは、ブレディングと呼ばれるマヨラナ準粒子の物理的な位置交換によって演算を行う。このためノイズ耐性に非常に優れており、エラー訂正のための冗長ビットを含めたとしても、省リソースで実用的な量子計算が実現できるものと期

待されている。

[0006] マヨラナ準粒子の発現が期待される系として、二次元トポロジカル絶縁体とs波超伝導体とを組み合わせたハイブリッド構造が提案されており (J. Alicea, Rep. Prog. Phys. 75, 076501 (2012))、理論と実験の双方から研究が進められている。二次元トポロジカル絶縁体は、二次元平面の内部は絶縁体であり、その端部を一周するギャップレスのヘリカルチャネルを持つ。ヘリカルチャネルは、正の運動量をもつアップスピン電子と負の運動量のダウンスピン電子によって形成される一次元的な伝導チャネルである。ヘリカルチャネルにs波超伝導体によって近接効果を誘起し、強磁性体バリアを設けることで、強磁性体バリアの近傍にマヨラナ準粒子が発現する。

[0007] 最近の研究において、Td型の結晶構造を有する WTe_2 多層膜が高次トポロジカル絶縁体であることが示唆されている (Y.-B. Choi et al., Nat. Mater 19, 974 (2020))。Td- WTe_2 多層膜は単層膜に比べて化学的に安定であり、量子ビットデバイス製造において取り扱いが容易であるという利点がある。高次トポロジカル絶縁体を用いた量子ビットデバイスにおいて、マヨラナ準粒子を安定して発現させるためには、高次トポロジカル絶縁体の結晶方位を制御して、高次トポロジカル絶縁体のb軸方向のエッジに形成されるヘリカルチャネルを一様に配向させることが重要である。

[0008] 開示の技術は、上記した点に鑑みてなされたものであり、s波超伝導体と高次トポロジカル絶縁体とを積層した積層構造体において、高次トポロジカル絶縁体の結晶方位を制御することにより、マヨラナ準粒子を安定して発現させることを目的とする。

課題を解決するための手段

[0009] 開示の技術に係る積層構造体は、表面に、 $[-12-10]$ 方向と平行にステップアンドテラス周期構造を有するサファイア基板と、前記サファイア基板の前記表面上に設けられた層状の第1遷移金属ダイカルコゲナイド膜であるs波超伝導体膜と、前記s波超伝導体多層膜上に設けられた層状の第2遷移金属ダイカルコゲナイド膜である高次トポロジカル絶縁体膜と、を有す

る。

発明の効果

[0010] 開示の技術によれば、s波超伝導体と高次トポロジカル絶縁体とを積層した積層構造体において、高次トポロジカル絶縁体の結晶方位を制御することができ、マヨラナ準粒子を安定して発現させることができる。

図面の簡単な説明

[0011] [図1]開示の技術の実施形態に係る量子ビットデバイスの概念的な構造の一例を示す斜視図である。

[図2A]開示の技術の実施形態に係る積層構造体の構成の一例を示す斜視図である。

[図2B]図2Aにおける2B-2B線に沿った断面図である。

[図3A]開示の技術の実施形態に係るサファイア基板の構成の一例を示す斜視図である。

[図3B]図3Aにおける3B-3B線に沿った断面図である。

[図4A]左はサファイア基板の平面図であり、右は 2H-NbSe_2 多層膜の結晶構造を示す図である。

[図4B]左は図4Aにおける4B-4B線に沿った断面図であり、右は 2H-NbSe_2 多層膜の結晶構造を示す図である。

[図5A]左はサファイア基板の平面図であり、右は Td-WTe_2 多層膜の結晶構造を示す図である。

[図5B]左は図5Aにおける5B-5B線に沿った断面図であり、右は Td-WTe_2 多層膜の結晶構造を示す図である。

[図6A]開示の技術の実施形態に係る積層構造体の製造方法の一例を示す断面図である。

[図6B]開示の技術の実施形態に係る積層構造体の製造方法の一例を示す断面図である。

[図6C]開示の技術の実施形態に係る積層構造体の製造方法の一例を示す断面図である。

[図7A]開示の技術の実施形態に係る量子ビットデバイスの構成の一例を示す平面図である。

[図7B]図7Aにおける7B-7B線に沿った断面図である。

[図7C]図7Aにおける7C-7C線に沿った断面図である。

[図8A]開示の技術の実施形態に係る量子ビットデバイスの製造方法の一例を示す平面図である。

[図8B]図8Aにおける8B-8B線に沿った断面図である。

[図8C]図8Aにおける8C-8C線に沿った断面図である。

[図8D]開示の技術の実施形態に係る量子ビットデバイスの製造方法の一例を示す断面図である。

[図8E]開示の技術の実施形態に係る量子ビットデバイスの製造方法の一例を示す断面図である。

発明を実施するための形態

[0012] 以下、開示の技術の実施形態の一例を、図面を参照しつつ説明する。なお、各図面において同一または等価な構成要素及び部分には同一の参照符号を付与し、重複する説明は省略する。

[0013] [第1の実施形態]

図1は、開示の技術の実施形態に係る量子ビットデバイス10の概念的な構造の一例を示す斜視図である。量子ビットデバイス10は、s波超伝導体多層膜20及び高次トポロジカル絶縁体多層膜30とを含む。s波超伝導体多層膜20及び高次トポロジカル絶縁体多層膜30は、それぞれ、層状の遷移金属ダイカルコゲナイドによって構成されている。高次トポロジカル絶縁体多層膜30は、典型的にはT_d-WTe₂多層膜である。

[0014] 高次トポロジカル絶縁体多層膜30において、b軸（[010]）方向のエッジには、図1において太線で示すヒンジ状態と呼ばれるヘリカルチャネル31が形成される。ヘリカルチャネル31は、正の運動量をもつアップスピン電子と負の運動量のダウンスピン電子で形成される一次元的な伝導チャネルである。高次トポロジカル絶縁体多層膜30のヘリカルチャネル31に

、s波超伝導体多層膜20から近接効果を誘起し、ヘリカルチャネル31上に強磁性体膜40を設けることで、強磁性体膜40の近傍にマヨラナ準粒子 γ が発現する。

[0015] 量子ビットデバイス10において、マヨラナ準粒子を安定して発現させるためには、高い結晶性の高次トポロジカル絶縁体多層膜30を成膜し、高次トポロジカル絶縁体多層膜30の結晶方位を制御してヘリカルチャネル31を一様に配向させることが重要である。ヘリカルチャネル31を一様に配向させるとは、ヘリカルチャネル31の連なる向きにばらつきが少なく、ヘリカルチャネル31が概ね一直線に連なっていることを意味する。これを実現するために、高次トポロジカル絶縁体多層膜30を成膜するための基板には、格子不整合及び不純物元素の混入がないこと、更に高次トポロジカル絶縁体多層膜30と基板元素との非本質的な化学結合がないことが要求される。

[0016] 高次トポロジカル絶縁体多層膜30の候補材料である WTe_2 をグラフェン等の不活性表面を有する（ダングリングボンドを有さない）ファンデルワールス層状物質の表面に成膜する技術が知られている（L. A. Walsh et al., 2D Mater. 4, 025044 (2017)）。しかしながら、グラフェンの表面に WTe_2 を成膜する場合、結晶の対称性から WTe_2 の結晶方位（b軸のヘリカルチャネル31の方向）を制御した積層成膜が困難である。マヨラナ準粒子の安定発現を実現し、量子ビットデバイスへの応用を可能とするためには、表面が不活性なファンデルワールス層状物質のs波超伝導体上に高次トポロジカル絶縁体多層膜を、結晶方位を制御してヘテロエピタキシャル成長法によって成膜する技術が求められる。

[0017] 図2Aは、開示の技術の実施形態に係る積層構造体11の構成の一例を示す斜視図である。図2Bは、図2Aにおける2B-2B線に沿った断面図である。積層構造体11は、マヨラナ準粒子を利用した量子ビットデバイスへの適用を想定した構造体である。積層構造体11は、サファイア基板60、s波超伝導体多層膜20及び高次トポロジカル絶縁体多層膜30を有する。s波超伝導体多層膜20は、サファイア基板60の表面に設けられ、高次ト

ポロジカル絶縁体多層膜 30 は、s 波超伝導体多層膜 20 の表面に設けられている。

[0018] 図 3 A は、サファイア基板 60 の構成の一例を示す斜視図である。図 3 B は、図 3 A における 3 B-3 B 線に沿った断面図である。サファイア基板 60 は、主面を c 面とする $\alpha\text{-Al}_2\text{O}_3$ からなる基板である。サファイア基板 60 は、主面である (0001) 面から [10-10] 方向に傾斜しており、主面に [-12-10] 方向と平行なステップアンドテラス周期構造を有する。ステップアンドテラス周期構造が [-12-10] 方向と平行であるとは、ステップアンドテラス周期構造のステップの連なる方向が [-12-10] 方向であることを意味する。ステップアンドテラス周期構造は、サファイア基板 60 を所定のミスカット角（例えば、 0.3° 以上 10° 以下）で切り出すことにより得ることができる。

[0019] s 波超伝導体多層膜 20 は、ヘテロエピタキシャル成長法によって、サファイア基板 60 の主面のステップアンドテラス周期構造に沿って成膜される。s 波超伝導体多層膜 20 は、2H 型の結晶構造を有する層状の遷移金属ダイカルコゲナイドからなる多層膜である。s 波超伝導体多層膜 20 の材料として、例えば、 2H-NbSe_2 （空間群： $P6_3\text{mmc}$ 、 $a=0.35\text{nm}$ 、 $b=0.35\text{nm}$ 、 $c=1.38\text{nm}$ ）を用いることができる。s 波超伝導体多層膜 20 の層数は、例えば 20 ML (monolayers) である。s 波超伝導体多層膜 20 が、 2H-NbSe_2 で構成される場合、1 ML は約 0.7nm である。s 波超伝導体多層膜 20 の材料として NbS_2 や NbTe_2 を用いることも可能である。

[0020] 図 4 A 左は、ステップアンドテラス周期構造を有するサファイア基板 60 を (0001) 面を眺める方向からみた平面図である。図 4 A 右は、サファイア基板 60 の (0001) 面に形成される、s 波超伝導体多層膜の一例である 2H-NbSe_2 多層膜 20 A の、図 4 A 左と同じ視線方向からみた場合の結晶構造を示す図である。図 4 B 左は、図 4 A 左における 4 B-4 B 線に沿った断面図である。図 4 B 右は、 2H-NbSe_2 多層膜 20 A の、図 4 B 左と同じ視線方向からみた場合の結晶構造を示す図である。 2H-NbSe_2

多層膜20Aのb軸である $[010]$ 方向は、サファイア基板60のステップアンドテラス周期構造のステップの連なる方向である $[-12-10]$ 方向と平行である。また、 2H-NbSe_2 多層膜20Aの $[210]$ 方向は、サファイア基板60のステップアンドテラス周期構造のステップが並ぶ方向である $[10-10]$ 方向と平行である。また、 2H-NbSe_2 多層膜20Aのc軸である $[001]$ 方向は、サファイア基板60の主面である (0001) 面に対して垂直である。このように、ステップアンドテラス周期構造を有するサファイア基板60の表面にヘテロエピタキシャル成長法によってs波超伝導体多層膜20を成膜することで、s波超伝導体多層膜20の結晶方位を制御することが可能である。

[0021] 高次トポロジカル絶縁体多層膜30は、ヘテロエピタキシャル成長法によって、s波超伝導体多層膜20の表面に成膜される。高次トポロジカル絶縁体多層膜30は、s波超伝導体多層膜20と同様、サファイア基板60の主面のステップアンドテラス周期構造に沿って成膜される。高次トポロジカル絶縁体多層膜30は、Td型の結晶構造を有する層状の遷移金属ダイカルコゲナイドからなる多層膜である。高次トポロジカル絶縁体多層膜30の材料として、例えば、 Td-WTe_2 (空間群: $\text{Pmm}2_1$ 、 $a=0.63\text{nm}$ 、 $b=0.35\text{nm}$ 、 $c=1.41\text{nm}$) を用いることができる。高次トポロジカル絶縁体多層膜30の層数は、例えば5MLである。高次トポロジカル絶縁体多層膜30が、 Td-WTe_2 で構成される場合、1MLは約 0.7nm である。

[0022] 図5A左は、ステップアンドテラス周期構造を有するサファイア基板60を (0001) 面を眺める方向からみた平面図である。図5A右は、サファイア基板60の (0001) 面に形成される高次トポロジカル絶縁体多層膜の一例である Td-WTe_2 多層膜30Aの、図5A左と同じ視線方向からみた場合の結晶構造を示す図である。図5B左は、図5A左における5B-5B線に沿った断面図である。図5B右は、 Td-WTe_2 多層膜30Aの、図5B左と同じ視線方向からみた場合の結晶構造を示す図である。 Td-WTe_2 多層膜30Aのb軸である $[010]$ 方向は、サファイア基板60のステ

ップアンドテラス周期構造のステップの連なる方向である $[-12-10]$ 方向と平行である。また、 $Td-WTe_2$ 多層膜 30A の a 軸である $[100]$ 方向は、サファイア基板 60 のステップアンドテラス周期構造のステップが並ぶ方向である $[10-10]$ 方向と平行である。また、 $Td-WTe_2$ 多層膜 30A の c 軸である $[001]$ 方向は、サファイア基板 60 の主面である (0001) 面に対して垂直である。このように、ステップアンドテラス周期構造を有するサファイア基板 60 上にヘテロエピタキシャル成長法によって高次トポロジカル絶縁体多層膜 30 を成膜することで、高次トポロジカル絶縁体多層膜 30 の結晶方位を制御することが可能である。

[0023] 以下において、積層構造体 11 の製造方法について図 6A~図 6C を参照しつつ説明する。はじめに、 (0001) 面から $[10-10]$ 方向に傾斜しており、 $[-12-10]$ 方向と平行にステップアンドテラス周期構造を主面に有するサファイア基板 60 ($\alpha-Al_2O_3$) を用意する (図 6A)。ステップアンドテラス周期構造は、サファイア基板 60 を所定のミスカット角で切り出すことにより形成することができる。ステップ高さ h 及びステップ幅 w は、ミスカット角によって制御することができる。例えば、ミスカット角を 3° とすることで、ステップ高さ h が 1.3 nm 、ステップ幅 w が 50 nm のステップアンドテラス周期構造を得ることができる。サファイア基板 60 のミスカットは、例えば CMP (Chemical Mechanical Polishing) 又は A イオンミリングによって行うことが可能である。ミスカットを行った後、サファイア基板 60 を、約 1200°C の大気中又は大気圧の酸素雰囲気中で 3 時間から 5 時間程度アニールする。アニール処理の後、サファイア基板 60 をメタノールに 20 分間から 30 分間程度浸漬し、その後超純水でリンス処理を行う。これらの処理によって、サファイア基板 60 の主面には、一様なステップアンドテラス周期構造が形成される。ステップアンドテラス周期構造が一様であるとは、ステップの連なる向きにばらつきが少なく、ステップが概ね一直線に連なっていることを意味する。

[0024] 次に、サファイア基板 60 の主面に、層状の遷移金属ダイカルコゲナイド

からなる s 波超伝導体多層膜 20 をヘテロエピタキシャル成長法によって形成する (図 6 B)。s 波超伝導体多層膜 20 の成膜は、例えば MBE 法 (Molecular Beam Epitaxy) を用いて行うことができる。ここでは、 2H-NbSe_2 多層膜を MBE 法によって成膜する場合を例に説明する。

[0025] 10^{-8} Pa オーダーの超高真空槽内でサファイア基板 60 を 600°C に加熱しながら、電子線蒸着によって Nb をサファイア基板 60 の表面に堆積させるとともに、K-cell 型エバポレータ (加熱温度 180°C) によって Se をサファイア基板 60 の表面に堆積させる共蒸着を行う。Nb の成膜レートは例えば $0.1 \text{ \AA}/\text{min}$ であり、Se の成膜レートは例えば $10 \text{ \AA}/\text{min}$ である。NbSe₂ の層数が例えば 20 ML 程度となるように、成膜時間を調整する。 2H-NbSe_2 の超伝導臨界温度は、その層数の増加に伴って上昇することが知られている。 2H-NbSe_2 多層膜の層数を 20 ML 程度とすることで、 2H-NbSe_2 多層膜の超伝導臨界温度を、NbSe₂ バルク結晶の超伝導臨界温度である 7.2 K に近い温度にすることができる。 2H-NbSe_2 多層膜の成膜後、Se 堆積のみ継続しながら 950°C 、30 分間のポストアニールを行う。これにより、 2H-NbSe_2 多層膜内部の結晶性及び表面ラフネスを原子レベルで向上させることができる。なお、s 波超伝導体多層膜 20 の成膜法として、PLD 法 (Pulsed Laser Deposition) 又はスパッタ法を用いることも可能である。

[0026] 次に、s 波超伝導体多層膜の表面に、層状の遷移金属ダイカルコゲナイドからなる高次トポロジカル絶縁体多層膜 30 をヘテロエピタキシャル成長法によって形成する (図 6 C)。高次トポロジカル絶縁体多層膜 30 の成膜は、例えば MBE 法を用いて行うことができる。s 波超伝導体多層膜 20 及び高次トポロジカル絶縁体多層膜 30 は、同一の真空槽内で順次 *in situ* 成膜することが可能である。ここでは、 Td-WTe_2 多層膜を MBE 法によって成膜する場合を例に説明する。

[0027] 10^{-8} Pa オーダーの超高真空槽内でサファイア基板 60 を 325°C に加熱しながら、電子線蒸着によって W を s 波超伝導体多層膜 20 の表面に堆積

させるとともに、K-c e l l型エバポレータ（加熱温度300℃）によってTeをs波超伝導体多層膜20の表面に堆積させる共蒸着を行う。Wの成膜レートは例えば0.05 Å/minであり、Teの成膜レートは例えば10 Å/minである。WT e₂の層数が例えば5ML程度となるように、成膜時間を調整する。Td-WT e₂多層膜の成膜後、Te堆積のみ継続しながら400℃、30分間のポストアニールを行う。これにより、Td-WT e₂多層膜内部の結晶性及び表面ラフネスを原子レベルで向上させることができる。なお、高次トポロジカル絶縁体多層膜30の成膜法として、PLD法又はスパッタ法を用いることも可能である。

[0028] 上記のように主面にステップアンドテラス構造を有するサファイア基板60の表面にs波超伝導体多層膜20及び高次トポロジカル絶縁体多層膜30をヘテロエピタキシャル成長法によって順次成膜することで、これらの多層膜の結晶方位を制御することができる。すなわち、Td-WT e₂多層膜のb軸（[010]）に沿ったヘリカルチャネルを、ステップアンドテラス周期構造のステップの連なる方向である[-12-10]方向と平行に配向させることができる。

[0029] 開示の技術の実施形態に係る積層構造体11及びその製造方法によれば、高次トポロジカル絶縁体多層膜30に形成されるヘリカルチャネルの配向が、サファイア基板60に形成されたステップアンドテラス周期構造を反映する。これにより、高次トポロジカル絶縁体多層膜30に形成されるヘリカルチャネルを一様に配向させることが可能となり、積層構造体11を量子ビットデバイスに適用した場合に、マヨラナ準粒子を安定して発現させることができる。

[0030] [第2の実施形態]

図7Aは、開示の技術の実施形態に係る量子ビットデバイス10の構成の一例を示す平面図である。図7Bは、図7Aにおける7B-7B線に沿った断面図である。図7Cは、図7Aにおける7C-7C線に沿った断面図である。

- [0031] 量子ビットデバイス10は、開示の技術の第1の実施形態に係る積層構造体11を含んで構成される。量子ビットデバイス10は、高次トポロジカル絶縁体多層膜30の表面に設けられた3つのゲート70A、70B及び70Cを有する。これら3つのゲートのうち、ゲート70A及び70Cは、それぞれサファイア基板60のステップアンドテラス周期構造の互いに隣接する2つのステップST1、ST2を跨ぐ位置に設けられている。ゲート70Bは、ゲート70Aとゲート70Bの間のステップST1を跨ぐ位置に設けられている。すなわち、ゲート70A、70B及び70Cは、サファイア基板60のステップアンドテラス周期構造のステップに沿って形成されるヘリカルチャネル上に設けられている。
- [0032] ゲート70A、70B及び70Cは、それぞれ強磁性体膜71及び導電体膜72を積層して構成される。強磁性体膜71の材料として、例えば $\text{Cr}_2\text{Ga}_2\text{Te}_6$ を用いることができる。強磁性体膜71は、強磁性及び絶縁性を備えていればよく、強磁性体膜71の材料として希釈磁性半導体を用いることも可能である。導電体膜72の材料として、例えばAuを用いることが可能である。導電体膜72の材料として、強磁性体膜71との密着性が良好な他の金属を用いることも可能である。
- [0033] 積層構造体11の表面は、絶縁体膜90で覆われている。絶縁体膜90は、ゲート70A、70B及び70Cの表面を露出させる開口部91を有する。絶縁体膜90の材料として、例えば、 HfO_2 、 Al_2O_3 、 Si_3N_4 、 HfSiO 、 HfAlON 、 Y_2O_3 、 SrTiO_3 、 PbZrTiO_3 及び BaTiO_3 などを用いることができる。
- [0034] 量子ビットデバイス10は、ゲート70A、70B及び70Cに対応して設けられた超伝導量子干渉計(SQUID)80A、80B及び80Cを有する。超伝導量子干渉計80A、80B及び80Cは、それぞれ絶縁体膜90の表面に設けられている。超伝導量子干渉計80Aはゲート70Aを囲むリング状パターンを有する。超伝導量子干渉計80Bは、ゲート70Bを囲むリング状パターンを有する。超伝導量子干渉計80Cはゲート70Cを囲むリング状パターンを有する。超伝導量子干渉計80Cはゲート70Cを

むリング状パターンを有する。

[0035] 超伝導量子干渉計80A、80B及び80Cは、それぞれ、リング状パターンの約半分の領域を占める超伝導体からなる下部電極81と、リング状パターンの残りの領域を占める超伝導体からなる上部電極82とを有する。超伝導量子干渉計80A、80B及び80Cは、それぞれ、上部電極82と下部電極81の接続部において、これらの電極の間に挟まれたトンネルバリア層83を有する。超伝導量子干渉計80A、80B及び80Cにおいて、超伝導体—トンネルバリア層—超伝導体の積層構造によるジョセフソン接合が形成されている。下部電極81及び上部電極82の材料として例えばAlを用いることができる。トンネルバリア層83の材料として厚さ数nm程度の AlO_x 膜を用いることができる。下部電極81及び上部電極82の材料としてNb又はPbを用いることもでき、トンネルバリア層83の材料としてこれらの酸化物を用いることもできる。また、下部電極81及び上部電極82の材料として、銅酸化物系高温超伝導体を用いることも可能である。

[0036] 量子ビットデバイス10において、高次トポロジカル絶縁体多層膜30に形成されるヘリカルチャネルは、サファイア基板60のステップアンドテラス構造のステップに沿って配向される。強磁性体膜71を含むゲート70A、70B及び70Cを、それぞれステップを跨ぐ位置に設けることで、高次トポロジカル絶縁体多層膜30のヘリカルチャネル上の、ゲート70A、70B及び70Cの近傍に4つのマヨラナ準粒子 γ_1 、 γ_2 、 γ_3 及び γ_4 を発現させることができる。マヨラナ準粒子のブレイディングは、ゲート70A、70B及び70Cへの電圧印加により静電ポテンシャルを変化させることで行うことができる。マヨラナ準粒子 γ_1 と γ_2 の交換は、ゲート70Aに電圧を印加することで行うことができる。マヨラナ準粒子 γ_1 と γ_2 の交換に伴う微小な磁束変化は、超伝導量子干渉計80Aによって微小電圧信号変化として検出することが可能である。マヨラナ準粒子 γ_2 と γ_3 の交換は、ゲート70Bに電圧を印加することで行うことができる。マヨラナ準粒子 γ_2 と γ_3 の交換に伴う微小な磁束変化は、超伝導量子干渉計80Bによって微小電圧信

号変化として検出することが可能である。マヨラナ準粒子 γ_3 と γ_4 の交換は、ゲート70Cに電圧を印加することで行うことができる。マヨラナ準粒子 γ_3 と γ_4 の交換に伴う微小な磁束変化は、超伝導量子干渉計80Cによって微小電圧信号変化として検出することが可能である。

[0037] 以下において、量子ビットデバイス10の製造方法について図8A~図8Eを参照しつつ説明する。図8Aは、量子ビットデバイス10の製造方法の一例を示す平面図、図8Bは、図8Aにおける8B-8B線に沿った断面図、図8Cは、図8Aにおける8C-8C線に沿った断面図である。図8D及び図8Eは、それぞれ図8Cに対応する断面図である。

[0038] はじめに、図6A~図6Cに示す方法によって積層構造体11を作製する。次に、高次トポロジカル絶縁体多層膜30の表面の、サファイア基板60のステップアンドテラス周期構造のステップを跨ぐ位置にゲート70A、70B及び70Cを形成する。具体的には、積層構造体11の表面に、ゲート70A、70B及び70Cをリフトオフによってパターニングするためのマスク（図示せず）を形成する。マスクは、例えば、積層構造体11の表面に電子線レジストをスピコートにより形成し、これを電子線リソグラフィによってパターニングすることで形成される。

[0039] 次に、PLDにより、積層構造体11の表面に上記マスクを介して強磁性体膜71及び導電体膜72を順次形成する。ここでは、強磁性体膜71の材料として $\text{Cr}_2\text{Ga}_2\text{Te}_6$ を用い、導電体膜72としてAuを用いる場合を例に説明する。 $\text{Cr}_2\text{Ga}_2\text{Te}_6$ の堆積において、基板温度は200°C、レーザーエネルギー密度は1.0 J/cm²、レーザー照射周波数は1 Hz、基板ターゲット間距離は5 cm、成膜レートは1 nm/min、 $\text{Cr}_2\text{Ga}_2\text{Te}_6$ の厚さは50 nmに設定される。Auの堆積において、基板温度は室温、レーザーエネルギー密度は1.0 J/cm²、レーザー照射周波数は5 Hz、基板ターゲット間距離は5 cm、成膜レートは5 nm/min、Auの厚さは30 nmに設定される。 $\text{Cr}_2\text{Ga}_2\text{Te}_6$ 及びAuの堆積後、マスク上に堆積した $\text{Cr}_2\text{Ga}_2\text{Te}_6$ 及びAuを、マスクと共に除去することにより、ゲー

ト70A、70B及び70Cが形成される(図8A、図8B、図8C)。

[0040] 強磁性体膜71を含むゲート70A、70B及び70Cを、ステップを跨ぐ位置に設けることで、ヘリカルチャネル上のゲート70A、70B及び70Cの近傍に4つのマヨラナ準粒子 γ_1 、 γ_2 、 γ_3 及び γ_4 を発現させることができる。

[0041] 次に、積層構造体11の表面全体を覆う絶縁体膜90を形成する(図8D)。ここでは、絶縁体膜90の材料として、 HfO_2 を用いる場合を例に説明する。 HfO_2 の堆積は、前駆体としてテトラキス(ジメチルアミノ)ハフニウム及び H_2O を用いたALDによって行うことが可能である。堆積温度は例えば 250°C である。

[0042] 次に、ゲート70A、70B及び70Cの表面を露出させる開口部91を絶縁体膜90に形成する。具体的には、電子線リソグラフィにより、開口部91を形成するためのマスク(図示せず)を形成し、Arイオンミリングにより上記マスクを介して絶縁体膜90をエッチングすることにより開口部91を形成する。Arイオンミリングにおけるビーム加速電圧は例えば280V、ビーム電流は例えば150mAである。

[0043] 次に、絶縁体膜90の表面に、ゲート70A、70B及び70Cを囲むリング状パターンを有する超伝導体を含む複数の超伝導量子干渉計80A、80B及び80Cを形成する(図8E)。超伝導量子干渉計80A、80B及び80Cは、電子リソグラフィ及びリフトオフにより絶縁体膜90の表面に、下部電極81、トンネルバリア層83(図7B)及び上部電極82を順次形成することにより形成される。ここでは、下部電極81及び上部電極82の材料としてAlを用い、トンネルバリア層83の材料として AlO_x を用いる場合を例に説明する。

[0044] 下部電極81をリフトオフによってパターニングするためのマスク(図示せず)を形成する。マスクは、例えば、積層構造体11の表面に電子線レジストをスピコートにより形成し、これを電子線リソグラフィによってパターニングすることで形成される。次に、蒸着法により、絶縁体膜90の表面

に上記マスクを介して下部電極81を構成するAlを堆積する。Alの堆積において、基板温度は室温、成膜レートは5nm/min、膜厚は50nmに設定される。Alの堆積後、マスク上に堆積したAlを、マスクと共に除去することにより下部電極81が形成される。

[0045] 次に、トンネルバリア層83をリフトオフによってパターニングするためのマスク（図示せず）を形成する。マスクは、例えば、積層構造体11の表面に電子線レジストをスピコートにより形成し、これを電子線リソグラフィによってパターニングすることで形成される。次に、蒸着法により、下部電極81の表面に上記マスクを介してトンネルバリア層83を構成するAlO_xを堆積する。AlO_xの堆積において、基板温度は室温、真空槽の酸素分圧は50Pa、膜厚は1nm以上5nm以下に設定される。AlO_xの堆積後、マスク上に堆積したAlO_xを、マスクと共に除去することによりトンネルバリア層83が形成される。

[0046] 次に、上部電極82をリフトオフによってパターニングするためのマスク（図示せず）を形成する。マスクは、例えば、積層構造体11の表面に電子線レジストをスピコートにより形成し、これを電子線リソグラフィによってパターニングすることで形成される。次に、蒸着法により、絶縁体膜90の表面に上記マスクを介して上部電極82を構成するAlを堆積する。Alの堆積において、基板温度は室温、成膜レートは5nm/min、膜厚は50nmに設定される。Alの堆積後、マスク上に堆積したAlを、マスクと共に除去することにより、上部電極82が形成される。

[0047] 以上の工程を経ることにより、サファイア基板60のステップアンドテラス構造のステップに沿って配向される、高次トポロジカル絶縁体多層膜30のヘリカルチャネル上に発現するマヨナラ準粒子を利用した量子ビットデバイス10が製造される。

符号の説明

- [0048] 10 量子ビットデバイス
11 積層構造体

- 20 s波超伝導体多層膜
- 30 高次トポロジカル絶縁体多層膜
- 31 ヘリカルチャネル
- 40、71 強磁性体膜
- 60 サファイア基板
- 70A、70B、70C ゲート
- 80A、80B、80C 超伝導量子干渉計

請求の範囲

- [請求項1] 表面に、 $[-1\ 2\ -1\ 0]$ 方向と平行にステップアンドテラス周期構造を有するサファイア基板と、
前記サファイア基板の前記表面上に設けられた層状の第1遷移金属ダイカルコゲナイド膜であるs波超伝導体膜と、
前記s波超伝導体多層膜上に設けられた層状の第2遷移金属ダイカルコゲナイド膜である高次トポロジカル絶縁体膜と、
を有する積層構造体。
- [請求項2] 前記s波超伝導体膜は、2H型結晶構造を有し、 $[0\ 1\ 0]$ 方向が前記サファイア基板の $[-1\ 2\ -1\ 0]$ 方向と平行であり、
前記高次トポロジカル絶縁体膜は、Td型結晶構造を有し、 $[0\ 1\ 0]$ 方向が前記サファイア基板の $[-1\ 2\ -1\ 0]$ 方向と平行である
請求項1に記載の積層構造体。
- [請求項3] 前記s波超伝導体膜は、NbSe₂膜、NbTe₂膜又はNbS₂膜であり、
前記高次トポロジカル絶縁体膜は、WTe₂膜である
請求項2に記載の積層構造体。
- [請求項4] 表面に、 $[-1\ 2\ -1\ 0]$ 方向と平行にステップアンドテラス周期構造を有するサファイア基板と、
前記サファイア基板の前記表面に設けられた層状の第1遷移金属ダイカルコゲナイド膜であるs波超伝導体膜と、
前記s波超伝導体膜上に設けられた層状の第2遷移金属ダイカルコゲナイド膜である高次トポロジカル絶縁体膜と、
前記高次トポロジカル絶縁体上の、前記サファイア基板の前記ステップアンドテラス周期構造のステップを跨ぐ位置に設けられ、強磁性体膜及び導電体膜の積層構造を有する複数のゲートと、
前記複数のゲートの各々を囲む超伝導体を含む複数の超伝導量子干渉計と、

を有する量子ビットデバイス。

[請求項5] 表面に $[-1\ 2\ -1\ 0]$ 方向と平行にステップアンドテラス周期構造を有するサファイア基板の前記表面に、層状の第1遷移金属ダイカルコゲナイド膜である s 波超伝導体膜を形成する工程と、

前記 s 波超伝導体膜上に、層状の第2遷移金属ダイカルコゲナイド膜である高次トポロジカル絶縁体膜を形成する工程と、

を含む積層構造体の製造方法。

[請求項6] 前記 s 波超伝導体膜及び前記高次トポロジカル絶縁体膜をヘテロエピタキシャル成長法によって形成する

請求項5に記載の製造方法。

[請求項7] 前記 s 波超伝導体膜及び前記高次トポロジカル絶縁体膜の形成を、同一の真空槽内で行う

請求項6に記載の製造方法。

[請求項8] 前記サファイア基板を所定のミスカット角で切り出すことにより、前記サファイア基板の前記表面に前記ステップアンドテラス周期構造を形成する

請求項5に記載の製造方法。

[請求項9] 表面に $[-1\ 2\ -1\ 0]$ 方向と平行にステップアンドテラス周期構造を有するサファイア基板の前記表面に、層状の第1遷移金属ダイカルコゲナイド膜である s 波超伝導体膜を形成する工程と、

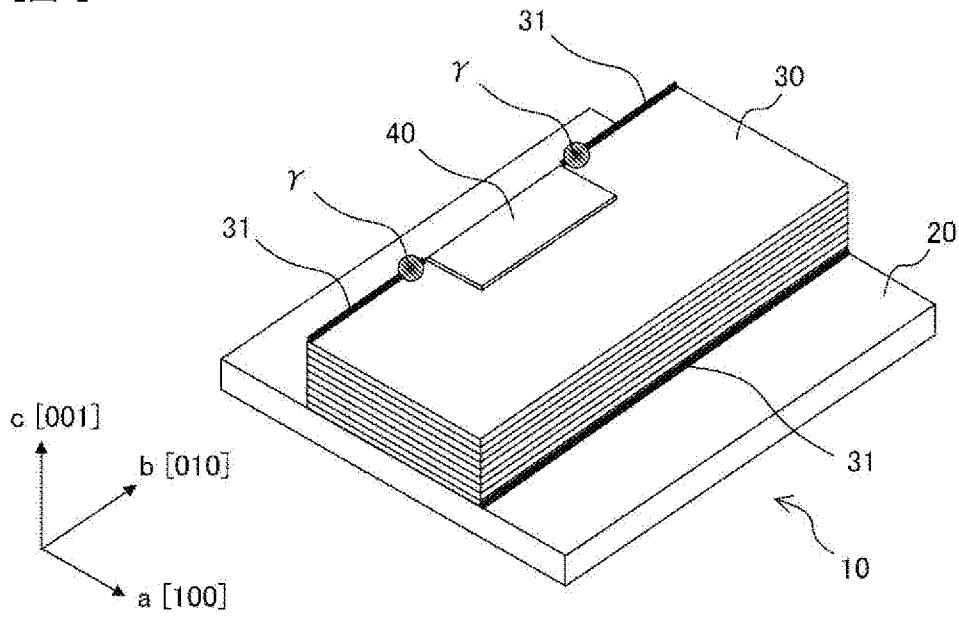
前記 s 波超伝導体膜上に、層状の第2遷移金属ダイカルコゲナイド膜である高次トポロジカル絶縁体膜を形成する工程と、

前記高次トポロジカル絶縁体膜上の、前記サファイア基板の前記ステップアンドテラス周期構造のステップを跨ぐ位置に、強磁性体膜及び導電体膜の積層構造を有する複数のゲートを形成する工程と、

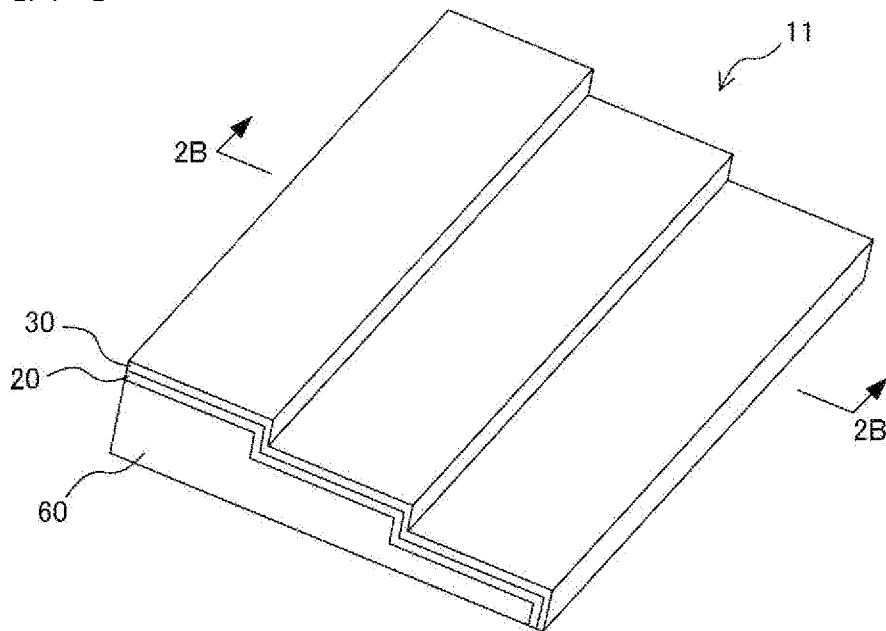
前記複数のゲートの各々を囲む超伝導体を含む複数の超伝導量子干渉計を形成する工程と、

を含む量子ビットデバイスの製造方法。

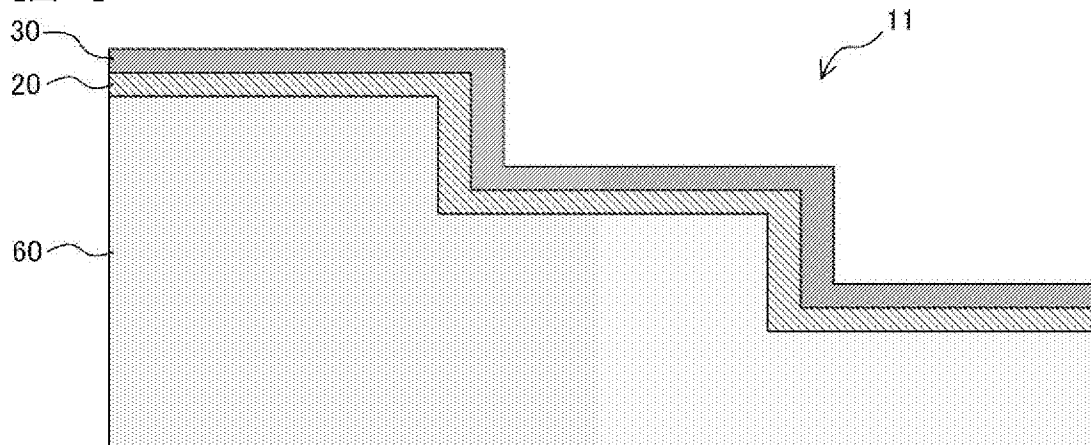
[図1]



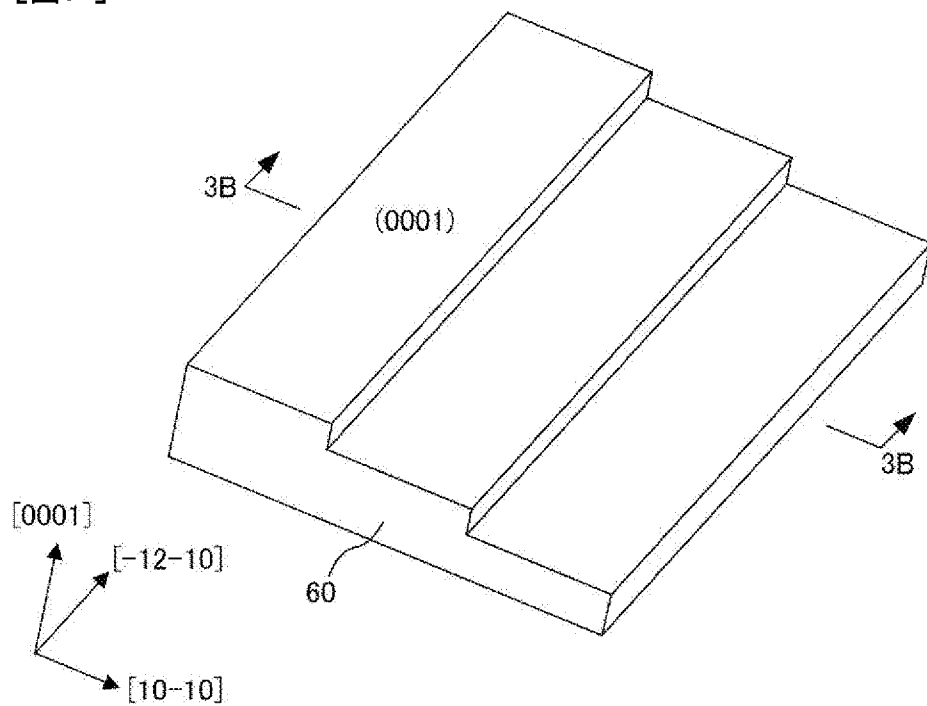
[図2A]



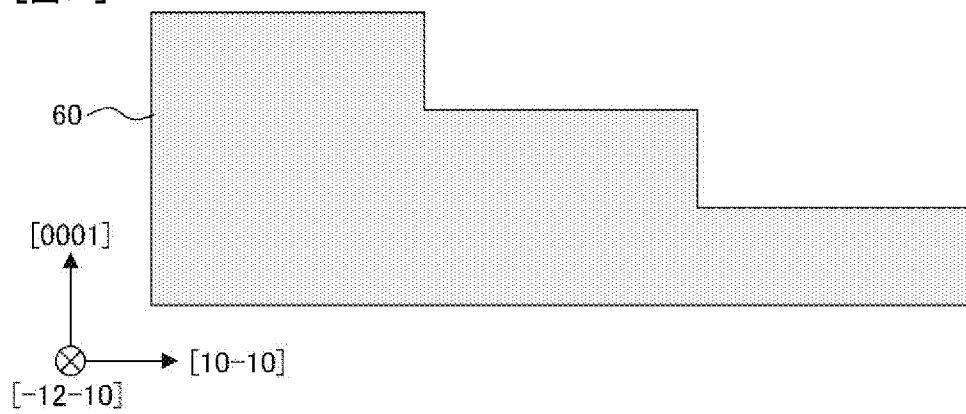
[図2B]



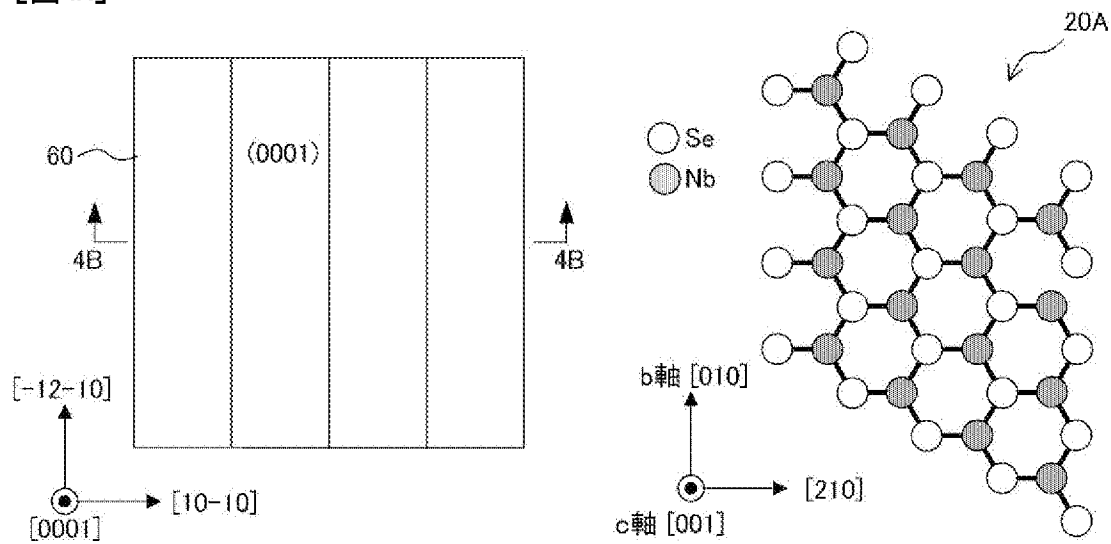
[図3A]



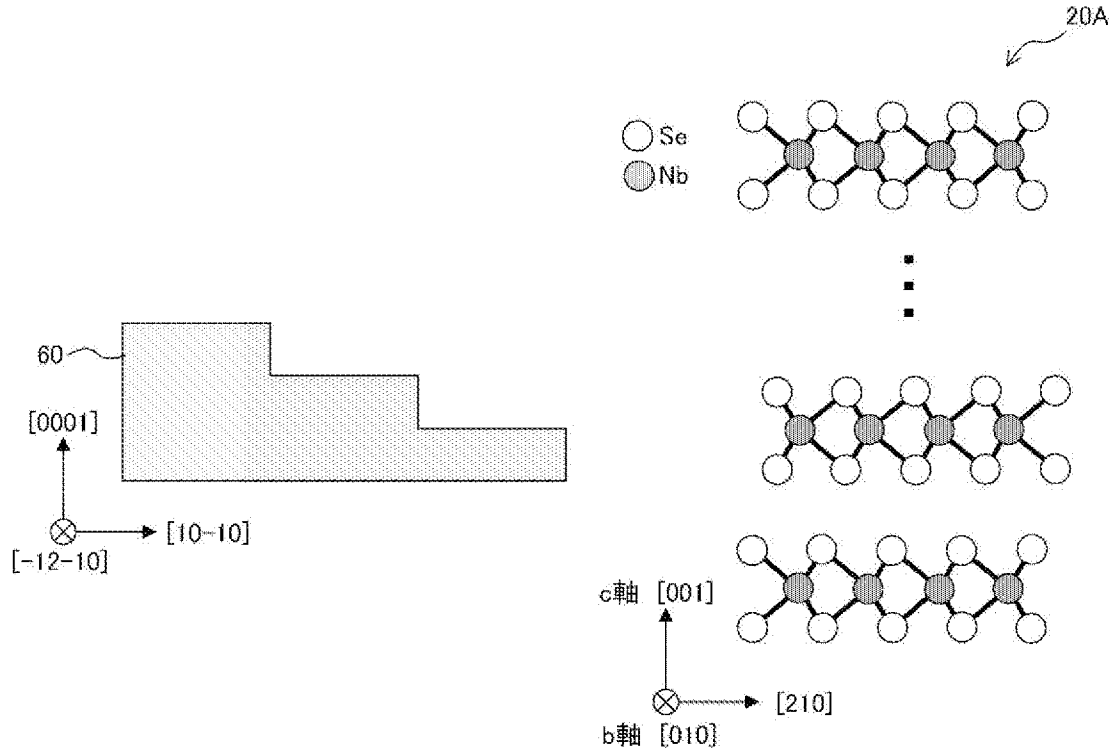
[図3B]



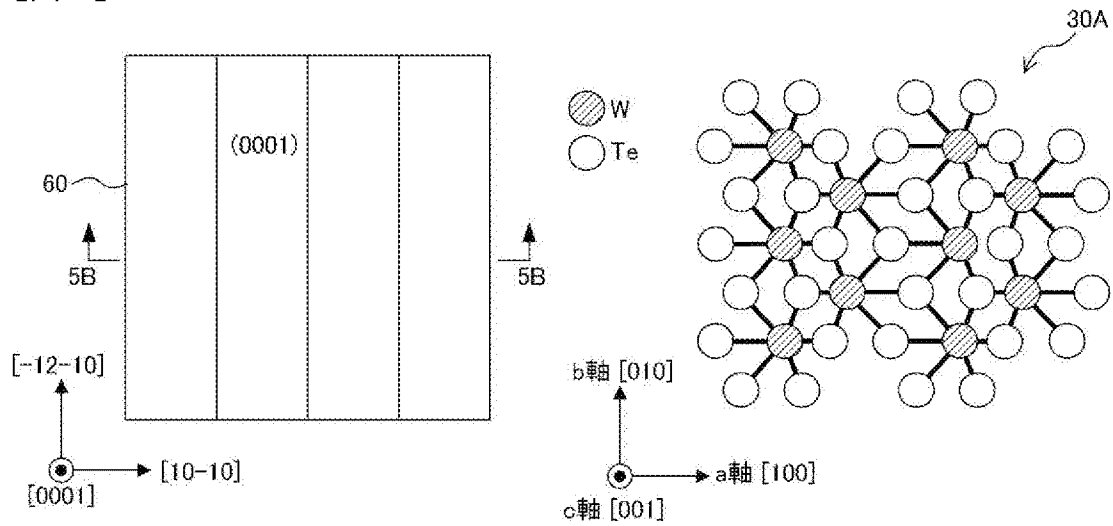
[図4A]



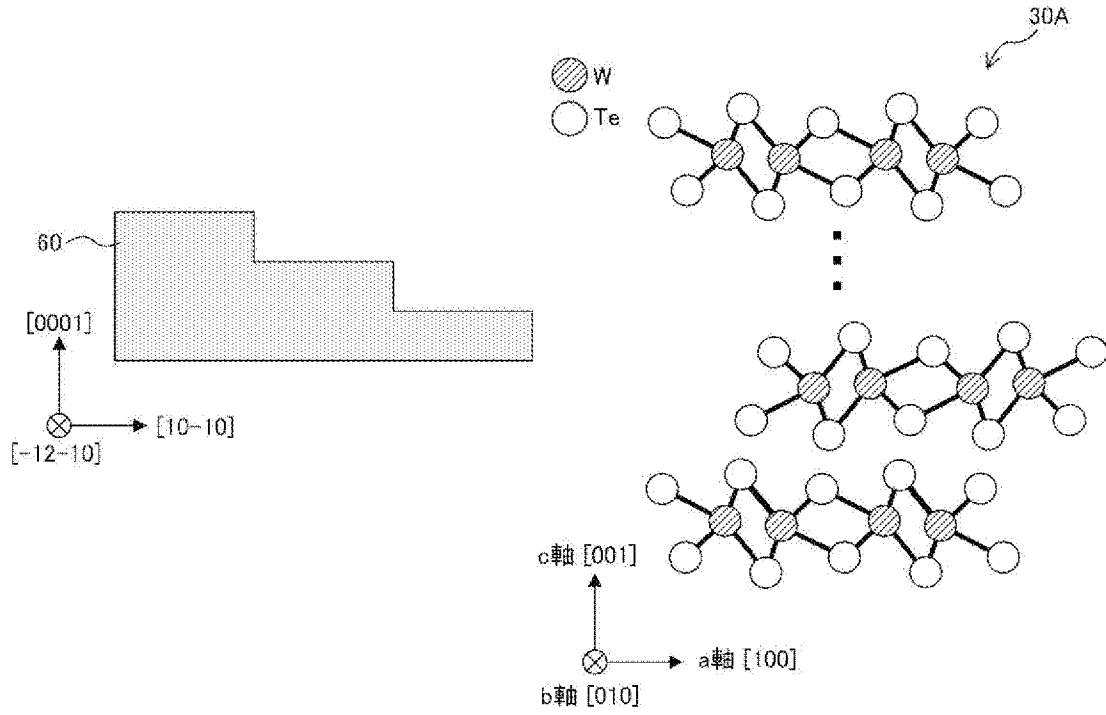
[図4B]



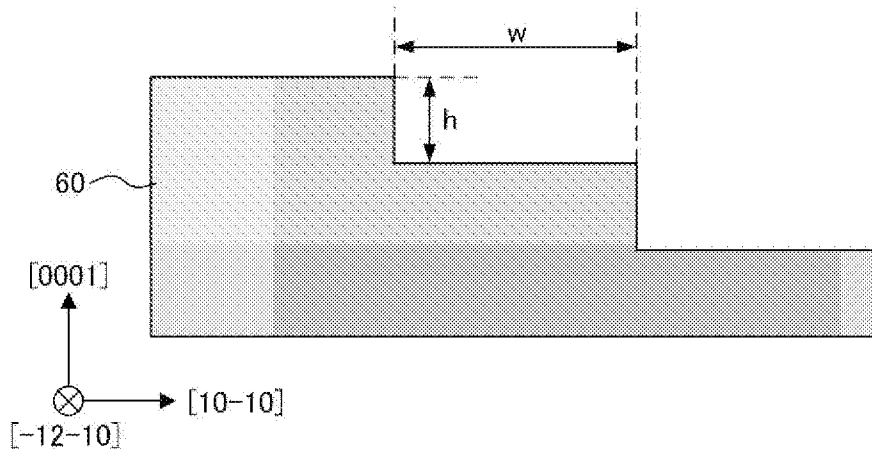
[図5A]



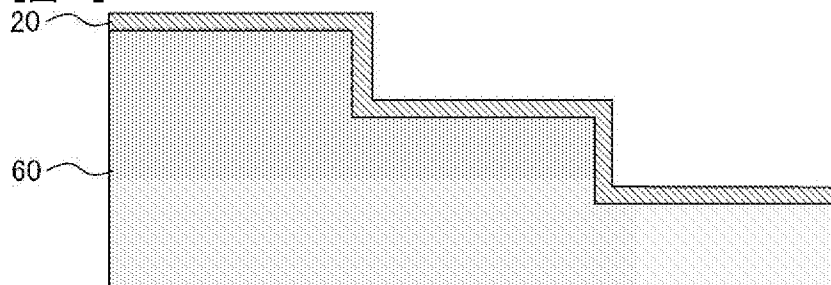
[図5B]



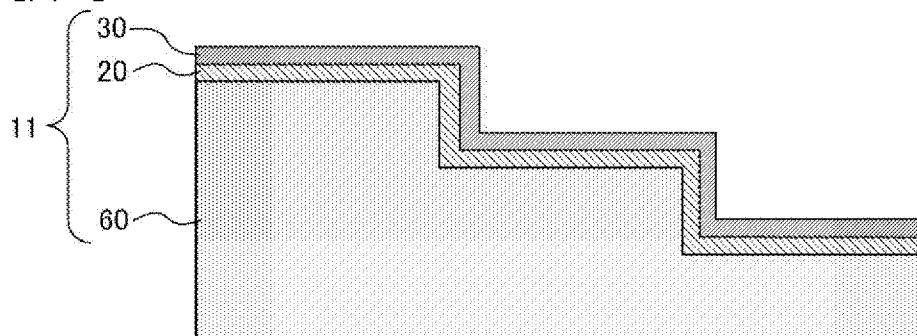
[図6A]



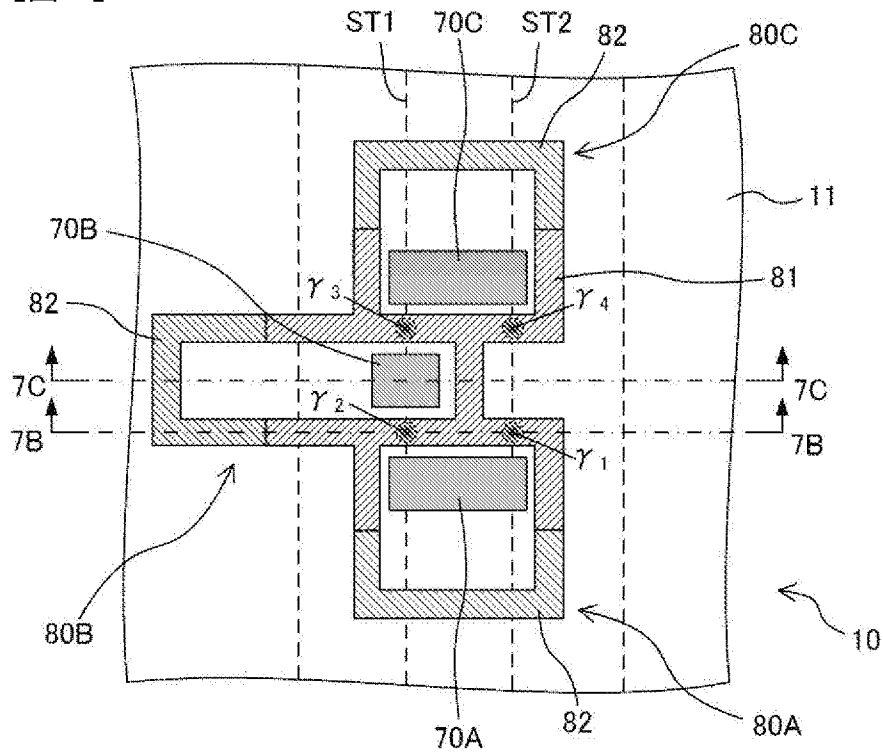
[図6B]



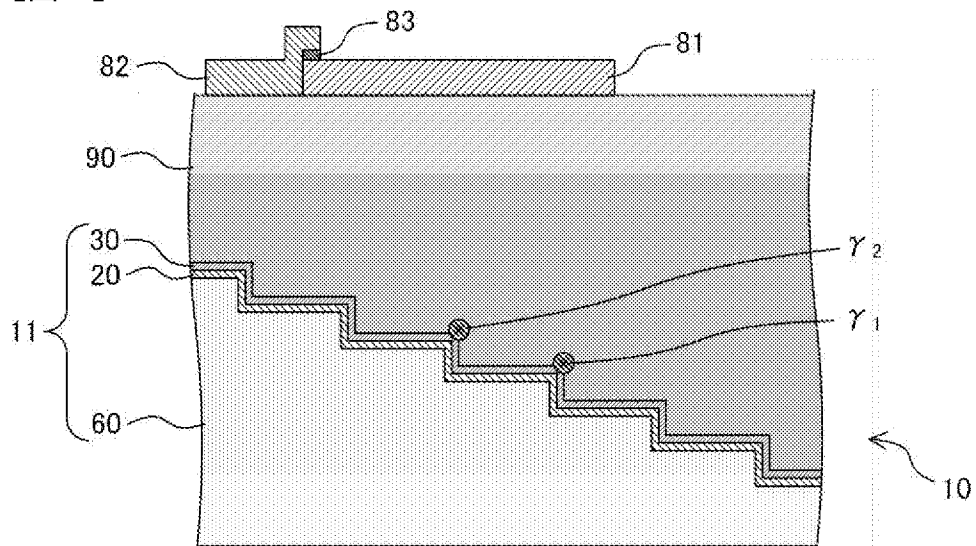
[図6C]



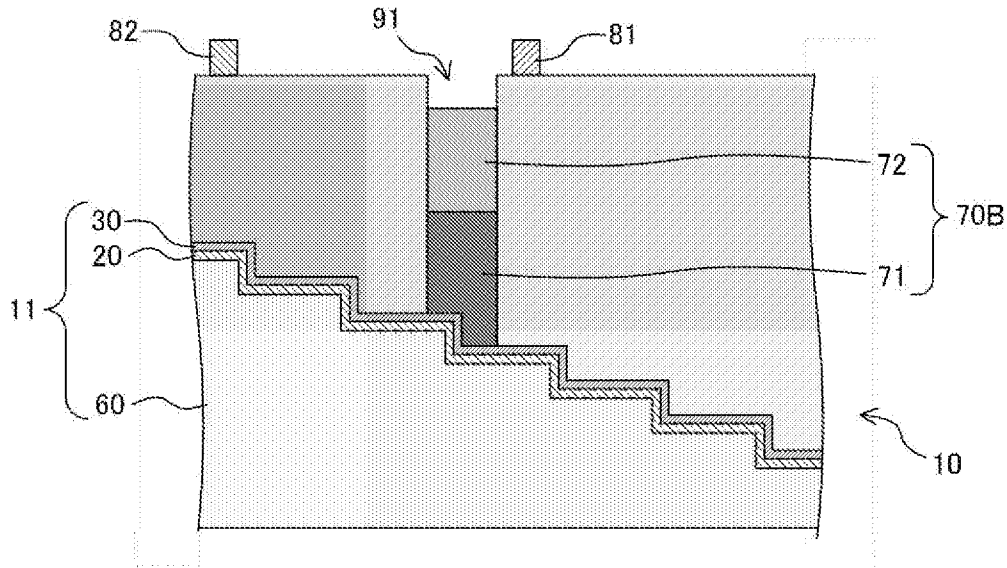
[図7A]



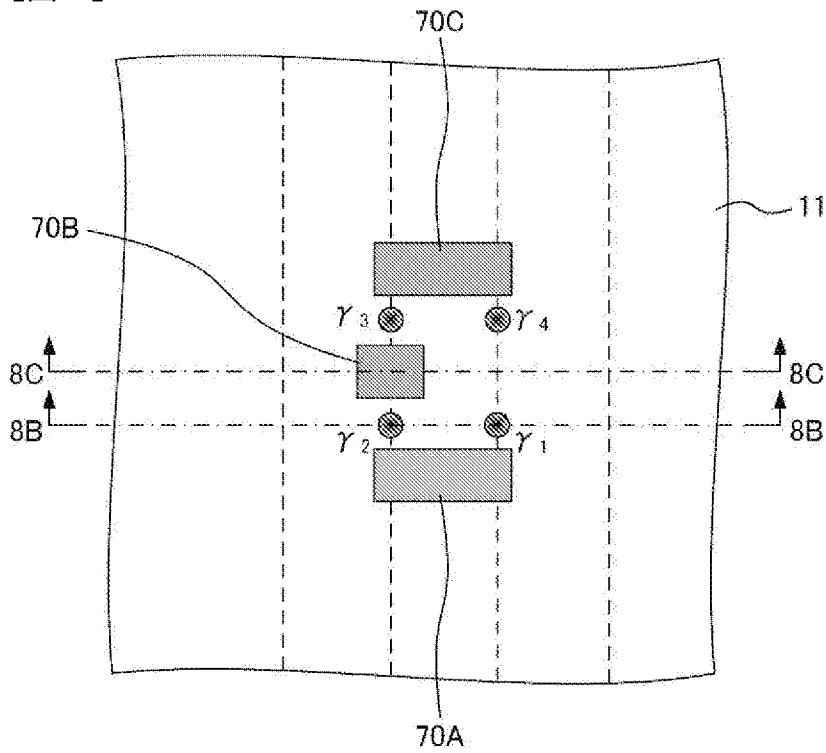
[図7B]



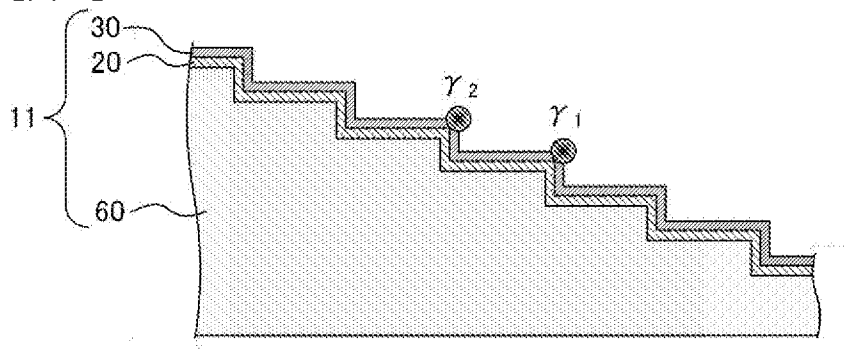
[図7C]



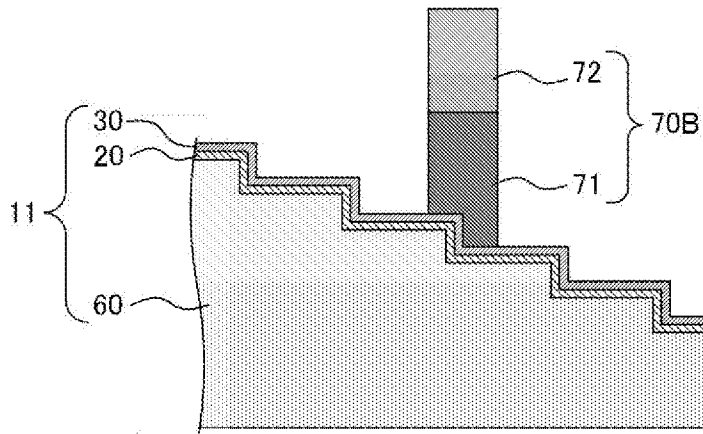
[図8A]



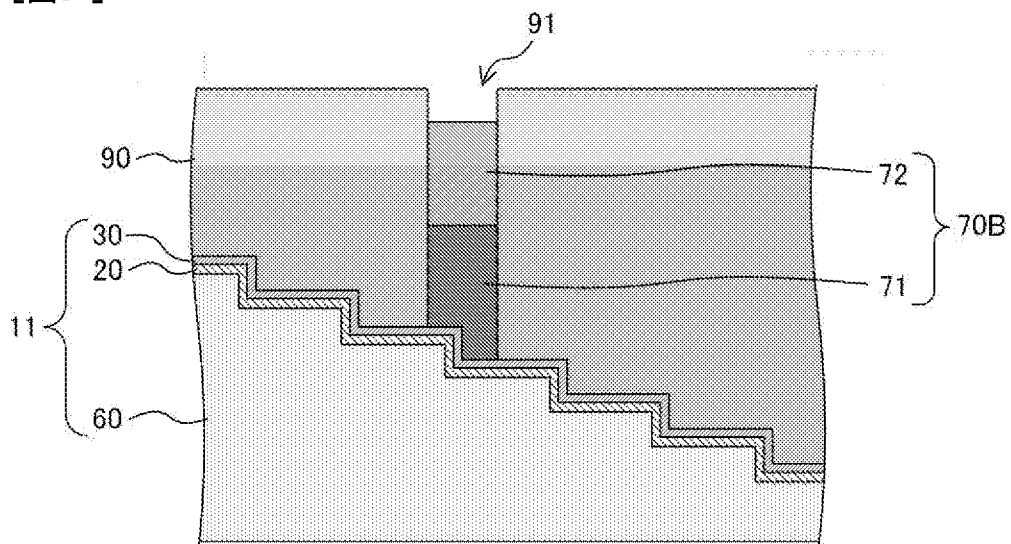
[図8B]



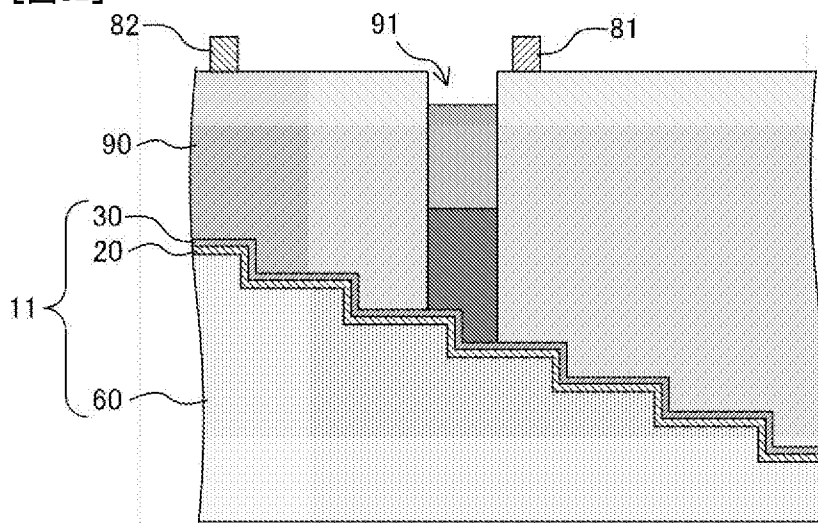
[図8C]



[図8D]



[図8E]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/045703

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H10N 60/12</i> (2023.01)i; <i>H10N 60/00</i> (2023.01)i; <i>H10N 60/01</i> (2023.01)i FI: H10N60/12 A; H10N60/00 Z; H10N60/01 D		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H10N60/12; H10N60/00; H10N60/01		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2022/137421 A1 (FUJITSU LIMITED) 30 June 2022 (2022-06-30)	1-9
A	JP 2017-128461 A (FUJITSU LIMITED) 27 July 2017 (2017-07-27)	1-9
A	JP 2022-525910 A (INTERNATIONAL BUSINESS MACHINES CORPORATION) 20 May 2022 (2022-05-20)	1-9
A	JP 2005-290528 A (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL & TECHNOLOGY) 20 October 2005 (2005-10-20)	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 February 2023		Date of mailing of the international search report 28 February 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2022/045703

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2022/137421	A1	30 June 2022	(Family: none)	
JP	2017-128461	A	27 July 2017	(Family: none)	
JP	2022-525910	A	20 May 2022	US 2020/0320420	A1
				EP 3948698	A1
				KR 10-2021-0129186	A
				CN 113646781	A
JP	2005-290528	A	20 October 2005	(Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC）） H10N 60/12(2023.01)i; H10N 60/00(2023.01)i; H10N 60/01(2023.01)i FI: H10N60/12 A; H10N60/00 Z; H10N60/01 D</p>										
<p>B. 調査を行った分野</p>										
<p>調査を行った最小限資料（国際特許分類（IPC）） H10N60/12; H10N60/00; H10N60/01</p>										
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
<p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>										
<p>C. 関連すると認められる文献</p>										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	WO 2022/137421 A1（富士通株式会社）30.06.2022（2022 - 06 - 30）	1-9								
A	JP 2017-128461 A（富士通株式会社）27.07.2017（2017 - 07 - 27）	1-9								
A	JP 2022-525910 A（インターナショナル・ビジネス・マシーンズ・コーポレーション）20.05.2022（2022 - 05 - 20）	1-9								
A	JP 2005-290528 A（独立行政法人産業技術総合研究所）20.10.2005（2005 - 10 - 20）	1-9								
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>										
<p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献</p>										
国際調査を完了した日	14.02.2023	国際調査報告の発送日 28.02.2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 石塚 健太郎 5F 4815 電話番号 03-3581-1101 内線 3516									

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2022/045703

引用文献	公表日	パテントファミリー文献	公表日
WO 2022/137421 A1	30.06.2022	(ファミリーなし)	
JP 2017-128461 A	27.07.2017	(ファミリーなし)	
JP 2022-525910 A	20.05.2022	US 2020/0320420 A1 EP 3948698 A1 KR 10-2021-0129186 A CN 113646781 A	
JP 2005-290528 A	20.10.2005	(ファミリーなし)	