



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：200939455

(43)公開日：中華民國98(2009)年9月16日

(21)申請案號：098103020

(22)申請日：中華民國98(2009)年1月23日

(51)Int. Cl. : H01L27/088 (2006.01)

H01L21/8234 (2006.01)

(30)優先權主張：2008/01/25

日本

2008-014818

(71)申請人：松下電器產業股份有限公司 PANASONIC CORPORATION

日本

(72)發明人：平瀨順司 HIRASE, JUNJI

(72)代理人：陳長文

申請實體審查：無 申請專利範圍項數：27 項 圖式數：10 共 89 頁

(54)名稱

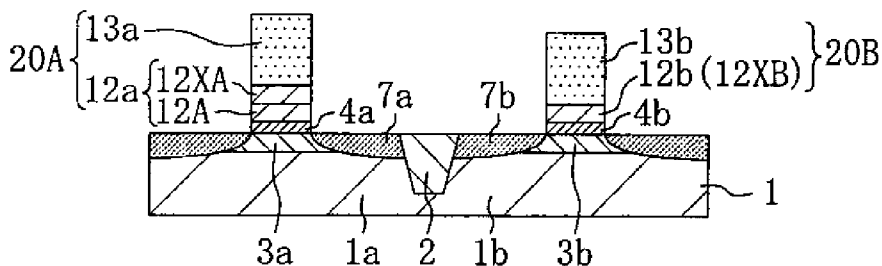
半導體裝置及其製造方法

(57)摘要

本發明旨在提供一種半導體裝置。其具備第一MIS電晶體與臨限電壓比述第一MIS電晶體高的第二MIS電晶體。第一MIS電晶體具備：形成在半導體基板之第一活性區域的第一通道區域，由形成述第一活性區域的第一溝槽區域上之高介質常數絕緣膜構成的第一閘極絕緣膜，具有鄰接第一閘極絕緣膜上而設的第一導電部與形成在第一導電部上的第二導電部的第一閘極；第二MIS電晶體具備：形成在半導體基板之第二活性區域的第二通道區域，由形成在第二活性區域的第二溝槽區域的高介質常數絕緣膜構成且導電型與第一通道區域相同的第二閘極絕緣膜，以及具有鄰接第二閘極絕緣膜上而設的第三導電部與形成在第三導電部上的第四導電部的第二閘極。第三導電部之膜厚比第一導電部薄，且由與第一導電部相同的組分材料形成。

← Lvt區域 → × → Hvt區域 →

(a)



1：半導體基板

1a：第一活性區域

1b：第二活性區域

2：元件隔離區域

3a：n型通道區域

3b：n型通道區域

4a：第一閘極絕緣膜

4b：第二閘極絕緣膜

7a：淺的p型源極汲極區域

7b：淺的p型源極汲極區域

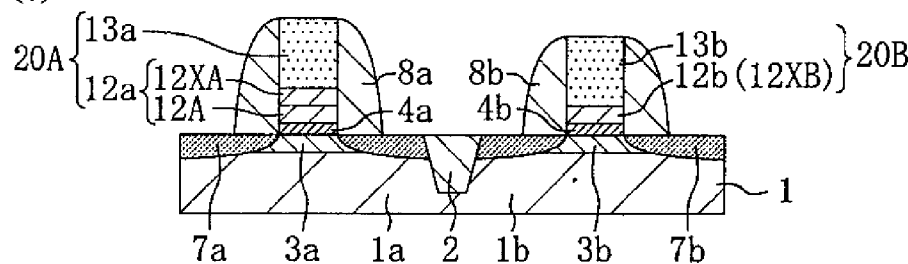
8a：側壁

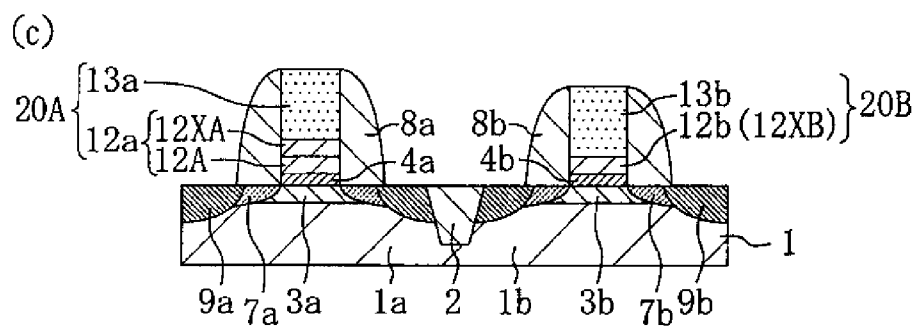
8b：側壁

9a：深的p型源極汲極區域

9b：深的p型源極汲極區域

(b)



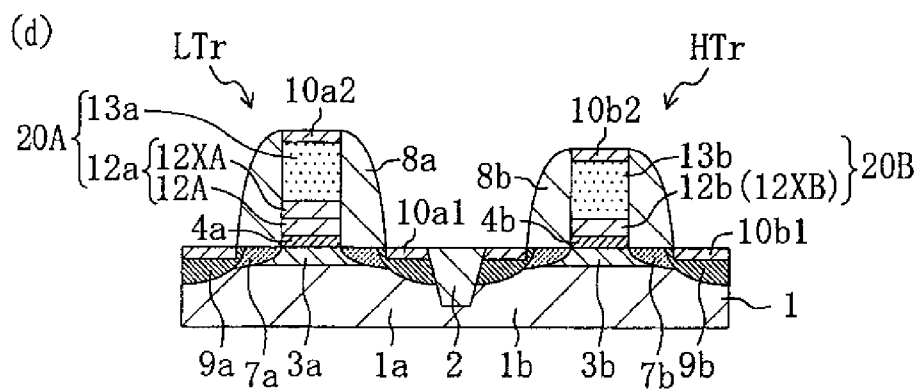


10a1 : NiSi膜(矽化物膜)

10a2 : NiSi膜(矽化物膜)

10b1 : NiSi膜(矽化物膜)

10b2 : NiSi膜(矽化物膜)



12A : 第一金屬膜

12a : 第一導電部

12b : 第三導電部

12XA : 第二金屬膜

12XB : 第二金屬膜

13a : 第二導電部

13b : 第四導電部

20A : 第一閘極

20B : 第二閘極



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：200939455

(43)公開日：中華民國98(2009)年9月16日

(21)申請案號：098103020

(22)申請日：中華民國98(2009)年1月23日

(51)Int. Cl. : H01L27/088 (2006.01)

H01L21/8234 (2006.01)

(30)優先權主張：2008/01/25

日本

2008-014818

(71)申請人：松下電器產業股份有限公司 PANASONIC CORPORATION

日本

(72)發明人：平瀨順司 HIRASE, JUNJI

(72)代理人：陳長文

申請實體審查：無 申請專利範圍項數：27 項 圖式數：10 共 89 頁

(54)名稱

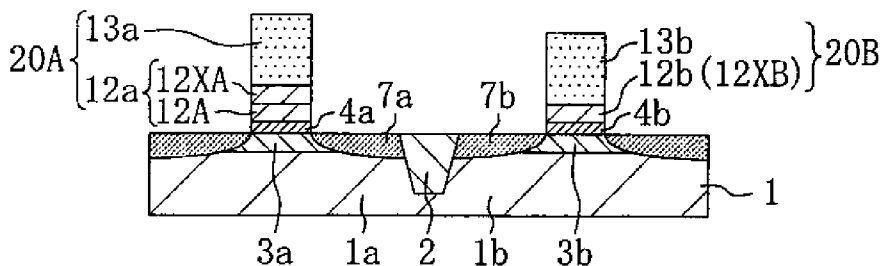
半導體裝置及其製造方法

(57)摘要

本發明旨在提供一種半導體裝置。其具備第一MIS電晶體與臨限電壓比述第一MIS電晶體高的第二MIS電晶體。第一MIS電晶體具備：形成在半導體基板之第一活性區域的第一通道區域，由形成述第一活性區域的第一溝槽區域上之高介質常數絕緣膜構成的第一閘極絕緣膜，具有鄰接第一閘極絕緣膜上而設的第一導電部與形成在第一導電部上的第二導電部的第一閘極；第二MIS電晶體具備：形成在半導體基板之第二活性區域的第二通道區域，由形成在第二活性區域的第二溝槽區域的高介質常數絕緣膜構成且導電型與第一通道區域相同的第二閘極絕緣膜，以及具有鄰接第二閘極絕緣膜上而設的第三導電部與形成在第三導電部上的第四導電部的第二閘極。第三導電部之膜厚比第一導電部薄，且由與第一導電部相同的組分材料形成。

← Lvt區域 → × → Hvt區域 →

(a)



1：半導體基板

1a：第一活性區域

1b：第二活性區域

2：元件隔離區域

3a：n型通道區域

3b：n型通道區域

4a：第一閘極絕緣膜

4b：第二閘極絕緣膜

7a：淺的p型源極汲極區域

7b：淺的p型源極汲極區域

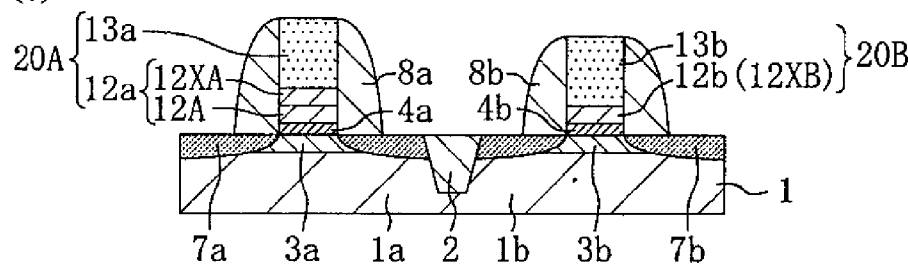
8a：側壁

8b：側壁

9a：深的p型源極汲極區域

9b：深的p型源極汲極區域

(b)



六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及其製造方法。特別關係一種具備臨限電壓彼此不同的多 V_t 型 MISFET (Metal Insulator Semiconductor Field Effect Transistor) 的半導體裝置及其製造方法。

【先前技術】

近年來，為使半導體積體電路裝置的高性能化與低電力消耗化兩立，一般係使用將導電型彼此相同但臨限電壓不同的 MISFET (以下，稱其為「MIS電晶體」) 混合裝載的多 V_t 製程。

另一方面，伴隨著半導體積體電路裝置的高積體化、高功能化以及高速化，MIS電晶體之閘極絕緣膜的薄膜化在深入。然而，在使用氧化矽膜作閘極絕緣膜之情形，問題是，若閘極絕緣膜之膜厚薄至一定以下，直接穿隧 (direct tunneling) 會導致漏電流急劇增大，以致晶片之消耗電流增大。

因此，使用介質常數在氧化矽膜3倍以上，例如 HfO_2 、 HfSiON 等高介質常數絕緣膜作閘極絕緣膜，取代使用氧化矽膜作閘極絕緣膜，引人注目。

此處，在具備多 V_t 型 MIS電晶體之半導體裝置中，在使用高介質常數絕緣膜作閘極絕緣膜之情形，係藉由與製造例如 SiON 系列膜之情形同樣的製程製造半導體裝置。以下參照圖 10(a) 至圖 10(d) 對習知半導體裝置之製造方法加以

簡單說明。圖 10(a)至圖 10(d)是按照製程順序顯示習知半導體裝置之製造方法的要部製程剖面圖。此外，圖中，Lvt區域是形成有臨限電壓相對較低之P型MIS電晶體的區域，Hvt是形成有臨限電壓相對較高之P型MIS電晶體的區域。

首先，如圖 10(a)所示，在矽基板 101 之上部形成元件隔離區域 102。因此，矽基板 101 中被元件隔離區域 102 包圍之區域中，位於 Lvt 區域之區域成為 Lvt 區域之活性區域 101a，位於 Hvt 區域之區域成為 Hvt 區域之活性區域 101b。之後，在 Lvt 區域的活性區域 101a 之上部形成具有第一雜質濃度的 n 型通道區域 103a。另一方面，在 Hvt 區域的活性區域 101b 之上部形成具有濃度較第一雜質濃度為高的第二雜質濃度的 n 型通道區域 103b。之後，依次在矽基板 101 上形成高介質常數絕緣膜 104 與金屬膜 105。

其次，如圖 10(b)所示，在金屬膜 105 上形成多晶矽膜 111。

其次，如圖 10(c)所示，依次圖案化 Lvt 區域的多晶矽膜 111、金屬膜 105 以及高介質常數絕緣膜 104，以在 Lvt 區域的活性區域 101a 上依次形成由高介質常數絕緣膜 104 構成的閘極絕緣膜 104a、以及由金屬膜 105a 與多晶矽膜 111a 構成的閘極 120A。同時，依次圖案化 Hvt 區域的多晶矽膜 111、金屬膜 105 以及高介質常數絕緣膜 104，以在 Hvt 區域的活性區域 101b 上依次形成由高介質常數絕緣膜 104 構成的閘極絕緣膜 104b、以及由金屬膜 105b 與多晶矽膜 111b

構成的閘極120B。之後，在活性區域101a形成淺的p型源極汲極區域107a，同時，在活性區域101b形成淺的p型源極汲極區域107b。

其次，如圖10(d)所示，在閘極120A之側面上形成側壁108a，同時在閘極120B之側面上形成側壁108b。之後，在活性區域101a形成深p型源極汲極區域109a，同時，在活性區域101b形成深p型源極汲極區域109b。之後，在深p型源極汲極區域109a、109之上部形成矽化物膜110a1、110b1，同時，在閘極120A、120B之多晶矽膜111a、111b上部形成矽化物膜110a2、110b2。

[非專利文獻1] H. Nakamura et al., VLSI 2006 Tech. Symp, pp. 158-159

【發明內容】

[發明所欲解決的課題]

一般情形下，在混合裝載有臨限電壓彼此不同的MIS電晶體的半導體裝置中，需要將高臨限電壓系MIS電晶體中之通道區域(參照圖10(d)：103b)之雜質濃度調節為較低臨限電壓系MIS電晶體中之通道區域(參照圖10(d)：103b)之雜質濃度低。是以，將高臨限電壓系MIS電晶體的臨限電壓控制為較低臨限電壓系MIS電晶體之臨限電壓高。

然而，於此情形問題係如下。由於高臨限電壓系MIS電晶體中之通道區域的雜質濃度較高，因此在半導體裝置動作時，載子會於該通道區域所含的導電型雜質相碰撞而飛散，在高臨限電壓系MIS電晶體中，載子的移動率下降，

驅動力下降。

作為使Lvt區域的通道區域與Hvt區域的通道區域的雜質濃度一樣低之方法，係不使用具有靠近帶邊緣的實現工作函數的MIS電晶體作低、高臨界電壓系列MIS電晶體，而使用靠近中間隙之實效工作函數的MIS電晶體作低、高臨界電壓系列MIS電晶體。由於使用靠近中間隙之實效工作函數的MIS電晶體時所需要的通道區域的雜質濃度較使用靠近帶邊緣之實效工作函數的MIS電晶體時所需要的通道區域的雜質濃度為低，因此能夠使Lvt區域、Hvt區域之通道區域的雜質濃度一樣。

然而，在上述方法中，為了將高臨限電壓系MIS電晶體的臨限電壓控制得較低臨限電壓系MIS電晶體之臨限電壓高，依然是必須將Hvt區域之通道區域的雜質濃度調節得較Lvt區域之通道區域的雜質濃度為高，上述問題依然存在。

另一方面，作為抑制MIS電晶體的臨限電壓之方法有如下提案。即調節由高介質常數絕緣膜(例如HfSiON膜)構成的閘極絕緣膜的Hf濃度，來調整費米能階針扎現象(Fermi Level Pinning)下的費米能階(參照例如，非專利文獻1)。但問題是，由於在該方法下非常難以調節閘極絕緣膜的Hf濃度，因此非常難以控制MIS電晶體的臨限電壓。

如上所述，在採用調節通道區域的雜質濃度之方法作為控制導電型彼此相同的MIS電晶體的臨限電壓之方法的情形下，由於高臨限電壓系MIS電晶體的驅動能力下降，因

此無法謀求高臨限電壓系MIS電晶體之高性能化。另一方面，在採用調節閘極絕緣膜的Hf濃度之方法作為控制導電型彼此相同的MIS電晶體的臨限電壓之方法的情形下，由於低、高臨限電壓系MIS電晶體之臨限電壓皆係非常難以控制，因此無法高精度地實現低、高臨限電壓系MIS電晶體雙方。亦即，無論採用上述何種方法，皆無法高精度且高性能地實現臨限電壓彼此不同的MIS電晶體。

本發明是鑑於上述問題點而完成的發明，其目的在於，在具備導電型彼此相同之MIS電晶體的半導體裝置中，高精度且高性能地實現臨限電壓彼此不同的MIS電晶體。

[用於解決課題的手段]

為達成上述目的，本發明第一側面所關係之半導體裝置，一種半導體裝置，具備第一MIS電晶體、與具有比第一MIS電晶體高之臨限電壓的第二MIS電晶體。第一MIS電晶體具備：第一通道區域，形成在半導體基板之第一活性區域，第一閘極絕緣膜，由形成在第一活性區域的第一通道區域上的高介質常數絕緣膜構成，以及第一閘極，具有鄰接第一閘極絕緣膜上設置的第一導電部、與形成在第一導電部上的第二導電部；第二MIS電晶體具備：第二通道區域，形成在半導體基板之第二活性區域，具有與第一通道區域相同之導電型，第二閘極絕緣膜，由形成在第二活性區域的第二通道區域上的高介質常數絕緣膜構成，以及第二閘極，具有鄰接第二閘極絕緣膜上設置的第三導電部、與形成在第三導電部上的第四導電部；第三導電部之

膜厚較第一導電部為薄，且由與第一導電部相同之組分材料構成。

依據本發明第一側面所關係之半導體裝置，使在其上形成有第四導電部的第三導電部之膜厚較在其上形成有第二導電部的第一導電部之膜厚薄。藉此，具有由第三導電部與第四導電部構成的第二閘極的第二MIS電晶體之臨限電壓，被控制為較具有由第一導電部與第二導電部構成的第一閘極的第一MIS電晶體之臨限電壓高。

因此，無需如習知那樣使第二通道區域之雜質濃度充分地比第一通道區域之雜質濃度高，便能夠使第二通道區域之雜質濃度與第一通道區域之雜質濃度相同(或使第二通道區域之雜質濃度比第一通道區域之雜質濃度稍微高一些)。結果，能夠在半導體裝置動作時，抑制載子與第二通道區域中所含有的導電型雜質相衝撞而飛散。正因為如此，便能夠在第二MIS電晶體中謀求漏電流之減少化與高驅動力化。

不是採用習知般調節構成MIS電晶體之閘極絕緣膜的Hf濃度的方法作為控制第一、第二MIS電晶體之臨限電壓的方法，而是採用調節鄰接構成第一、第二MIS電晶體之閘極絕緣膜上而設的第一、第三導電部之膜厚的方法作為控制第一、第二MIS電晶體之臨限電壓的方法。藉此，便能夠容易且高精度地控制第一、第二MIS電晶體之臨限電壓。

因此，在具備導電型彼此相同之第一、第二MIS電晶體

的半導體裝置中，能夠使臨限電壓彼此不同的第一、第二MIS電晶體高性能化。

在本發明第一側面所關係之半導體裝置中，較佳者，係第一導電部與第三導電部係由金屬或金屬化合物形成，第二導電部與第四導電部係由矽形成。

在本發明第一側面所關係之半導體裝置中，較佳者，係具有第二閘極絕緣膜與第二閘極的第二MIS電晶體，具有較具有第一閘極絕緣膜與第一閘極的第一MIS電晶體更接近矽之中間隙工作函數的實效工作函數。

在本發明第一側面所關係之半導體裝置中，較佳者，係第一MIS電晶體與第二MIS電晶體是P型MIS電晶體；第一導電部與第三導電部具有4.7 eV以上且5.15 eV以下之工作函數。

在本發明第一側面所關係之半導體裝置中，較佳者，係第一MIS電晶體與第二MIS電晶體是P型MIS電晶體；第一導電部與第三導電部是氮化鈦膜、氮化鉭膜或碳化鉭膜。

在本發明第一側面所關係之半導體裝置中，較佳者，係第一MIS電晶體與第二MIS電晶體是P型MIS電晶體；第一導電部與第三導電部由氮化鈦膜構成；第一導電部之膜厚在20 nm以上；第三導電部之膜厚在15 nm以下。

在本發明第一側面所關係之半導體裝置中，較佳者，係第一MIS電晶體與第二MIS電晶體是N型MIS電晶體；第一導電部與第三導電部具有4.05 eV以上且4.5 eV以下之工作函數。

在本發明第一側面所關係之半導體裝置中，較佳者，係第二通道區域具有與第一通道區域相等之雜質濃度。

在本發明第一側面所關係之半導體裝置中，較佳者，係第二閘極絕緣膜具有與第一閘極絕緣膜相等之膜厚；第四導電部具有與第二導電部相等之膜厚。

在本發明第一側面所關係之半導體裝置中，較佳者，係第一閘極絕緣膜之膜厚較第二閘極絕緣膜之膜厚為厚。

為達成上述目的，本發明第二側面所關係之半導體裝置，具備第一MIS電晶體、與具有比第一MIS電晶體高之臨限電壓的第二MIS電晶體，第一MIS電晶體具備：第一通道區域，形成在半導體基板之第一活性區域，第一閘極絕緣膜，由形成在第一活性區域的第一通道區域上的高介質常數絕緣膜構成，以及第一閘極，具有鄰接第一閘極絕緣膜上設置的第一導電部。第二MIS電晶體具備：第二通道區域，形成在半導體基板之第二活性區域，具有與第一通道區域相同之導電型，第二閘極絕緣膜，由形成在第二活性區域的第二通道區域上的高介質常數絕緣膜構成，以及第二閘極，具有鄰接第二閘極絕緣膜上設置的第二導電部。第二導電部由與第一導電部相異之組分材料構成。

依據本發明第二側面所關係之半導體裝置，第一導電部與第二導電部由組分彼此不同的材料形成。藉此，具備具有第二導電部的第二閘極的第二MIS電晶體之臨限電壓，被控制為較具備具有第一導電部之第一閘極的第一MIS電晶體之臨限電壓高。

因此，無需如習知那樣使第二通道區域之雜質濃度充分地比第一通道區域之雜質濃度高，便能夠使第二通道區域之雜質濃度與第一通道區域之雜質濃度相同(或使第二通道區域之雜質濃度比第一通道區域之雜質濃度稍微高一些)。結果，能夠在半導體裝置動作時，抑制載子與第二通道區域中所含有的導電型雜質相衝撞而飛散。正因為如此，便能夠在第二MIS電晶體中謀求漏電流之減少化與高驅動力化。

不是採用習知般調節構成MIS電晶體之閘極絕緣膜的Hf濃度的方法作為控制第一、第二MIS電晶體之臨限電壓的方法，而是採用調節鄰接構成第一、第二MIS電晶體之閘極絕緣膜上而設的第一、第二導電部之導電材料的方法作為控制第一、第二MIS電晶體之臨限電壓的方法。藉此，便能夠容易且高精度地控制第一、第二MIS電晶體之臨限電壓。

因此，在具備導電型彼此相同之第一、第二MIS電晶體的半導體裝置中，能夠使臨限電壓彼此不同的第一、第二MIS電晶體高性能化。

在本發明第二側面所關係之半導體裝置中，較佳者，係第二導電部，係具有與第一導電部相比更接近矽之中間隙工作函數的工作函數。

在本發明第二側面所關係之半導體裝置中，較佳者，係第一閘極僅由第一導電部構成；第二閘極僅由第二導電部構成。

在本發明第二側面所關係之半導體裝置中，較佳者，係第一閘極具有形成在第一導電部上的第三導電部；第二閘極具有形成在第二導電部上的第四導電部。

在本發明第二側面所關係之半導體裝置中，較佳者，係第一閘極，係在第一導電部與第三導電部之間具有由與第二導電部相同之導電材料形成的第五導電部。

在本發明第二側面所關係之半導體裝置中，較佳者，係第二閘極係在第二導電部與第四導電部之間具有由與第一導電部相同之導電材料形成的第五導電部。

在本發明第二側面所關係之半導體裝置中，較佳者，係第三導電部與第四導電部由矽形成。

在本發明第二側面所關係之半導體裝置中，較佳者，係第一導電部由第一金屬或第一金屬化合物形成；第二導電部由第二金屬或第二金屬化合物形成。

在本發明第二側面所關係之半導體裝置中，較佳者，係第一MIS電晶體與第二MIS電晶體是P型MIS電晶體；第一導電部是氮化鈦膜；第二導電部是氮化鉬膜或氮化鉭膜。

在本發明第二側面所關係之半導體裝置中，較佳者，係第二通道區域具有與第一通道區域相等之雜質濃度。

為了達成前述目的，本發明第一側面所關係之半導體裝置之製造方法係如此，該半導體裝置具備第一MIS電晶體與第二MIS電晶體，該第一MIS電晶體具有第一閘極，該第二MIS電晶體之臨限電壓較第一MIS電晶體高並具有第二閘極，該製造方法具備以下製程：製程(a)，在半導體基

板形成由元件隔離區域包圍之第一活性區域與第二活性區域，製程(b)，在第一活性區域形成第一通道區域，同時，在第二活性區域形成導電型與第一通道區域相同之第二通道區域，製程(c)，在製程(b)後，在第一活性區域與第二活性區域上形成高介質常數絕緣膜，以及製程(d)，在製程(c)後，在第一活性區域上形成由高介質常數絕緣膜構成的第一閘極絕緣膜，並且形成具有鄰接第一閘極絕緣膜上設置的第一導電部、與設在第一導電部上之第二導電部的第一閘極，同時，在第二活性區域上形成由高介質常數絕緣膜構成的第二閘極絕緣膜，並且形成具有鄰接第二閘極絕緣膜上設置的第三導電部、與設在第三導電部上之第四導電部的第二閘極。第三導電部，其膜厚較第一導電部為薄，且由與第一導電部相同之組分材料構成。

依據本發明第一側面所關係之半導體裝置之製造方法，使在其上形成有第四導電部的第三導電部之膜厚較在其上形成有第二導電部的第一導電部之膜厚薄。藉此，便能夠使具有由第三導電部與第四導電部構成的第二閘極的第二MIS電晶體之實效工作函數移動至較具有由第一導電部與第二導電部構成的第一閘極的第一MIS電晶體之實效工作函數更靠近中間隙，因而與第一MIS電晶體之實效工作函數相比，能夠使第二MIS電晶體之實效工作函數成為靠近「矽之中間隙工作函數」的實效工作函數。

本發明第一側面所關係之半導體裝置之製造方法中，較佳者，係製程(d)具備：製程(d1)，形成與第一活性區域上

之高介質常數絕緣膜相接的第一金屬膜，製程(d2)，在製程(d1)之後，形成與第一金屬膜及第二活性區域上之高介質常數絕緣膜相接的第二金屬膜，製程(d3)，在製程(d2)之後，在第二金屬膜上形成矽膜，以及製程(d4)，在製程(d3)之後，對第一活性區域上之矽膜、第二金屬膜、第一金屬膜以及高介質常數絕緣膜進行圖案化，來形成由高介質常數絕緣膜構成的第一閘極絕緣膜、由第一金屬膜與第二金屬膜構成的第一導電部以及由矽膜構成的第二導電部，同時，對第二活性區域上之矽膜、第二金屬膜以及高介質常數絕緣膜進行圖案化，來形成由高介質常數絕緣膜構成的第二閘極絕緣膜、由第二金屬膜構成的第三導電膜以及由矽膜構成的第四導電部。

本發明第一側面所關係之半導體裝置之製造方法中，較佳者，係製程(d)具備：製程(d1)，形成與高介質常數絕緣膜相接的金屬膜，製程(d2)，在製程(d1)之後，對第二活性區域上之金屬膜加以蝕刻，來形成膜厚較金屬膜為薄之金屬薄膜部，製程(d3)，在製程(d2)之後，在金屬膜與金屬薄膜部上形成矽膜，以及製程(d4)，在製程(d3)之後，對第一活性區域上之矽膜、金屬膜以及高介質常數絕緣膜進行圖案化，來形成由高介質常數絕緣膜構成的第一閘極絕緣膜、由金屬膜構成的第一導電部以及由矽膜構成的第二導電部，同時，對第二活性區域上之矽膜、金屬薄膜部以及高介質常數絕緣膜進行圖案化，來形成由高介質常數絕緣膜構成的第二閘極絕緣膜、由金屬薄膜部構成的第三

導電膜以及由矽膜構成的第四導電部。

為達成前述目的，本發明第二方面所關係之半導體裝置之製造方法係如此，該半導體裝置具備第一MIS電晶體與第二MIS電晶體，該第一MIS電晶體具有第一閘極，該第二MIS電晶體之臨限電壓較第一MIS電晶體高並具有第二閘極，該製造方法具備以下製程：製程(a)，在半導體基板形成由元件隔離區域包圍之第一活性區域與第二活性區域；製程(b)，在第一活性區域形成第一通道區域，同時，在第二活性區域形成導電型與第一通道區域相同之第二通道區域；製程(c)，在製程(b)後，在第一活性區域與第二活性區域上形成高介質常數絕緣膜；以及製程(d)，在製程(c)後，在第一活性區域上形成由高介質常數絕緣膜構成的第一閘極絕緣膜，並且形成具有由鄰接第一閘極絕緣膜上設置的第一導電部之第一閘極，同時，在第二活性區域上形成由高介質常數絕緣膜構成的第二閘極絕緣膜，並且形成具有由鄰接第二閘極絕緣膜上設置的第二導電部的第二閘極。第二導電部係由與第一導電部相異之組分材料構成。

依據本發明第二方面所關係之半導體裝置之製造方法，第一導電部與第二導電部由組分彼此不同之材料形成。藉此，便能夠使第二導電部之工作函數成為比第一導電部之工作函數更接近「矽之中間隙工作函數」之工作函數，使具備具有第二導電部之第二閘極的第二MIS電晶體之實效工作函數，成為比具備具有第一導電部之第一閘極的第一

MIS電晶體之實效工作函數更接近「矽之中間隙工作函數」之工作函數。

本發明第二側面所關係之半導體裝置之製造方法中，較佳者，係製程(d)具備：製程(d1)，形成與第一活性區域上之高介質常數絕緣膜相接的第一金屬膜，製程(d2)，形成與第二活性區域上之高介質常數絕緣膜相接的第二金屬膜，以及製程(d3)，在製程(d1)及製程(d2)之後，對第一活性區域上之第一金屬膜以及高介質常數絕緣膜進行圖案化，來形成由高介質常數絕緣膜構成的第一閘極絕緣膜、由第一金屬膜構成的第一導電部，同時，對第二活性區域上之第二金屬膜以及高介質常數絕緣膜進行圖案化，來形成由高介質常數絕緣膜構成的第二閘極絕緣膜、以及由第二金屬膜構成的第二導電部。

本發明第二側面所關係之半導體裝置之製造方法中，較佳者，係製程(d)具備：製程(d1)，形成與第一活性區域上之高介質常數絕緣膜相接的第一金屬膜，製程(d2)，形成與第二活性區域上之高介質常數絕緣膜相接的第二金屬膜，製程(d3)，在製程(d1)及製程(d2)之後，在第一金屬膜與第二金屬膜上形成矽膜，以及製程(d4)，在製程(d3)之後，對第一活性區域上之矽膜、第一金屬膜以及高介質常數絕緣膜進行圖案化，來形成由高介質常數絕緣膜構成的第一閘極絕緣膜、由第一金屬膜構成的第一導電部以及由矽膜構成的第三導電部，同時，對第二活性區域上之矽膜、第二金屬膜以及高介質常數絕緣膜進行圖案化，來形

成由高介質常數絕緣膜構成的第二閘極絕緣膜、由第二金屬膜構成的第二導電膜以及由矽膜構成的第四導電部。

本發明第二側面所關係之半導體裝置之製造方法中，較佳者，係製程(d)具備：製程(d1)，形成與第一活性區域上之高介質常數絕緣膜相接的第一金屬膜；製程(d2)，在製程(d1)之後，形成與第一金屬膜及第二活性區域上之高介質常數絕緣膜相接的第二金屬膜；製程(d3)，在製程(d2)之後，在第二金屬膜上形成矽膜；以及製程(d4)，在製程(d3)之後，對第一活性區域上之矽膜、第二金屬膜、第一金屬膜以及高介質常數絕緣膜進行圖案化，來形成由高介質常數絕緣膜構成的第一閘極絕緣膜、由第一金屬膜構成的第一導電部、由第二金屬膜構成的第五導電部、以及由矽膜構成的第三導電部，同時，對第二活性區域上之矽膜、第二金屬膜以及高介質常數絕緣膜進行圖案化，來形成由高介質常數絕緣膜構成的第二閘極絕緣膜、由第二金屬膜構成的第二導電膜以及由矽膜構成的第四導電部。

[發明的效果]

如上所述，依據本發明所關係之半導體裝置及其製造方法，調整了鄰接著構成第一、第二MIS電晶體的第一、第二閘極絕緣膜上而設之導電部的膜厚(或者導電部的導電材料)。藉此，第二MIS電晶體之實效工作函數被控制為高於第一MIS電晶體之實效工作函數。因此，在具備導電型彼此相同之第一、第二MIS電晶體之半導體裝置中，能夠高精度且高性能地實現臨限電壓彼此不同之第一、第二

MIS電晶體。

【實施方式】

以下，參照附圖對本發明各實施形態加以說明。

此處，本說明書中所出現的1)矽之中間隙工作函數、2)帶邊緣、3)靠近中間隙、靠近帶邊緣、4)工作函數、5)實效工作函數的定義如下所述。

1)「矽之中間隙工作函數」意味著矽之帶隙能量的中間值。例如，意味著摻雜有負電荷的矽(N型矽)的工作函數(約4.05 eV)與摻雜有正電荷的矽(P型矽)的工作函數(約5.15 eV)之中間值，即意味著4.6 eV左右。

2)「帶邊緣」意味著矽之帶隙能量之端值。例如，在N型MIS電晶體之情形下，意味著摻雜有負電荷的矽(N型矽)的工作函數，約4.05 eV；在P型MIS電晶體之情形下，意味著摻雜有正電荷的矽(P型矽)的工作函數，約5.15 eV。

3)「靠近中間隙」與「靠近帶邊緣」，在N型MIS電晶體的情形下，意味著若例如對4.3 eV的第一工作函數(或者實效工作函數)與4.5 eV的第二工作函數(或者實效工作函數)加以比較，則第一工作函數(或者實效工作函數)是「靠近帶邊緣」，第二工作函數(或者實效工作函數)是「靠近中間隙」。另一方面，在P型MIS電晶體的情形下，意味著若例如對4.7 eV的第一工作函數(或者實效工作函數)與4.9 eV的第二工作函數(或者實效工作函數)加以比較，則第一工作函數(或者實效工作函數)是「靠近中間隙」，第二工作函數(或者實效工作函數)是「靠近帶邊緣」。

亦即，在彼此不同的工作函數(或者實效工作函數)中，靠近矽之中間隙工作函數(亦即如上述1)所示4.6 eV左右)的工作函數(或者實效工作函數)是「靠近中間隙」，接近帶邊緣(亦即如上述2)所示N型MIS電晶體：約4.05 eV，P型MIS電晶體：約5.15 eV)的工作函數(或者實效工作函數)是「靠近帶邊緣」。

4)「工作函數」意味著顯示真空能階與金屬(或者金屬化合物)之能階差的物性值。

5)「實效工作函數」意味著為決定MIS電晶體之臨限電壓而實效地起作用的工作函數。MIS電晶體之「實效工作函數」由於在MIS電晶體內之各種原因而與構成MIS電晶體的金屬(或者金屬化合物)之物性工作函數不同。

(第一實施形態)

以用P型MIS電晶體作臨限電壓彼此不同的MIS電晶體之情形為例，參照圖1(a)至圖1(d)與圖2(a)至圖2(d)對本發明第一實施形態所關係半導體裝置之製造方法加以說明。圖1(a)至圖1(d)與圖2(a)至圖2(d)是按製程順序顯示本發明的第一實施形態所關係半導體裝置之製造方法的要部製程剖面圖。此外，在該實施形態中，Lvt區域是形成臨限電壓相對較低的P型MIS電晶體(以下稱其為「低臨限電晶體」)之區域；Hvt區域是形成臨限電壓相對較高的P型MIS電晶體(以下稱其為「高臨限電晶體」)的區域。

首先，如圖1(a)所示，藉由例如埋入元件隔離(Shallow Trench Isolation: STI)法，在例如具有矽區域等半導體區

域的一導電型基板(以下稱其為「半導體基板」)1上部，選擇性地形成絕緣膜已埋入在溝槽內之元件隔離區域2。是以，半導體基板1中被元件隔離區域2包圍之區域中位於Lvt區域的區域成為第一活性區域1a，位於Hvt區域的區域成為第二活性區域1b。之後，省略圖示，藉由將n型雜質離子植入半導體基板1中，來形成n型阱及n型穿通阻止區域(punch through stopper)。此處，n型阱之植入條件是：植入離子種類是磷，植入能量是400 keV，植入摻雜量是 $1 \times 10^{13} \text{ cm}^{-2}$ 。n型穿通阻止物之植入條件是：植入離子種類是磷，植入能量是200 keV，植入摻雜量是 $1 \times 10^{13} \text{ cm}^{-2}$ 。之後，藉由將n型雜質離子植入半導體基板1，來在第一活性區域1a之上部形成n型通道區域3a，同時在第二活性區域1b之上部形成n型通道區域3b。此處，例如，n型通道區域3a、3b之植入條件是：植入離子種類是砷，植入能量是100 keV，植入摻雜量是 $2 \times 10^{12} \text{ cm}^{-2}$ 。所形成的n型通道區域3a與n型通道區域3b之雜質濃度分佈曲線相同。

之後，如圖1(a)所示，在半導體基板1上形成由例如膜厚0.5 nm的氧化矽膜構成的緩衝絕緣膜(未圖示)之後，再在該緩衝絕緣膜上形成由例如膜厚4 nm的HfSiON膜(氧化膜換算膜厚是1 nm)構成的絕緣膜(以下稱其為「高介質常數絕緣膜」)4。是以，在半導體基板1與高介質常數絕緣膜4之間形成了緩衝絕緣膜，在以下的說明中出現的「高介質常數絕緣膜4」指的是在其下面形成有緩衝絕緣膜之膜。

之後，利用例如CVD法在高介質常數絕緣膜4上沈積由

例如膜厚100 nm的氮化鈦膜(TiN膜)構成的第一金屬膜(此處，「金屬膜」說的是由金屬或者金屬化合物形成的膜)5。作為該第一金屬膜5，優選具有4.70 eV以上且5.15 eV以上的工作函數(例如4.9 eV)，且具有較後述第二金屬膜(參照圖1(c)：6)的工作函數靠近帶邊緣的工作函數的金屬或者金屬化合物形成的膜。

其次，如圖1(b)所示，在第一金屬膜5上形成覆蓋Lvt區域、使Hvt區域開口的光阻圖案(省略圖示)後，再以該光阻圖案為光罩(mask)對Hvt區域的第一金屬膜5進行蝕刻，除去第二活性區域1b上之第一金屬膜5，之後，將光阻圖案除去。是以，能夠有選擇地使第一金屬膜5殘存在第一活性區域1a上。於是，形成了與第一活性區域1a上的高介質常數絕緣膜4相接的第一金屬膜5。

其次，如圖1(c)所示，利用例如CVD法在半導體基板1的表面上全面地沈積由例如膜厚100 nm的氮化鉬膜(MoN膜)構成的第二金屬膜6。作為該第二金屬膜6，優選具有4.6 eV以上且5.05 eV以下的工作函數(例如4.7 eV)且具有較第一金屬膜的工作函數靠近中間隙的工作函數的金屬或者金屬化合物形成的膜。例如，可以用氮化鉭膜(TaN膜)代替MoN膜。

其次，如圖1(d)所示，利用例如化學機械研磨法(CheMical Mechanical Polishing：CMP)法研磨除去第二金屬膜6，直至第一金屬膜5之上面露出為止，以除去第二金屬膜6中位於第一金屬膜5上面之上側的區域。是以，第二

金屬膜6殘存在第二活性區域1b上。第二金屬膜6之上面被平坦化為其高度與第一金屬膜5之上面高度相等。換言之，所形成的第一金屬膜5與第二金屬膜6之膜厚實質上相等。因此，而形成與第二活性區域1b上的高介質常數絕緣膜4相接的第二金屬膜6。

其次，如圖2(a)所示，利用光刻法在第一金屬膜5及第二金屬膜6上形成具有閘極圖案的光阻圖案(省略圖示)。之後，以該光阻圖案為光罩，藉由乾式蝕刻將Lvt區域之第一金屬膜5與高介質常數絕緣膜4依次圖案化，在第一活性區域1a上形成由高介質常數絕緣膜4構成的第一閘極絕緣膜4a、以及由第一金屬膜5構成的第一導電部5a。與此同時，將Hvt區域之第二金屬膜6與高介質常數絕緣膜4依次圖案化，在第二活性區域1b上形成由高介質常數絕緣膜4構成的第二閘極絕緣膜4b、以及由第二金屬膜6構成的第二導電部6b。

是以，在第一活性區域1a上依次形成第一閘極絕緣膜4a、以及具有鄰接第一閘極絕緣膜4a形成的第一導電部5a的第一閘極20A。同時，在第二活性區域1b上依次形成第二閘極絕緣膜4b、以及具有鄰接第二閘極絕緣膜4b形成的第二導電部6b的第二閘極20B。

之後，如圖2(a)所示，以第一閘極20A為光罩將p型雜質離子植入第一活性區域1a中，同時，以第二閘極20B為光罩將p型雜質離子植入第二活性區域1b中。藉此，在第一活性區域1a的第一閘極20A側方下自我整合地形成接面深

度較淺的p型源極汲極區域(LDD區域或者延伸區域)7a，同時，在第二活性區域1b的第二閘極20B側方下自我整合地形成接面深度較淺的p型源極汲極區域(LDD區域或者延伸區域)7b。此處，例如，淺p型源極汲極區域7a、7b之植入條件是：植入離子種類是硼，植入能量是0.5 keV，植入摻雜量是 $5 \times 10^{14} \text{ cm}^{-2}$ 。

其次，如圖2(b)所示，利用例如化學氣相沈積(CVD：Chemical Vapor Deposition)法在半導體基板1表面上全面地沈積由例如膜厚50 nm的氧化矽膜構成的絕緣膜後，再對絕緣膜進行異向性蝕刻。是以，在第一閘極20A之側面上形成側壁8a，同時在第二閘極20B之側面上形成側壁8b。

其次，如圖2(c)所示，以第一閘極20A與側壁8a為光罩向第一活性區域1a離子植入p型雜質，同時，以第二閘極20B與側壁8b為光罩向第二活性區域1b離子植入p型雜質。之後，在例如1050°C的溫度下對半導體基板1進行快速加熱退火處理(RTA：Rapid Thermal Annealing)，在第一活性區域1a的側壁8a外側方下自我整合地形成接面深度較淺p型源極汲極區域7a之接面深度為深，接面深度較深的p型源極汲極區域9a。同時，在第二活性區域1b的側壁8b外側方下自我整合地形成接面深度較淺p型源極汲極區域7b之接面深度為深，接面深度較深的p型源極汲極區域9b。此處，例如，深p型源極汲極區域9a、9b之植入條件是：植入離子種類是硼，植入能量是2.0 keV，植入摻雜量是 $3 \times 10^{15} \text{ cm}^{-2}$ 。

其次，如圖2(d)所示，利用濺鍍法(sputtering method)，在半導體基板1之上表面全面地沈積由例如膜厚10 nm的鎳膜(Ni)構成的矽化用金屬膜(省略圖示)。之後，在例如氮氣環境中，320℃的溫度下，對半導體基板1進行第一次RTA處理，使深p型源極汲極區域9a、9b中之矽與矽化用金屬膜中之鎳進行反應。之後，將半導體基板1浸漬到蝕刻液中，該蝕刻液由硫酸與過氧化氫溶液的混合液構成。藉此，將元件隔離區域2、第一閘極20A中的第一導電部5a、第二閘極20B中的第二導電部6b以及殘存在側壁8a、8b等上的未反應矽化用金屬膜除去。之後，在較第一次RTA處理溫度為高的溫度(例如550℃)下對半導體基板1進行第二次RTA處理。是以，在Lvt區域的深p型源極汲極區域9a上部形成由矽化鎳膜(NiSi膜)構成的矽化物膜10a1，同時，在Hvt區域的深p型源極汲極區域9b上部形成由矽化鎳膜(NiSi膜)構成的矽化物膜10b1。

按上述做法，即能夠製造出本實施形態所關係之半導體裝置。該半導體裝置包括：低臨限電晶體LTr與高臨限電晶體HTr。該低臨限電晶體LTr具有第一閘極20A，該第一閘極20A係由具有靠近帶邊緣的工作函數的第一導電部5a構成。該高臨限電晶體HTr具有第二閘極20B。該第二閘極20B由組分與第一導電部5a不同且具有靠近中間隙的工作函數的第二導電部6b構成。

以下，參照圖2(d)對本發明第一實施形態所關係之半導體裝置之結構加以說明。

在半導體基板1上之上部形成有絕緣膜已埋入在溝槽內的元件隔離區域2，將第一活性區域1a與第二活性區域1b分開。而且，半導體裝置包括設在第一活性區域1a的低臨限電晶體LTr與設在第二活性區域1b的高臨限電晶體HTr。

低臨限電晶體LTr具備：形成在第一活性區域1a的n型通道區域3a、由形成在n型通道區域3a的高介質常數絕緣膜構成的第一閘極絕緣膜4a、由鄰接第一閘極絕緣膜4a形成的第一導電部5a構成的第一閘極20A、形成在第一閘極20A側面上的側壁8a、形成在第一活性區域1a的第一閘極20A側方下的淺p型源極汲極區域7a、形成在第一活性區域1a的側壁8a外側方下的深p型源極汲極區域9a以及形成在深p型源極汲極區域9a上部的矽化物膜10a1。

高臨限電晶體HTr具備：形成在第二活性區域1b的n型通道區域3b、由形成在n型通道區域3b的高介質常數絕緣膜構成的第二閘極絕緣膜4b、由鄰接第二閘極絕緣膜4b形成的第二導電部6b構成的第二閘極20B、形成在第二閘極20B側面上的側壁8b、形成在第二活性區域1b的第二閘極20B側方下的淺p型源極汲極區域7b、形成在第二活性區域1b的側壁8b外側方下的深p型源極汲極區域9b以及形成在深p型源極汲極區域9b上部的矽化物膜10b1。

此處，該實施形態結構上的特徵是如下所述的幾點。

構成低臨界電晶體LTr之第一閘極20A的第一導電部5a由TiN膜構成，且具有靠近帶邊緣的工作函數(例如4.9 eV)。

另一方面，構成高臨界電晶體HTr之第二閘極20B的第二導

電部 6b 由 MoN 膜構成，且具有靠近中間隙的工作函數(例如 4.7 eV)。因此第一導電部 5a 與第二導電部 6b 由組分彼此不同的金屬膜構成。而且，與第二導電部 6b 相比，第一導電部 5a 具有接近「帶邊緣(約 5.15 eV，參照上述 2))」的工作函數。換言之，與第一導電部 5a 相比，第二導電部 6b 具有「矽之中間隙工作函數(4.6 eV 左右，參照上述 1))」的工作函數。亦即，第二導電部 6b 具有比第一導電部 5a 低的工作函數。

第一導電部 5a 所接的第一閘極絕緣膜 4a、第二導電部 6b 所接的第二閘極絕緣膜 4b，係在同一製程、且由同一構造形成，由膜厚彼此相等的高介質常數絕緣膜構成。

Lvt 區域的 n 型通道區域 3a 與 Hvt 區域的 n 型通道區域 3b，係在同一製程、且由同一構造構成，具有彼此相等的雜質濃度。此外，該說明書中出現的「膜厚相等」及「彼此相等的雜質濃度」意味著包括彼此在同一製程形成之際所產生的製造上的偏差。

淺 p 型源極汲極區域 7a、7b、深 p 型源極汲極區域 9a、9b 以及側壁 8a、8b 也分別在同一製程且由同一構造構成。但是，若第一、第二閘極 20A、20B 之高度存在差異，則有時候，形成在第一閘極 20A 側面上的側壁 8a 與形成在第二閘極 20B 側面上的側壁 8b 的高度便會彼此不同。

依據該實施形態，第一導電部 5a 與第二導電部 6b 由組分彼此不同的金屬膜構成。因此，能夠使第二導電部 6b 的工作函數成為比第一導電部 5a 的工作函數更接近「矽之中間

隙工作函數」之工作函數，使具有由第二導電部6b構成的第二閘極20B的高臨界電晶體HTr的實效工作函數較由具有由第一導電部5a構成的第一閘極20A的低臨界電晶體LTr的實效工作函數低。亦即，能夠使高臨界電晶體HTr的臨限電壓較低臨界電晶體LTr的臨限電壓為高。

因此，無需如習知那樣使Hvt區域的n型通道區域(參考圖10(d)：103b)的雜質濃度較Lvt區域的n型通道區域(參考圖10(d)：103a)的雜質濃度高，因此，能夠使n型通道區域3b之雜質濃度與n型通道區域3a的雜質濃度相同。結果，能夠在半導體裝置動作時，抑制載子與n型通道區域3b中所含有的n型雜質相衝撞而飛散。正因為如此，便能夠在高臨界電晶體HTr中謀求漏電流之減少化與高驅動力化。

不是採用習知般調節構成低、高臨界電晶體之閘極絕緣膜的Hf濃度的方法作為控制低、高臨界電晶體之臨限電壓的方法，而是採用調節鄰接構成低、高臨界電晶體之閘極絕緣膜上而設的導電部的導電材料之方法作為控制低、高臨界電晶體之臨限電壓的方法。藉此，便能夠容易且高精度地控制低、高臨界電晶體之臨限電壓。

因此，在具備導電型彼此相同的MIS電晶體的半導體裝置中，能夠高精度且高性能地實現臨限電壓彼此不同的MIS電晶體。

此外，在該實施形態中，以下述情形為具體例做了說明，該情形為：使用組分彼此不同的第一、第二金屬膜5、6(例如第一金屬膜5：TiN膜，第二金屬膜6：MoN膜)

作為構成工作函數彼此不同的第一、第二導電部5a、6b的第一、第二金屬膜5、6。但本發明並不限於該情形。例如，在使用組分相同但形成方法卻相互不同的第一、第二金屬膜作為構成第一、第二導電膜的第一、第二金屬膜之情形、或者組分、形成方法彼此皆相同而形成溫度卻彼此不同的第一、第二金屬膜之情形，也能夠實現工作函數彼此不同的第一、第二導電部。

在該實施形態中，以下述情形為具體例作了說明。該情形為：由於如圖1(a)所示在同一製程形成了Lvt區域之n型通道區域3a與Hvt區域的n型通道區域3b，而形成雜質濃度彼此相同的n型通道區域3a、3b。但本發明並不限於該情形。例如，可以形成雜質濃度彼此稍有不同的n型通道區域。因此，為了實現臨限電壓彼此不同的低、高臨界電晶體LTr、HTr，除了利用由工作函數彼此不同的第一、第二導電部構成第一、第二閘極以外，還利用雜質濃度彼此稍有不同的n型通道區域亦可。

在該情形下，由工作函數彼此不同的第一、第二導電部控制設在高臨界電晶體HTr與低臨界電晶體LTr之間的臨限電壓差的大部分，由雜質濃度彼此稍有不同的n型通道區域對剩餘部分進行微調節。因此，僅使Hvt區域的n型通道區域的雜質濃度較Lvt區域的n型通道區域的雜質濃度稍微高一些即可，在Lvt區域的n型通道區域與Hvt區域的n型通道區域之間設置非常小的雜質濃度差即可。正因為如此，無需如習知那樣在Lvt區域的n型通道區域(參考圖10(d)：

103a)與Hvt區域的n型通道區域(參考圖10(d):103b)之間設置很大的雜質濃度差,結果,能夠在半導體裝置動作時,抑制載子與Hvt區域的通道區域中所含有的n型雜質相衝撞而飛散。

在該實施形態中,以下述情形為例做了說明。該情形為:如圖1(b)所示,在第一活性區域1a上形成第一金屬膜5之後,如圖1(d)所示,在第二活性區域1b上形成第二金屬膜6。但本發明並不限於該情形。也可以例如在第二活性區域上形成第二金屬膜後,再在第一活性區域上形成第一金屬膜。

在該實施形態中以下述情形為例做了說明,該情形為:如圖1(c)所示,在半導體基板1上形成第二金屬膜6後,再如圖1(d)所示,藉由CMP法研磨除去第二金屬膜6,之後,再如2(a)所示,將第一金屬膜5與第二金屬膜6圖案化,來形成僅具有由第一金屬膜5構成的第一導電部5a的第一開極20A、與僅具有由第二金屬膜6構成的第二導電部6b的第二開極20B。但本發明並不限於此。例如,可以在與圖1(c)所示的製程一樣,在半導體基板上形成第二金屬膜之後,不利用CMP法進行對第二金屬膜的研磨除去,而是將第一金屬膜與第二金屬膜圖案化,來形成具有由第一金屬膜構成的導電部與由形成在該導電部上的第二金屬膜構成的導電部的第一開極、僅具有由第二金屬膜構成的導電部的第二開極。

(第二實施形態)

以下，參照圖3(a)至圖3(d)、圖4(a)至圖4(d)，以利用P型MIS電晶體作為臨限電壓彼此不同的MIS電晶體之情形為例，對本發明第二實施形態所關係之半導體裝置之製造方法加以說明。圖3(a)至圖3(d)、圖4(a)至圖4(d)是按製程順序顯示本發明的第二實施形態所關係之半導體裝置之製造方法的要部製程剖面圖。此外，在圖3(a)至圖4(d)中，以與前述第一實施形態中圖1(a)至圖2(d)標註的符號相同之符號標註與前述第一實施形態相同的構成要素，省略進行重複說明。而且，在該實施形態中，Lvt區域是形成低臨界電晶體LTr的區域，Hvt區域是形成高臨界電晶體HTr的區域。

首先，進行與第一實施形態中圖1(a)所示之製程相同之製程，獲得圖3(a)所示的構成。然而，在該實施形態中，如圖3(a)所示，形成由膜厚20 nm的TiN膜構成的第一金屬膜5來代替第一實施形態中之由膜厚100 nm之TiN膜構成的第一金屬膜5。此處，作為本實施形態之第一金屬膜5，優選其膜厚在20 nm以上，由具有4.6 eV以上且5.05 eV以下的工作函數(例如4.7 eV)且具有較第一金屬膜的工作函數靠近中間隙的工作函數的金屬或者金屬化合物形成的膜。

接著，如圖3(b)所示，在第一金屬膜5上形成覆蓋Lvt區域、使Hvt區域開口的光阻圖案(省略圖示)後，再以該光阻圖案為光罩對Hvt區域的第一金屬膜5進行蝕刻，除去第二活性區域1b上之第一金屬膜5，之後，將前述光阻圖案除去。是以，能夠有選擇地使第一金屬膜5殘存在第一活性

區域1a上。於是，形成了與第一活性區域1a上的高介質常數絕緣膜4相接的第一金屬膜5。

接著，如圖3(c)所示，利用例如CVD法在半導體基板1的表面上全面地沈積由例如膜厚20 nm的氮化鉬膜構成的第二金屬膜6。如此在該實施形態中進行與第一實施形態中圖1(c)所示的製程一樣的製程。惟，該實施形態中由氮化鉬膜構成的第二金屬膜6的膜厚(例如20 nm)較第一實施形態中由氮化鉬膜構成的第二金屬膜6(例如100 nm)為薄。此處，作為該實施形態中的第二金屬膜6，優選膜厚在20 nm以上，由具有4.6 eV以上且5.05 eV以下的工作函數(例如4.7 eV)且具有較第一金屬膜的工作函數靠近中間隙的工作函數的金屬或者金屬化合物形成的膜。例如，可以用氮化鉬膜(TaN膜)代替MoN膜。

接著，如圖3(d)所示，在第二金屬膜6上形成使Lvt區域開口、覆蓋Hvt區域的光阻圖案(省略圖示)後，再以該光阻圖案為光罩對Lvt區域的第二金屬膜6進行乾式蝕刻，除去第一金屬膜5上之第二金屬膜6，之後，將前述光阻圖案除去。是以，能夠有選擇地使第二金屬膜6殘存在第二活性區域1b上。於是，形成了與第二活性區域1b上的高介質常數絕緣膜4相接的第二金屬膜6。

之後，在第一金屬膜5與第二金屬膜6上形成例如膜厚100 nm的多晶矽膜以後，對多晶矽膜離子植入p型雜質，由此形成由p型多晶矽膜構成的矽膜11。此處，例如矽膜11之植入條件為：植入離子種類是硼，植入能量是3

keV，植入摻雜量是 $1 \times 10^{15} \text{ cm}^{-2}$ 。

其次，如圖4(a)所示，利用例如光刻法在矽膜11上形成具有閘極圖案的光阻圖案(省略圖示)。之後，以該光阻圖案為光罩，藉由乾式蝕刻將Lvt區域之矽膜11、第一金屬膜5以及高介質常數絕緣膜4依次圖案化，在第一活性區域1a上形成由高介質常數絕緣膜4構成的第一閘極絕緣膜4a、由第一金屬膜5構成的第一導電部5a、以及由矽膜11構成的第三導電部11a。與此同時，將Hvt區域之矽膜11、第二金屬膜6與高介質常數絕緣膜4依次圖案化，在第二活性區域1b上形成由高介質常數絕緣膜4構成的第二閘極絕緣膜4b、由第二金屬膜6構成的第二導電部6b以及由矽膜11構成的第四導電部11b。

是以，在第一活性區域1a上依次形成第一閘極絕緣膜4a、以及第一閘極20A，該第一閘極20A具有鄰接第一閘極絕緣膜4a形成的第一導電部5a與形成在第一導電部5a上的第三導電部11a。同時，在第二活性區域1b上依次形成第二閘極絕緣膜4b、以及第二閘極20B，該第二閘極20B具有鄰接第二閘極絕緣膜4b形成的第二導電部6b與形成在該第二導電部6b上的第四導電部11b。

之後，利用與第一實施形態中圖2(a)所示的製程中之淺p型源極汲極區域的形成方法同樣的方法，在第一活性區域1a的第一閘極20A側方下自我整合地形成接面深度較淺的p型源極汲極區域7a，同時，在第二活性區域1b的第二閘極20B側方下自我整合地形成接面深度較淺的p型源極汲極區

域 7b。

接著，如圖 4(b)所示，利用與第一實施形態中圖 2(b)所示的製程中側壁形成方法同樣的方法，在第一閘極 20A 之側面上形成側壁 8a，同時在第二閘極 20B 之側面上形成側壁 8b。

接著，如圖 4(c)所示，利用與第一實施形態中圖 2(c)所示的製程中之深 p 型源極汲極區域之形成方法同樣的方法，在第一活性區域 1a 的側壁 8a 外側方下自我整合地形成接面深度較深的 p 型源極汲極區域 9a。同時，在第二活性區域 1b 的側壁 8b 外側方下自我整合地形成接面深度較深的 p 型源極汲極區域 9b。

接著，如圖 4(d)所示，利用濺鍍法，在半導體基板 1 的表面上沈積由例如膜厚 10 nm 的鎳膜構成的矽化用金屬膜（省略圖示）。之後，在例如氮氣環境中，320℃ 的溫度下，對半導體基板 1 進行第一次 RTA 處理，使深 p 型源極汲極區域 9a、9b、以及第三、第四導電部 11a、11b 中之矽皆與矽化用金屬膜中之鎳進行反應。之後，將半導體基板 1 浸漬到蝕刻液中，該蝕刻液由硫酸與過氧化氫溶液的混合液構成。藉此，將元件隔離區域 2、及殘存在側壁 8a、8b 等上的未反應矽化用金屬膜除去。之後，在較第一次 RTA 處理溫度為高的溫度（例如 550℃）下對半導體基板 1 進行第二次 RTA 處理。是以，在深 p 型源極汲極區域 9a、9b 上部形成由矽化鎳膜（NiSi 膜）構成的矽化物膜 10a1、10b1，同時，在第一、第二閘極 20A、20B 之第三、第四導電部 11a、11b 上

部形成由矽化鎳膜(NiSi膜)構成的矽化物膜10a2、10b2。

按上述做法，即能夠製造出本實施形態所關係之半導體裝置。該半導體裝置包括：低臨限電晶體LTr與高臨限電晶體HTr。該低臨限電晶體LTr具有第一閘極20A，該第一閘極20A係由具有靠近帶邊緣的工作函數(例如4.9 eV)的第一導電部5a與第三導電部11a構成。該高臨限電晶體HTr具有第二閘極20B。該第二閘極20B由具有靠近中間隙的工作函數(例如4.7 eV)的第二導電部6b與第四導電部11b構成。因此，該實施形態中之第一、第二閘極20A、20B具有由金屬膜與形成在其上的多晶矽膜構成的電極構造，亦即所謂的金屬插入多晶矽(MIPS：Metal Insert Poly-Silicon)電極構造。

此處，參照圖4(d)對本實施形態所關係之半導體裝置構成上之特徵點加以說明。

低臨界電晶體LTr之第一閘極20A具有由第一金屬膜5構成的第一導電部5a以及由矽膜11構成的第三導電膜11a；另一方面，高臨界電晶體HTr之第二閘極20B具有由第二金屬膜6構成的第二導電部6b以及由矽膜11構成的第四導電部11b。

鄰接第一閘極絕緣膜4a形成的第一導電部5a與鄰接第二絕緣膜4b形成的第二導電部6b，由組分彼此不同的金屬膜(第一導電部5a：TiN膜、第二導電部6b：MoN膜)構成。第二導電部6b具有較第一導電部5a接近「矽之中間隙工作函數」的工作函數。

形成在第一導電部5a上的第三導電部11a、形成在第二導電部6b上的第四導電部11b，係由膜厚相等(例如100 nm)且組分相同的矽膜構成。換言之，第一導電部5a與第二導電部6b，在其上形成有由膜厚相等且組分相同的矽膜構成的第三、第四導電膜11a、11b。

第一導電部5a所接的第一閘極絕緣膜4a、第二導電部6b所接的第二閘極絕緣膜4b，係在同一製程、且由同一構造形成，由膜厚彼此相等的高介質常數絕緣膜構成。

Lvt區域的n型通道區域3a與Hvt區域的n型通道區域3b，係在同一製程、且由同一構造構成，具有彼此相等的雜質濃度。

淺p型源極汲極區域7a、7b、深p型源極汲極區域9a、9b以及側壁8a、8b也分別在同一製程且由同一構造構成。但是，若第一、第二閘極20A、20B之高度存在差異，則有時候，形成在第一閘極20A側面上的側壁8a與形成在第二閘極20B側面上的側壁8b之高度便會彼此不同。

依據該實施形態，第一導電部5a與第二導電部6b由組分彼此不同的金屬膜構成。因此，能夠使第二導電部6b的工作函數成為比第一導電部5a的工作函數更接近「矽之中間隙工作函數」的工作函數，使具有由第二導電部6b與第四導電部11b構成的第二閘極20B的高臨界電晶體HTr的實效工作函數較由具有由第一導電部5a與第三導電部11a構成的第一閘極20A的低臨界電晶體LTr的實效工作函數低。亦即，能夠使高臨界電晶體HTr的臨限電壓較低臨界電晶體

LTr的臨限電壓為高。因此，能夠高精度地實現臨限電壓彼此不同的低、高臨界電晶體LTr、HTr。

除此以外，如圖4(a)所示，因為能夠在於第一金屬膜5上形成有矽膜11的狀態下圖案化，形成第一閘極20A，同時，在於第二金屬膜6上形成有矽膜11之狀態下圖案化形成第二閘極20B，所以能夠使第一、第二閘極20A、20B之圖案化精度大幅地提升。

因此，在該實施形態中，除了能獲得與第一實施形態一樣的效果外，還能夠實現高精度地圖案化了的的第一、第二閘極20A、20B。

亦即，該實施形態中的第一閘極20A，具有膜厚較薄的第一導電部5a、以及形成在其上且較第一導電部5a更容易圖案化之第三導電部11a。同樣，該實施形態中的第二閘極20B，具有膜厚較薄的第二導電部6b、以及形成在其上且較第二導電部6b更容易圖案化之第四導電部11b。

此外，在該實施形態中，如圖3(d)所示，以藉由乾蝕刻除去第一導電部5a上之第二導電部6b的情形為具體例做了說明，但本發明並不限於此。例如，可以與第一實施形態中圖1(d)所示的製程一樣，利用CMP法將第一導電部5a上之第二導電部6b研磨除去。

在該實施形態中，以下述情形為例做了說明。該情形為：如圖3(b)所示，在第一活性區域1a上形成第一金屬膜5之後，再如圖3(d)所示，在第二活性區域1b上形成第二金屬膜6。但本發明並不限於該情形。也可以例如在第二活

性區域上形成第二金屬膜後，再在第一活性區域上形成第一金屬膜。

(第三實施形態)

以下，參照圖 5(a)至圖 5(d)，以利用 P 型 MIS 電晶體作為臨限電壓彼此不同的 MIS 電晶體之情形為例，對本發明第三實施形態所關係之半導體裝置之製造方法加以說明。圖 5(a)至圖 5(d)是按製程順序顯示本發明的第三實施形態所關係之半導體裝置之製造方法的要部製程剖面圖。此外，在圖 5(a)至圖 5(d)中，以與前述第一實施形態中圖 1(a)至圖 2(d)標註的符號或第二實施形態中圖 3(a)至圖 4(d)標註的符號相同之符號標註與前述第一實施形態或第二實施形態相同的構成要素，省略進行重複說明。而且，在該實施形態中，Lvt 區域是形成低臨界電晶體 LTr 的區域，Hvt 區域是形成高臨界電晶體 HTr 的區域。

此處，前述第二實施形態與該實施形態之製造方法之相異點為如下幾點。

在第二實施形態中，如圖 3(d)所示，除去第一金屬膜 5 上之第二金屬膜 6 後，再在第一金屬膜 5 與第二金屬膜 6 上形成矽膜 11。相對於此，在該實施形態中，如後述圖 5(a)所示，不除去第一金屬膜 5 上的第二金屬膜 6，使第二金屬膜 6 殘存於第一金屬膜 5 上，再在第二金屬膜 6 上形成矽膜 11。

首先，依序進行第二實施形態中圖 3(a)至圖 3(c)所示之製程，獲得圖 3(c)所示的結構。

接著，如圖 5(a)所示，在第二金屬膜 6 上形成例如膜厚 100 nm 的多晶矽膜以後，對多晶矽膜離子植入 p 型雜質，由此形成由 p 型多晶矽膜構成的矽膜 11。此外，矽膜 11 之植入條件與第二實施形態之植入條件相同。

其次，如圖 5(b)所示，利用例如光刻法在矽膜 11 上形成具有閘極圖案的光阻圖案(省略圖示)。之後，以該光阻圖案為光罩，藉由乾式蝕刻將 Lvt 區域之矽膜 11、第二金屬膜 6、第一金屬膜 5 以及高介質常數絕緣膜 4 依次圖案化，在第一活性區域 1a 上依序形成由高介質常數絕緣膜 4 構成的第一閘極絕緣膜 4a、由第一金屬膜 5 構成的第一導電部 5a、由第二金屬膜 6 構成的第五導電部 6a 以及由矽膜 11 構成的第三導電部 11a。與此同時，將 Hvt 區域之矽膜 11、第二金屬膜 6 與高介質常數絕緣膜 4 依次圖案化，在第二活性區域 1b 上依序形成由高介質常數絕緣膜 4 構成的第二閘極絕緣膜 4b、由第二金屬膜 6 構成的第二導電部 6b 以及由矽膜 11 構成的第四導電部 11b。

是以，在第一活性區域 1a 上依次形成第一閘極絕緣膜 4a、以及第一閘極 20A，該第一閘極 20A 具有鄰接第一閘極絕緣膜 4a 形成的第一導電部 5a、形成在第一導電部 5a 上的第五導電部 6a 與形成在第五導電部 6a 上之第三導電部 11a。同時，在第二活性區域 1b 上依次形成第二閘極絕緣膜 4b、以及第二閘極 20B，該第二閘極 20B 具有鄰接第二閘極絕緣膜 4b 形成的第二導電部 6b 與形成在該第二導電部 6b 上的第四導電部 11b。

之後，利用與第一實施形態中圖2(a)所示的製程中之淺p型源極汲極區域的形成方法同樣的方法，在第一活性區域1a的第一閘極20A側方下自我整合地形成接面深度較淺的p型源極汲極區域7a，同時，在第二活性區域1b的第二閘極20B側方下自我整合地形成接面深度較淺的p型源極汲極區域7b。

接著，如圖5(c)所示，利用與第一實施形態中圖2(b)所示的製程中側壁形成方法同樣的方法，在第一閘極20A之側面上形成側壁8a，同時在第二閘極20B之側面上形成側壁8b。之後，如圖5(c)所示，利用與第一實施形態中圖2(c)所示的製程中之深p型源極汲極區域之形成方法同樣的方法，在第一活性區域1a的側壁8a外側方下自我整合地形成接面深度較深的p型源極汲極區域9a。同時，在第二活性區域1b的側壁8b外側方下自我整合地形成接面深度較深的p型源極汲極區域9b。

接著，如圖5(d)所示，利用與第二實施形態中圖4(d)所示製程中之矽化物膜之形成方法相同之方法，在深p型源極汲極區域9a、9b上部形成由矽化鎳膜(NiSi膜)構成的矽化物膜10a1、10b1，同時，在第一、第二閘極20A、20B之第三、第四導電部11a、11b上部形成由矽化鎳膜(NiSi膜)構成的矽化物膜10a2、10b2。

按上述做法，即能夠製造出本實施形態所關係之半導體裝置。該半導體裝置包括：低臨限電晶體LTr與高臨限電晶體HTr。該低臨限電晶體LTr具有第一閘極20A，該第一

閘極20A係由具有靠近帶邊緣的工作函數(例如4.9 eV)的第一導電部5a、第五導電部6a以及第三導電部11a構成。該高臨限電晶體HTr具有第二閘極20B。該第二閘極20B由具有靠近中間隙的工作函數(例如4.7 eV)的第二導電部6b與第四導電部11b構成。因此，該實施形態中之第一、第二閘極20A、20B具有由金屬膜與形成在其上的多晶矽膜構成的亦即所謂的MIPS電極構造。

此處，前述第二實施形態與該實施形態構成上之相異點係下述幾點。

在第二實施形態中，如圖4(d)所示，低臨界電晶體LTr之第一閘極20A具有第一導電部5a與第三導電部11a。而在該實施形態中，如圖5(d)所示，低臨界電晶體LTr之第一閘極20A具有：第一導電部5a、第五導電部6a以及第三導電部11a。該實施形態之第一閘極20A係在第一導電部5a與第三導電部11a之間具有第五導電部6a，第五導電部6a係由與構成第二閘極20B的第二導電部6b相同之導電材料形成。

此處，在具有由鄰接閘極絕緣膜上而設的下側導電部(第一導電部5a、第二導電部6b)、與形成在下側導電部之上側導電部(第五導電部6a及第三導電部11a、第四導電部11b)構成的閘極的電晶體中，在下側導電部之膜厚充分厚之情形，該電晶體之臨限電壓不受上側導電部之影響。

該實施形態中之第一閘極20A，係具有靠近中間隙之工作函數的第五導電部6a位於第一導電部5a與第三導電部11a之間的結構，但是，由於確保了第一導電部5a具有充

分厚的膜厚(例如 20 nm 以上)，因此，具有第一閘極 20A 之低臨界電晶體 LTr 之臨限電壓不受第五導電部 6a 之影響。於是，該實施形態中之低臨界電晶體 LTr 之臨限電壓，實質上與第二實施形態中之低臨界電晶體 LTr (亦即具有結構是在第一導電部 5a 與第三導電部 11a 之間不存在導電部之第一閘極 20A 的低臨界電晶體 LTr) 的臨限電壓相等。

依據該實施形態，能獲得與第二實施形態一樣的效果。

除此以外，如圖 5(a) 所示，不除去第一金屬膜 5 上之第二金屬膜 6，使第二金屬膜 6 殘存於第一金屬膜 5 之上。亦即，由於不象第二實施形態一樣除去第一金屬膜 5 上之第二金屬膜 6 (參考圖 3(d))，因此能謀求製造方法之簡單化。

此外，在該實施形態中，以下述情形為具體例做了說明，該情形係為：如圖 5(a) 所示，在第一活性區域 1a 上形成第一金屬膜 5 後，再在半導體基板 1 上形成第二金屬膜 6，之後再在第二金屬膜 6 上形成矽膜 11。但本發明並不限於此。

例如，可以在第二活性區域上形成第二金屬膜 6 後，再在半導體基板上形成第一金屬膜，之後，再在第一金屬膜上形成矽膜。在該情形下，低臨界電晶體之閘極具有由第一金屬膜構成的導電部與由矽膜構成的導電部。該構成與第二實施形態中第一閘極 20A 的構成相同。另一方面，高臨界電晶體之閘極具有由第二金屬膜構成的導電部、由第一金屬膜構成的導電部以及由矽膜構成的導電部。該構成與第二實施形態中第二閘極 20B 的構成不同，第二實施形

態中，是在第二導電部6b與第四導電部11b之間存在由與第一導電部5a相同之導電材料構成之導電部(亦即具有靠近帶邊緣之工作函數的導電部)的結構。

然而，由於確保了鄰接構成高臨界電晶體HTr之第二閘極絕緣膜4b上而形成的第二導電部6b具有充分厚的膜厚(例如20 nm)，因此，即使是具有在第二導電部6b與第四導電部11b之間不存在具有靠近帶邊緣之工作函數的導電部的構成的高臨界電晶體，其臨限電壓實質上也與具有未夾有該導電部之閘極的高臨界電晶體(亦即第二實施形態中的高臨界電晶體HTr)相等。

(第四實施形態)

以下，參照圖6、圖7(a)至圖7(d)以及圖8(a)至圖8(d)，以利用P型MIS電晶體作為臨限電壓彼此不同的MIS電晶體之情形為例，對本發明第四實施形態所關係之半導體裝置之製造方法加以說明。

此處，前述第一至第三實施形態與該實施形態之共同點係以下所述幾點。

該實施形態與前述第一至第三實施形態之共同點是，在低臨界電晶體LTr與高臨界電晶體HTr之間，不是象習知技術那樣，或形成雜質濃度不同的通道區域(參照圖10(d)：103a、103b)，或形成Hf濃度彼此不同的閘極絕緣膜，而是形成實效工作函數彼此不同的低、高臨界電晶體LTr、HTr，以實現臨限電壓彼此不同的低、高臨界電晶體LTr、HTr。

另一方面，前述第一至第三實施形態與該實施形態之相異點係以下所述幾點。

在第一至第三實施形態中，鄰接構成低臨界電晶體 LTr 之第一閘極絕緣膜上而設的第一導電部 5a、與鄰接構成高臨界電晶體 HTr 之第二閘極絕緣膜 4b 上而設的第二導電部 6b，係由組分彼此不同的金屬或金屬化合物構成，因此，設置了工作函數彼此不同的第一、第二導電部 5a、6b，實現了實效工作函數彼此不同的低、高臨界電晶體 LTr、HTr。

相對於此，在該實施形態中，鄰接構成低臨界電晶體 LTr 之第一閘極絕緣膜上而設的第一導電部(參照後述的圖 8(d): 12a)、與鄰接構成高臨界電晶體 HTr 之第二閘極絕緣膜上而設的第三導電部(參照後述的圖 8(d): 12b)，係由組分相同且膜厚彼此不同的金屬或金屬化合物構成，同時，在第一、第三導電部上設置膜厚彼此相等且由矽形成的第二、第四導電部(參照後述的圖 8(d): 13a、13b)。藉此，實現實效工作函數彼此不同的低、高臨界電晶體。

是以，在該實施形態中，在具有由金屬膜構成之導電部與形成在其上之矽膜的導電部之閘極中，著眼於電晶體之實效工作函數依據金屬膜之膜厚而變化這一事實，基於電晶體之實效工作函數與金屬膜之膜厚間的關係，將金屬膜設定為規定膜厚。實現了容易控制且控制精度高、具有實效工作函數的電晶體。

此處，以下述情形為具體例，參照圖 6 對電晶體之實效

工作函數與金屬膜之間的關係加以說明。該情形為：在構成P型MIS電晶體的閘極中，形成在由高介質常數絕緣膜構成的閘極絕緣膜上的金屬膜是TiN膜，矽膜是膜厚100 nm的p型多晶矽膜。圖6是顯示P型MIS電晶體之實效工作函數與金屬膜之膜厚間的關係的圖。圖6中，橫軸代表閘極中TiN膜的膜厚，圖6中，左側縱軸代表P型MIS電晶體之實效工作函數，右側縱軸表示P型MIS電晶體之臨限電壓。

如圖6所示，當TiN膜之膜厚成為15 nm以下時，P型MIS電晶體之實效工作函數會隨著TiN膜膜厚之減少而急劇減少(換言之，移動至靠近中間隙)，P型MIS電晶體之臨限電壓急劇增加。另一方面，當TiN膜之膜厚成為20 nm以上時，P型MIS電晶體之實效工作函數會隨著TiN膜膜厚之增加而緩慢增加，P型MIS電晶體之臨限電壓緩慢地減少。

是以，當TiN膜之膜厚在15 nm以下時，P型MIS電晶體之實效工作函數對膜厚的依賴性較高，隨著TiN膜膜厚變薄，便成為靠近中間隙的實效工作函數。另一方面，當TiN膜之膜厚在20 nm以上時，P型MIS電晶體之實效工作函數對膜厚的依賴性較低，一直保持著靠近帶邊緣(亦即，約5.15 eV)的實效工作函數不變。例如，當TiN膜之膜厚是20 nm(亦即20 nm以上)時，P型MIS電晶體之實效工作函數是4.85 eV左右。相對於此，當TiN膜之膜厚是10 nm(亦即15 nm以下)時，P型MIS電晶體之實效工作函數是4.75 eV左右。

換言之，在具有由金屬膜構成的導電部與由矽膜構成的導電部的閘極中，若金屬膜之膜厚成為規定膜厚以下，則MIS電晶體之實效工作函數會隨著金屬膜之膜厚變薄而連續地移動至靠近中間隙。對此可以如此理解，若金屬膜之膜厚充分厚，則MIS電晶體之實效工作函數受形成在金屬膜上之矽膜之影響不會很大，然而，當金屬膜之膜厚變薄時，受矽膜之影響便很大，MIS電晶體之實效工作函數因此而移動至靠近中間隙。

如上所述，作為鄰接構成低臨界電晶體的閘極絕緣膜上而設的導電部(參照後述的圖8(d): 12a)採用對實效工作函數之依賴性較低的膜厚(例如膜厚20 nm以上的TiN膜)，另一方面，作為鄰接構成高臨界電晶體的閘極絕緣膜上而設的導電部(參照後述的圖8(d): 12b)採用對實效工作函數之依賴性較高的膜厚(例如膜厚15 nm以下的TiN膜)。藉此，能夠使高臨界電晶體的實效工作函數比低臨界電晶體之實效工作函數移動至靠近中間隙，從而使高臨界電晶體之臨限電壓比低臨界電晶體之臨限電壓高。

此外，圖6所示之P型MIS電晶體之實效工作函數與金屬膜之膜厚間的關係，並非是一僅在是具有100 nm之矽膜形成在金屬膜上的閘極的P型MIS電晶體之情形下才成立的關係，在具有某膜厚(例如50 nm)以上的矽膜形成在金屬膜上的P型MIS電晶體中一直是非常重要的關係。

此外，圖6所示之P型MIS電晶體之實效工作函數與金屬膜之膜厚間的關係並非僅在是P型MIS電晶體之情形下成

立，在N型MIS電晶體之情形該關係也成立。換言之，在具有形成在金屬膜上之閘極的N型MIS電晶體中，隨著金屬膜之膜厚變薄，N型MIS電晶體之實效工作函數連續地移動至靠近中間隙。

圖7(a)至圖7(d)、圖8(a)至圖8(d)是按製程順序顯示本發明的第四實施形態所關係之半導體裝置之製造方法的要部製程剖面圖。此外，在圖7(a)至圖8(d)中，以與前述第一實施形態中圖1(a)至圖2(d)標註的符號或第二實施形態中圖3(a)至圖4(d)標註的符號相同之符號標註與前述第一實施形態或第二實施形態相同的構成要素，省略進行重複說明。而且，在該實施形態中，Lvt區域是形成低臨界電晶體LTr的區域，Hvt區域是形成高臨界電晶體HTr的區域。

首先，如圖7(a)所示，利用例如STI法，在例如半導體基板1上部有選擇地形成絕緣膜已掩埋在溝槽內的元件隔離區域2。於是，半導體基板1中被元件隔離區域2包圍之區域中位於Lvt區域的區域成為第一活性區域1a，位於Hvt區域的區域成為第二活性區域1b。之後，省略圖示，藉由對半導體基板1離子植入n型雜質，來形成n型阱與n型穿通阻止區域。之後，對半導體基板1離子植入n型雜質，在第一活性區域1a上部形成n型通道區域3a，同時在第二活性區域1b上部形成n型通道區域3b。此外，n型阱、n型穿通阻止物層以及n型通道區域3a、3b各自之植入條件皆是與第一實施形態相同的植入條件。

之後，如圖7(a)所示，在半導體基板1上形成由例如膜厚

0.5 nm的氧化矽膜構成的緩衝絕緣膜(未示)後，再在該緩衝絕緣膜上形成由例如膜厚4 nm之HfSiON膜構成的高介質常數絕緣膜4。是以，在半導體基板1與高介質常數絕緣膜4之間便形成了緩衝絕緣膜，以下說明中出現的「高介質常數絕緣膜4」指的是在其下面形成有緩衝絕緣膜之膜。

之後，利用例如CVD法，在高介質常數絕緣膜4上沈積由例如膜厚10 nm的氮化鈦膜(TiN膜)構成的第一金屬膜(此處，「金屬膜」說的是由金屬或者金屬化合物形成的膜)12。作為該第一金屬膜12，優選具有4.70 eV以上且5.15 eV以上的工作函數(例如4.9 eV)。可以利用例如氮化鉭膜(TaN膜)或者碳化鉭膜(TaC膜)等代替TiN膜。

接著，如圖7(b)所示，在第一金屬膜12上形成覆蓋Lvt區域、使Hvt區域開口的光阻圖案(省略圖示)後，再以該光阻圖案為光罩對Hvt區域的第一金屬膜12進行蝕刻，除去第二活性區域1b上之第一金屬膜12，之後，將前述光阻圖案除去。是以，能夠有選擇地使第一金屬膜12殘存在第一活性區域1a上。於是，形成了與第一活性區域1a上的高介質常數絕緣膜4相接的第一金屬膜12。

接著，如圖7(c)所示，利用例如CVD法在半導體基板1的表面上全面地沈積由例如膜厚10 nm的氮化鈦膜(TiN膜)構成的第二金屬膜12X。是以，形成第一金屬膜12以及與第二活性區域1b上之高介質常數絕緣膜4相接的第二金屬膜12X。

接著，如圖 7(d)所示，在第二金屬膜 12X 上形成例如膜厚 100 nm 的多晶矽膜以後，對多晶矽膜離子植入 p 型雜質，由此形成由 p 型多晶矽膜構成的矽膜 13。此外，矽膜 13 之植入條件與第二實施形態之矽膜 11 的植入條件相同。

接著，如圖 8(a)所示，利用例如光刻法在矽膜 13 上形成具有閘極圖案的光阻圖案(省略圖示)。之後，以該光阻圖案為光罩，藉由乾式蝕刻將 Lvt 區域之矽膜 13、第二金屬膜 12X、第一金屬膜 12 以及高介質常數絕緣膜 4 依次圖案化，在第一活性區域 1a 上依序形成由高介質常數絕緣膜 4 構成的第一閘極絕緣膜 4a、由第一金屬膜 12A 與第二金屬膜 12XA 構成的第一導電部 12a、以及由矽膜 13 構成的第二導電部 13a。與此同時，將 Hvt 區域之矽膜 13、第二金屬膜 12X 以及高介質常數絕緣膜 4 依次圖案化，在第二活性區域 1b 上依序形成由高介質常數絕緣膜 4 構成的第二閘極絕緣膜 4b、由第二金屬膜 12XB 構成的第三導電部 12b 以及由矽膜 13 構成的第四導電部 13b。此時，第一導電部 12a 之膜厚是第一金屬膜 12A 與第二金屬膜 12XA 之合計膜厚，是 20 nm。第三導電部 12b 之膜厚是第二金屬膜 12XB 之膜厚，是 10 nm。

是以，在第一活性區域 1a 上依次形成第一閘極絕緣膜 4a、以及第一閘極 20A，該第一閘極 20A 具有鄰接第一閘極絕緣膜 4a 上形成的第一導電部 12a 與形成在第一導電部 12a 上的第二導電部 13a。同時，在第二活性區域 1b 上依次形成第二閘極絕緣膜 4b、以及第二閘極 20B，該第二閘極

20B具有鄰接第二閘極絕緣膜4b形成的第三導電部12b與形成在該第三導電部12b上的第四導電部13b。

之後，利用與第一實施形態中圖2(a)所示的製程中之淺p型源極汲極區域的形成方法同樣的方法，在第一活性區域1a的第一閘極20A側方下自我整合地形成接面深度較淺的p型源極汲極區域7a，同時，在第二活性區域1b的第二閘極20B側方下自我整合地形成接面深度較淺的p型源極汲極區域7b。

接著，如圖8(b)所示，利用與第一實施形態中圖2(b)所示的製程中側壁形成方法同樣的方法，在第一閘極20A之側面上形成側壁8a，同時在第二閘極20B之側面上形成側壁8b。

之後，如圖8(c)所示，利用與第一實施形態中圖2(c)所示的製程中之深p型源極汲極區域之形成方法同樣的方法，在第一活性區域1a的側壁8a外側方下自我整合地形成接面深度較深的p型源極汲極區域9a。同時，在第二活性區域1b的側壁8b外側方下自我整合地形成接面深度較深的p型源極汲極區域9b。

接著，如圖8(d)所示，利用與第二實施形態中圖4(d)所示製程中之矽化物膜之形成方法相同之方法，在深p型源極汲極區域9a、9b上部形成由NiSi膜構成的矽化物膜10a1、10b1，同時，在第一、第二閘極20A、20B之第三、第四導電部13a、13b上部形成由NiSi膜構成的矽化物膜10a2、10b2。

按上述做法，即能夠製造出本實施形態所關係之半導體裝置。該半導體裝置包括：低臨限電晶體LTr與高臨限電晶體HTr。該低臨限電晶體LTr具有第一閘極20A，該第一閘極20A係由具有能獲得靠近帶邊緣的工作函數(例如4.85 eV)之膜厚(例如20 nm)的第一導電部12a與第二導電部13a構成。該高臨限電晶體HTr具有第二閘極20B。該第二閘極20B由具有能夠獲得靠近中間隙的工作函數(例如4.75 eV)的第三導電部12b與第四導電部13b構成。

以下，參照圖8(d)對本發明第四實施形態所關係之半導體裝置之結構加以說明。

在半導體基板1上之上部形成有絕緣膜已埋入在溝槽內的元件隔離區域2，將第一活性區域1a與第二活性區域1b分開。而且，半導體裝置包括設在第一活性區域1a的低臨限電晶體LTr與設在第二活性區域1b的高臨限電晶體HTr。

低臨限電晶體LTr具備：形成在第一活性區域1a的n型通道區域3a、由形成在n型通道區域3a的高介質常數絕緣膜構成的第一閘極絕緣膜4a、具有鄰接第一閘極絕緣膜4a形成的第一導電部12a與形成在第一導電部12a上的第二導電部13a的第一閘極20A、形成在第一閘極20A側面上的側壁8a、形成在第一活性區域1a的第一閘極20A側方下的淺p型源極汲極區域7a、形成在第一活性區域1a的側壁8a外側方下的深p型源極汲極區域9a、形成在深p型源極汲極區域9a上部的矽化物膜10a1以及形成在第一閘極20A上部的矽化物膜10a2。

高臨限電晶體HTr具備：形成在第二活性區域1b的n型通道區域3b、由形成在n型通道區域3b的高介質常數絕緣膜構成的第二閘極絕緣膜4b、具有鄰接第二閘極絕緣膜4b形成的第三導電部12b與形成在第三導電部12b上的第四導電部13b的第二閘極20B、形成在第二閘極20B側面上的側壁8b、形成在第二活性區域1b的第二閘極20B側方下的淺p型源極汲極區域7b、形成在第二活性區域1b的側壁8b外側方下的深p型源極汲極區域9b、形成在深p型源極汲極區域9b上部的矽化物膜10b1以及形成在第二閘極20B上部的矽化物膜10b2。

此處，該實施形態結構上的特徵是如下所示的幾點。

構成高臨界電晶體HTr之第二閘極20B的第三導電部12b，較構成低臨界電晶體LTr之第一閘極20A的第一導電部12a，膜厚薄，且由組分與第一導電部12a相同的金屬或金屬化合物形成，具有與第一導電部12a一樣的工作函數。在第一導電部12a上形成有第二導電部13a，在第三導電部12b上形成有第四導電部13b，第二導電部13a與第四導電部13b膜厚彼此相等。具體而言，第一導電部12a由膜厚20 nm(亦即20 nm以上)的TiN膜構成，第三導電部12b由膜厚10 nm(亦即15 nm以下)的TiN膜構成。第二、第四導電部13a、13b由膜厚100 nm的p型多晶矽膜構成。是以，如圖6所示，能夠實現具有4.85 eV左右的實效工作函數的低臨界電晶體LTr，而使低臨界電晶體LTr的臨限電壓約為0.30 V左右，另一方面，能夠實現具有4.75 eV左右的實效

工作函數的高臨界電晶體HTr，而使高臨界電晶體HTr的臨限電壓約為0.40 V左右。

是以，採用對實效工作函數之依賴性較低的膜厚作為第一導電部12a的膜厚，採用對實效工作函數之依賴性較高的膜厚作第三導電部12b之膜厚。藉此，能夠使具有由第三導電部12b與第四導電部13b構成的第二閘極20B的高臨界電晶體HTr之實效工作函數，移動至較具有由第一導電部12a與第二導電部13a構成的第一閘極20A的低臨界電晶體LTr的實效工作函數靠近中間隙。

於是，與低臨界電晶體LTr相比，高臨界電晶體HTr具有接近「矽之中間隙工作函數(參照上述1) 4.6 eV左右)」的實效工作函數。換言之，與高臨界電晶體HTr相比，低臨界電晶體LTr具有接近「帶邊緣(參照上述2)，約5.15 eV)」的實效工作函數。換言之，低臨界電晶體LTr具有較高臨界電晶體HTr更高的實效工作函數。

第一導電部12a所接的第一閘極絕緣膜4a、第三導電部12b所接的第二閘極絕緣膜4b，係在同一製程、且由同一構造形成，由膜厚彼此相等的高介質常數絕緣膜構成。而且，形成在第一導電部12a上之第二導電部13a與形成在第三導電部12b上的第四導電部13b由膜厚彼此相等的矽膜構成。

由第一導電部12a與第二導電部13a構成的第一閘極20A的膜厚較第二閘極20B之膜厚為厚，該第二閘極20B係由膜厚較第一導電部12a為薄之第三導電部12b及膜厚與第二

導電部13a相等的第四導電部13b構成。而且，形成在第一閘極20A側面上的側壁8a的高度較形成在第二閘極20B側面上的側壁8b為高。

Lvt區域的n型通道區域3a與Hvt區域的n型通道區域3b，係在同一製程、且由同一構造構成，具有彼此相等的雜質濃度。

淺p型源極汲極區域7a、7b、深p型源極汲極區域9a、9b也分別在同一製程且由同一構造構成。

依據該實施形態，使其上形成由第四導電部13b之第三導電部12b的膜厚較其上形成有第二導電部13a之第一導電部12a的膜厚為薄。藉此，能夠使具有由第三導電部12b與第四導電部13b構成之第二閘極20B的高臨界電晶體HTr的實效工作函數，較具有由第一導電部12a與第二導電部13a構成的第一閘極20A的低臨界電晶體LTr的實效工作函數移動至靠近中間隙，與低臨界電晶體LTr的實效工作函數相比，使高臨界電晶體HTr的實效工作函數成為接近「矽之中間隙工作函數」的實效工作函數，從而能夠使高臨界電晶體HTr的臨限電壓較低臨界電晶體LTr的臨限電壓為高。

因此，無需如習知那樣使Hvt區域的n型通道區域(參考圖10(d): 103b)的雜質濃度較Lvt區域的n型通道區域(參考圖10(d): 103a)的雜質濃度高，因此，能夠使n型通道區域3b之雜質濃度與n型通道區域3a的雜質濃度相同。結果，能夠在半導體裝置動作時，抑制載子與n型通道區域3b中所含有的n型雜質相衝撞而飛散。正因為如此，便能夠在

高臨界電晶體HTr中謀求漏電流之減少化與高驅動力化。

不是採用習知般調節構成低、高臨界電晶體之閘極絕緣膜的Hf濃度的方法作為控制低、高臨界電晶體之臨限電壓的方法，而是採用調節鄰接構成低、高臨界電晶體之閘極絕緣膜上而設的導電部膜厚之方法作為控制低、高臨界電晶體之臨限電壓的方法。因此，便能夠容易且高精度地控制低、高臨界電晶體之臨限電壓。

因此，在具備導電型彼此相同的MIS電晶體的半導體裝置中，能夠高精度且高性能地實現臨限電壓彼此不同的MIS電晶體。

此外，在該實施形態中，以下述情形為具體例做了說明，該情形為：採用膜厚對實效工作函數之依賴性較低（例如20 nm以上）的TiN膜作為第一導電部12a，另一方面，採用膜厚對實效工作函數之依賴性較高亦即膜厚較第一導電部12a薄（例如15 nm以下）之TiN膜作第三導電部12b。但本發明並不限於該情形。可以利用例如TaN膜或者TaC膜代替TiN膜。

亦即，如該實施形態般，作為第一、第三導電部12a、12b之導電材料，係採用具有4.7 eV以上且5.15 eV以下之工作函數的導電材料，使第三導電部12b之膜厚較第一導電部12a之膜厚為薄。藉此，便能夠使高臨界電晶體HTr之實效工作函數較低臨界電晶體LTr之實效工作函數移動至靠近中間隙。

在該實施形態中，以下述情形為具體例做了說明，該情

形為：形成在第一、第三導電部12a、12b上之第二、第四導電部13a、13b係由p型多晶矽膜構成。但本發明並不限於此。例如，可利用n型多晶矽膜來代替p型多晶矽膜。

亦即，如該實施形態般，第二、第四導電部13a、13b之條件，係組合第四導電部13b與第二閘極絕緣膜4b之情形所獲得的實效工作函數較組合第一導電部12a與第一閘極絕緣膜4a之情形所獲得的實效工作函數靠近中間隙即可。藉此，便能夠使具有由第三導電部12b與第四導電部13b構成之第二閘極20B的高臨界電晶體HTr的實效工作函數，較具有由第一導電部12a與第二導電部13a構成的第一閘極20A的低臨界電晶體LTr的實效工作函數移動至靠近中間隙。

在該實施形態中，係以下述情形為具體例作為說明，該情形為：作為Lvt區域的n型通道區域3a與Hvt區域的n型通道區域3b，係由如圖7(a)所示，在同一製程形成且雜質濃度彼此相等的n型通道區域3a、3b形成。但本發明並不限於此，還可以是形成例如雜質濃度彼此稍微不同的n型通道區域。

(第四實施形態之變形例)

以下，參照圖9(a)至圖9(d)，以利用P型MIS電晶體作為臨限電壓彼此不同的MIS電晶體之情形為例，對本發明第四實施形態之變形例所關係之半導體裝置之製造方法加以說明。圖9(a)至圖9(d)是按製程順序顯示本發明的第四實施形態之變形例所關係之半導體裝置之製造方法的要部製

程剖面圖。此外，在圖9(a)至圖9(d)中，以與第四實施形態中圖7(a)至圖8(d)標註的符號相同之符號標註與第四實施形態相同的構成要素，省略進行重複說明。而且，在該實施形態中，Lvt區域是形成低臨界電晶體LTr的區域，Hvt區域是形成高臨界電晶體HTr的區域。

首先，進行第四實施形態中與圖7(a)所示之製程相同的製程，獲得圖9(a)所示的結構。惟，在該變形例中，如圖9(a)所示，形成由膜厚20 nm的TiN膜構成的金屬膜14代替第四實施形態中由膜厚10 nm的TiN膜構成的第一金屬膜12。是以，形成與高介質常數絕緣膜4相接的金屬膜14。

接著，如圖9(b)所示，在金屬膜14上形成覆蓋Lvt區域、使Hvt區域開口的光阻圖案15後，再以該光阻圖案15為光罩對第二活性區域1b上之金屬膜14上部進行蝕刻，形成膜厚10 nm的金屬薄膜部14Y，之後，除去該光阻圖案15。是以，使膜厚20 nm之金屬膜14殘存於第一活性區域1a上，另一方面，使膜厚較金屬膜14薄之金屬薄膜部14Y殘存於第二活性區域1b上。

接著，如圖9(c)所示，在金屬膜14及金屬薄膜部14Y上形成例如膜厚100 nm的多晶矽膜以後，對多晶矽膜離子植入p型雜質。由此形成由p型多晶矽膜構成的矽膜13。此外，矽膜13之植入條件與第二實施形態之矽膜11的植入條件相同。

接著，如圖9(d)所示，利用例如光刻法在矽膜13上形成具有閘極圖案的光阻圖案(省略圖示)。之後，以該光阻圖

案為光罩，藉由乾式蝕刻將Lvt區域之矽膜13、金屬膜14以及高介質常數絕緣膜4依次圖案化，在第一活性區域1a上形成由高介質常數絕緣膜4構成的第一閘極絕緣膜4a、由金屬膜14構成的第一導電部14a以及由矽膜13構成的第二導電部13a。與此同時，將Hvt區域之矽膜13、金屬薄膜部14Y以及高介質常數絕緣膜4依次圖案化，在第二活性區域1b上形成由高介質常數絕緣膜4構成的第二閘極絕緣膜4b、由金屬薄膜部14Y構成的第三導電部14b以及由矽膜13構成的第四導電部13b。此時，第一導電部14a之膜厚是金屬膜14之膜厚即20 nm，第三導電部14b之膜厚是金屬薄膜部14Y之膜厚即10 nm。

是以，在第一活性區域1a上依次形成第一閘極絕緣膜4a、以及具有鄰接第一閘極絕緣膜4a上形成的第一導電部14a與形成在第一導電部14a上的第二導電部13a的第一閘極20A。同時，在第二活性區域1b上依次形成第二閘極絕緣膜4b、以及具有鄰接第二閘極絕緣膜4b形成的第三導電部14b與形成在該第三導電部14b上的第四導電部13b的第二閘極20B。

之後，利用與第一實施形態中圖2(a)所示的製程中淺p型源極汲極區域的形成方法同樣的方法，在第一活性區域1a的第一閘極20A側方下自我整合地形成接面深度較淺的p型源極汲極區域7a，同時，在第二活性區域1b的第二閘極20B側方下自我整合地形成接面深度較淺的p型源極汲極區域7b。之後，依序進行第四實施形態中與圖8(b)至圖8(d)

所示之製程一樣的製程，便能夠獲得結構與圖8(d)所示之結構相同的半導體裝置。

依據該變形例，能夠獲得與第四實施形態同樣的效果。

此外，在第一至第三實施形態、第四實施形態及其變形例中，以應用P型MIS電晶體作臨限電壓彼此不同的MIS電晶體之情形為具體例做了說明，但本發明並不限於此。在應用N型MIS電晶體作為臨限電壓彼此不同的MIS電晶體之情形，也能夠獲得與第一至第三實施形態、或者第四實施形態或其變形例同樣之效果。

第一、例如，在第一實施形態中，在適用N型MIS電晶體作臨限電壓彼此不同之MIS電晶體的情形，自工作函數在4.05 eV以上且4.6 eV以下之範圍內的導電材料中選擇工作函數彼此不同的第一、第二導電材料，再採用此些第一、第二導電材料中離「帶邊緣(參照上述2)約4.05 eV)」較近的工作函數之導電材料作為構成臨限電壓相對較低的N型MIS電晶體(以下稱其為「N型低臨界電晶體」)之導電部的導電材料，另一方面，採用此些第一、第二導電材料中離「矽之中間隙工作函數(參照上述1)約4.6 eV)」較近的工作函數之導電材料作為構成臨限電壓相對較高的N型MIS電晶體(以下稱其為「N型高臨界電晶體」)之導電部的導電材料。例如，作為構成N型低臨界電晶體之導電部，優選，具有4.05 eV以上且4.6 eV以下之工作函數(例如4.3 eV)且具有較構成N型高臨界電晶體之導電部的導電材料的工作函數靠近帶邊緣的工作函數的金屬或者金屬化合物之

膜。另一方面，作為構成N型高臨界電晶體之導電部的導電材料，優選，具有4.15 eV以上且4.6 eV以下之工作函數(例如4.5 eV)且具有較構成N型低臨界電晶體之導電部的導電材料的工作函數靠近中間隙的工作函數的金屬或者金屬化合物之膜。

是以，與構成N型低臨界電晶體的導電部的工作函數相比，使構成N型高臨界電晶體之導電部的工作函數成為接近「矽之中間隙工作函數」的工作函數。藉此，能夠使N型高臨界電晶體之實效工作函數，較N型低臨界電晶體之實效工作函數為高，從而能夠使N型高臨界電晶體之臨限電壓較N型低臨界電晶體之臨限電壓為高。因此，能夠高精度地實現臨限電壓彼此不同的N型低、高臨界電晶體。亦即，能夠獲得與第一實施形態同樣之效果。

此外，在第二、第三實施形態中，在應用N型MIS電晶體作為臨限電壓彼此不同之MIS電晶體的情形，與鄰接構成N型低臨界電晶體的閘極絕緣膜上而設的導電部之工作函數相比，使鄰接構成N型高臨界電晶體的閘極絕緣膜上而設的導電部之工作函數成為接近「矽之中間隙工作函數」的工作函數。藉此，能夠獲得與第二、第三實施形態同樣之效果。

第二、例如，在第四實施形態中，在利用N型MIS電晶體作為臨限電壓彼此不同的MIS電晶體之情形，在具有由金屬膜構成的導電部以及由形成在該導電部上的矽膜構成的導電部構成的閘極的N型低、高臨界電晶體中，採用

工作函數在 4.05 eV 以上且 4.5 eV 以下之範圍內的導電部作構成 N 型低、高臨界電晶體之由金屬膜構成的導電部，使構成 N 型高臨界電晶體之由金屬膜構成的導電膜的膜厚較構成 N 型低臨界電晶體之由金屬膜構成的導電膜為薄。此處，作為由矽膜構成的導電部係列舉有例如 n 型多晶矽膜或 p 型多晶矽膜等。

因此，藉由使構成 N 型高臨界電晶體之由金屬膜構成的導電膜的膜厚較構成 N 型低臨界電晶體之由金屬膜構成的導電膜為薄，便能夠使 N 型高臨界電晶體之實效工作函數移動至較 N 型低臨界電晶體之實效工作函數更接近中間隙，從而能夠使 N 型高臨界電晶體之臨限電壓比 N 型低臨界電晶體之臨限電壓高。結果是，能夠高精度地實現臨限電壓彼此不同的 N 型低、高臨界電晶體。亦即，能夠獲得與第四實施形態一樣之效果。

此外，無容質疑，與低、高臨界電晶體之導電型無關，與低臨界 MIS 電晶體相比，高臨界電晶體具有接近「矽之中間隙工作函數(參照上述 1)4.6 eV 左右)」的工作函數。換言之，與高臨界 MIS 電晶體相比，低臨界 MIS 電晶體具有接近「帶邊緣(參照上述 2)N 型 MIS 電晶體：4.05 eV，P 型 MIS 電晶體：5.15 eV)」之實效工作函數。亦即，在低、高臨界電晶體之導電型是 N 型之情形，與 N 型低臨界電晶體相比，N 型高臨界電晶體具有高實效工作函數。另一方面，在低、高臨界電晶體之導電型是 P 型之情形，與 P 型低臨界電晶體相比，P 型高臨界電晶體具有低實效工作

函數。

在第一至第三實施形態、第四實施形態及其變形例中，藉由以第一、第二閘極20A、20B為光罩，在第一、第二活性區域1a、1b中離子植入p型雜質形成了淺p型源極汲極區域7a、7b。但本發明並不限於此。例如，可以藉由以在側面形成有偏移隔離壁(offset spacer)的第一、第二閘極為光罩，在第一、第二活性區域中離子植入p型雜質，來形成該淺p型源極汲極區域7a、7b。

在第一至第三實施形態、第四實施形態及其變形例中，以側壁8a、8b是單層結構之情形為具體例做了說明，但本發明並不限於此。例如，可以是由剖面形狀為L字形的第一絕緣膜(例如氧化矽膜)構成的內側側壁、與形成在內側側壁上之第二絕緣膜(例如氮化矽膜)構成的外側側壁構成之疊層結構。

在第一至第三實施形態、第四實施形態及其變形例中，利用HfSiON膜作高介質常數絕緣膜4，可以代替此，用HfO₂等含有鈐的金屬氧化膜或者由ZrO₂、TiO₂或Ta₂O₅等金屬氧化物形成的高介質常數絕緣膜作高介質常數絕緣膜4。

[產業上的可利用性]

此外，綜上所述，本發明在具備導電型相同的MIS電晶體的半導體裝置中，能夠高精度地實現臨限電壓彼此不同的MIS電晶體。因此，對半導體裝置及其製造方法很有用。

【圖式簡單說明】

圖 1(a)至圖 1(d)是按製程順序顯示本發明的第一實施形態所關係之半導體裝置之製造方法的要部製程剖面圖。

圖 2(a)至圖 2(d)是按製程順序顯示本發明的第一實施形態所關係之半導體裝置之製造方法的要部製程剖面圖。

圖 3(a)至圖 3(d)是按製程順序顯示本發明的第二實施所關係之半導體裝置之製造方法的要部製程剖面圖。

圖 4(a)至圖 4(d)是按製程順序顯示本發明的第二實施形態所關係之半導體裝置之製造方法的要部製程剖面圖。

圖 5(a)至圖 5(d)是按製程順序顯示本發明的第三實施形態所關係之半導體裝置之製造方法的要部製程剖面圖。

圖 6是顯示 P 型 MIS 電晶體之實效工作函數與 TiN 膜之膜厚間的關係的圖。

圖 7(a)至圖 7(d)是按製程順序顯示本發明的第四實施形態所關係之半導體裝置之製造方法的要部製程剖面圖。

圖 8(a)至圖 8(d)是按製程順序顯示本發明的第四實施形態所關係之半導體裝置之製造方法的要部製程剖面圖。

圖 9(a)至圖 9(d)是按製程順序顯示本發明的第四實施形態之變形例所關係之半導體裝置之製造方法的要部製程剖面圖。

圖 10(a)至圖 10(d)是按製程順序顯示習知半導體裝置之製造方法的要部製程剖面圖。

【主要元件符號說明】

1 半導體基板

1a	第一活性區域
1b	第二活性區域
2	元件隔離區域
3a	n型通道區域
3b	n型通道區域
4	高介質常數絕緣膜
4a	第一閘極絕緣膜
4b	第二閘極絕緣膜
5	第一金屬膜
5a	第一導電部
6	第二金屬膜
6a	第五導電部
6b	第二導電部
7a	淺的p型源極汲極區域
7b	淺的p型源極汲極區域
8a	側壁
8b	側壁
9a	深的p型源極汲極區域
9b	深的p型源極汲極區域
10a1	NiSi膜(矽化物膜)
10a2	NiSi膜(矽化物膜)
10b1	NiSi膜(矽化物膜)
10b2	NiSi膜(矽化物膜)
11	矽膜

11a	第三導電部
11b	第四導電部
12	第一金屬膜
12A	第一金屬膜
12a	第一導電部
12b	第三導電部
12X	第二金屬膜
12XA	第二金屬膜
12XB	第二金屬膜
13	矽膜
13a	第二導電部
13b	第四導電部
14	金屬膜
14a	第一導電部
14b	第三導電部
14Y	金屬薄膜部
15	光阻圖案
20A	第一閘極
20B	第二閘極

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98103020

※申請日：98.01.23

※IPC 分類：H01L 27/088 (2006.01)

H01L 21/8234 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

二、中文發明摘要：

本發明旨在提供一種半導體裝置。其具備第一 MIS 電晶體與臨限電壓比述第一 MIS 電晶體高的第二 MIS 電晶體。第一 MIS 電晶體具備：形成在半導體基板之第一活性區域的第一通道區域，由形成述第一活性區域的第一溝槽區域上之高介質常數絕緣膜構成的第一閘極絕緣膜，具有鄰接第一閘極絕緣膜上而設的第一導電部與形成在第一導電部上的第二導電部的第一閘極；第二 MIS 電晶體具備：形成在半導體基板之第二活性區域的第二通道區域，由形成在第二活性區域的第二溝槽區域的高介質常數絕緣膜構成且導電型與第一通道區域相同的第二閘極絕緣膜，以及具有鄰接第二閘極絕緣膜上而設的第三導電部與形成在第三導電部上的第四導電部的第二閘極。第三導電部之膜厚比第一導電部薄，且由與第一導電部相同的組分材料形成。

三、英文發明摘要：

七、申請專利範圍：

1. 一種半導體裝置，具備第一MIS電晶體、與具有比前述第一MIS電晶體高之臨限電壓的第二MIS電晶體，其中：

前述第一MIS電晶體具備：

第一通道區域，形成在半導體基板之第一活性區域，

第一閘極絕緣膜，由形成在前述第一活性區域的前述第一通道區域上的高介質常數絕緣膜構成，以及

第一閘極，具有鄰接前述第一閘極絕緣膜上設置的第一導電部、與形成在前述第一導電部上的第二導電部；

前述第二MIS電晶體具備：

第二通道區域，形成在前述半導體基板之第二活性區域，具有與前述第一通道區域相同之導電型，

第二閘極絕緣膜，由形成在前述第二活性區域的前述第二通道區域上的前述高介質常數絕緣膜構成，以及

第二閘極，具有鄰接前述第二閘極絕緣膜上設置的第三導電部、與形成在前述第三導電部上的第四導電部；

前述第三導電部之膜厚較前述第一導電部為薄，且由與前述第一導電部相同之組分材料構成。

2. 如請求項1之半導體裝置，其中：

前述第一導電部與前述第三導電部係由金屬或金屬化

合物形成，

前述第二導電部與第四導電部係由矽形成。

3. 如請求項1之半導體裝置，其中：

具有前述第二閘極絕緣膜與前述第二閘極的前述第二MIS電晶體，具有較具有前述第一閘極絕緣膜與前述第一閘極的前述第一MIS電晶體更接近矽之中間隙工作函數的實效工作函數。

4. 如請求項1之半導體裝置，其中：

前述第一MIS電晶體與前述第二MIS電晶體是P型MIS電晶體；

前述第一導電部與前述第三導電部具有4.7 eV以上且5.15 eV以下之工作函數。

5. 如請求項1之半導體裝置，其中：

前述第一MIS電晶體與前述第二MIS電晶體是P型MIS電晶體；

前述第一導電部與前述第三導電部是氮化鈦膜、氮化鉭膜或碳化鉭膜。

6. 如請求項1之半導體裝置，其中：

前述第一MIS電晶體與前述第二MIS電晶體是P型MIS電晶體；

前述第一導電部與前述第三導電部由氮化鈦膜構成；

前述第一導電部之膜厚在20 nm以上；

前述第三導電部之膜厚在15 nm以下。

7. 如請求項1之半導體裝置，其中：

前述第一 MIS 電晶體與前述第二 MIS 電晶體是 N 型 MIS 電晶體；

前述第一導電部與前述第三導電部具有 4.05 eV 以上且 4.5 eV 以下之工作函數。

8. 如請求項 1 之半導體裝置，其中：

前述第二通道區域具有與前述第一通道區域相等之雜質濃度。

9. 如請求項 1 之半導體裝置，其中：

前述第二閘極絕緣膜具有與前述第一閘極絕緣膜相等之膜厚；

前述第四導電部具有與前述第二導電部相等之膜厚。

10. 如請求項 1 之半導體裝置，其中：

前述第一閘極絕緣膜之膜厚較前述第二閘極絕緣膜之膜厚為厚。

11. 一種半導體裝置，具備第一 MIS 電晶體、與具有比前述第一 MIS 電晶體高之臨限電壓的第二 MIS 電晶體，其中：

前述第一 MIS 電晶體具備：

第一通道區域，形成在半導體基板之第一活性區域，

第一閘極絕緣膜，由形成在前述第一活性區域的前述第一通道區域上的高介質常數絕緣膜構成，以及

第一閘極，具有鄰接前述第一閘極絕緣膜上設置的第一導電部；

前述第二MIS電晶體具備：

第二通道區域，形成在前述半導體基板之第二活性區域，具有與前述第一通道區域相同之導電型，

第二閘極絕緣膜，由形成在前述第二活性區域的前述第二通道區域上的前述高介質常數絕緣膜構成，以及

第二閘極，具有鄰接前述第二閘極絕緣膜上設置的第二導電部；

前述第二導電部由與前述第一導電部相異之組分材料構成。

12. 如請求項11之半導體裝置，其中：

前述第二導電部，係具有與前述第一導電部相比更接近矽之中間隙工作函數的工作函數。

13. 如請求項11之半導體裝置，其中：

前述第一閘極僅由前述第一導電部構成；

前述第二閘極僅由前述第二導電部構成。

14. 如請求項11之半導體裝置，其中：

前述第一閘極具有形成在前述第一導電部上的第三導電部；

前述第二閘極具有形成在前述第二導電部上的第四導電部。

15. 如請求項14之半導體裝置，其中：

前述第一閘極，係在前述第一導電部與前述第三導電部之間具有由與前述第二導電部相同之導電材料形成的第五導電部。

16. 如請求項14之半導體裝置，其中：

前述第三導電部與第四導電部由矽形成。

17. 如請求項11之半導體裝置，其中：

前述第一導電部由第一金屬或第一金屬化合物形成；

前述第二導電部由第二金屬或第二金屬化合物形成。

18. 如請求項11之半導體裝置，其中：

前述第一MIS電晶體與前述第二MIS電晶體是P型MIS電晶體；

前述第一導電部是氮化鈦膜；

前述第二導電部是氮化鉬膜或氮化鉭膜。

19. 如請求項11之半導體裝置，其中：

前述第二通道區域具有與前述第一通道區域相等之雜質濃度。

20. 一種半導體裝置之製造方法，該半導體裝置具備第一MIS電晶體與第二MIS電晶體，該第一MIS電晶體具有第一閘極，該第二MIS電晶體之臨限電壓較前述第一MIS電晶體高並具有第二閘極，該製造方法具備以下製程：

製程(a)，在半導體基板形成由元件隔離區域包圍之第一活性區域與第二活性區域，

製程(b)，在前述第一活性區域形成第一通道區域，同時，在前述第二活性區域形成導電型與前述第一通道區域相同之第二通道區域，

製程(c)，在前述製程(b)後，在前述第一活性區域與前述第二活性區域上形成高介質常數絕緣膜，以及

製程(d)，在前述製程(c)後，在前述第一活性區域上形成由前述高介質常數絕緣膜構成的第一閘極絕緣膜，並且形成具有鄰接前述第一閘極絕緣膜上設置的第一導電部、與設在前述第一導電部上之第二導電部的前述第一閘極，同時，在前述第二活性區域上形成由前述高介質常數絕緣膜構成的第二閘極絕緣膜，並且形成具有鄰接前述第二閘極絕緣膜上設置的第三導電部、與設在前述第三導電部上之第四導電部的前述第二閘極；

前述第三導電部，其膜厚較前述第一導電部為薄，且由與前述第一導電部相同之組分材料構成。

21. 如請求項20之半導體裝置之製造方法，其中：

前述製程(d)具備：

製程(d1)，形成與前述第一活性區域上之前述高介質常數絕緣膜相接的第一金屬膜，

製程(d2)，在前述製程(d1)之後，形成與前述第一金屬膜及前述第二活性區域上之前述高介質常數絕緣膜相接的第二金屬膜，

製程(d3)，在前述製程(d2)之後，在前述第二金屬膜上形成矽膜，以及

製程(d4)，在前述製程(d3)之後，對前述第一活性區域上之前述矽膜、前述第二金屬膜、前述第一金屬膜以及前述高介質常數絕緣膜進行圖案化，來形成由前述高介質常數絕緣膜構成的前述第一閘極絕緣膜、由前述第一金屬膜與前述第二金屬膜構成的前述第一導電部以

及由前述矽膜構成的前述第二導電部，同時，對前述第二活性區域上之前述矽膜、前述第二金屬膜以及前述高介質常數絕緣膜進行圖案化，來形成由前述高介質常數絕緣膜構成的前述第二閘極絕緣膜、由前述第二金屬膜構成的前述第三導電膜以及由前述矽膜構成的前述第四導電部。

22. 如請求項20之半導體裝置之製造方法，其中：

前述製程(d)具備：

製程(d1)，形成與前述高介質常數絕緣膜相接的金屬膜，

製程(d2)，在前述製程(d1)之後，對前述第二活性區域上之前述金屬膜加以蝕刻，來形成膜厚較前述金屬膜為薄之金屬薄膜部，

製程(d3)，在前述製程(d2)之後，在前述金屬膜與前述金屬薄膜部上形成矽膜，以及

製程(d4)，在前述製程(d3)之後，對前述第一活性區域上之前述矽膜、前述金屬膜以及前述高介質常數絕緣膜進行圖案化，來形成由前述高介質常數絕緣膜構成的前述第一閘極絕緣膜、由前述金屬膜構成的前述第一導電部以及由前述矽膜構成的前述第二導電部，同時，對前述第二活性區域上之前述矽膜、前述金屬薄膜部以及前述高介質常數絕緣膜進行圖案化，來形成由前述高介質常數絕緣膜構成的前述第二閘極絕緣膜、由前述金屬薄膜部構成的前述第三導電膜以及由前述矽膜構成的

前述第四導電部。

23. 一種半導體裝置之製造方法，該半導體裝置具備第一MIS電晶體與第二MIS電晶體，該第一MIS電晶體具有第一閘極，該第二MIS電晶體之臨限電壓較前述第一MIS電晶體高並具有第二閘極，該製造方法具備以下製程：

製程(a)，在半導體基板形成由元件隔離區域包圍之第一活性區域與第二活性區域，

製程(b)，在前述第一活性區域形成第一通道區域，同時，在前述第二活性區域形成導電型與前述第一通道區域相同之第二通道區域，

製程(c)，在前述製程(b)後，在前述第一活性區域與前述第二活性區域上形成高介質常數絕緣膜，

製程(d)，在前述製程(c)後，在前述第一活性區域上形成由前述高介質常數絕緣膜構成的第一閘極絕緣膜，並且形成具有由鄰接前述第一閘極絕緣膜上設置的第一導電部之第一閘極，同時，在前述第二活性區域上形成由前述高介質常數絕緣膜構成的第二閘極絕緣膜，並且形成具有由鄰接前述第二閘極絕緣膜上設置的第二導電部的前述第二閘極；

前述第二導電部係由與前述第一導電部相異之組分材料構成。

24. 如請求項23之半導體裝置之製造方法，其中：

前述製程(d)具備：

製程(d1)，形成與前述第一活性區域上之前述高介

質常數絕緣膜相接的第一金屬膜，

製程(d2)，形成與前述第二活性區域上之前述高介質常數絕緣膜相接的第二金屬膜，以及

製程(d3)，在前述製程(d1)及前述製程(d2)之後，對前述第一活性區域上之前述第一金屬膜以及前述高介質常數絕緣膜進行圖案化，來形成由前述高介質常數絕緣膜構成的前述第一閘極絕緣膜、由前述第一金屬膜構成的前述第一導電部，同時，對前述第二活性區域上之前述第二金屬膜以及前述高介質常數絕緣膜進行圖案化，來形成由前述高介質常數絕緣膜構成的前述第二閘極絕緣膜、以及由前述第二金屬膜構成的前述第二導電部。

25. 如請求項23之半導體裝置之製造方法，其中：

前述製程(d)具備：

製程(d1)，形成與前述第一活性區域上之前述高介質常數絕緣膜相接的第一金屬膜，

製程(d2)，形成與前述第二活性區域上之前述高介質常數絕緣膜相接的第二金屬膜，

製程(d3)，在前述製程(d1)及前述製程(d2)之後，在前述第一金屬膜與前述第二金屬膜上形成矽膜，以及

製程(d4)，在前述製程(d3)之後，對前述第一活性區域上之前述矽膜、前述第一金屬膜以及前述高介質常數絕緣膜進行圖案化，來形成由前述高介質常數絕緣膜構成的前述第一閘極絕緣膜、由前述第一金屬膜構成的前述第一導電部以及由前述矽膜構成的前述第三導電

部，同時，對前述第二活性區域上之前述矽膜、前述第二金屬膜以及前述高介質常數絕緣膜進行圖案化，來形成由前述高介質常數絕緣膜構成的前述第二閘極絕緣膜、由前述第二金屬膜構成的前述第二導電膜以及由前述矽膜構成的前述第四導電部。

26. 如請求項23之半導體裝置之製造方法，其中：

前述製程(d)具備：

製程(d1)，形成與前述第一活性區域上之前述高介質常數絕緣膜相接的第一金屬膜，

製程(d2)，在前述製程(d1)之後，形成與前述第一金屬膜及前述第二活性區域上之前述高介質常數絕緣膜相接的第二金屬膜，

製程(d3)，在前述製程(d2)之後，在前述第二金屬膜上形成矽膜，以及

製程(d4)，在前述製程(d3)之後，對前述第一活性區域上之前述矽膜、前述第二金屬膜、前述第一金屬膜以及前述高介質常數絕緣膜進行圖案化，來形成由前述高介質常數絕緣膜構成的前述第一閘極絕緣膜、由前述第一金屬膜構成的前述第一導電部、由前述第二金屬膜構成的第五導電部、以及由前述矽膜構成的前述第三導電部，同時，對前述第二活性區域上之前述矽膜、前述第二金屬膜以及前述高介質常數絕緣膜進行圖案化，來形成由前述高介質常數絕緣膜構成的前述第二閘極絕緣膜、由前述第二金屬膜構成的前述第二導電膜以及由前

述矽膜構成的前述第四導電部。

27. 如請求項14之半導體裝置，其中：

前述第二閘極係在前述第二導電部與前述第四導電部之間具有由與前述第一導電部相同之導電材料形成的第五導電部。

八、圖式：

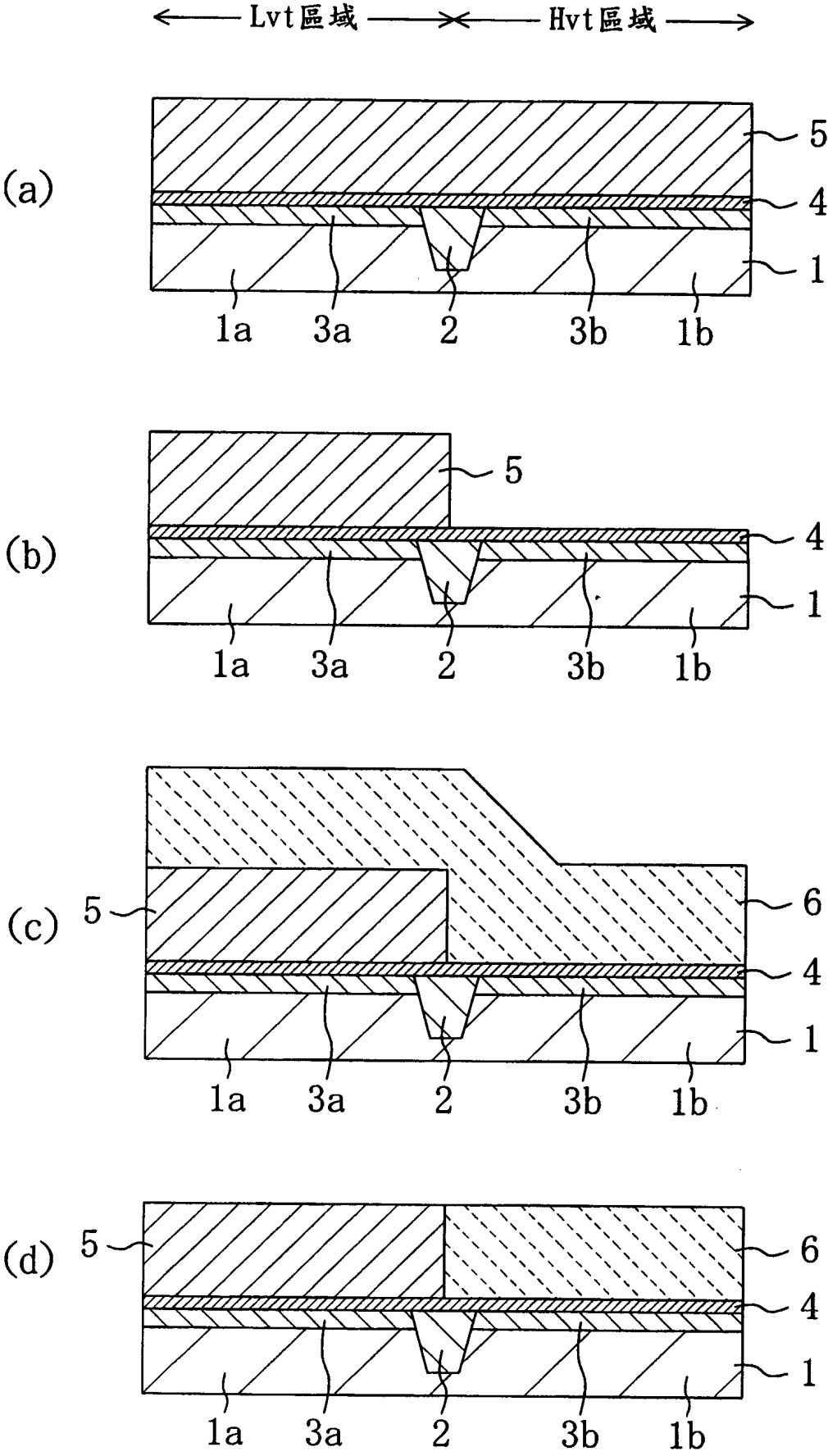
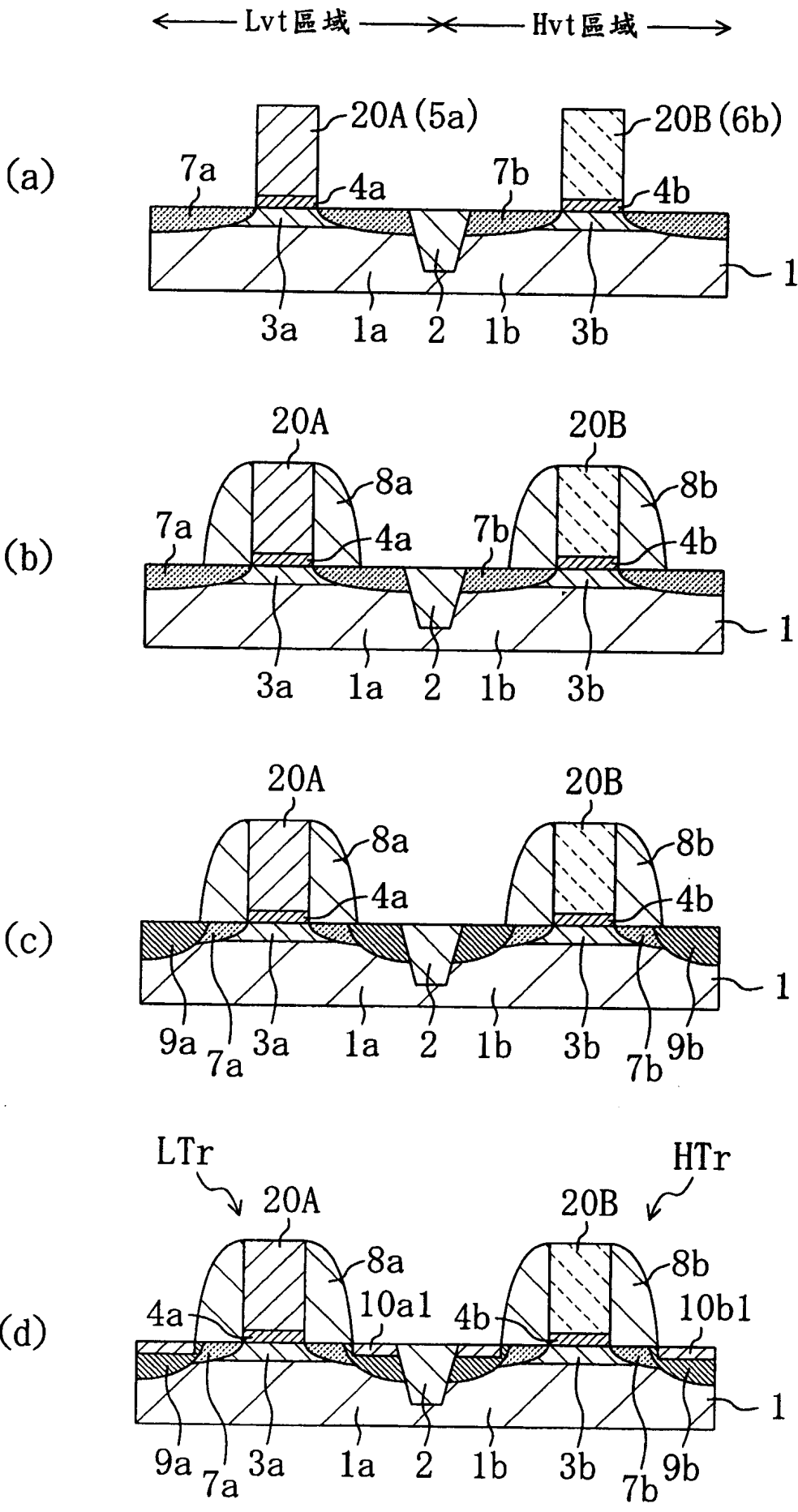


圖 1



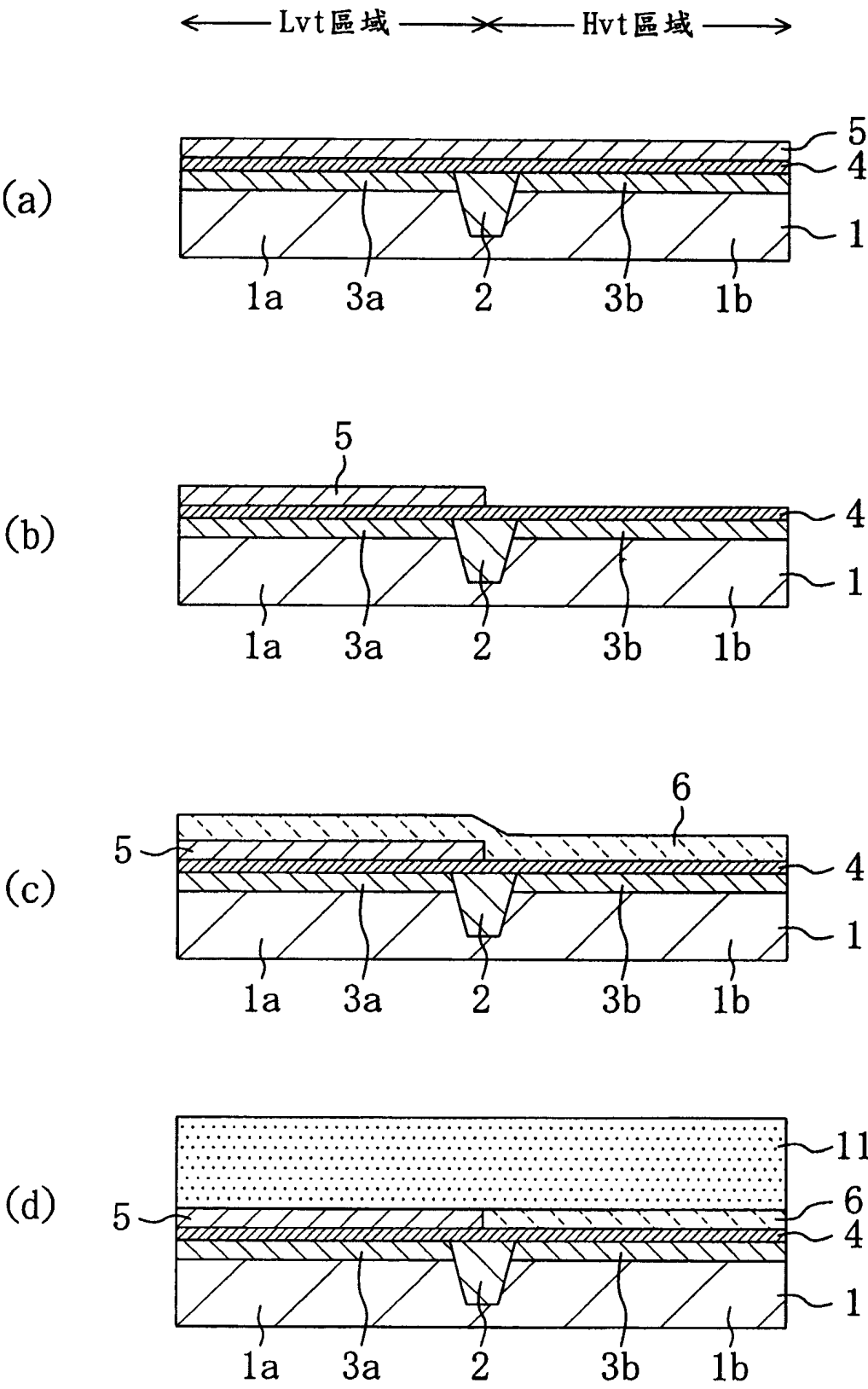
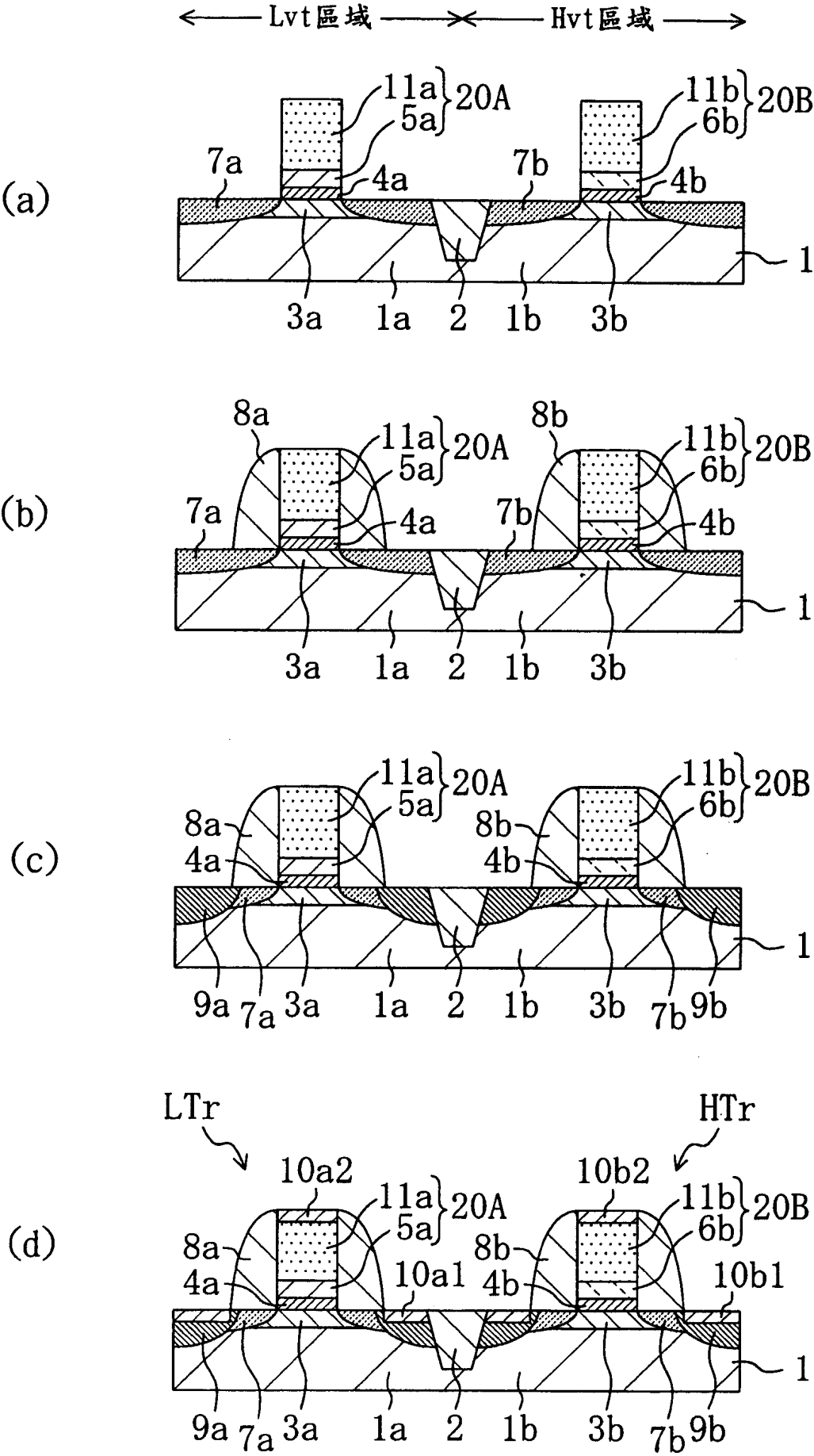


圖3



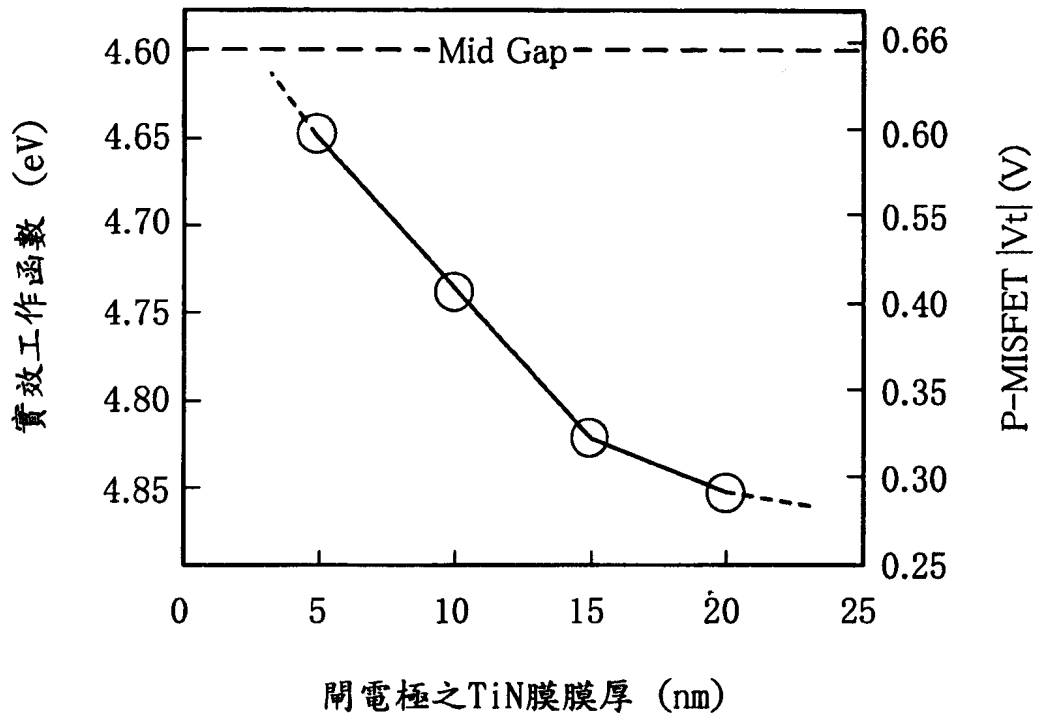


圖6

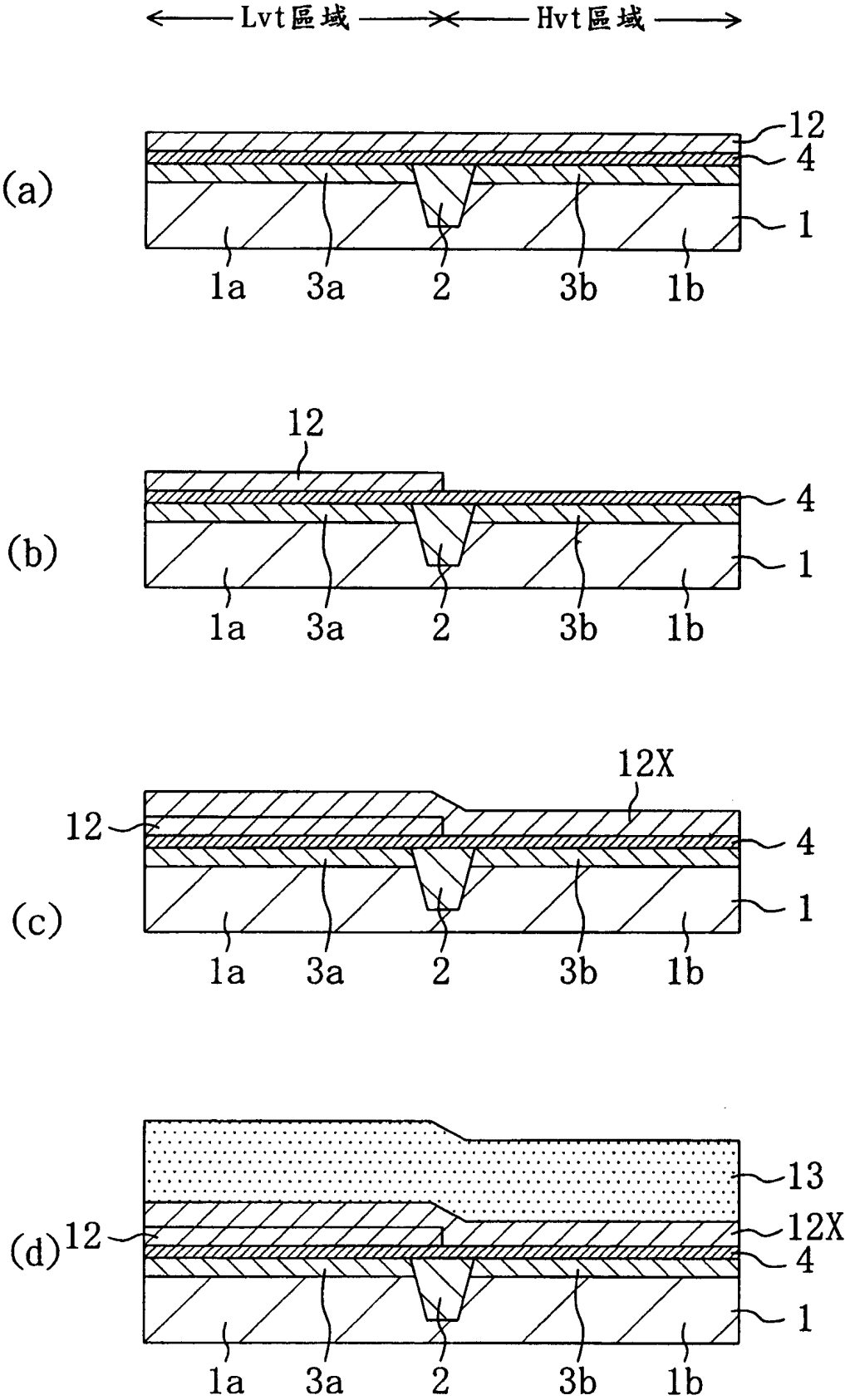
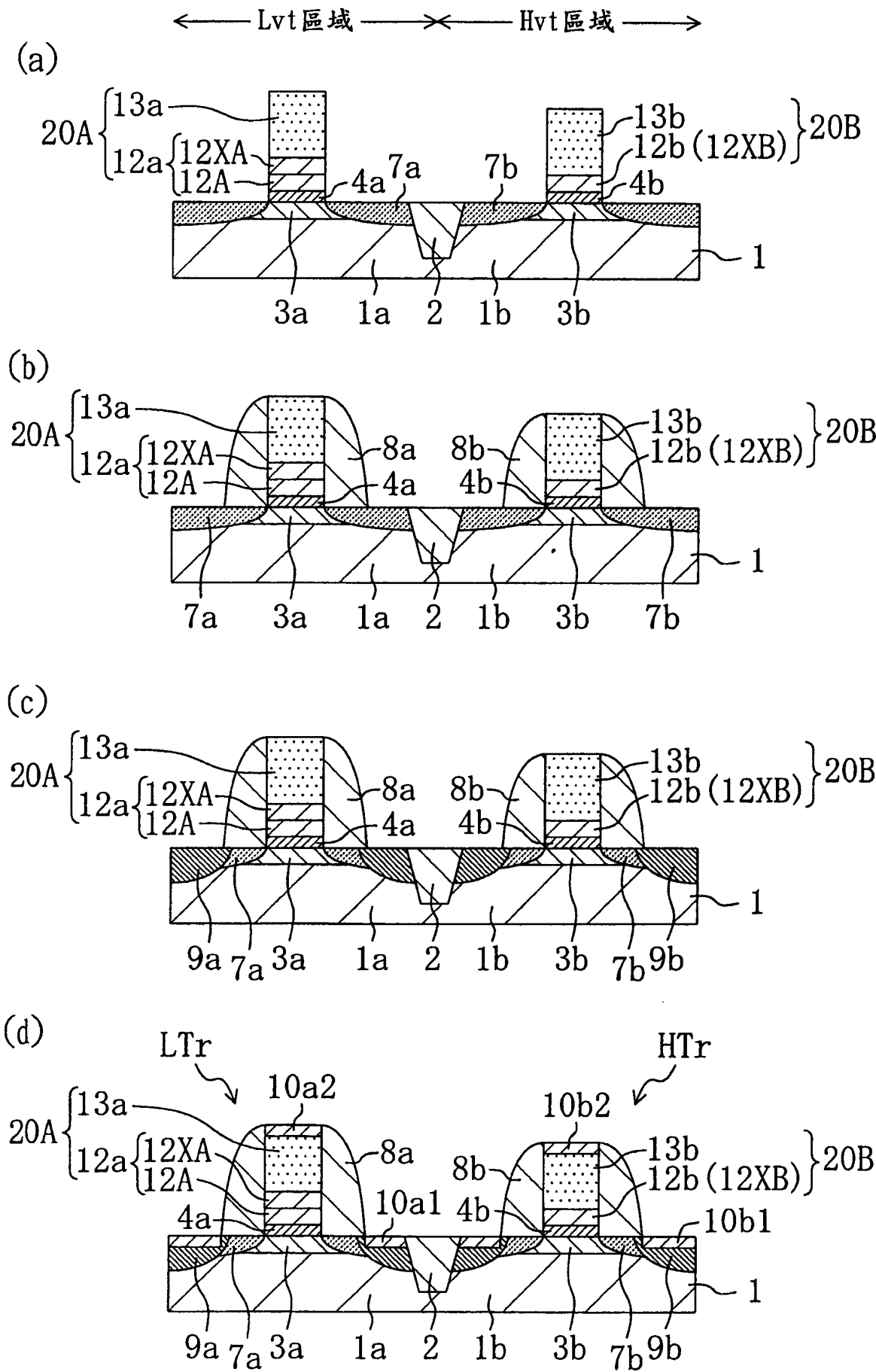


圖 7



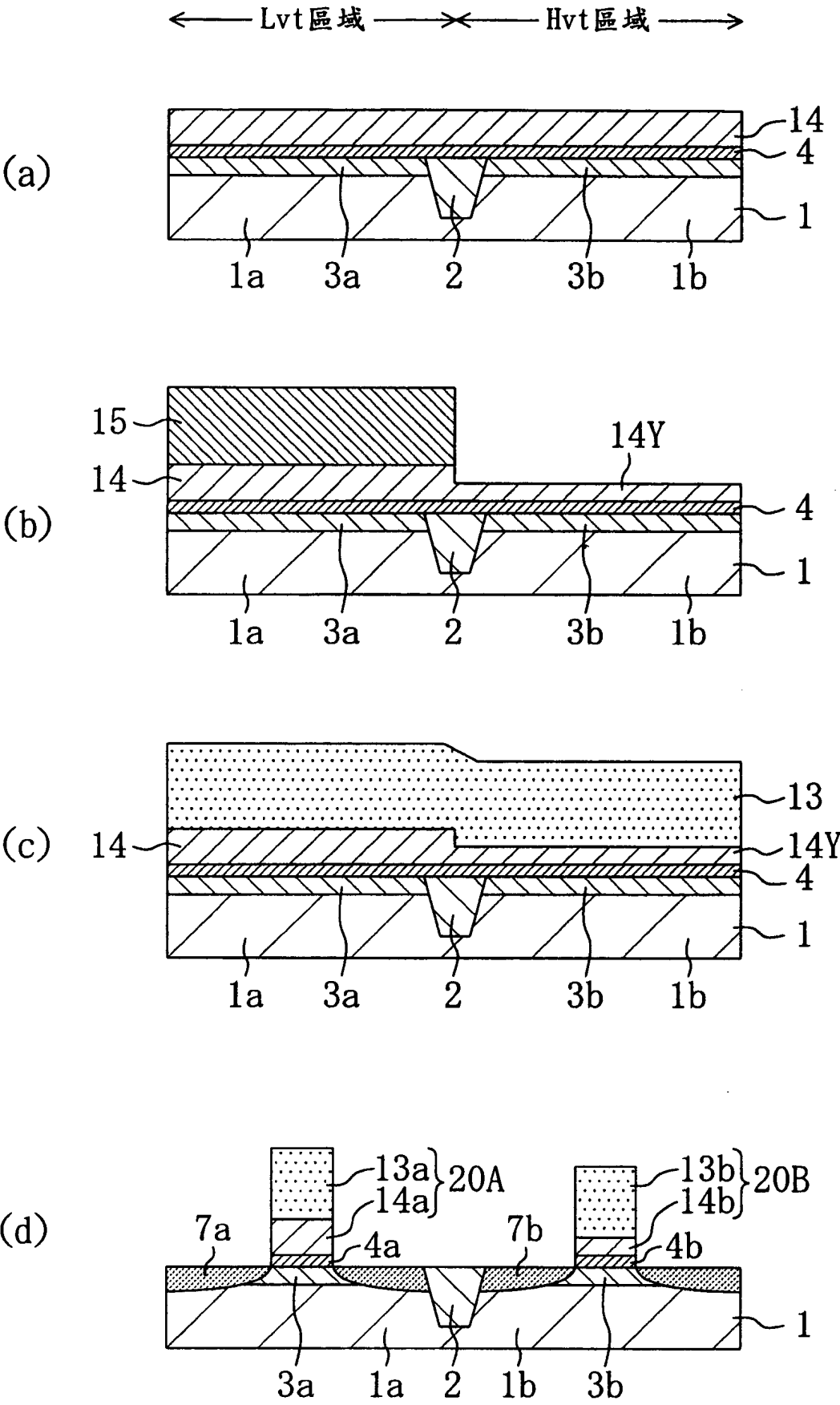


圖9

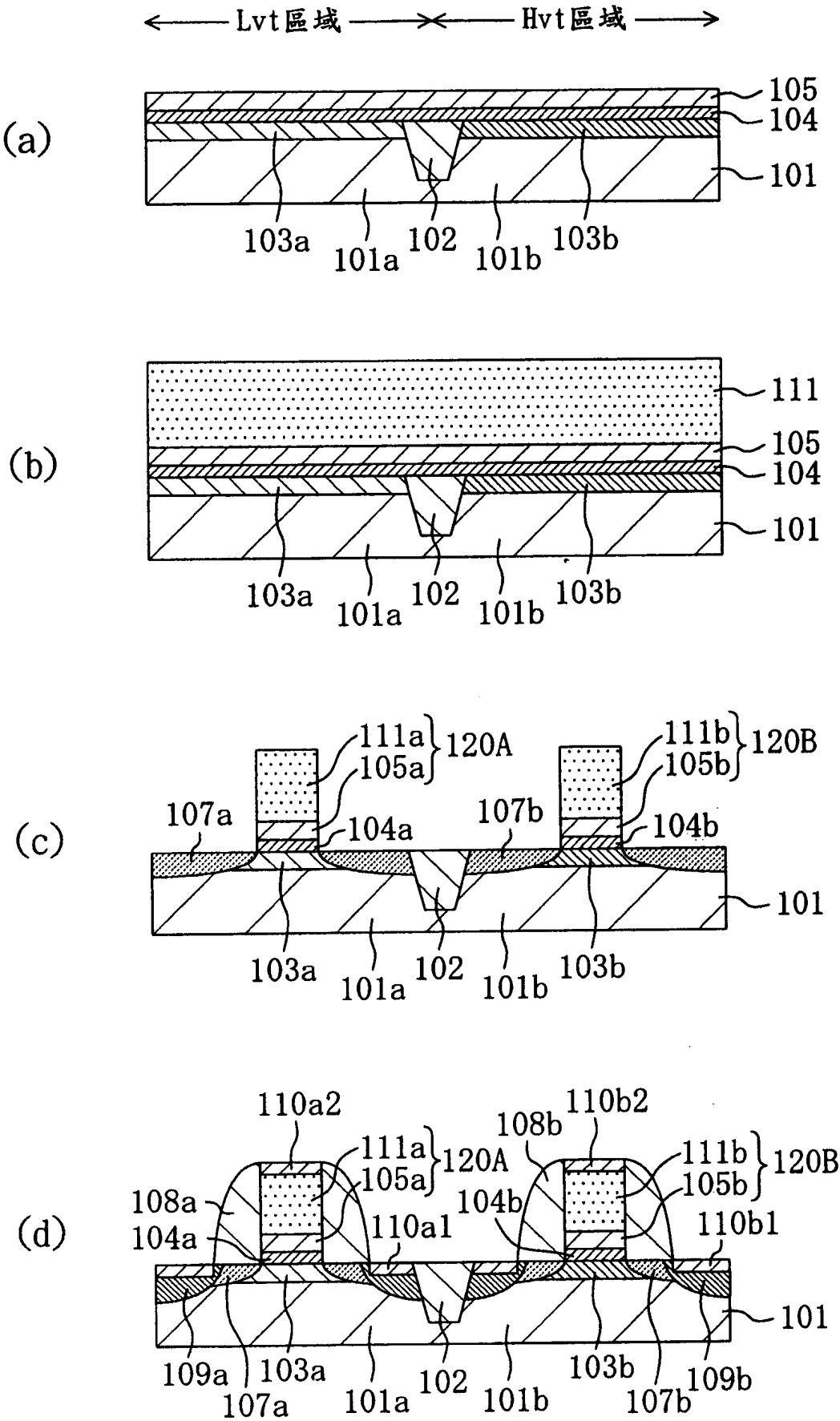


圖 10

四、指定代表圖：

(一)本案指定代表圖為：第 (8) 圖。

(二)本代表圖之元件符號簡單說明：

1	半導體基板
1a	第一活性區域
1b	第二活性區域
2	元件隔離區域
3a	n型通道區域
3b	n型通道區域
4a	第一閘極絕緣膜
4b	第二閘極絕緣膜
7a	淺的p型源極汲極區域
7b	淺的p型源極汲極區域
8a	側壁
8b	側壁
9a	深的p型源極汲極區域
9b	深的p型源極汲極區域
10a1	NiSi膜(矽化物膜)
10a2	NiSi膜(矽化物膜)
10b1	NiSi膜(矽化物膜)
10b2	NiSi膜(矽化物膜)
12A	第一金屬膜
12XA	第二金屬膜
12XB	第二金屬膜

12a	第一導電部
12b	第三導電部
13a	第二導電部
13b	第四導電部
20A	第一閘極
20B	第二閘極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)