



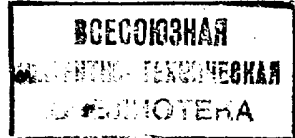
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1649531** **A1**

(51)5 G 06 F 7/02

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4666356/24

(22) 27.03.89

(46) 15.05.91. Бюл. № 18

(72) С.Н.Лобков, И.Т.Мирзоев,
В.П.Ткачев, Г.И.Климкович, С.А.Гаг-
куев и С.В.Орлов

(53) 681.325.5(088.8)

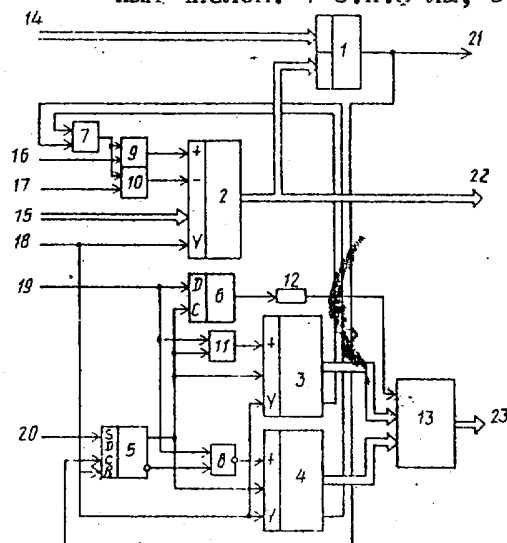
(56) Авторское свидетельство СССР
№ 830373, кл. G 06 F 7/02, 1978.

Авторское свидетельство СССР
№ 1117630, кл. G 06 F 7/02, 1983.

(54) УСТРОЙСТВО ПОИСКА ЧИСЛА

(57) Изобретение относится к элемен-
там дискретной автоматизации и вычис-
лительной техники и может быть исполь-
зовано при реализации технических
средств цифровых систем контроля и
управления. Цель изобретения - повы-
шение быстродействия. Устройство по-
иска числа содержит схему сравнения 1,
реверсивный счетчик 2, формирователи
адреса 3,4, триггеры 5,6, элемент

ИЛИ 7, первый элемент ИЛИ-НЕ 8, эле-
менты И 9, 10, 11, элемент задержки
12, мультиплексор 13. Каждый формиро-
ватель адреса 3, 4 содержит счетчик,
группу сумматоров по модулю два, эле-
мент ИЛИ-НЕ, элемент задержки, эле-
мент И, элемент ИЛИ. С приходом поло-
жительного перепада тактового импуль-
са адрес числа, хранящегося в масси-
ве информации, выдает первый формиро-
ватель адреса 3, а с приходом отрица-
тельного перепада второй формирователь
адреса 4. Мультиплексор 13 по сигналам
с тактового входа 19 устройства
попеременно подключает к выходным
шинам то выходы первого формирователя
3 адреса, то выходы второго формиро-
вателя 4 адреса. При этом за один
тактовый импульс происходит формирова-
ние двух чисел, хранящихся в массиве
информации, считывание этих чисел и
последовательное их сравнение с задан-
ным числом. 1 з.п.ф-лы, 3 ил.



Фиг.1

(19) **SU** (11) **1649531** **A1**

Изобретение относится к элементам дискретной автоматизации и вычислительной техники и может быть использовано при реализации технических средств цифровых систем контроля и управления.

Цель изобретения - повышение быстродействия устройства.

На фиг. 1 изображена структурная схема устройства поиска числа; на фиг. 2 - функциональная схема каждого формирователя адреса; на фиг. 3 - временная диаграмма работы устройства.

Устройство содержит схему 1 сравнения, реверсивный счетчик 2, формирователи 3 и 4 адреса, триггеры 5 и 6, элемент ИЛИ 7, элемент ИЛИ-НЕ 8, элементы И 9-11, элемент 12 задержки, мультиплексор 13, входы 14-20 и выходы 21-23.

Каждый формирователь адреса состоит из счетчика 24, группы сумматоров 25 по модулю два, элемента ИЛИ-НЕ 26, элемента 27 задержки, элемента И 28, элемента ИЛИ 29, входов 30 установки начального кода и входов 31 установки конечного кода.

Устройство работает следующим образом.

Устройство поиска числа предназначено для работы в одном из двух режимов: поиска ближайшего большего или ближайшего меньшего числа по отношению к заданному.

Например, для поиска ближайшего большего числа по отношению к заданному, которое поступает на входы 15, подается сигнал на вход 16 для подготовки элемента И 9 и соответственно реверсивного счетчика 2 к работе в режиме сложения. Затем подается сигнал на вход 18, в результате чего заданное число переписывается в реверсивный счетчик 2, триггер 5 устанавливается в нулевое состояние, формирователи 3 и 4 адреса устанавливаются в исходное состояние. Исходное состояние формирователей 3 и 4 адреса должно быть таким, чтобы с приходом тактовых импульсов на их входы суммирования формирователь 3 адреса начинал выдавать адреса чисел, хранящихся в массиве информации, начиная с 1 и до $n/2$, а формирователь 4 адреса - с $n/2 + 1$ и до n (где n - количество чисел в массиве информации). В случае нечетного количества чисел, хранящихся в массиве информа-

ции, последний адрес, выдаваемый формирователем 3, и первый адрес, выдаваемый формирователем 4, совпадают, т.е. формирователь 3 выдает адреса с 1 и до $\frac{n+1}{2}$, формирователь 4 - с $\frac{n+1}{2}$ и до n .

В каждом конкретном случае, в зависимости от количества чисел в массиве информации, можно изменять количество адресов, выдаваемых формирователями 3 и 4 адреса, с помощью входов 30 установки начального кода и входов 31 установки конечного кода. При этом необходимо учитывать, что при подаче сигнала на установочные входы формирователей 3 и 4 адреса происходит запись в них чисел, характеризующих исходные состояния. Эти числа обусловлены сигналом "0" с прямого выхода триггера 5, поступающего на младший разряд декрементирующего счетчика 24, и двоичным кодом, поступающим на остальные разряды с входов 30 установки начального кода.

Двоичный код, подаваемый на входы 31 установки конечного кода, обуславливает последний адрес, выдаваемый формирователями 3 и 4. С выдачей последнего адреса формирователями 3 и 4 на выходе элемента ИЛИ-НЕ 26 возникает сигнал "1", который через элемент 27 задержки за время $\frac{3}{4} T < t < T$

(где T - период тактового импульса) поступает на второй вход элемента И 28. С приходом очередного тактового импульса с входа 18 счетчик 24 выдает опять первый адрес, минуя исходное состояние. Это происходит потому, что при записи числа в счетчик 24 на вход младшего разряда подается сигнал "1" с прямого выхода триггера 5, который переходит в единичное состояние с началом работы устройства.

Команда на поиск числа поступает на вход 20 запуска, в результате которой триггер 5 переводится в единичное состояние и разрешает прохождение тактовых импульсов с входа 19 через триггер 6, элемент И 11 и элемент ИЛИ-НЕ 8. Сигнал "1" поступает также с прямого выхода триггера 5 на информационные входы формирователей 3 и 4 адреса. В качестве триггера 5 используется стандартный D-триггер с входами

установки в "1" и "0", а в качестве триггера 6 — D-триггер типа защелки.

С приходом положительного перепада первого тактового импульса формирователь 3 адреса переходит в очередное состояние и выдает свой первый адрес числа. Этот адрес, за счет того, что в данный момент с выхода триггера 6 приходит сигнал "1" на управляющий вход мультиплексора 13, поступает на выходы 23 устройства; происходит считывание числа из массива информации. Считанное число поступает на входы 14 устройства и сравнивается с заданным числом в схеме 1 сравнения. Если сравнения не произошло, то с приходом отрицательного перепада первого импульса формирователь 4 адреса переходит в очередное состояние и выдает свой первый адрес числа. Этот адрес за счет того, что в данный момент с выхода триггера 6 приходит сигнал "0" на управляющий вход мультиплексора 13, поступает на выходы 23 устройства; происходит считывание очередного числа из массива информации. Это число также сравнивается с заданным. Таким образом, с приходом каждого тактового импульса происходит формирование двух адресов, считывание по ним чисел и последовательное сравнение их с заданным числом. Поочередное подключение информационных выходов формирователей 3 и 4 адреса к выходам 23 устройства происходит за счет прихода сигналов на управляющий вход мультиплексора 13, а эти сигналы меняются в зависимости от прихода положительного или отрицательного потенциала очередного тактового импульса.

Если после сравнения всех чисел, хранящихся в массиве информации, нет решения, то с выхода переполнения формирователя 3 или 4 адреса (зависит от того, какой формирователь стал раньше выдавать адреса) приходит сигнал в виде положительного перепада импульса переполнения на один из входов элемента ИЛИ 7 и происходит увеличение заданного числа на единицу, а затем процесс повторяется.

При сравнении чисел с выхода схемы 1 сравнения поступает сигнал на вход синхронизации триггера 5 и он переводится в нулевое состояние. В результате этого запрещается прохождение

тактовых импульсов на формирователи 3 и 4 адреса и мультиплексор 13, на выходе 21 конца работы появляется сигнал, что число найдено, на выходах 22 — значение числа в двоичном коде, на выходах 23 — адрес, в котором хранилось число в массиве информации.

Для поиска ближайшего меньшего числа по отношению к заданному сигнал подается на вход 17, в результате чего реверсивный счетчик 2 переводится в режим вычитания и на его выходе формируется убывающая последовательность чисел в двоичном коде начиная от заданного числа.

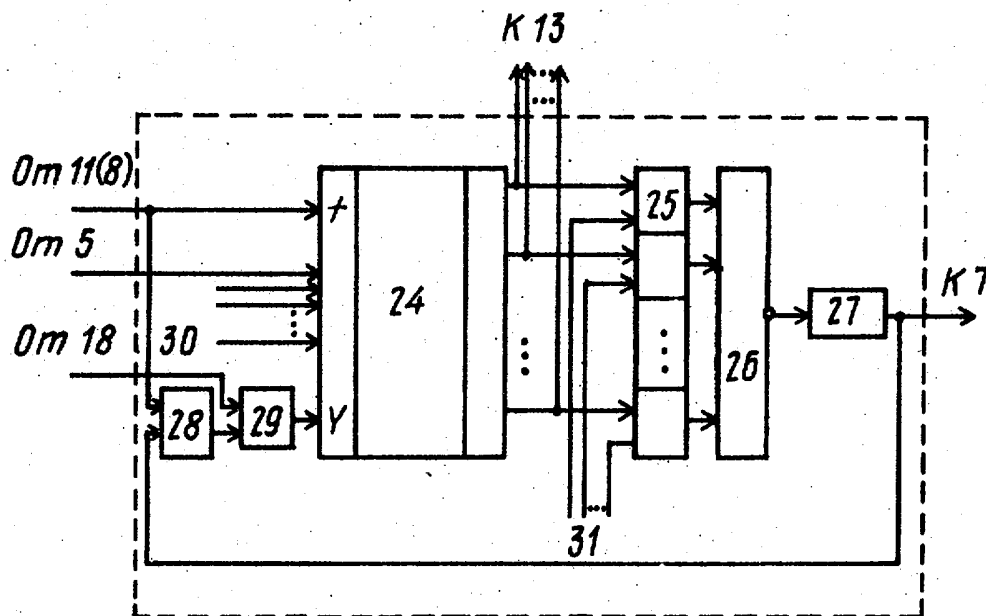
Ф о р м у л а и з с б р е т е н и я

1. Устройство поиска числа, содержащее схему сравнения, реверсивный счетчик, первый триггер, три элемента И, причем входы анализируемого числа устройства соединены с входами первой группы схемы сравнения, выход которой является выходом конца работы устройства, входы второй группы которой соединены с выходами разрядов реверсивного счетчика и являются выходами числа устройства, информационные входы реверсивного счетчика являются входами заданного числа устройства, а входы сложения и вычитания подключены к выходам соответственно первого и второго элементов И, первые входы которых являются входами задания выборки соответственно ближайшего большего и ближайшего меньшего чисел устройства, вход записи которого соединен с входом записи реверсивного счетчика, тактовый вход устройства подключен к первому входу третьего элемента И, отличающееся тем, что, с целью повышения быстродействия, в него введены второй триггер, элемент ИЛИ, элемент ИЛИ-НЕ, элемент задержки, два формирователя адреса и мультиплексор, причем вход запуска устройства подключен к входу установки в единичное состояние первого триггера, информационный вход которого соединен с входом логического нуля устройства, синхровход соединен с выходом схемы сравнения, вход установки в нулевое состояние подключен к входу записи устройства и установочным входам формирователей адреса, а прямой выход пер-

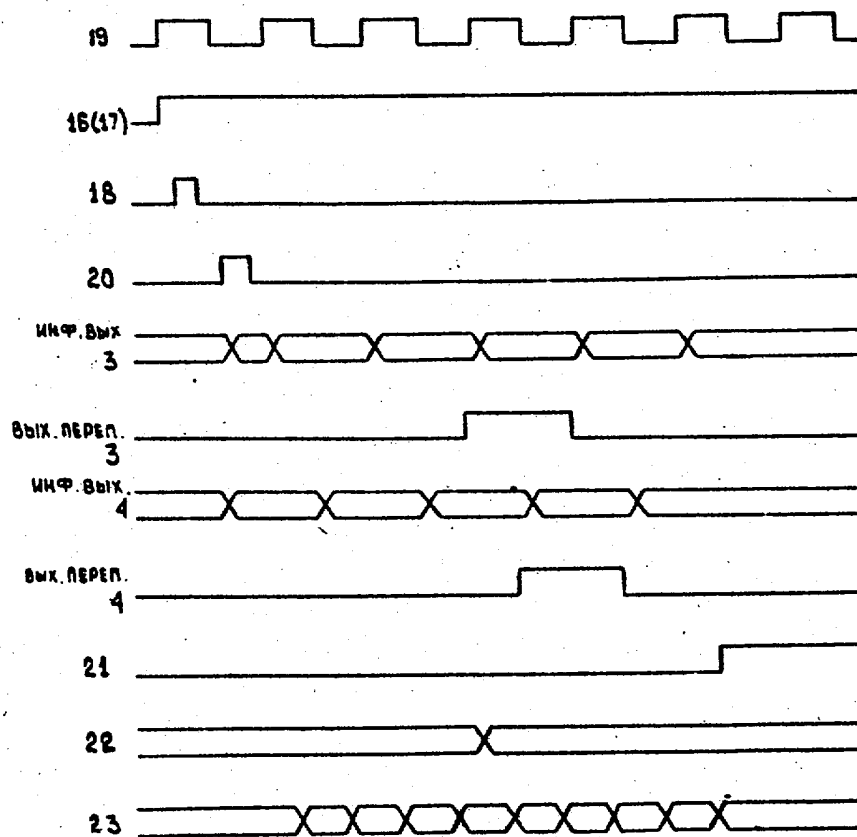
ного триггера соединен с синхровходом второго триггера, информационными входами формирователей адреса и вторыми входами третьего элемента И, выход которого соединен с входом суммирования первого формирователя адреса, первый вход элемента ИЛИ-НЕ подключен к тактовому входу устройства и к информационному входу второго триггера, второй вход соединен с инверсным выходом первого триггера, а выход соединен с входом суммирования второго формирователя адреса, выходы переполнения первого и второго формирователей адреса соединены с входами элемента ИЛИ, выход которого соединен с вторыми входами первого и второго элементов И, информационные выходы первого и второго формирователей адреса соединены с информационными входами соответственно первой и второй групп мультиплексора, управляющий вход которого через элемент задержки подключен к выходу второго триггера, а выход является выходом адреса устройства.

2. Устройство по п. 1, отличающееся тем, что формирова-

тель адреса содержит счетчик, элемент И, элемент ИЛИ, группу сумматоров по модулю два, элемент ИЛИ-НЕ и элемент задержки, причем вход суммирования формирователя адреса соединен с счетным входом счетчика и первым входом элемента И, выход которого подключен к первому входу элемента ИЛИ, второй вход которого является установочным входом формирователя, а выход соединен с входом разрешения записи счетчика, входы разрядов которого, кроме младшего, являются входами начального кода формирователя адреса, а вход младшего разряда счетчика является информационным входом формирователя, выходы разрядов счетчика являются информационными выходами формирователя и соединены с первыми входами соответствующих сумматоров по модулю два, вторые входы которых являются входами конечного кода формирователя, а выходы подключены к входам элемента ИЛИ-НЕ, выход которого подключен к входу элемента задержки, выход которого соединен с вторым входом элемента И и является выходом переполнения формирователя адреса.



Фиг. 2



Фиг. 3.

Редактор Л. Пчолинская	Составитель Е. Иванова	Корректор Н. Король
	Техред Л. Олейник	

Заказ 1522

Тираж 406

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101