

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7608403号  
(P7608403)

(45)発行日 令和7年1月6日(2025.1.6)

(24)登録日 令和6年12月20日(2024.12.20)

(51)国際特許分類 F I  
H 0 4 L 7/00 (2006.01) H 0 4 L 7/00 5 0 0  
H 0 4 L 7/00 3 7 0

請求項の数 5 (全20頁)

(21)出願番号	特願2022-122608(P2022-122608)	(73)特許権者	000000572 アンリツ株式会社 神奈川県厚木市恩名五丁目1番1号
(22)出願日	令和4年8月1日(2022.8.1)	(74)代理人	110003694 弁理士法人有我国際特許事務所
(65)公開番号	特開2024-19866(P2024-19866A)	(72)発明者	吉岡 宏紀 神奈川県厚木市恩名五丁目1番1号 ア ンリツ株式会社内
(43)公開日	令和6年2月14日(2024.2.14)	(72)発明者	岩井 達也 神奈川県厚木市恩名五丁目1番1号 ア ンリツ株式会社内
審査請求日	令和5年12月27日(2023.12.27)	審査官	川口 貴裕

最終頁に続く

(54)【発明の名称】 信号発生装置及び信号発生方法

## (57)【特許請求の範囲】

## 【請求項1】

m × Nビット幅の平行データを出力する平行データ出力部(11)と、  
前記平行データ出力部から出力された前記m × Nビット幅の平行データをmビット幅の平行データに変換して出力するトランシーバ部(12)と、  
前記トランシーバ部から出力された前記mビット幅の平行データの位相を制御する位相同期制御部(31)と、を備える信号発生装置(1)であって、  
前記トランシーバ部は、前記m × Nビット幅の平行データのうち、Nビット幅の平行データを1ビット幅のシリアルデータに変換するm個のトランシーバ(14-1 ~ 14-m)を有し、  
各前記トランシーバは、  
前記Nビット幅の平行データを格納し、読み出しクロック信号に応じて前記Nビット幅の平行データを読み出されるFIFO(15)と、  
前記FIFOから読み出された前記Nビット幅の平行データを前記1ビット幅のシリアルデータに変換するPISO(16)と、  
前記FIFOの使用量が使用量閾値以上であるか否かを判定する第1の使用量判定処理及び第2の使用量判定処理を実行する使用量判定部(17)と、  
前記読み出しクロック信号の位相を所定量減少させる第1の位相調整処理と、前記読み出しクロック信号の位相を所定量増加させる第2の位相調整処理と、を実行する位相調整部(18)と、を有しており、

10

20

前記位相同期制御部は、各前記トランシーバから前記シリアルデータの出力が開始されたことを条件として、前記使用量判定部に前記第 1 の使用量判定処理を実行させ、

前記位相同期制御部は、前記第 1 の使用量判定処理により各前記トランシーバの F I F O の使用量が前記使用量閾値以上であると判定されたことを条件として、前記位相調整部に前記第 1 の位相調整処理を実行させ、

前記位相同期制御部は、前記第 1 の使用量判定処理により各前記トランシーバの F I F O の使用量が前記使用量閾値未満であると連続して判定された回数が第 1 の判定回数に到達したことを条件として、前記使用量判定部に前記第 2 の使用量判定処理を実行させ、

前記位相同期制御部は、前記第 2 の使用量判定処理により各前記トランシーバの F I F O の使用量が前記使用量閾値未満であると判定されたことを条件として、前記位相調整部に前記第 2 の位相調整処理を実行させ、

前記位相同期制御部は、前記第 2 の使用量判定処理により各前記トランシーバの F I F O の使用量が前記使用量閾値以上であると連続して判定された回数が第 2 の判定回数に到達したことを条件として、前記位相調整部に前記読み出しクロック信号の位相の調整を終了させることを特徴とする信号発生装置。

#### 【請求項 2】

前記パラレルデータ出力部、前記トランシーバ部、及び前記位相同期制御部が、F P G A (Field Programmable Gate Array) 上に構成されることを特徴とする請求項 1 に記載の信号発生装置。

#### 【請求項 3】

前記位相同期制御部に前記第 1 及び第 2 の判定回数を設定する判定回数設定部 ( 3 2 ) を更に備え、

前記判定回数設定部は、

前記第 1 及び第 2 の判定回数として任意の値を前記位相同期制御部に仮設定する判定回数仮設定部 ( 3 3 ) と、

前記判定回数仮設定部により仮設定された前記第 1 及び第 2 の判定回数に基づいた前記位相調整部による前記読み出しクロック信号の位相の調整が終了したときに、前記 m 個のトランシーバからそれぞれ出力される前記シリアルデータ間の位相差のうちの最大位相差を取得する最大位相差取得部 ( 3 4 ) と、

前記判定回数仮設定部により仮設定された前記第 1 及び第 2 の判定回数と、前記最大位相差取得部により取得された前記最大位相差との関係を示すデータを記憶する記憶部 ( 3 5 ) と、

前記記憶部に記憶された前記データの近似曲線を算出する近似曲線算出部 ( 3 6 ) と、

前記近似曲線に基づいて、目標とする前記最大位相差を実現する前記第 1 及び第 2 の判定回数を推定する判定回数推定部 ( 3 7 ) と、

前記判定回数推定部により推定された前記第 1 及び第 2 の判定回数を前記位相同期制御部に本設定する判定回数本設定部 ( 3 8 ) と、を含むことを特徴とする請求項 1 又は請求項 2 に記載の信号発生装置。

#### 【請求項 4】

基準クロック信号が m 分周された分周クロック信号に基づいて、前記トランシーバ部から出力された前記 m ビット幅のパラレルデータを受けて、前記基準クロック信号のレートに応じた n ビット幅のデータを出力するマルチプレクサ ( 4 1 ) と、

前記トランシーバ部から出力された前記 m ビット幅のパラレルデータに同期したデータ同期クロック信号の位相と前記分周クロック信号の位相との位相差に基づいて、前記トランシーバ部から出力された前記 m ビット幅のパラレルデータと前記分周クロック信号とを同期させる同期装置 ( 5 0 ) と、

前記マルチプレクサから出力された前記 n ビット幅のデータに応じたアナログ信号を出力する D A C ( 4 2 ) と、を更に備えることを特徴とする請求項 1 又は請求項 2 に記載の信号発生装置。

#### 【請求項 5】

10

20

30

40

50

m × Nビット幅の平行データを出力する平行データ出力部(11)と、  
 前記平行データ出力部から出力された前記m × Nビット幅の平行データをmビット幅の平行データに変換して出力するトランシーバ部(12)と、  
 前記トランシーバ部から出力された前記mビット幅の平行データの位相を制御する位相同期制御部(31)と、を備える信号発生装置(1)を用いる信号発生方法であって、  
 前記トランシーバ部は、前記m × Nビット幅の平行データのうち、Nビット幅の平行データを1ビット幅のシリアルデータに変換するm個のトランシーバ(14-1 ~ 14-m)を有し、

各前記トランシーバは、

前記Nビット幅の平行データを格納し、読み出しクロック信号に応じて前記Nビット幅の平行データを読み出されるFIFO(15)と、

10

前記FIFOから読み出された前記Nビット幅の平行データを前記1ビット幅のシリアルデータに変換するPISO(16)と、

前記FIFOの使用量が使用量閾値以上であるか否かを判定する第1の使用量判定処理及び第2の使用量判定処理を実行する使用量判定部(17)と、

前記読み出しクロック信号の位相を所定量減少させる第1の位相調整処理と、前記読み出しクロック信号の位相を所定量増加させる第2の位相調整処理と、を実行する位相調整部(18)と、を有しており、

前記位相同期制御部は、

各前記トランシーバから前記シリアルデータの出力が開始されたことを条件として、前記使用量判定部に前記第1の使用量判定処理を実行させるステップ(S3)と、

20

前記第1の使用量判定処理により各前記トランシーバのFIFOの使用量が前記使用量閾値以上であると判定されたことを条件として、前記位相調整部に前記第1の位相調整処理を実行させるステップ(S4)と、

前記第1の使用量判定処理により各前記トランシーバのFIFOの使用量が前記使用量閾値未満であると連続して判定された回数が第1の判定回数に到達したことを条件として、前記使用量判定部に前記第2の使用量判定処理を実行させるステップ(S6)と、

前記第2の使用量判定処理により各前記トランシーバのFIFOの使用量が前記使用量閾値未満であると判定されたことを条件として、前記位相調整部に前記第2の位相調整処理を実行させるステップ(S5)と、

30

前記第2の使用量判定処理により各前記トランシーバのFIFOの使用量が前記使用量閾値以上であると連続して判定された回数が第2の判定回数に到達したことを条件として、前記位相調整部に前記読み出しクロック信号の位相の調整を終了させるステップ(S7)と、を実行することを特徴とする信号発生方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号発生装置及び信号発生方法に関し、特に、平行データを高速のシリアルデータに変換出力する信号発生装置及び信号発生方法に関する。

【背景技術】

40

【0002】

昨今のイーサネットの高速化は著しく、800GbE(Gigabit Ethernet)や1.6TbE(Terabit Ethernet)の規格化も見えている。これら高速イーサネットの開発に伴い、通信機器の品質評価を行うためのビット誤り率(Bit Error Rate: BER)測定などの測定環境についても対応が望まれている。このような測定環境は、高速な信号に対応できることは当然ながら、規格の方針変更や開発対象変更等に伴う変化に柔軟に対応できることが望ましい。これを実現するためには、例えば、テスト信号を発生する信号発生装置をFPGA(Field Programmable Gate Array)を用いて構成すればよく、FPGAによる128GSymbol/s(1024Gbps)の信号の出力が可能な信号発生装置が望まれている。

50

## 【 0 0 0 3 】

しかしながら、通常、FPGAの1つのトランシーバチャンネルで当該速度の信号を出力することはできない。このため、マルチプレクサ ( Multiplexer : MUX ) やDAC ( Digital Analog Converter ) を用いて複数のトランシーバによるパラレル出力をシリアル化することにより、目標とする信号出力レートの確保を行う必要がある ( 例えば、特許文献1参照 )。このとき、全てのトランシーバチャンネルからの出力データは、位相がそろった状態で、MUXに入力される必要がある ( 例えば、特許文献2参照 )。具体的には、全てのチャンネル間の最大位相差が  $0.1 \text{ UI}$  ( Unit Interval ) 以下であることが望まれる。例えばトランシーバの1チャンネル当たりの出力が  $32 \text{ Gbps}$  であった場合、時間にして約  $3.1 \text{ ps}$  以下であることが望まれる。

10

## 【 0 0 0 4 】

チャンネル間の位相を調整するには、各チャンネルに入力される外部クロックの位相を個別制御するといった手法がある。しかしながら、例えばトランシーバの1チャンネルの最大速度が  $32 \text{ Gbps}$  であった場合、 $1024 \text{ Gbps}$  の信号の出力を実現するためには、32チャンネルの出力が必要となる。これらの出力それぞれに対しクロックの入力が必要となるため、トランシーバのI/Oリソースが不足するおそれがある。また、基本的にこれらの入出力チャンネルは近接している必要があるため、合計で64以上のチャンネル数があるFPGAであっても物理的に配線が不可能な場合がある。

## 【 0 0 0 5 】

図8は、MUXを用いてパラレルデータを高速のシリアルデータに変換出力する、特許文献1に記載の従来のデータ信号発生装置の構成を示すブロック図である。データ信号発生装置100は、データ出力部111からMUX113に入力されるパラレルデータの出力タイミングがMUX113のシリアル変換動作に正しく同期した状態にするための同期装置120を備えている。

20

## 【 0 0 0 6 】

同期装置120は、基準クロック信号CK1を分周して分周クロック信号CK2を出力する分周器126、MUX113のシリアル変換動作のタイミングを決定している信号Aと、データ出力部111からのデータ同期クロック信号CKpとの位相を比較する位相比較器121、位相比較器121の比較タイミングを時間的にランダムに指示する比較タイミング指示部122、位相比較器121が検出した検出信号の電圧Vdを順次記憶するメモリ123、比較タイミング指示部122の指示に基づいて検出信号の電圧Vdを予め定められた回数取得して検出信号の平均電圧Vaを算出する平均化部124、平均電圧Vaに応じた制御信号を生成する制御部125、基準クロック信号CK1又は分周クロック信号CK2に、制御信号に応じた量の遅延を与える可変遅延器130により構成されている。

30

## 【 0 0 0 7 】

すなわち、特許文献1に開示された技術は、MUX113のシリアル変換動作のタイミングを決定している信号Aと、データ出力部111からのデータ同期クロック信号CKpとの位相差を測定し、データ出力部111からのパラレルデータの出力タイミングの調整を行っている。さらに、チャンネル間の最大位相差を低減するためには、データ出力部111から出力されるパラレルデータは、特許文献2に開示された自動位相調整方法により位相が調整された状態でMUX113に入力されることが望ましい。

40

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 8 】

【 文献 】 特許第6082419号公報

【 文献 】 特許第6346212号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 9 】

しかしながら、特許文献2に開示された技術は、データ出力部111のチャンネル間の最

50

大位相差の大きさによっては、データ出力部 1 1 1 から出力されるパラレルデータを構成するシリアルデータの位相を互いに 1 クロック以上ずれた位置で調整してしまうという問題があった。この場合、M U X 1 1 3 を用いてパラレルデータを多重化した際に意図しないデータが生成される。例えば、この意図しないデータを、B E R 測定のテスト信号として用いた場合、テスト信号自体に誤りがあることになるため、正しい B E R 測定が不可能になってしまう。

**【 0 0 1 0 】**

本発明は、このような従来の課題を解決するためになされたものであって、複数のトランシーバからそれぞれ出力されるシリアルデータ間の位相差の絶対値を 0 . 1 U I 以下に低減することができる信号発生装置及び信号発生方法を提供することを目的とする。

10

**【課題を解決するための手段】****【 0 0 1 1 】**

上記課題を解決するために、本発明に係る信号発生装置は、 $m \times N$  ビット幅のパラレルデータを出力するパラレルデータ出力部と、前記パラレルデータ出力部から出力された前記  $m \times N$  ビット幅のパラレルデータを  $m$  ビット幅のパラレルデータに変換して出力するトランシーバ部と、前記トランシーバ部から出力された前記  $m$  ビット幅のパラレルデータの位相を制御する位相同期制御部と、を備える信号発生装置であって、前記トランシーバ部は、前記  $m \times N$  ビット幅のパラレルデータのうち、 $N$  ビット幅のパラレルデータを 1 ビット幅のシリアルデータに変換する  $m$  個のトランシーバを有し、各前記トランシーバは、前記  $N$  ビット幅のパラレルデータを格納し、読み出しクロック信号に応じて前記  $N$  ビット幅のパラレルデータを読み出される F I F O と、前記 F I F O から読み出された前記  $N$  ビット幅のパラレルデータを前記 1 ビット幅のシリアルデータに変換する P I S O と、前記 F I F O の使用量が使用量閾値以上であるか否かを判定する第 1 の使用量判定処理及び第 2 の使用量判定処理を実行する使用量判定部と、前記読み出しクロック信号の位相を所定量減少させる第 1 の位相調整処理と、前記読み出しクロック信号の位相を所定量増加させる第 2 の位相調整処理と、を実行する位相調整部と、を有しており、前記位相同期制御部は、各前記トランシーバから前記シリアルデータの出力が開始されたことを条件として、前記使用量判定部に前記第 1 の使用量判定処理を実行させ、前記位相同期制御部は、前記第 1 の使用量判定処理により各前記トランシーバの F I F O の使用量が前記使用量閾値以上であると判定されたことを条件として、前記位相調整部に前記第 1 の位相調整処理を実行させ、前記位相同期制御部は、前記第 1 の使用量判定処理により各前記トランシーバの F I F O の使用量が前記使用量閾値未満であると連続して判定された回数が第 1 の判定回数に到達したことを条件として、前記使用量判定部に前記第 2 の使用量判定処理を実行させ、前記位相同期制御部は、前記第 2 の使用量判定処理により各前記トランシーバの F I F O の使用量が前記使用量閾値未満であると判定されたことを条件として、前記位相調整部に前記第 2 の位相調整処理を実行させ、前記位相同期制御部は、前記第 2 の使用量判定処理により各前記トランシーバの F I F O の使用量が前記使用量閾値以上であると連続して判定された回数が第 2 の判定回数に到達したことを条件として、前記位相調整部に前記読み出しクロック信号の位相の調整を終了させる構成である。

20

30

**【 0 0 1 2 】**

この構成により、本発明に係る信号発生装置は、第 1 の使用量判定処理により各トランシーバの F I F O の使用量が使用量閾値未満であると連続して判定された回数が第 1 の判定回数に到達したことを条件として、第 2 の使用量判定処理を実行させる。さらに、本発明に係る信号発生装置は、第 2 の使用量判定処理により各トランシーバの F I F O の使用量が使用量閾値以上であると連続して判定された回数が第 2 の判定回数に到達したことを条件として、読み出しクロック信号の位相の調整を終了させる。この構成により、本発明に係る信号発生装置は、複数のトランシーバからそれぞれ出力されるシリアルデータ間の位相差の絶対値を 0 . 1 U I 以下に低減することができる。

40

**【 0 0 1 3 】**

また、本発明に係る信号発生装置においては、前記パラレルデータ出力部、前記トラン

50

シーバ部、及び前記位相同期制御部が、FPGA上に構成される構成であってもよい。

【0014】

この構成により、本発明に係る信号発生装置は、パラレルデータ出力部から出力されるパラレルデータのビット幅やトランシーバのチャンネル数を容易に変更できるため、将来、規格の変更や拡張があっても柔軟に対応することができる。

【0015】

また、本発明に係る信号発生装置は、前記位相同期制御部に前記第1及び第2の判定回数を設定する判定回数設定部を更に備え、前記判定回数設定部は、前記第1及び第2の判定回数として任意の値を前記位相同期制御部に仮設定する判定回数仮設定部と、前記判定回数仮設定部により仮設定された前記第1及び第2の判定回数に基づいた前記位相調整部による前記読み出しクロック信号の位相の調整が終了したときに、前記m個のトランシーバからそれぞれ出力される前記シリアルデータ間の位相差のうちの最大位相差を取得する最大位相差取得部と、前記判定回数仮設定部により仮設定された前記第1及び第2の判定回数と、前記最大位相差取得部により取得された前記最大位相差との関係を示すデータを記憶する記憶部と、前記記憶部に記憶された前記データの近似曲線を算出する近似曲線算出部と、前記近似曲線に基づいて、目標とする前記最大位相差を実現する前記第1及び第2の判定回数を推定する判定回数推定部と、前記判定回数推定部により推定された前記第1及び第2の判定回数を前記位相同期制御部に本設定する判定回数本設定部と、を含む構成であってもよい。

【0016】

この構成により、本発明に係る信号発生装置は、第1及び第2の判定回数と最大位相差の測定結果を近似することによって、最適な判定回数を推定することができる。このように、本発明に係る信号発生装置は、最適な判定回数を求めることによって、不必要に判定回数を増やす必要がなくなり、トランシーバチャンネル間の位相同期処理の完了時間を短縮することができる。

【0017】

また、本発明に係る信号発生装置は、基準クロック信号がm分周された分周クロック信号に基づいて、前記トランシーバ部から出力された前記mビット幅のパラレルデータを受けて、前記基準クロック信号のレートに応じたnビット幅のデータを出力するマルチプレクサと、前記トランシーバ部から出力された前記mビット幅のパラレルデータに同期したデータ同期クロック信号の位相と前記分周クロック信号の位相との位相差に基づいて、前記トランシーバ部から出力された前記mビット幅のパラレルデータと前記分周クロック信号とを同期させる同期装置と、前記マルチプレクサから出力された前記nビット幅のデータに応じたアナログ信号を出力するDACと、を更に備える構成であってもよい。

【0018】

この構成により、本発明に係る信号発生装置は、複数のトランシーバからそれぞれ出力されるシリアルデータ間の最大位相差の絶対値が0.1UI以下に低減されているため、MUXを用いてトランシーバ部から出力されたパラレルデータを多重化する際に意図通りのシリアルデータを生成することができる。

【0019】

また、本発明に係る信号発生方法は、 $m \times N$ ビット幅のパラレルデータを出力するパラレルデータ出力部と、前記パラレルデータ出力部から出力された前記 $m \times N$ ビット幅のパラレルデータをmビット幅のパラレルデータに変換して出力するトランシーバ部と、前記トランシーバ部から出力された前記mビット幅のパラレルデータの位相を制御する位相同期制御部と、を備える信号発生装置を用いる信号発生方法であって、前記トランシーバ部は、前記 $m \times N$ ビット幅のパラレルデータのうち、Nビット幅のパラレルデータを1ビット幅のシリアルデータに変換するm個のトランシーバを有し、各前記トランシーバは、前記Nビット幅のパラレルデータを格納し、読み出しクロック信号に応じて前記Nビット幅のパラレルデータを読み出されるFIFOと、前記FIFOから読み出された前記Nビット幅のパラレルデータを前記1ビット幅のシリアルデータに変換するPISOと、前記F

10

20

30

40

50

ＦＩＦＯの使用量が使用量閾値以上であるか否かを判定する第１の使用量判定処理及び第２の使用量判定処理を実行する使用量判定部と、前記読み出しクロック信号の位相を所定量減少させる第１の位相調整処理と、前記読み出しクロック信号の位相を所定量増加させる第２の位相調整処理と、を実行する位相調整部と、を有しており、前記位相同期制御部は、各前記トランシーバから前記シリアルデータの出力が開始されたことを条件として、前記使用量判定部に前記第１の使用量判定処理を実行させるステップと、前記第１の使用量判定処理により各前記トランシーバのＦＩＦＯの使用量が前記使用量閾値以上であると判定されたことを条件として、前記位相調整部に前記第１の位相調整処理を実行させるステップと、前記第１の使用量判定処理により各前記トランシーバのＦＩＦＯの使用量が前記使用量閾値未満であると連続して判定された回数が第１の判定回数に到達したことを条件として、前記使用量判定部に前記第２の使用量判定処理を実行させるステップと、前記第２の使用量判定処理により各前記トランシーバのＦＩＦＯの使用量が前記使用量閾値未満であると判定されたことを条件として、前記位相調整部に前記第２の位相調整処理を実行させるステップと、前記第２の使用量判定処理により各前記トランシーバのＦＩＦＯの使用量が前記使用量閾値以上であると連続して判定された回数が第２の判定回数に到達したことを条件として、前記位相調整部に前記読み出しクロック信号の位相の調整を終了させるステップと、を実行する構成である。

10

【発明の効果】

【００２０】

本発明は、複数のトランシーバからそれぞれ出力されるシリアルデータ間の位相差の絶対値を $0.1UI$ 以下に低減することができる信号発生装置及び信号発生方法を提供するものである。

20

【図面の簡単な説明】

【００２１】

【図１】本発明の実施形態に係る信号発生装置の構成を示すブロック図である。

【図２】本発明の実施形態に係る信号発生装置が備えるトランシーバ部の１チャンネル分の構成を示すブロック図である。

【図３】本発明の実施形態に係る信号発生装置による位相同期処理を説明するための状態遷移図である。

【図４】位相同期処理における連続判定回数と $m$ 個のトランシーバ間の最大位相差との関係を示す表である。

30

【図５】位相同期処理における連続判定回数と $m$ 個のトランシーバ間の最大位相差との関係を示すグラフである。

【図６】本発明の実施形態に係る信号発生装置が備える判定回数設定部の構成を示すブロック図である。

【図７】本発明の実施形態に係る信号発生装置が備える近似曲線算出部により算出された近似曲線を図５のデータに重ねて示すグラフである。

【図８】従来のデータ信号発生装置の構成を示すブロック図である。

【発明を実施するための形態】

【００２２】

以下、本発明に係る信号発生装置及び信号発生方法の実施形態について、図面を用いて説明する。

40

【００２３】

図１に示す本実施形態に係る信号発生装置１は、データ出力部１０と、判定回数設定部３２と、チャンネル間位相調整部４０と、MUX４１と、DAC４２と、操作部４３と、同期装置５０と、制御部６０と、を備える。なお、データ出力部１０は、例えばFPGA又はASIC上に構成されるが、以下では、これらがFPGA上に構成されるものとして説明する。

【００２４】

データ出力部１０は、パラレルデータ出力部１１と、トランシーバ部１２と、位相同期

50

制御部 31 と、を含む。

【0025】

パラレルデータ出力部 11 は、あらかじめ所定パターンの一連のデータ列を記憶している内部のメモリ（図示せず）、あるいは、このデータ列を生成する演算回路（図示せず）を有しており、 $m \times N$  ビット幅のパラレルデータを出力するようになっている。ここで、 $m$  及び  $N$  は、それぞれ 2 以上の整数である。

【0026】

パラレルデータ出力部 11 は、操作部 43 から入力されるパターン情報に基づいて、例えば、2 値以上の多値  $K$ （ $K$  は 2 以上の整数）からなる PAM 信号のパターンを  $m \times N$  ビット幅のパラレルデータとして出力するようになっている。パラレルデータ出力部 11 は、例えば、NRZ 信号（ $K = 2$ ）、PAM3 信号（ $K = 3$ ）、PAM4 信号（ $K = 4$ ）、PAM5 信号（ $K = 5$ ）、PAM6 信号（ $K = 6$ ）、PAM7 信号（ $K = 7$ ）、PAM8 信号（ $K = 8$ ）などの任意の多値  $K$  からなる PAM 信号のパターンを生成する。ここで、パターン情報とは、 $K$  の値、パターンの種類（例えば、PRBS（Pseudo Random Binary Sequence）パターン、SSPRQ（Short Stress Pattern Random Quaternary）パターン、任意のパターン）などの PAM 信号のパターンの情報である。

【0027】

トランシーバ部 12 は、同期装置 50 からのデータ要求信号  $A'$  に基づいたクロック信号を生成するクロック生成部 13 と、 $m$  個のトランシーバ 14-1 ~ 14- $m$  と、を有している。

【0028】

各トランシーバ 14-1 ~ 14- $m$  は、FPGA の出力部であって、0 又は 1 のデジタル信号を出力する。各トランシーバ 14-1 ~ 14- $m$  は、クロック生成部 13 により生成されたクロック信号のタイミングで、パラレルデータ出力部 11 から出力された  $m \times N$  ビット幅のパラレルデータのうち、 $N$  ビット幅のパラレルデータを 1 ビット幅のシリアルデータに変換するようになっている。すなわち、トランシーバ部 12 は、パラレルデータ出力部 11 から出力された  $m \times N$  ビット幅のパラレルデータを  $m$  ビット幅のパラレルデータ  $D_p$  に変換して出力するようになっている。

【0029】

また、トランシーバ部 12 は、 $m$  ビット幅のパラレルデータ  $D_p$  の出力タイミングに同期したデータ同期クロック信号  $CK_p$  を出力するようになっている。データ同期クロック信号  $CK_p$  を出力する構成としては、例えば、パラレルデータ  $D_p$  から再生クロック信号を生成するクロック再生回路（図示せず）がデータ出力部 10 に設けられていてもよい。あるいは、 $m$  個のトランシーバ 14-1 ~ 14- $m$  以外に、パラレルデータ  $D_p$  の出力タイミングに同期したデータ同期クロック信号  $CK_p$  を出力するクロック出力用トランシーバ（図示せず）がトランシーバ部 12 に別途設けられていてもよい。

【0030】

図 2 は、トランシーバ部 12 の 1 チャンネル分の構成を示す図である。ここでは、一例としてトランシーバ 14-1 の構成を示しているが、他のトランシーバ 14-2 ~ 14- $m$  も同様の構成を有している。

【0031】

図 2 に示すように、各トランシーバ 14-1 ~ 14- $m$  は、パラレルデータ出力部 11 から出力された  $m \times N$  ビット幅のパラレルデータのうちの  $N$  ビット幅のパラレルデータを格納する FIFO（First-In First-Out）15 と、読み出しクロック信号に応じて FIFO 15 から読み出された  $N$  ビット幅のパラレルデータを 1 ビット幅のシリアルデータに変換する PISO（Parallel-In Serial-Out）16 と、FIFO 15 の使用量が使用量閾値以上であるか否かを判定する第 1 及び第 2 の使用量判定処理を実行する使用量判定部 17 と、FIFO 15 の読み出しクロック信号の位相を減少又は増加させるように調整する位相調整部 18 と、分周器 19、20 と、減算器 21 と、を有している。

【0032】

10

20

30

40

50

つまり、各トランシーバ14-1~14-mは、格納されたNビット幅の平行データをFIFO15から読み出し、読み出した平行データに対してPISO16で平行/シリアル変換を行って、シリアルデータを出力するようになっている。

【0033】

本実施形態の信号発生装置1において、トランシーバ部12は、例えば、Xilinx社の提供するTX Phase Interpolator PPM Controller (以下、「TXPI」と呼ぶ)のよう  
に、読み出しクロック信号の位相調整を行う機能が搭載されているトランシーバで構成  
することができる。また、例えば、データ出力部10が構成されるFPGAとしては、Xilin  
x社製のGTYトランシーバを備えたUltraScale+などを好適に用いることができる。

【0034】

一般に、FPGA上に構成された複数のトランシーバは、それらの起動後又はリセット  
後に、実際にデータが出力されるまでのタイミングが必ずしも互いに一致しない。このた  
め、データの出力が始まったタイミングでは、各トランシーバ14-1~14-mのFIFO15  
の使用量は通常異なっている。また、1つのトランシーバに注目した場合も、起  
動ごと又はリセットごとにデータの出力が開始されたときの使用量が異なる場合がある。

【0035】

以下、図2を参照しながら、TXPIの基本的な動作について述べる。

【0036】

FIFO15は、平行データ出力部11から出力された平行データのバッファ  
として機能し、Nビット幅の平行データを最大Mワードまで記憶できるようになって  
いる。FIFO15は、入力された書き込みクロック信号又は読み出しクロック信号の立  
ち上がりのタイミングで、Nビット幅の平行データの書き込み又は読み出しが行われ  
るようになっている。書き込みクロック信号と読み出しクロック信号は、例えば、クロ  
ック生成部13により生成されたクロック信号に基づく信号である。クロック生成部13  
により生成されたクロック信号は、各トランシーバ14-1~14-mに振り分けられるよ  
うになっている。これにより、トランシーバ部12へのクロック入力数をトランシーバ1  
4-1~14-mの個数mよりも少なくすることができるため、トランシーバ部12のI  
Oリソースの消費を低減することができる。

【0037】

分周器19は、FIFO15の最大ワード数Mで読み出しクロック信号を分周して、F  
IFO15の読み出しアドレスを得るようになっている。一方、分周器20は、FIFO  
15の最大ワード数Mで書き込みクロック信号を分周して、FIFO15の書き込みアド  
レスを得るようになっている。

【0038】

減算器21は、分周器19, 20からそれぞれ出力される読み出しアドレス及び書き込  
みアドレスの差分を出力するようになっている。減算器21から出力される差分は、F  
IFO15の使用量を反映している。

【0039】

使用量判定部17は、減算器21から出力された差分が使用量閾値以上であるか否かを  
、データ出力部10が構成されるFPGAの動作クロックの1クロックごとに判定する第  
1及び第2の使用量判定処理を実行するようになっている。使用量判定部17は、FIFO  
15の読み出しアドレスと書き込みアドレスの差分をFIFO15の使用量として常時  
監視しており、この使用量が使用量閾値未満の場合0を、使用量閾値以上の場合1を出力  
するようになっている。例えば、使用量閾値は、 $M/2$ 、すなわちFIFO15の最大ワ  
ード数Mの2分の1である。FIFO15の使用量は、読み出しクロック信号の位相が変  
化することによって変化する。

【0040】

位相調整部18は、読み出しクロック信号の位相を所定量減少させる第1の位相調整処  
理と、読み出しクロック信号の位相を所定量増加させる第2の位相調整処理と、を実行す  
るようになっている。第1の位相調整処理はFIFO15の使用量を減少させる処理であ

10

20

30

40

50

り、第2の位相調整処理はFIFO15の使用量を増加させる処理である。

【0041】

位相調整部18は、FIFO15の読み出しクロック信号の位相を調整することによって、FIFO15の読み出しアドレス値をずらすことができる。これにより、FIFO15から出力されるパラレルデータの位相がずれる。ただし、位相調整部18は、FIFO15から出力されるパラレルデータの位相を任意の値に調整することはできず、また一度に調整できる位相調整幅も限られている。例えば、各トランシーバ14-1~14-mの出力データ速度が32Gbpsのときには、位相調整部18が調整可能な位相調整幅は1/64UIステップ幅である。

【0042】

以下、図3の状態遷移図を参照しながら、トランシーバ部12から出力されたmビット幅のパラレルデータDpの位相を制御する位相同期制御部31の位相同期処理を説明する。位相同期制御部31の位相同期処理は、チャンネルごと、すなわちトランシーバ14-1~14-mごとに独立して実行される。

【0043】

図3に示すように、位相同期制御部31は、S1~S7の8つの状態、すなわち初期状態、PRESET状態、BUFCHK1状態、TXPI\_DEC状態、TXPI\_INC状態、BUFCHK2状態、及びPHASEADJ状態を含む。状態間の矢印は、遷移とその方向を表している。

【0044】

まず、位相同期制御部31は、初期状態S1からPRESET状態S2に遷移する。PRESET状態S2は、各トランシーバ14-1~14-mがシリアルデータの出力を開始するまで待機する状態である。ここで、各トランシーバ14-1~14-mは、起動後リセット後にシリアルデータの出力を開始できる状態になったときに、クロック生成回路(図示せず)においてクロックの生成を開始するようになっている。位相同期制御部31は、このクロックの立ち上がりを検出することで、各トランシーバ14-1~14-mがシリアルデータの出力を開始したタイミングを検知することができる。

【0045】

位相同期制御部31は、各トランシーバ14-1~14-mがシリアルデータの出力を開始したことを検知すると、PRESET状態S2からBUFCHK1状態S3に遷移する。BUFCHK1状態S3は、位相同期制御部31が使用量判定部17に第1の使用量判定処理を実行させる状態である。

【0046】

位相同期制御部31は、第1の使用量判定処理により各トランシーバ14-1~14-mのFIFO15の使用量が使用量閾値以上であると判定されたことを条件として、BUFCHK1状態S3からTXPI\_DEC状態S4に遷移する。TXPI\_DEC状態S4は、位相同期制御部31が位相調整部18に第1の位相調整処理を実行させる状態である。

【0047】

位相同期制御部31は、第1の位相調整処理により各トランシーバ14-1~14-mのFIFO15の読み出しクロック信号の位相が所定量減少されたことを条件として、TXPI\_DEC状態S4から再びBUFCHK1状態S3に遷移する。

【0048】

位相同期制御部31は、第1の使用量判定処理により各トランシーバ14-1~14-mのFIFO15の使用量が使用量閾値未満であると連続して判定された回数が第1の判定回数に到達したことを条件として、BUFCHK1状態S3からTXPI\_INC状態S5に遷移する。TXPI\_INC状態S5は、位相同期制御部31が位相調整部18に第2の位相調整処理を実行させる状態である。

【0049】

位相同期制御部31は、第2の位相調整処理により各トランシーバ14-1~14-mのFIFO15の読み出しクロック信号の位相が所定量増加されたことを条件として、TXPI\_INC状態S5からBUFCHK2状態S6に遷移する。BUFCHK2状態S6は、位相同期制

10

20

30

40

50

御部 3 1 が使用量判定部 1 7 に第 2 の使用量判定処理を実行させる状態である。

【 0 0 5 0 】

位相同期制御部 3 1 は、第 2 の使用量判定処理により各トランシーバ 1 4 - 1 ~ 1 4 - m の F I F O 1 5 の使用量が使用量閾値未満であると判定されたことを条件として、BUFCHK2 状態 S 6 から再び TXPI\_INC 状態 S 5 に遷移する。

【 0 0 5 1 】

位相同期制御部 3 1 は、第 2 の使用量判定処理により各トランシーバ 1 4 - 1 ~ 1 4 - m の F I F O 1 5 の使用量が使用量閾値以上であると連続して判定された回数が第 2 の判定回数に到達したことを条件として、BUFCHK2 状態 S 6 から PHASEADJ 状態 S 7 に遷移する。PHASEADJ 状態 S 7 は、位相同期制御部 3 1 が、位相調整部 1 8 に読み出しクロック信号の位相の調整を終了させ、トランシーバ 1 4 - 1 ~ 1 4 - m にリセット信号の入力があるまで待機する状態である。

10

【 0 0 5 2 】

位相同期制御部 3 1 は、図 3 に示した処理を全てのトランシーバ 1 4 - 1 ~ 1 4 - m に対して行うことによって、全てのチャンネルの F I F O 1 5 の使用量を半分にそろえることができるため、全てのチャンネルのデータレイテンシをそろえることができる。パラレルデータ出力部 1 1 から出力される  $m \times N$  ビット幅のパラレルデータの位相は、全てのチャンネル間で同位相であるため、各トランシーバ 1 4 - 1 ~ 1 4 - m から出力されるシリアルデータの位相もほぼ同位相にそろえることになる。

【 0 0 5 3 】

図 3 に示した処理によれば、位相調整部 1 8 による位相調整幅が  $1 / 64$  UI の場合、計算上  $\pm 0.008$  UI の精度（理論限界値）で各トランシーバ 1 4 - 1 ~ 1 4 - m から出力されるシリアルデータの位相を調整することができる。なお、第 1 及び第 2 の判定回数は共に等しくてもよく、互いに異なっていてもよい。

20

【 0 0 5 4 】

図 3 に示した位相同期制御部 3 1 の処理において、仮に、BUFCHK1 状態 S 3 から TXPI\_DEC 状態 S 4 への遷移、BUFCHK2 状態 S 6 から TXPI\_INC 状態 S 5 への遷移、BUFCHK1 状態 S 3 から TXPI\_INC 状態 S 5 への遷移、並びに、BUFCHK2 状態 S 6 から PHASEADJ 状態 S 7 への遷移が、それぞれの判定条件を 1 回満たせば実行される場合には、位相調整完了後に  $m$  個のトランシーバ 1 4 - 1 ~ 1 4 - m から出力されるシリアルデータ間の最大位相差は、上記の理論限界値よりも大きな値となる。これは、書き込みクロック信号と読み出しクロック信号のジッタ成分によって、F I F O 1 5 の使用量が常時揺らいでいるため、使用量判定部 1 7 による第 1 及び第 2 の使用量判定処理の判定結果にも揺らぎが生じるためであると考えられる。

30

【 0 0 5 5 】

そこで、本実施形態の信号発生装置 1 は、図 3 に示した位相同期制御部 3 1 の処理において、BUFCHK1 状態 S 3 から TXPI\_INC 状態 S 5 への遷移、BUFCHK2 状態 S 6 から PHASEADJ 状態 S 7 への遷移については、連続して遷移条件を満たすべき第 1 及び第 2 の判定回数を規定し、それらの回数分連続で遷移条件に一致した場合のみ遷移を実行するようにしている。

40

【 0 0 5 6 】

使用量判定部 1 7 により第 1 及び第 2 の使用量判定処理が実行される間隔は、データ出力部 1 0 が構成されている F P G A の動作クロック周波数に依存する。例えば、F P G A の動作クロック周波数が  $125$  MHz のときに、第 1 及び第 2 の使用量判定処理がそれぞれ  $8$  ns 間隔で実行された場合について、連続判定回数と  $m$  個のトランシーバ 1 4 - 1 ~ 1 4 - m 間の最大位相差との関係を示す表を図 4 に、そのグラフを図 5 に示す。ここでは、第 1 及び第 2 の判定回数は共に等しいとしており、例えば、連続判定回数が  $1000$  であるとは、第 1 の判定回数が  $1000$  であり、第 2 の判定回数も  $1000$  であることを意味する。また、このときの各トランシーバ 1 4 - 1 ~ 1 4 - m の出力データ速度は  $1$  チャンネルあたり  $32$  Gbps である。図 4 及び図 5 に示す結果から、連続判定回数と最大位相

50

差には相関関係があり、連続判定回数が8000回以上の条件において、最大位相差の絶対値が0.1UI未満になることがわかる。

【0057】

また、連続判定回数に未達の状態で、第1又は第2の使用量判定処理において遷移条件が満たされなくなった場合、位相同期制御部31は、連続判定回数のカウントをリセットするようになっている。例えば、BUFCHK1状態S3の第1の使用量判定処理で、第1の判定回数に到達する前に、トランシーバ14-1~14-mのFIFO15の使用量が使用量閾値以上であると判定された場合には、位相同期制御部31は、カウントした第1の判定回数をリセットして、TXPI\_DEC状態S4に遷移する。同様に、BUFCHK2状態S6の第2の使用量判定処理で、第2の判定回数に到達する前に、トランシーバ14-1~14-mのFIFO15の使用量が使用量閾値未満であると判定された場合には、位相同期制御部31は、カウントした第2の判定回数をリセットして、TXPI\_INC状態S5に遷移する。

10

【0058】

このため、連続判定回数が65535回の場合においても、位相調整部18による第1及び第2の位相調整処理が完了する時間は最大50ms程度であり、連続判定回数を増やすことに対する時間的デメリットは少ない。よって、本例では、マージンを設けて連続判定回数を10000回以上とすることにより、要求される最大位相差の絶対値が0.1UI以下となるチャンネル間の位相調整をより確実に実現できる。

【0059】

また、第1及び第2の位相調整処理が完了する50ms程度の時間を更に短縮する必要がある場合には、本例では連続判定回数を5000から10000回の間を設定すれば、第1及び第2の位相調整処理に要する時間に比して、最大位相差を効果的に小さくすることができる。

20

【0060】

図1等に示す判定回数設定部32は、位相同期制御部31に第1及び第2の判定回数を設定するようになっている。例えば、図6に示すように、判定回数設定部32は、判定回数仮設定部33と、最大位相差取得部34と、記憶部35と、近似曲線算出部36と、判定回数推定部37と、判定回数本設定部38と、を含むものであってもよい。

【0061】

判定回数仮設定部33は、第1及び第2の判定回数として任意の値を位相同期制御部31に仮設定するようになっている。例えば、図4及び図5に示す例では、第1及び第2の判定回数として、10、100、1000、5000、8000、10000、65535のうちのいずれかが設定される。これにより、位相同期制御部31は、仮設定された第1及び第2の判定回数に基づいて、図3に示した処理を実行する。

30

【0062】

最大位相差取得部34は、判定回数仮設定部33により設定された第1及び第2の判定回数に基づいた位相調整部18による読み出しクロック信号の位相の調整が終了したときに(PHASEADJ状態S7)、m個のトランシーバ14-1~14-mからそれぞれ出力されるシリアルデータ間の位相差のうちの最大位相差を取得するようになっている。

40

【0063】

例えば、最大位相差取得部34は、m個のトランシーバ14-1~14-mからそれぞれ出力されるシリアルデータ間の位相差を測定するオシロスコープなどの測定器(図示せず)から得られた位相差の中から最大位相差を取得するものであってもよい。

【0064】

記憶部35は、判定回数仮設定部33により仮設定された第1及び第2の判定回数と、最大位相差取得部34により取得された最大位相差との関係を示すデータを記憶するようになっている。

【0065】

近似曲線算出部36は、記憶部35に記憶されたデータの近似曲線を算出するようにな

50

っている。

【 0 0 6 6 】

以下、図 4 及び図 5 のデータを例に挙げて、近似曲線算出部 3 6 による近似曲線の算出方法について説明する。

【 0 0 6 7 】

図 5 のグラフに示すように、連続判定回数が増加するほど最大位相差が減少する理由は、書き込みクロック信号と読み出しクロック信号のジッタ成分による F I F O 1 5 の使用量の揺らぎが、連続判定回数が増加するほど打ち消されるためであると考えられる。

【 0 0 6 8 】

クロックのジッタ成分は、時間軸方向と電圧軸方向に大別される。一般的に時間軸方向のジッタ成分の方がジッタ量として大きく、影響も大きいため、まずは時間軸方向のジッタ成分に注目する。時間軸方向のジッタ成分は、クロックの 1 ビット当たりの時間軸方向のジッタ量  $T_j$  と、1 ビットの間隔  $T_{bit}$  との比  $T_j / T_{bit}$  で与えられる。

【 0 0 6 9 】

ここで、時間軸方向のジッタ成分が理想的な分布（正規分布）に従っていると仮定する。クロックのジッタ成分が正規分布に近い分布をしている場合、連続判定回数と最大位相差の関係性も正規分布に近いものになることが推測できる。

【 0 0 7 0 】

図 7 は、記憶部 3 5 に記憶された連続判定回数と最大位相差の関係を示すデータに基づいて近似曲線算出部 3 6 により算出された近似曲線 3 9 が、図 5 のデータに重ね合わされたグラフである。図中下部の横線は、理論限界値である  $\pm 0.008 \text{ UI}$  を示している。ここで、図 7 に示す近似曲線 3 9 は、下記の式 ( 1 ) に示すように、標準正規分布のグラフに係数  $\alpha$ 、 $\beta$  が追加されたものである。

【 0 0 7 1 】

【数 1】

$$y = f(x) = \frac{\alpha}{\sqrt{2\pi}} \exp\left(-\frac{\beta x^2}{2}\right) \quad \dots (1)$$

【 0 0 7 2 】

まず、近似曲線算出部 3 6 は、式 ( 1 ) における係数  $\alpha$  を算出する。係数  $\alpha$  は、 $0.55 (= 0.22 / 0.4)$  であり、これは、連続判定回数が 1 0 のときの最大位相差の絶対値である  $0.22 \text{ UI}$  と、標準正規分布のグラフの頂点の  $y$  軸の値である  $0.4$  との比である。

【 0 0 7 3 】

また、近似曲線算出部 3 6 は、式 ( 1 ) における係数  $\beta$  を下記のように算出する。図 5 のグラフにおいて、連続判定回数が 1 0 のときの最大位相差  $\pm 0.22 \text{ UI}$  の半分の値である  $\pm 0.11 \text{ UI}$  に最も近いデータ点は、連続判定回数 5 0 0 0 回、最大位相差  $\pm 0.13 \text{ UI}$  の点である。

【 0 0 7 4 】

近似曲線算出部 3 6 は、連続判定回数 5 0 0 0 回の  $1 / 10 \sim 10 / 1$ 、つまり 5 0 0 回  $\sim$  5 0 0 0 0 回の範囲の最大位相差のデータ点を抽出し、これらデータ点の近似直線を求める。このとき得られた近似直線は、 $y = -0.00001326x + 0.18206522$  である。式 ( 1 ) における係数  $\beta$  は、式 ( 1 ) の近似曲線が、近似直線  $y = -0.00001326x + 0.18206522$  と  $y = 0.11$  において接するように調整するための値である。

【 0 0 7 5 】

図 7 に示すように、図 5 のデータが標準正規分布の曲線の形状に近いものになることから、図 5 に示すような連続判定回数と最大位相差との関係は、書き込みクロック信号と読み出しクロック信号のジッタ成分を反映したものであることが確認できる。

10

20

30

40

50

## 【 0 0 7 6 】

次に、電圧方向のジッタ成分について述べる。図 7 において、時間方向のジッタ成分が支配的でなくなる連続判定回数 6 5 5 3 5 回以降のデータ点は、理論限界値の影響も加わり、近似曲線 3 9 のグラフのように 0 に漸近することはないと考えられる。つまり、この標準正規分布に基づく近似曲線 3 9 と、連続判定回数 6 5 5 3 5 回以降の最大位相差のデータ点との差異は、電圧方向のジッタ成分と理論限界によるものであるといえる。

## 【 0 0 7 7 】

図 6 に戻り、判定回数推定部 3 7 は、近似曲線算出部 3 6 により算出された近似曲線 3 9 に基づいて、目標とする最大位相差を実現する連続判定回数又は第 1 及び第 2 の判定回数を推定するようになっている。例えば、目標とする最大位相差は、ユーザによる操作部 4 3 への操作入力により、最大位相差  $\pm 0.1$  UI を満たす範囲で設定されてもよい。

10

## 【 0 0 7 8 】

例えば、判定回数推定部 3 7 は、理論限界値と近似曲線 3 9 との交点、若しくはそれ以外の目標とする最大位相差の値と近似曲線 3 9 との交点を求めることにより、最適な連続判定回数を推定することができる。このように、判定回数推定部 3 7 により最適な連続判定回数を求めることによって、不必要に連続判定回数を増やす必要がなくなり、図 3 の状態遷移図に示すような位相同期制御部 3 1 による位相同期処理の完了時間の短縮が可能となる。

## 【 0 0 7 9 】

図 4 及び図 5 に示す例において、位相同期制御部 3 1 による位相同期処理の完了までの時間は最大 5 0 m s 程度であったが、これは F P G A の動作クロック周波数が 1 2 5 M H z の条件下における値である。デバイスのないし電力的な制約によってより低い動作クロック周波数での動作を強いられる条件であっても、本実施形態の信号発生装置 1 は、上記のような近似曲線 3 9 を用いた連続判定回数の推定を行うことで、最低限の時間でチャンネル間の位相同期を実現することができる。

20

## 【 0 0 8 0 】

あるいは、判定回数設定部 3 2 は、最大位相差  $\pm 0.1$  UI を実現できる範囲で、ユーザにより操作部 4 3 を介して入力された第 1 及び第 2 の判定回数又は連続判定回数を位相同期制御部 3 1 に設定するものであってもよい。例えば、図 4 及び図 5 の例であれば、ユーザが 8 0 0 0 回から 6 5 5 3 5 回までの範囲の連続判定回数を判定回数設定部 3 2 に自由

30

## 【 0 0 8 1 】

判定回数本設定部 3 8 は、ユーザにより操作部 4 3 を介して入力された第 1 及び第 2 の判定回数又は連続判定回数、あるいは、判定回数推定部 3 7 により推定された第 1 及び第 2 の判定回数又は連続判定回数を位相同期制御部 3 1 に本設定するようになっている。

## 【 0 0 8 2 】

図 1 に戻り、チャンネル間位相調整部 4 0 の構成及び機能は、特許第 6 3 4 6 2 1 2 号に記載された誤り率測定装置と同様である。すなわち、本実施形態におけるチャンネル間位相調整部 4 0 は、外部から入力されるクロック信号 C K 3 の位相をトランシーバ 1 4 - 1 ~ 1 4 - m のチャンネル数分の m 個の位相可変器 ( 図示せず ) により変化させ、この変化されたクロック信号のタイミングで各トランシーバ 1 4 - 1 ~ 1 4 - m から出力されたシリアルデータをチャンネルごとに打ち抜くものである。各位相可変器の位相量は、各トランシーバ 1 4 - 1 ~ 1 4 - m から出力されたシリアルデータのチャンネルごとのアイパターンの開口の中心位置を基準にして調整される。各トランシーバ 1 4 - 1 ~ 1 4 - m からそれぞれ出力されるシリアルデータ間の最大位相差の絶対値は  $0.1$  UI 以下に低減されているため、チャンネル間位相調整部 4 0 は、トランシーバ部 1 2 から出力されたパラレルデータ D p を構成するシリアルデータの位相を全てのチャンネルでそろえることができる。なお、クロック信号 C K 3 としては、クロック信号 C K 1 やデータ要求信号 A' を利用してもよい。

40

## 【 0 0 8 3 】

M U X 4 1 の構成及び機能は、例えば、特許第 6 0 8 2 4 1 9 号に記載されたマルチブ

50

レクサと同様である。すなわち、本実施形態におけるM U X 4 1は、チャンネル間位相調整部4 0を介してトランシーバ部1 2から出力されたmビット幅の平行データD pをラッチして、高速の基準クロック信号C K 1に同期して所定順にnビットずつ選択し、基準クロック信号C K 1のレートに応じたnビット幅のデータD sとして出力することができる。ここで、nは1以上の整数である。すなわち、M U X 4 1は、トランシーバ部1 2からのmチャンネルの出力をnチャンネルに多重化することができる。

**【0084】**

また、M U X 4 1は、基準クロック信号C K 1をm分周して分周クロック信号Aを生成し、生成した分周クロック信号Aを同期装置5 0に出力するようになっている。分周クロック信号Aは、M U X 4 1がm個のデータを出力するごとにトランシーバ部1 2に次の平行データD pを要求するためのデータ要求信号である。また、分周クロック信号Aは、M U X 4 1のシリアル変換処理の動作タイミングも決定している。

10

**【0085】**

同期装置5 0の構成及び機能は、特許第6 0 8 2 4 1 9号に記載された同期装置と同様である。すなわち、本実施形態における同期装置5 0は、M U X 4 1から出力された分周クロック信号Aの位相と、トランシーバ部1 2からmビット幅の平行データD pの出力タイミングに同期して出力されるデータ同期クロック信号C K pの位相との位相差を測定し、測定した位相差に基づいてトランシーバ部1 2からの平行データD pの出力タイミングの調整を行っている。

**【0086】**

20

例えば、同期装置5 0は、分周クロック信号Aとデータ同期クロック信号C K pとの位相差に応じて、基準クロック信号C K 1の分周クロック信号C K 2（図8参照）のタイミングを調整してデータ要求信号A'とし、データ要求信号A'をトランシーバ部1 2に出力するようになっている。これにより、同期装置5 0は、トランシーバ部1 2から出力されたmビット幅の平行データD pと分周クロック信号Aとを同期させることができる。

**【0087】**

本実施形態におけるデータ出力部1 0は、チャンネル間の最大位相差の絶対値が0 . 1 U I以下の平行データD pを出力できるため、M U X 4 1がチャンネル間位相調整部4 0を介してトランシーバ部1 2から出力された平行データD pを多重化した際に、意図しないデータが生成されることがない。

30

**【0088】**

D A C 4 2は、nビットD A Cであり、M U X 4 1から出力されたnビット幅のデータD sに応じたアナログ信号、すなわち多値KのP A M信号を出力するようになっている。なお、M U X 4 1とD A C 4 2とは、別体のものであってもよく、一体化されたものであってもよい。例えば、本実施形態の信号発生装置1は、チャンネル間位相調整部4 0を介してトランシーバ部1 2の各チャンネルから出力された3 2 G b p sのシリアルデータ3 2本をM U X 4 1とD A C 4 2を用いてシリアル化する場合、1 2 8 G S y m b o l / s ( 1 0 2 4 G b p s )のアナログ信号を生成できるため、B E R測定のテスト信号として望ましい信号を発生することができる。

**【0089】**

40

操作部4 3は、ユーザによる操作入力を受け付けるためのものであり、例えば表示装置の表示画面に対応する入力面への接触操作による接触位置を検出するためのタッチセンサを備えるタッチパネルで構成される。あるいは、操作部4 3は、キーボード又はマウスのような入力デバイスを含んで構成されてもよい。操作部4 3への操作入力は、制御部6 0により検知されるようになっている。例えば、操作部4 3により、平行データ出力部1 1に入力されるパターン情報、目標とする最大位相差、第1及び第2の判定回数又は連続判定回数などの設定をユーザが任意に行うことが可能である。

**【0090】**

制御部6 0は、例えばC P U ( Central Processing Unit )、R O M ( Read Only Memory )、R A M ( Random Access Memory )、H D D ( Hard Disk Drive )などを含

50

むマイクロコンピュータ又はパーソナルコンピュータ等で構成され、ROMにあらかじめ記憶されたプログラムに従って信号発生装置1を構成する上記各部の動作を制御するものである。

【0091】

以上説明したように、本実施形態に係る信号発生装置1は、第1の使用量判定処理により各トランシーバ14-1~14-mのFIFO15の使用量が使用量閾値未満であると連続して判定された回数が第1の判定回数に到達したことを条件として、第2の使用量判定処理を実行させる。さらに、本実施形態に係る信号発生装置1は、第2の使用量判定処理により各トランシーバ14-1~14-mのFIFO15の使用量が使用量閾値以上であると連続して判定された回数が第2の判定回数に到達したことを条件として、読み出しクロック信号の位相の調整を終了させる。この構成により、本実施形態に係る信号発生装置1は、複数のトランシーバ14-1~14-mからそれぞれ出力されるシリアルデータ間の最大位相差の絶対値を0.1UI以下に低減することができる。

10

【0092】

例えば、データ出力部10が構成されるFPGAのトランシーバ14-1~14-mの1チャンネルの出力が32Gbpsの場合において、読み出しクロック信号の位相調整を行わなかった場合、チャンネル間の位相差は最大で±500ps、±8UI程度になる。これに対して、図3の状態遷移図に示した位相同期制御部31の位相同期処理を用いた場合、チャンネル間の最大位相差を±0.02UI程度まで低減することができる。

【0093】

また、本実施形態に係る信号発生装置1は、データ出力部10がFPGA上に構成されることにより、パラレルデータ出力部11から出力されるパラレルデータのビット幅やトランシーバ14-1~14-mのチャンネル数mを容易に変更できるため、将来、規格の変更や拡張があっても柔軟に対応することができる。

20

【0094】

また、本実施形態に係る信号発生装置1は、第1及び第2の判定回数と最大位相差の測定結果を近似することによって、最適な判定回数を推定することができる。このように、本実施形態に係る信号発生装置1は、最適な判定回数を求めることによって、不必要に判定回数を増やす必要がなくなり、トランシーバチャンネル間の位相同期処理の完了時間を短縮することができる。

30

【0095】

また、本実施形態に係る信号発生装置1は、複数のトランシーバ14-1~14-mからそれぞれ出力されるシリアルデータ間の最大位相差の絶対値が0.1UI以下に低減されているため、チャンネル間位相調整部40でこれらのシリアルデータ間の位相が1クロック以上ずれた位置で調整されることを防ぐことができる。これにより、本実施形態に係る信号発生装置1は、MUX41を用いてチャンネル間位相調整部40から出力されたパラレルデータを多重化する際に意図どおりのシリアルデータを生成することができる。

【符号の説明】

【0096】

- 1 信号発生装置
- 10 データ出力部
- 11 パラレルデータ出力部
- 12 トランシーバ部
- 13 クロック生成部
- 14-1~14-m トランシーバ
- 15 FIFO
- 16 PISO
- 17 使用量判定部
- 18 位相調整部
- 19, 20 分周器

40

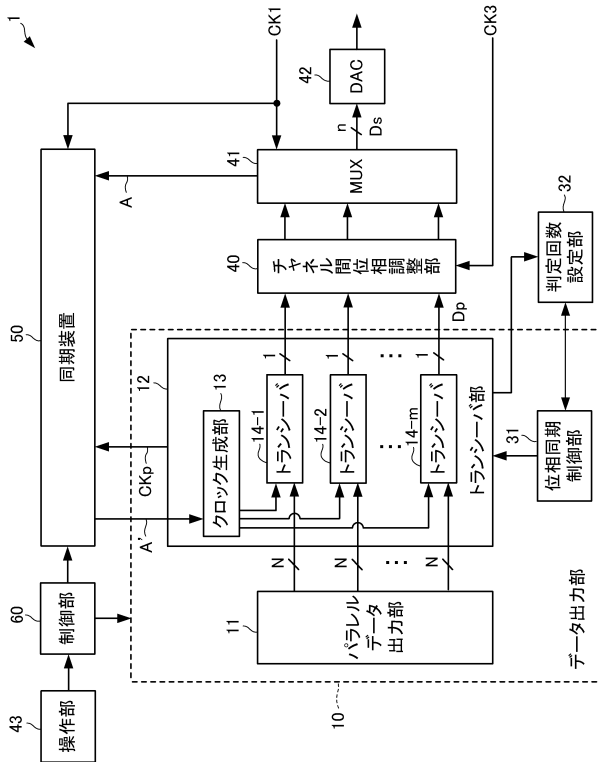
50

- 2 1 減算器
- 3 1 位相同期制御部
- 3 2 判定回数設定部
- 3 3 判定回数仮設定部
- 3 4 最大位相差取得部
- 3 5 記憶部
- 3 6 近似曲線算出部
- 3 7 判定回数推定部
- 3 8 判定回数本設定部
- 3 9 近似曲線
- 4 0 チャンネル間位相調整部
- 4 1 M U X
- 4 2 D A C
- 4 3 操作部
- 5 0 同期装置
- 6 0 制御部

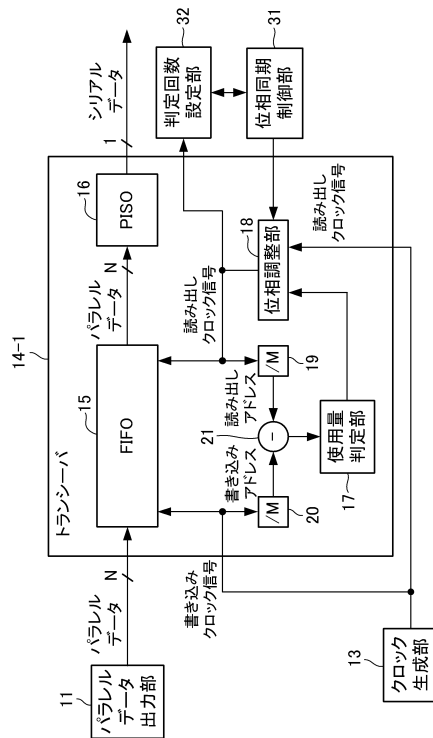
10

【図面】

【図 1】



【図 2】



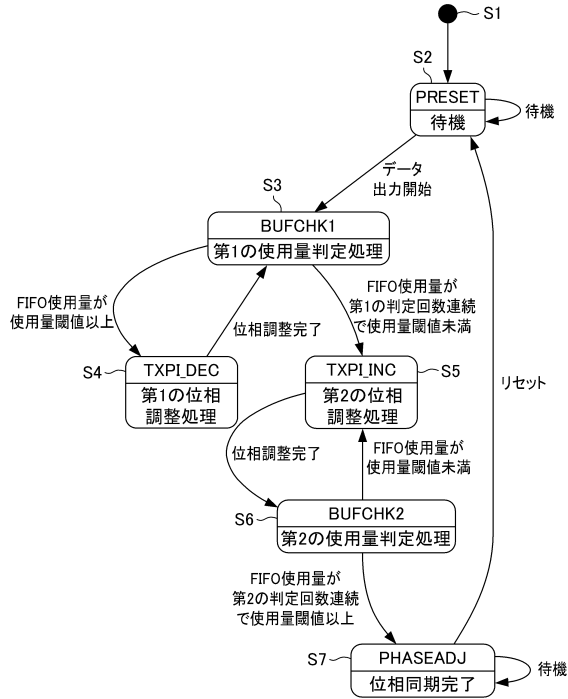
20

30

40

50

【図3】



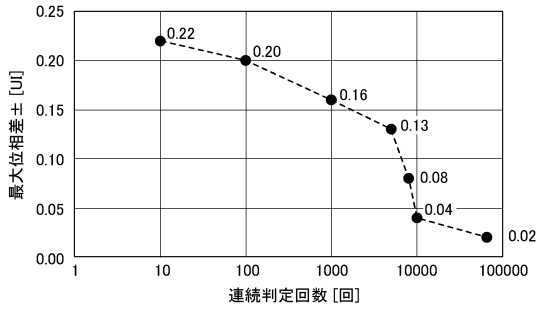
【図4】

連続判定回数	最大位相差±	
	[ps]	[U]
10	6.8	0.22
100	6.2	0.20
1000	5.0	0.16
5000	4.2	0.13
8000	2.4	0.08
10000	1.3	0.04
65535	0.6	0.02

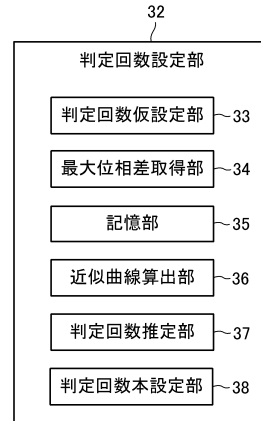
10

20

【図5】



【図6】

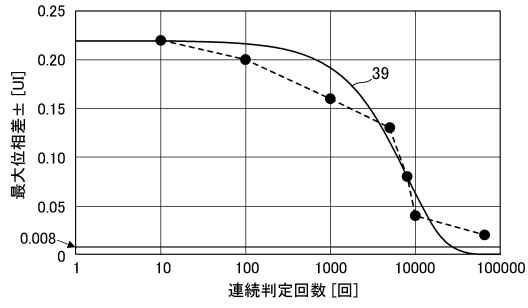


30

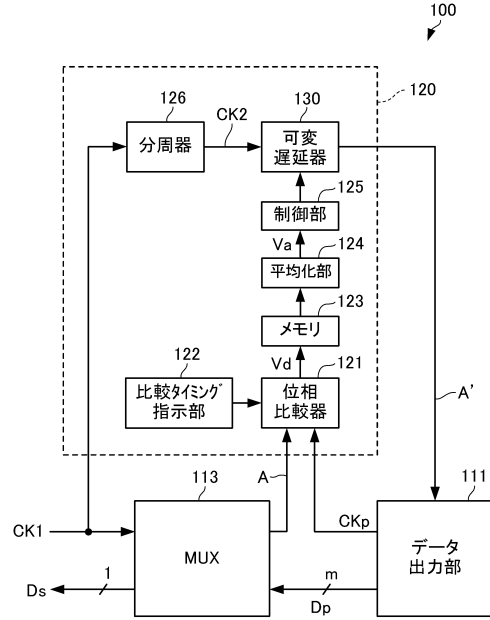
40

50

【図7】



【図8】



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 特開 2 0 2 2 - 0 9 4 0 9 9 ( J P , A )  
特開 2 0 0 5 - 0 9 4 1 2 2 ( J P , A )  
特開 2 0 0 3 - 2 5 6 0 6 5 ( J P , A )  
特開 2 0 0 4 - 0 7 2 2 1 7 ( J P , A )  
特開 2 0 0 4 - 2 2 1 9 5 1 ( J P , A )  
特開 2 0 1 6 - 1 9 2 5 9 6 ( J P , A )  
特開平 1 1 - 1 9 6 1 4 2 ( J P , A )  
米国特許第 0 6 7 4 4 7 8 7 ( U S , B 1 )
- (58)調査した分野 (Int.Cl., D B 名)  
H 0 4 L 7 / 0 0 - 7 / 1 0