

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4463373号  
(P4463373)

(45) 発行日 平成22年5月19日(2010.5.19)

(24) 登録日 平成22年2月26日(2010.2.26)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 2 6 C

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 2 7 B

H O 1 L 21/318 (2006.01)

H O 1 L 21/318 C

G O 9 F 9/30 (2006.01)

H O 1 L 21/318 M

G O 2 F 1/1368 (2006.01)

G O 9 F 9/30 3 3 8

請求項の数 7 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2000-78301 (P2000-78301)  
 (22) 出願日 平成12年3月21日(2000.3.21)  
 (65) 公開番号 特開2000-340799 (P2000-340799A)  
 (43) 公開日 平成12年12月8日(2000.12.8)  
 審査請求日 平成18年3月1日(2006.3.1)  
 (31) 優先権主張番号 特願平11-76992  
 (32) 優先日 平成11年3月23日(1999.3.23)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 早川 昌彦  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 坂間 光範  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 鳥海 聡志  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【特許請求の範囲】

【請求項1】

基板上の第1の酸窒化シリコン層と、  
 前記第1の酸窒化シリコン層上の第2の酸窒化シリコン層と、  
 前記第2の酸窒化シリコン層上の半導体膜と、  
 前記半導体膜上のゲート絶縁膜と、  
 前記ゲート絶縁膜上のゲート電極とを有し、  
 前記第1の酸窒化シリコン層はS i の濃度に対するNの濃度比が0.3以上1.6以下  
 であり、S i の濃度に対するOの濃度比が0.1以上1.7以下であり、  
 前記第2の酸窒化シリコン層は、前記第1の酸窒化シリコン層よりも窒素濃度が低いこ  
 とを特徴とする半導体装置。

10

【請求項2】

基板上の第1の酸窒化シリコン層と、  
 前記第1の酸窒化シリコン層上の第2の酸窒化シリコン層と、  
 前記第2の酸窒化シリコン層上の半導体膜と、  
 前記半導体膜上のゲート絶縁膜と、  
 前記ゲート絶縁膜上のゲート電極とを有し、  
 前記半導体膜は、チャンネル形成領域と、ソースおよびドレイン領域と、前記チャンネル形成  
 領域と前記ソースおよびドレイン領域との間に低濃度不純物領域とを有し、  
 前記第1の酸窒化シリコン層はS i の濃度に対するNの濃度比が0.3以上1.6以下

20

であり、S i の濃度に対する O の濃度比が 0 . 1 以上 1 . 7 以下であり、

前記第 2 の酸窒化シリコン層は、前記第 1 の酸窒化シリコン層よりも窒素濃度が低いこ  
とを特徴とする半導体装置。

【請求項 3】

基板上の第 1 の酸窒化シリコン層と、

前記第 1 の酸窒化シリコン層上の第 2 の酸窒化シリコン層と、

前記第 2 の酸窒化シリコン層上の半導体膜と、

前記半導体膜上のゲート絶縁膜と、

前記ゲート絶縁膜上のゲート電極とを有し、

前記半導体膜は、チャンネル形成領と、ソースおよびドレイン領域と、前記チャンネル形成  
領と前記ソースおよびドレイン領域との間に低濃度不純物領域とを有し、

前記低濃度不純物領域は、前記ゲート電極と重なる領域を有し、

前記第 1 の酸窒化シリコン層は S i の濃度に対する N の濃度比が 0 . 3 以上 1 . 6 以下  
であり、S i の濃度に対する O の濃度比が 0 . 1 以上 1 . 7 以下であり、

前記第 2 の酸窒化シリコン層は、前記第 1 の酸窒化シリコン層よりも窒素濃度が低いこ  
とを特徴とする半導体装置。

【請求項 4】

基板上の第 1 の酸窒化シリコン層と、

前記第 1 の酸窒化シリコン層上の第 2 の酸窒化シリコン層と、

画素部に形成された薄膜トランジスタと、

駆動回路に形成された薄膜トランジスタとを有し、

前記画素部に形成された薄膜トランジスタおよび前記駆動回路に形成された薄膜ラン  
ジスタは、それぞれ、

前記第 2 の酸窒化シリコン層上の半導体膜と、

前記半導体膜上のゲート絶縁膜と、

前記ゲート絶縁膜上のゲート電極と、

を有し、

前記半導体膜は、チャンネル形成領と、ソースおよびドレイン領域と、前記チャンネル形成  
領と前記ソースおよびドレイン領域との間に低濃度不純物領域とを有し、

前記低濃度不純物領域は、前記ゲート電極と重なる領域を有し、

前記第 1 の酸窒化シリコン層は S i の濃度に対する N の濃度比が 0 . 3 以上 1 . 6 以下  
であり、S i の濃度に対する O の濃度比が 0 . 1 以上 1 . 7 以下であり、

前記第 2 の酸窒化シリコン層は、前記第 1 の酸窒化シリコン層よりも窒素濃度が低いこ  
とを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれかーに記載の前記半導体装置を用いた電子機器。

【請求項 6】

請求項 5 に記載の前記電子機器は、パーソナルコンピュータ、ビデオカメラ、モバイル  
コンピュータ、ゴーグル型ディスプレイ、記録媒体を用いるプレーヤー、デジタルカメラ  
、フロント型プロジェクター、リア型プロジェクター、携帯電話、携帯書籍またはディス  
プレイであることを特徴とする電子機器。

【請求項 7】

基板上に、第 1 の酸窒化シリコン層を形成し、

前記第 1 の酸窒化シリコン層上に第 2 の酸窒化シリコン層を形成し、

前記第 2 の酸窒化シリコン層上に半導体膜を形成する工程を有し、

前記第 1 の酸窒化シリコン層は S i の濃度に対する N の濃度比は 0 . 3 以上 1 . 6 以下  
であり、S i の濃度に対する O の濃度比が 0 . 1 以上 1 . 7 以下であり、

前記第 2 の酸窒化シリコン層は、前記第 1 の酸窒化シリコン層よりも窒素濃度が低いこ  
とを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

10

20

30

40

50

## 【 0 0 0 1 】

## 【 発明が属する技術分野 】

本発明は、薄膜トランジスタでなる回路を有する半導体装置と、作製方法に関し、特に、基板と薄膜トランジスタの活性層を隔てる絶縁膜に関するものである。

## 【 0 0 0 2 】

このような、絶縁膜としては、基板全面に形成される下地膜や、ボトムゲート型（代表的には、逆スタガー型）の薄膜トランジスタのゲート絶縁膜である。本発明は、薄膜トランジスタの劣化を防止するために好適な下地膜やゲート絶縁膜に関する。

## 【 0 0 0 3 】

本発明の半導体装置は、薄膜トランジスタ（TFT）やMOSトランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路を有する表示装置やイメージセンサ等の電気光学装置をも含むものである。更に本発明の半導体装置は、これらの表示装置および電気光学装置を搭載した電子機器をも含むものである。

10

## 【 0 0 0 4 】

## 【 従来の技術 】

近年、液晶ディスプレイの大型化、低価格化のため、特にOA機器の分野ではCRTにかわって、液晶ディスプレイが市場を拡大している。

## 【 0 0 0 5 】

液晶ディスプレイに使用される薄膜トランジスタ（TFT、Thin Film Transistor）を多結晶シリコンにより製造することで、同一基板に画素マトリクス回路とドライバ回路を作製できる。更に微細加工が可能なため、高開口率化が可能になり、また高精細な表示も可能になった。

20

## 【 0 0 0 6 】

液晶ディスプレイのより一層の低価格化を実現するため、基板としてガラス基板を用いることが要求されており、このため、600～700 以下のプロセス温度でTFTを作製する技術が鋭意研究されている。

## 【 0 0 0 7 】

## 【 発明が解決しようとする課題 】

ガラス基板には $\text{Na}^+$ 等の不純物イオンが多く含まれているため、ガラス基板表面に酸化シリコンや窒化シリコン等の下地膜を成膜して、不純物イオンが半導体膜に侵入しないようにする必要がある。

30

## 【 0 0 0 8 】

ゲート電極により電圧が印加されると、活性層に電界が形成されるため、ガラス基板中の不純物イオンが活性層へと引き寄せられる。この結果、不純物イオンが下地膜やゲート絶縁膜を抜けてゲート絶縁膜や活性層に侵入してしまうと、電気的な特性が変動し経時的な信頼性を保証できなくなってしまう。

## 【 0 0 0 9 】

特に、トップゲート型TFTの場合には、チャネルが形成される領域が下地膜に接しているため、下地膜の膜質はTFTの特性に大きく影響する。

## 【 0 0 1 0 】

液晶パネルの作製工程において、通常、下地膜やゲート絶縁膜を形成するには、プラズマCVDが使用されている。これはプロセス温度が300～400 と低く、スループットが良く、大面積に成膜可能なためである。

40

## 【 0 0 1 1 】

また、通常、下地膜としては窒化シリコン（ $\text{SiN}_x$ ）や酸化シリコン（ $\text{SiO}_x$ ）が用いられている。窒化シリコン（ $\text{SiN}_x$ ）膜は不純物イオンのブロッキング効果が高いことが知られているが、トラップ準位が多くTFTの特性に問題となる。酸化シリコンは窒化シリコンよりもバンドギャップが広く絶縁性に優れ、トラップ準位が低いという長所がある。しかし、水分が吸着しやすく、また不純物イオンのブロッキング効果が低い。

## 【 0 0 1 2 】

50

また、液晶パネルの作製工程では、TFTを作製するために多くの膜を積層しているが、膜ごとの内部応力が異なるため、内部応力の相互作用により、TFTのしきい値などの電気特性が変動し、場合によって基板が反ったり、膜が剥離するという問題が生ずる。

【0013】

工程には、非晶質シリコンの結晶化というようなガラス基板の歪み点に近い温度で加熱する処理があるが、ガラス基板は加熱処理により収縮する。このため、内部応力の緩和のためにはガラス基板上に作製される絶縁膜の内部応力は引っ張り応力であることが望ましいと考える。

【0014】

本発明では、基板からの不純物をブロッキングし、かつ内部応力の問題を解消しうる絶縁膜を提供し、TFTの信頼性を向上することを目的とする。

10

【0015】

【課題を解決するための手段】

上述の問題点を解消するために、本発明は基板と活性層を構成する半導体膜とを隔てる絶縁膜として、酸窒化シリコン( $\text{SiO}_x\text{N}_y$ )層を少なくとも含む絶縁膜を基板上に形成する。

【0016】

酸窒化シリコン層を成膜することにより、膜のブロッキング効果を向上し、かつ基板の収縮による影響を緩和して、熱ストレスの耐性を向上させる。

【0017】

20

このために、酸化シリコン膜の窒素含有量を増やすことで、不純物のブロッキングと水の吸着防止を実現し、かつ基板の収縮を相殺するために、asdepo状態かつ加熱処理後にも引っ張り応力を示す酸窒化シリコン膜とする。

【0018】

このような特性を備えるには、酸窒化シリコン膜の組成に適切な範囲があり、本発明はそれを見いだしたものであり、酸窒化シリコン膜のSiの濃度に対するNの濃度比、Nの組成比/Siの組成比は0.3~1.6であり、好ましくは0.6~1.4である。

【0019】

Nの組成比同様、Oの組成比にも適切な範囲があり、酸窒化シリコン層のSiの濃度に対するOの濃度比、即ちOの組成比/Siの組成比は0.1~1.7、より好ましくは0.2~1.0である。

30

【0020】

また、酸窒化シリコン層はCVD法で成膜した場合には、Si、O、Nだけでなく、原料ガスに含まれるHを組成に含む。N、O濃度だけでなくH濃度を反映した物性の1つとして屈折率が挙げられる。本発明では酸窒化シリコン膜はN濃度/Si濃度が上記の範囲にあって、かつ波長623.8nmに対する屈折率が1.5~1.8、好ましくは1.7~1.8が望ましい。

【0021】

Nの組成比が大きくなると膜の密度が大きくなると共に、屈折率が大きくなるが、Hの含有量が多くなると膜の密度が下がり屈折率が小さくなる傾向があった。このためNの組成比(濃度)とH組成比(濃度)のバランスから、その屈折率は上記の範囲とする。

40

【0022】

本発明の酸窒化シリコン層を成膜するにはプラズマCVD、減圧CVD、ECRCVD等のCVD法を用いればよい。原料ガスに $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$ を用いる。Si源として $\text{SiH}_4$ (モノシラン)の代わりに、 $\text{Si}_2\text{H}_6$ (ジシラン)を用いることもできる。 $\text{NH}_3$ (アンモニア)は $\text{N}_2\text{O}$ (亜酸化窒素)の窒化する効果を補うものであり、 $\text{NH}_3$ を添加することにより酸窒化シリコン層の窒素濃度を高めることができる。 $\text{NH}_3$ の代わりに $\text{N}_2$ を用いることができる。また、 $\text{N}_2\text{O}$ はO源でもある。O源としては $\text{O}_2$ 又は $\text{O}_3$ を用いることができる。酸窒化シリコン層の製膜において、Si、O、N、Hの組成比(濃度)の制御は原料ガスの流量、基板温度、圧力、RFパワー、電極間隔を調節するこ

50

とで行う。

【0023】

更に、本発明においては、不純物のブロッキング効果をより高めるには、酸窒化シリコン層を基板表面に接して形成することが望ましい。

【0024】

本発明の酸窒化シリコン層は窒素濃度が比較的高いため、酸化シリコンと比べて固定電荷が多くなり、絶縁性が低くなっている。そのため、酸窒化シリコン層表面に直接活性層を形成すると、酸窒化シリコン層と活性層との界面でトラップ準位が形成されやすい。

【0025】

そこで、本発明ではトラップ準位の形成を避け、かつ耐圧性を高めるために、活性層と基板との間に、酸窒化シリコン層と酸窒化シリコン層よりも窒素濃度の低いSi、Oを含む絶縁層を少なくとも形成する。

10

【0026】

この構成においても、酸窒化シリコン層を基板表面に接して形成し、酸窒化シリコン層と活性層との間にSi、Oを含む絶縁層を形成することが望ましい。Si、Oを含む絶縁膜層表面に接して活性層を形成する場合には、Si、Oを含む絶縁層表面を大気雰囲気には曝さないようにして、活性層を構成する半導体膜を連続的に成膜することが好ましい。これによって、絶縁層と活性層との界面の汚染を防止できるので、TFTの特性を制御するのに好ましい。

【0027】

20

Si、Oを含む絶縁層としては、酸化シリコン又は酸窒化シリコンが挙げられる。これらの膜の成膜方法にはプラズマCVD、減圧CVD、ECRCVD等のCVD法を用いればよい。原料ガスにシリコン源としてTEOS等の有機シランを、酸素源としてO<sub>2</sub> またはO<sub>3</sub> を用いる。また、シリコン源として、SiH<sub>4</sub>（モノシラン）又はSi<sub>2</sub>H<sub>6</sub>（ジシラン）等の無機シランを用い、酸素源としてO<sub>2</sub> やO<sub>3</sub>、N<sub>2</sub>Oを用いることができる。

【0028】

酸素源として、酸素及び窒素を含有するガス、例えばN<sub>2</sub>Oを用いると、絶縁層はSi、OだけでなくNを含むこととなるが、Siの濃度に対するNの濃度比（Nの組成比/Siの組成比）は0.1以上0.8以下にする。具体的には、窒素濃度は $2 \times 10^{20}$ atoms/cm<sup>3</sup>以下にする。Si、Oを含む絶縁膜の組成の制御は原料ガスの種類、流量、基板温度、圧力、RFパワー、電極間隔を調節することで行う。

30

【0029】

本発明において、活性層を形成する膜として成膜される半導体膜は非単結晶半導体膜であり、非晶質半導体膜、微結晶を有する非晶質半導体、結晶質半導体膜である。結晶性半導体膜とは微結晶半導体膜、多結晶半導体膜である。半導体としては、シリコン、ゲルマニウム、シリコンゲルマニウム、化合物半導体が用いられる。また、非晶質半導体膜、微結晶を有する非晶質半導体膜、微結晶半導体膜を成膜した場合には、熱処理、レーザ照射により結晶性を向上させて、活性層に用いることが望ましい。

【0030】

また、絶縁性基板にはガラス基板、PET等のプラスチック基板、石英基板、結晶性ガラス（セラミック）基板が用いられる。

40

【0031】

【発明の実施の形態】

図1～5を用いて本発明の実施の形態を説明する。

【0032】

〔実施形態1〕 本実施形態では、nチャネル型TFTとpチャネル型TFTでなるCMOS回路の作製工程を説明する。本発明の絶縁膜をトップゲート型の下地膜に用いた実施形態を説明する。合わせて、本発明に至る過程を説明する。

【0033】

以下に、図1、図2を用いて、本実施形態の作製工程を説明する。また、本実施形態では

50

、4つの条件を設定し、TFTの劣化を抑制するのに好適な下地膜の組成を調べた。

【0034】

下地膜/半導体膜形成工程      ガラス基板100として5インチの1737ガラス基板（コーニング社製）を用いる。ガラス基板100全表面に接して下地膜101を形成する。下地膜101は絶縁層101aと101bの積層膜でなる。本実施形態では絶縁層101aの成膜条件と、絶縁層101aの熱処理工程の有無により、TFTの特性の変化を調べるため、4つの異なる条件を設定した。ここでは、条件の異なる基板を基板-1、基板-2のように区別する。図3に、各基板の絶縁層101a、101bの原料ガスとその流量、絶縁層101aに対する熱処理の有無を記している。

【0035】

[絶縁層101aの形成]      図1(A)参照

プラズマCVD法により、ガラス基板100に接して酸化シリコンでなる絶縁層101aを成膜する。

【0036】

基板-1、-2は $\text{SiH}_4$ と $\text{N}_2\text{O}$ を原料ガスに用いて酸化シリコン膜を成膜した。基板-3、-4は原料ガスに $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$ を用い、酸化シリコン膜を成膜した。各原料ガスのガス流量は表1に示した。その他の条件は基板-1～-4で共通であり、基板温度400、圧力0.3Torr、RF出力300Wである。また、各基板の絶縁層101aの厚さは200nmとした。

【0037】

図3に、各基板-1～-4の酸化シリコンでなる絶縁層101aの組成比および屈折率を示した。組成比はRBS（ラザフォード後方散乱分析法）で測定した。

【0038】

[絶縁層101aの熱処理]

基板-1のみ、絶縁層101aを640で加熱し、4時間かけて温度を下げた。

【0039】

以降の工程は基板-1～-4に共通である。

【0040】

絶縁層101bと非晶質シリコン膜連続成膜      図1(B)参照

絶縁層101a表面に接して、酸化シリコン膜でなる絶縁層101bを成膜する。そして、絶縁層101bの表面を大気に曝さずに非晶質シリコン膜102を成膜する。成膜装置として、絶縁層101bの成膜用チャンバーと、シリコン膜102の成膜用のチャンバーを備えたマルチチャンバー型のプラズマCVD装置を用いた。

【0041】

絶縁層101bの原料ガスは $\text{TEOS}$ （流量10sccm）、 $\text{O}_2$ （流量50sccm）であり、成膜時の基板温度は400、圧力は0.3Torr、RF出力は300Wとした。成膜される酸化シリコン膜の厚さは15nmとした。

【0042】

非晶質シリコン膜102の原料ガスは $\text{SiH}_4$ （流量100sccm）であり、厚さ55nmに成膜した。成膜時の基板温度は300、圧力は0.5Torr、RF出力は20Wとした。

【0043】

非晶質シリコン膜結晶化      図1(C)参照

非晶質シリコン膜にKrFエキシマレーザ（波長248nm）を照射して多結晶化し、多結晶シリコン膜103を形成した。照射雰囲気は大気とし、基板温度は室温とした。エキシマレーザ光は被照射面で線状になるよう光学系によって成形し、線状ビームを走査しながら照射した。照射エネルギー密度は350～400mJ/cm<sup>2</sup>の範囲で調節した。

【0044】

非晶質シリコン膜102に線状エキシマレーザビームが照射されると、その箇所が瞬時に熔融され、凝固する過程で再結晶化される。なお、レーザ照射前に、基板100を500の温度で60分加熱して、非晶質シリコン膜102内の水素を気相中に放出させた。

10

20

30

40

50

## 【0045】

活性層、ゲート絶縁膜の形成 図1(C)参照

多結晶シリコン膜103上にフォトレジストパターンを形成し、ドライエッチングによって多結晶シリコン膜を島状にパターニングし、活性層104、105を形成した。ドライエッチングにはエッチングガスに $\text{CF}_4$ と $\text{O}_2$ を用い、それぞれ流量を $\text{CF}_4$ は50 sccm、 $\text{O}_2$ は45 sccmとした。

## 【0046】

ゲート絶縁膜106として、プラズマCVD装置において酸化シリコン膜を150 nmの厚さに成膜する。原料ガスに $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ を用いた。 $\text{SiH}_4$ の流量は4 sccmとし、 $\text{N}_2\text{O}$ は400 sccmとした。成膜時の圧力は0.3 Torr、基板温度は400、RF出力は200 Wとした。

10

## 【0047】

ゲート配線の形成 図1(E)参照

スパッタ装置によって、ゲート絶縁膜106上に、アルミニウム膜を400 nmの厚さに成膜した。ターゲットにScを混入して、アルミニウム膜にScを0.18重量%程度添加した。

## 【0048】

アルミニウム膜表面を陽極酸化して、図示しない陽極酸化膜を形成した。この陽極酸化工程では、3重量%の酒石酸を含むエチレングリコール溶液中で、アルミニウム膜を陽極に、白金を陰極にして、この電極間に10 Vの電圧を印加した。この工程で形成される陽極酸化膜は1 nm程度であって、表面に形成されるフォトレジストの密着性を向上させることを目的とする。陽極酸化工程終了後、フォトレジストパターン(図示せず)を形成し、アルミニウム膜をウェットエッチングによってパターニングし、ゲート配線107を形成した。図ではゲート配線107はTFTごとに分断されているが、nチャネル型、pチャネル型TFTで共通である。

20

## 【0049】

陽極酸化工程 図2(A)参照

ゲート配線のパターニングに用いたフォトレジストパターンを残した状態で陽極酸化を行う。この陽極酸化工程は電界溶液に3重量%のシュウ酸溶液を用い、陽極と陰極間の電圧を8 Vとした。この結果、ゲート配線107の側面に多孔質の陽極酸化膜108が形成される。

30

## 【0050】

フォトレジストパターンを除去した後、3重量%酒石酸を含有するエチレングリコール溶液を電解溶液に用いて陽極酸化を再び行い、緻密なバリア型陽極酸化膜109を形成した。この陽極酸化工程では、多孔質の陽極酸化膜108中へも電解溶液が侵入して、陽極酸化膜109で被覆されたゲート配線107を形成することができる。

## 【0051】

リンのドーピング 図2(B)参照

ゲート配線107、陽極酸化膜108をエッチングマスクして、ゲート絶縁膜106をパターニングした。しかる後、多孔質の陽極酸化膜107を除去した。そして、nチャネル型TFTのソース領域、ドレイン領域を形成するために、リン(P)を活性層105にドーピングする。

40

## 【0052】

イオンドーピング装置によって、リンを2回のドーピング工程によって添加した。ドーピングガスには $\text{H}_2$ で5%に希釈した $\text{PH}_3$ を使用した。1回目のドーピング条件は加速電圧90 kV、RF出力5 W、設定ドーズ量は $1.2 \times 10^{13} \text{ ions/cm}^2$ とし、高加速電圧、低ドーズ量とする。2回目は加速電圧10 kV、RF出力20 W、設定ドーズ量は $5 \times 10^{14} \text{ ions/cm}^2$ とし、低加速電圧、高ドーズ量とした。

## 【0053】

このドーピング工程では、ゲート絶縁膜106、ゲート絶縁膜107の有無により活性層

50

104、105に添加されるリンの濃度が変化し、活性層104、105には、チャンネル形成領域110、117、 $n^+$ 型の高濃度不純物領域112、113、118、119、 $n^-$ 型の低濃度不純物領域114、115、120、121、自己整合的に形成される。 $n$ チャンネル型TFTの活性層において、 $n^+$ 型の高濃度不純物領域112、113はソース、ドレイン領域に相当する。

$n^-$ 型、 $n^+$ 型は共に $n$ 型の導電性を表し、前者が後者よりリンの濃度が低いことを示している。

#### 【0054】

ボロンのドーピング 図2(C)参照

$n$ チャンネル型TFTの活性層105をフォトレジストパターンPR1で覆い、ドーピング装置によって半導体層105にボロンを添加して、 $p$ 型のソース、ドレイン領域を形成する。ドーピングガスに $H_2$ で5%に希釈した $B_2H_6$ を用いた。ここでは、条件の異なるドーピング工程を2回行った。1回目のドーピングでは加速電圧70kV、RF出力5W、設定ドーズ量は $6 \times 10^{14}$  ions/cm<sup>2</sup>とした。2回目のドーピングでは、加速電圧10kV、RF出力20W、設定ドーズ量は $1.3 \times 10^{15}$  ions/cm<sup>2</sup>とした。

#### 【0055】

この結果、活性層104には、チャンネル形成領域123、 $p^+$ 型の高濃度不純物領域124、124、 $p^-$ 型の低濃度不純物領域126、127が自己整合的に形成される。そして、活性層104、105にレーザ光を照射して、ドーピングしたリン、ボロンを活性化した。レーザ光源にはKrFエキシマレーザ(波長248nm)を用いた。活性化工程では、基板温度を室温に、雰囲気は大気とした。 $p^-$ 型、 $p^+$ 型は共に $p$ 型の導電性を表し、前者が後者よりボロンの濃度が低いことを示している。

#### 【0056】

層間絶縁膜、配線の形成 図2(D)参照

層間絶縁膜128として、プラズマCVD装置を用いて窒化シリコン膜と酸化シリコン膜との2層の絶縁膜を成膜した。先ず原料ガスに $SiH_4$ 、 $NH_3$ 、 $N_2$ を用い、基板温度325℃、圧力0.7Torr、RF出力300Wで窒化シリコン膜を厚さ25nmに成膜した。次に、原料ガスにTEOS(テトラエトキシシラン)、 $O_2$ を用い、基板温度300℃、圧力1.0Torr、RF出力200Wで、酸化シリコン膜を940nmの厚さに成膜した。

#### 【0057】

層間絶縁膜128に活性層104、105に達するコンタクトホールを開口した。ソース/ドレイン配線を構成する導電膜として、厚さ50nmのチタン(Ti)膜、厚さ400nmアルミニウム(Al)膜でなる積層膜をスパッタ装置で連続成膜した。アルミニウム膜にはシリコン(Si)が2重量%添加されている。チタン膜/アルミニウム膜でなる積層膜をパターニングして、ソース配線129、130とドレイン配線131をそれぞれ形成した。

#### 【0058】

最後に、水素雰囲気で基板温度300℃で120分加熱して、水素化処理を行った。水素化処理によって、活性層104、105中の欠陥や不対結合手が電氣的に中和される。

#### 【0059】

以上の工程を経て形成されたTFTの特性を基板ごとに初期特性を測定し、その後にBT試験を行い、特性の劣化を調べた。BT試験のストレス条件は、基板温度150℃、試験時間1時間、ドレイン電圧 $V_D = 0$  V、ソース電圧 $V_S = 0$  V、ゲート電圧 $V_G = 20$  V( $n$ チャンネル型)、 $-20$  V( $p$ チャンネル型)とした。また、測定対象としたTFTのチャンネル長 $L$ 、チャンネル幅 $W$ の実測値は、 $n$ チャンネル型、 $p$ チャンネル型とも $L = 5.6$   $\mu$ m、 $W = 7.5$   $\mu$ mである。

#### 【0060】

図4は、各基板のドレイン電流 $I_D$ -ゲート電圧 $V_G$ 特性カーブである。縦軸は対数(log)スケールとなっている。実線がBT試験前のデータであり、点線がBT試験後のデータで

10

20

30

40

50



ある。また、 $n$ チャネル型TFTのデータはドレイン電圧 $V_D$ が1Vの場合であり、 $p$ チャネル型TFTでは、ドレイン電圧 $V_D$ を-1Vとした。

【0061】

図5はBT試験によるTFTの特性の変化を示すグラフ図である。図5(A)には、ゲート電圧 $V_{G1Dmin}$ の変化を示した。ゲート電圧 $V_{G1Dmin}$ とは、しきい電圧値 $V_{th}$ と同様に、 $I_D$ - $V_G$ 特性カーブから算出した値である。図5(C)に示すように、ドレイン電流 $I_D$ をlogスケールとした特性カーブに対する接線のうち、傾きの絶対値が最大となる接線において、特性カーブのドレイン電圧 $I_D$ が最小値をとるときのゲート電圧の値である。

【0062】

図5(A)のデータは、BT試験前後のゲート電圧 $V_{G1Dmin}$ の変化を示し、試験前の値 $V_{G1Dmin}$ と試験後の値 $V_{G1Dmin}'$ の差分  $V_{G1Dmin} = V_{G1Dmin}' - V_{G1Dmin}$  である。

10

なお、基板-3において、 $n$ チャネル型( $L/W=5.6/7.5\mu m$ )の場合の  $V_{G1Dmin}$ は0.007とごく小さいため、グラフに現れていない。

【0063】

図5(B)には、カットオフ電流 $I_{cut}$ の桁数の変化を示す。カットオフ電流 $I_{cut}$ とは、図5(C)に示すように、 $I_D$ - $V_G$ 特性カーブにおいて、ゲート電圧 $V_G$ が0Vの時のドレイン電流 $I_D$ の値で定義する。カットオフ電流 $I_{cut}$ が小さいほど、低消費電力が実現できる。

【0064】

図5(B)のデータは、試験前の値を $I_{cut}$ とし、試験後の値を $I_{cut}'$ とした場合に、 $\log(I_{cut}' - I_{cut})$ から算出した値である。

20

【0065】

図4、図5のデータから、TFTの特性の変化が少ないのは、基板-3、基板-4であることは容易に分かる。図4(E)~(H)に示すように、基板-3、-4の特性カーブではサブスレッショルド領域の変動は、少なく、 $n$ チャネル型TFTでは殆ど変化していない。

【0066】

一方、基板-2では、図4(C)、(D)の特性カーブをみるとサブスレッショルド領域の変動が著しく大きく、熱処理をすることより(基板-1の場合に対応、図4(A)、(B)参照)、劣化が改善される。

【0067】

また、図5に示した  $V_{G1Dmin}$ 及び  $I_{cut}$ の変動が少ないほど劣化がないことを示し、TFTの信頼性が高いことを意味する。基板-3、-4では、 $n$ チャネル型TFTの  $V_{G1Dmin}$ 、 $I_{cut}$ が非常に小さく、従来劣化が問題となっている $n$ チャネル型TFTの信頼性が非常に改善されている。

30

【0068】

他方、 $p$ チャネル型TFTの  $V_{G1Dmin}$ 、 $I_{cut}$ は $n$ チャネルと比べて、若干大きい、図4(F)、(H)の $I_D$ - $V_G$ 特性カーブを見ても分かるとおり、ノーマリーオフ側にシフトしているため、ノーマリーオン側にシフトしている場合に比べて、動作上の問題がないと考えられる。

【0069】

ノーマリーオフ側にシフトしているとは、カットオフ電流 $I_{cut}$ が小さくなる側にシフトしていることを意味する。ノーマリーオン側にシフトしているとは $I_{cut}$ 電流が増加する方向のシフトを意味する。

40

【0070】

基板-1、-2では $n$ チャネル型、 $p$ チャネル型TFTとも、ノーマリーオン側にシフトしており、このことから基板-3、-4のTFTの信頼性が高いことが理解できる。

【0071】

以上のことから、熱処理をしない絶縁層101aを用いても、TFTの劣化をなくすには、絶縁層101aを構成する酸化シリコンの組成に適切な範囲があることが理解できる。少なくとも、基板-1、-2よりも窒素の含有量を高くする必要があり、酸素の含有量は小さくすることが必要になる。

50

## 【0072】

基板-1、-2の絶縁層101aでは、N濃度/Si濃度が0.22であり、O濃度/Si濃度は1.86であった。asdepo、加熱処理後でも内部応力は圧縮応力であった。

## 【0073】

基板-3では、絶縁層101aのN濃度/Si濃度は0.73であり、O濃度/Si濃度は0.80であった。asdepo、加熱処理後でも内部応力は引っ張り応力であった。

## 【0074】

基板-4の絶縁層101aのN濃度/Si濃度は1.28であり、O濃度/Si濃度は0.17であった。asdepo、加熱処理後でも内部応力は引っ張り応力であった。

## 【0075】

上記のSiの濃度に対するN、O濃度比は図3に示したRBS測定した組成比を算出した値である。

## 【0076】

上述したように、絶縁層101aが引っ張り応力を示すようにN、Oの濃度を調節する必要がある。TFETの劣化が防止でき、かつ絶縁層101aが引っ張り応力を示すようにするには、絶縁層101a(酸化シリコン層)は、N濃度/Si濃度が0.3~1.6に、より好ましくは0.6~1.4になるようにする。またO濃度/Si濃度は0.1~1.7に、より好ましくは0.1~1.0になるようにする。

## 【0077】

なお、基板-4よりも絶縁層101aの成膜時にNH<sub>3</sub>の流量を大きくした場合、半導体膜を成膜した後に基板を600程度の温度で数時間加熱した場合、膜の剥離が観察されたため、600程度で長時間加熱する工程が有る場合には、N濃度/Si濃度の上限は1.3とするのが好ましく、O濃度/Si濃度の下限は0.2とすることが好ましい。

## 【0078】

また、各基板の絶縁層101aの窒素濃度をSIMSで測定した値は、基板-1、-2の窒素濃度は $2 \times 10^{20}$ atoms/cm<sup>3</sup>であり、基板-3では、窒素濃度は $8 \times 10^{21}$ atoms/cm<sup>3</sup>であった。よって、絶縁層101aの窒素濃度は、Nの組成比が上記の範囲にあって、 $2 \times 10^{20}$ atoms/cm<sup>3</sup>よりも高くし、より好ましくは $1 \times 10^{21}$ atoms/cm<sup>3</sup>以上にする。

## 【0079】

また、上記のN、Oの組成比だけでなく、組成全体を反映した物性として屈折率があるが、図3に示したように、波長623.8nmに対する絶縁膜層101aの屈折率が1.5~1.8なるように、より好ましくは1.7~1.8なるように、成膜条件を調節する。

## 【0080】

本実施形態では、下地膜101に酸化シリコン層(101a)とSi、Oを含む絶縁層(101b)とを有する絶縁膜を適用したが、下地膜に適用する場合には、酸化シリコン層101aの膜厚は50~200nmとすればよい。またSi、Oを含む絶縁層101bの膜厚は10~300nmとし、より好ましくは10~50nmとすればよい。

## 【0081】

本実施形態の絶縁層101a、101bでなる絶縁膜は、基板の表面全面に形成される下地膜の他に、ボトムゲート型TFETのゲート絶縁膜にも適用することができる。この場合には、酸化シリコン層101aの膜厚は50~100nmとし、Si、Oを含む絶縁層101bの膜厚は50~100nmとし、下地膜に適用する場合よりも耐圧性がより高まるようにする。

## 【0082】

[実施形態2] 実施形態1では、Si、Oを含む絶縁層101bとして、TEOSとO<sub>2</sub>を用いて酸化シリコン膜で形成したが、酸化シリコン膜で形成することもできる。この場合には、原料ガスにSiH<sub>4</sub>とN<sub>2</sub>Oを用いて酸化シリコン膜を形成してもよい。

## 【0083】

例えば、下地膜の絶縁層101aとして、基板-3の絶縁層101a層と同じ条件で、酸化シリコン膜を成膜し、絶縁層101bとして、基板-1の絶縁層101bと同じ条件で酸

10

20

30

40

50

窒化シリコン膜を成膜すればよい。

【0084】

酸窒化シリコンでなる絶縁層101aの膜厚を100nmとし、酸窒化シリコン膜でなる絶縁層101bの膜厚を200nmとした。耐圧性に問題がなかった。このような積層膜でなる絶縁膜をボトムゲート型TFTのゲート絶縁膜にも適用できる。

【0085】

また、下地膜101を2層構造としたが、3層構造とすることもでき、例えば、上記した、酸窒化シリコン層101a、101bの上にさらに、TEOSとO<sub>2</sub>を原料にした、酸化シリコンでなる絶縁層を形成し、酸化シリコン層に接して活性層を構成する半導体膜を成膜すればよい。このような3層構造の絶縁膜もボトムゲート型TFTのゲート絶縁膜に適用できるのは、いうまでもない。

【0086】

【実施例】

図6～図12用いて、本発明の実施例を説明する。

【0087】

[実施例1]

本実施例は、同一基板上に画素マトリクス回路とドライバ回路を一体化したアクティブマトリクス型液晶パネルについて説明する。また本実施形態では、劣化の抑制効果の高いTFTの構造について説明する。

【0088】

図11に液晶ディスプレイを簡略化して示す。アクティブマトリクス基板と対向基板は隙間を空けて貼り合わされており、この隙間に液晶が充填されている。

【0089】

アクティブマトリクス基板300は、基板上に作製されたTFTによって画素マトリクス回路301、ゲートドライバ回路302、ソースドライバ回路303、信号処理回路304でなる。ゲートドライバ回路302、ソースドライバ回路303は画素マトリクス回路301のTFTを駆動するための回路である。信号処理回路305は画像表示を行うために必要な各種信号を処理する回路であり、メモリ回路、D/A(またはA/D)コンバータ回路、パルスジェネレータ回路、信号分割回路、補正回路等を指す。

【0090】

アクティブマトリクス基板300には、TFTの作製工程と同時に外部端子が形成され、この外部端子にFPC(Flexible Print Circuit)端子306が取り付けられる。一般的に液晶モジュールと呼ばれるのはFPCを取り付けた状態の液晶パネルである。

【0091】

他方、対向基板310には、ガラス基板にITO膜でなる透明導電膜が成膜され、その表面を覆って配向膜が形成される。必要であれば、カラーフィルタやブラックマトリクスが透明導電膜と基板の間に形成される。透明導電膜は画素マトリクス回路の画素電極の対向電極となり、画素電極と透明導電膜との間に画像データに対応する大きさの電界が形成され、充填された液晶が駆動される。

【0092】

図6にアクティブマトリクス基板の断面図を示す。図面右側に画素マトリクス回路の1画素の断面構成を図示し、左側にドライバ回路303、304の基本的な構成であるCMOS回路を図示している。また、図10に画素マトリクス回路の上面図を示す。

【0093】

図6に示すように、ガラス基板200表面を覆う絶縁層201a、202bでなる下地膜が形成されている。絶縁層201a、201bは組成比が異なる窒素濃度を高くし、パッシベーション効果を高めている。他方、絶縁層201bは絶縁層201aよりN濃度を低くして、活性層との界面準位が低くなるようにしている。

【0094】

画素マトリクス回路に用いられる画素TFTはnチャネル型であり、ダブルゲート構造と

10

20

30

40

50

した。活性層 202 はゲート絶縁膜 205 を介してゲート配線 206 と 2 カ所で交差し、更に、保持容量用配線 207 と交差している。

【0095】

活性層 202 には、2 つのチャネル形成領域 210、211、3 つの  $n^+$  型の高濃度不純物領域 212 ~ 214、 $n^-$  型の低濃度不純物領域 215 ~ 223 が形成されている。低濃度不純物領域 215 ~ 219 はリンの濃度が高濃度不純物領域 212 ~ 214 よりも低く、高抵抗領域と機能する。低濃度不純物領域 215 ~ 218 はゲート配線 206 (電極 206a、206b) とオーバーラップしているため、ホットキャリアによる劣化を防止する効果があり、領域 219 ~ 222 はゲート配線 (電極) とオーバーラップしていないため、オフ電流を低くする効果がある。

10

【0096】

また、低濃度不純物領域 223 は保持容量の電極を構成する。保持容量は低濃度不純物領域 223、保持容量電極 207b を電極に、ゲート絶縁膜 205 を誘電体とするコンデンサーであり、低濃度不純物領域 223 によって、画素 TFT に電氣的に接続されている。

【0097】

ドライバ回路において、 $n$  チャネル型、 $p$  チャネル型 TFT それぞれの活性層はゲート絶縁膜 205 を挟んでゲート配線 208 と交差している。 $n$  チャネル型 TFT の活性層には、チャネル形成領域 230、 $n^+$  型の高濃度不純物領域 231、232、 $n^-$  型の低濃度不純物領域 233、234 が形成されている。低濃度不純物領域 233、234 はリンの濃度が高濃度不純物領域 231、232 よりも低く、高抵抗な領域となる。これら低濃度不純物領域 233、234 はゲート配線 208 (電極 208a) とオーバーラップしているため、ホットキャリアによる劣化を防止する効果がある。他方、 $p$  チャネル型 TFT の活性層には、チャネル形成領域 240、 $p^+$  型の高濃度不純物領域 241、242 が形成されている。

20

【0098】

なお本明細書中では、ゲート配線 206、208、容量用配線 207 が活性層 202 ~ 204 と交差している部分を電極 (符号で 206a、206b、207a、208a、208b で示す) としている。

【0099】

更に、図 6 に示すように、ガラス基板 200 上には、ゲート配線 206、208、保持容量用配線 207 を保護するための窒化シリコン膜 250 が形成されている。窒化シリコン膜 250 上には層間絶縁膜 251 が形成され、層間絶縁膜 251 上には画素マトリクス回路のソース配線 252、ドレイン電極 253、ドライバ回路のソース配線 254、255、ドレイン配線 256 が形成されている。これら配線、電極を覆って窒化シリコン膜 257 が形成されている。窒化シリコン膜 257 は TFT へ水分や不純物が侵入するのを防ぐためのパッシベーション膜として形成されている。窒化シリコン膜 257 を覆って、樹脂材料でなる平坦化膜 258 が形成されている。平坦化膜 258 上には、ITO でなる画素電極 260 が接続され、最表面には配向膜 261 が形成されている。

30

【0100】

以下、図 7 ~ 図 9 を用いて、アクティブマトリクス基板の作製工程を説明する。

40

【0101】

下地膜、活性層、ゲート絶縁膜の形成 図 7 (A) 参照

ガラス基板 200 を洗浄した後、ガラス基板 200 の表面に接して絶縁層 201a、201b でなる下地膜を形成する。

【0102】

まず、絶縁層 201a として酸窒化シリコン膜を 100 nm の厚さに成膜する。原料ガス、その流量は  $SiH_4$  : 10 sccm、 $NH_3$  : 100 sccm、 $N_2O$  : 20 sccm とし、成膜時の基板温度を 300、圧力を 0.3 Torr、RF パワーを 200 W とする。

【0103】

絶縁層 201a 表面に、プラズマ CVD 装置において、絶縁層 201b として酸窒化シリ

50

コン膜を200nmの厚さに成膜する。原料ガス、及びその流量は $\text{SiH}_4$  : 4 sccm、 $\text{N}_2\text{O}$  : 400 sccmとし、成膜時の基板温度を300、圧力を0.3 Torr、RFパワーを200 Wとする。

#### 【0104】

下地膜202b表面を大気に曝さずに、その表面に非晶質シリコン膜を成膜する。成膜時の圧力を0.5 Torr、RFパワーを20 Wとし、原料ガスは $\text{SiH}_4$ を用い、流量を100 sccmとする。

#### 【0105】

スピンドーターを用いて非晶質シリコン膜の表面にニッケル(Ni)を含有する酢酸水溶液を塗布する。この工程で、結晶化を助長する元素であるNiが非晶質シリコン膜に添加される。電気炉内で基板200を500で1時間加熱し、非晶質シリコン膜の水素を気層中に放出させた後、電気炉内で窒素雰囲気中で基板を550、4時間加熱して、非晶質シリコン膜を結晶化させて、結晶性シリコン膜を形成する。

#### 【0106】

また、他の結晶化方法としてパルス発振型のYAGレーザーやYVO<sub>4</sub>レーザーを使用する方法がある。特にレーザーダイオード励起方式のレーザー装置を使用すると高出力と高いパルス発振周波数が得られる。結晶化のためのレーザーアニールにはこれら固体レーザーの第2高調波(532 nm)、第3高調波(354.7 nm)、第4高調波(266 nm)のいずれかを使用し、例えばレーザーパルス発振周波数1~20000 Hz(好ましくは10~10000 Hz)、レーザーエネルギー密度を200~600 mJ/cm<sup>2</sup>(代表的には300~500 mJ/cm<sup>2</sup>)とする。

#### 【0107】

そして、線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラップ率)を80~90%として行う。第2高調波を使うと、半導体層の内部にも均一に熱が伝わり、照射エネルギー範囲が多少ばらついても結晶化が可能となる。それにより、加工マージンがとれるため結晶化のばらつきが少なくなる。また、パルス周波数が高いのでスループットが向上する。

#### 【0108】

結晶性シリコン膜をドライエッチングにより島状にパターニングして、画素TF<sub>1</sub>Tの活性層202、ドライバ回路のnチャネル型、pチャネル型TF<sub>2</sub>Tの活性層203、204を形成する。活性層202~204を覆ってゲート絶縁膜205を形成する。ゲート絶縁膜205として、ゲート絶縁膜205として、プラズマCVD装置において酸化シリコン膜を150 nmの厚さに成膜する。原料ガスに $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ を用い、流量を $\text{SiH}_4$ は4 sccmとし、 $\text{N}_2\text{O}$ は400 sccmとする。成膜時の圧力は0.3 Torr、基板温度は400、RF出力は200 Wとする。

#### 【0109】

リンのドーピング工程 図7(B)参照

ゲート絶縁膜205上にフォトリソパターンPR11を形成する。フォトリソパターンPR11により活性層202及び203のチャンネルが形成される領域が選択的に覆われ、活性層204は全体が覆われる。イオンドーピング装置より、リンを添加する。ドーピングガスには水素で希釈した $\text{PH}_3$ を用いる。ゲート絶縁膜205を通して活性層202、203にリンを添加するために、加速電圧は80 keVと高めに設定する。ドーピング工程によって、活性層202にはn<sup>-</sup>型の低濃度不純物領域301~303が形成され、活性層203にはn<sup>-</sup>型の低濃度不純物領域304、305が形成される。これらの低濃度不純物領域301~305のリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とする。

#### 【0110】

導電膜の形成 図7(C)参照

レジストマスクPR11を除去して、ゲート絶縁膜205の表面に、ゲート配線を構成する導電膜306を形成する。ここでは、導電膜306としてスパッタ法でタンタル膜上に窒化

10

20

30

40

50

タンタル膜を積層した膜を成膜する。

【0111】

導電膜306はTa、Ti、Mo、W、Cr、Alから選ばれた元素を主成分とする導電性材料や、リンを含有するシリコンや、シリサイドなどの単層膜あるいは積層膜となる。例えば、WMo、Ta<sub>2</sub>N、MoTa、WSi<sub>x</sub> (2.4 < x < 2.7)などの化合物を用いることができる。

【0112】

ボロンのドーピング 図8(A)参照

導電膜212をパターンニングするため、フォトレジストパターンPR12を導電膜212上に形成する。フォトレジストパターンPR12を用いて、ウェットエッチングにより導電膜212をパターンニングする。nチャネル型TFTの活性層202、203上にはドーピングマスクとして機能するようにマスク206m、208mが形成される。pチャネル型TFTの活性層204上には、最終的な形状のゲート電極208bが形成される。ドーピング後、450℃で熱処理してドーピングしたリン、ボロンを活性化する。

【0113】

フォトレジストパターンPR12を残した状態で、イオンドーピング装置においてボロンをドーピングする。ドーピングガスには水素で希釈したジボラン(B<sub>2</sub>H<sub>6</sub>)を用い、加速電圧を80keVとする。活性層204にはチャネル形成領域240、p<sup>+</sup>型の高濃度不純物領域241、242、が自己整合的に形成される。p<sup>+</sup>型の高濃度不純物不純物領域241、242のボロン濃度は2×10<sup>20</sup>atoms/cm<sup>3</sup>とする。

【0114】

配線の形成 図8(B)参照

フォトレジストパターンPR12を除去した後、新たにフォトレジストパターンPR13を形成する。フォトレジストパターンPR13は、マスク206m、208mをパターンニングして、ゲート電極206a、208a、容量用電極207aを形成するためであると同時に、pチャネル型TFTの活性層を保護するものである。

【0115】

フォトレジストパターンPR13を用いてドライエッチング法によりマスク206m、208mをパターンニングして、図に示すようにゲート配線206、208、容量用配線207が完成する。n<sup>-</sup>型の低濃度不純物領域301～303において、画素TFTのゲート電極206a、206bと重なった領域がn<sup>-</sup>型の低濃度不純物領域219～222として画定する。

【0116】

リンのドーピング 図9(A)参照

フォトレジストパターンPR13を除去した後、フォトレジストパターンPR14を形成して、ドーピングによりn<sup>+</sup>型の領域を形成する。フォトレジストパターンPR14によって、画素TFTにおいては、ゲート電極206とn<sup>-</sup>型の低濃度不純物領域301～303の一部が覆われ、ゲート電極とオーバーラップしないゲート電極206a、206bとオーバーラップしない低濃度不純物領域219～222が決定される。保持容量部とCMOS回路のnチャネル型TFTでは、電極207a、208a上だけにフォトレジストパターンPR14が形成され、pチャネル型TFTはフォトレジストパターンPR14によって活性層が全て覆われている。

【0117】

イオンドーピング装置において、水素で希釈したPH<sub>3</sub>を用いてリンをドーピングする。加速電圧は80keVと高めに設定し、活性層203、204にn<sup>+</sup>型の高濃度不純物領域212～214、231、232が形成される。これらn<sup>+</sup>型の高濃度不純物領域のリンの濃度は1×10<sup>19</sup>～1×10<sup>21</sup>atoms/cm<sup>3</sup>とし、ここでは1×10<sup>20</sup>atoms/cm<sup>3</sup>にする。このドーピング工程で、nチャネル型TFTの不純物領域が完成する。

【0118】

配線・電極の形成 図9(B)参照

ゲート絶縁膜 205、ゲート配線 206、208 と保持容量用配線 207 の表面を覆って、窒化シリコン膜 250 をプラズマ CVD 法で成膜する。窒化シリコン膜 250 の厚さは 50 nm とする。そして、600 で基板を加熱して、ドーピングされたリン、ボロンを活性化する。

#### 【0119】

窒化シリコン膜 250 上に層間絶縁膜 251 を形成する。ここでは、TEOS と  $O_2$  ガスを原料に厚さ 940 nm の酸化シリコン膜をプラズマ CVD 法で成膜する。所定のレジストマスクを形成した後、エッチング処理により、各活性層に達するコンタクトホールを窒化シリコン膜 125、層間絶縁膜 126 に形成する。スパッタ法で、Ti 膜を 100 nm、Ti を含む Al 膜 300 nm、Ti 膜 150 nm に連続して成膜し、この 3 層膜をパターニングして、ソース配線 252、ドレイン電極 253、ソース配線 254、255、ドレイン配線 256 を形成する。以上の工程で、画素 TFT 及び CMOS 回路が完成する。

10

#### 【0120】

##### 画素電極の形成 図 6

次に、画素 TFT 及び CMOS 回路を覆うため、基板全面に窒化シリコン膜 257 をプラズマ CVD 法で成膜する。次に、平坦化膜 258 としてスピンコーターを用いてアクリル膜を形成する。平坦化膜 258、窒化シリコン膜 257 をエッチングして、ドレイン電極 253 に達するコンタクトホールを形成する。スパッタ法で ITO 膜を成膜し、パターニングして画素電極 260 を形成する。基板 200 の全面にポリイミドでなる配向膜を形成する。以上で、アクティブマトリクス基板が完成する。

20

#### 【0121】

公知のセル組工程によって、アクティブマトリクス基板と対向基板をモジュール化して、図 11 に示す液晶パネルが完成される。

#### 【0122】

本実施形態では、アクティブマトリクス基板上の n チャネル型 TFT には、ゲート電極とオーバーラップしている  $n^-$  型の低濃度不純物領域を形成したが、このような低濃度不純物領域を形成することは、オフ状態（逆バイアスの電圧を印加した状態）で電流がリークしやすくなるため、オフ状態の電流のリークが問題になる画素 TFT には設けなくともよい。

#### 【0123】

本実施例では、液晶表示装置について説明したが、本実施例の TFT は有機 EL 装置にも応用することができる。また、本実施例の TFT に非晶質シリコンを用いた光電変換層を接続して、光センサーに適用することもできる。

30

#### 【0124】

本実施例ではトップゲート型であるプラナー型の TFT を作製したが、TFT を逆スタガー型などのボトムゲート型としてもよい。本実施例の下地膜を用いることで、ガラス基板に含まれる  $Na^+$  イオンなどの不純物がゲート絶縁膜に侵入することが防止される。

#### 【0125】

##### [実施例 2]

本実施例では、本発明を用いて EL（エレクトロルミネッセンス）表示装置を作製した例について説明する。なお、図 12（A）は本発明の EL 表示装置の上面図であり、図 12（B）はその断面図である。

40

#### 【0126】

図 12（A）において、3001 は基板、3002 は画素部、3003 はソース側駆動回路、3004 はゲート側駆動回路であり、それぞれの駆動回路は配線 3005 を経て FPC（フレキシブルプリントサーキット）3006 に至り、外部機器へと接続される。

#### 【0127】

このとき、画素部 3002、ソース側駆動回路 3003 及びゲート側駆動回路 3004 を囲むようにして第 1 シール材 3101、カバー材 3102、充填材 3103 及び第 2 シール材 3104 が設けられている。

50

## 【0128】

また、図12(B)は図12(A)をA-A'で切断した断面図に相当し、基板3001の上にソース側駆動回路3003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。)3201及び画素部3002に含まれる画素TFT(但し、ここではEL素子への電流を制御するTFTを図示している。)3202が形成されている。

## 【0129】

本実施例では、駆動TFT3201には図1の駆動回路と同じ構造のTFTが用いられる。また、画素TFT3202には図1の画素部と同じ構造のTFTが用いられる。

## 【0130】

駆動TFT3201及び画素TFT3202の上には樹脂材料でなる層間絶縁膜(平坦化膜)3301が形成され、その上に画素TFT3202のドレインと電氣的に接続する画素電極(陰極)3302が形成される。画素電極3302としては遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)を用いることができる。本実施例ではアルミニウム合金を画素電極として用いる。

## 【0131】

そして、画素電極3302の上には絶縁膜3303が形成され、絶縁膜3303は画素電極3302の上に開口部が形成されている。この開口部において、画素電極3302の上にはEL(エレクトロルミネッセンス)層3304が形成される。EL層3304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

## 【0132】

EL層3304の形成方法は公知の技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

## 【0133】

EL層3304の上には透明導電膜からなる陽極3305が形成される。透明導電膜としては、酸化インジウムと酸化スズとの化合物または酸化インジウムと酸化亜鉛との化合物を用いることができる。また、陽極3305とEL層3304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層3304を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陽極3305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

## 【0134】

そして陽極3305は3306で示される領域において配線3005に電氣的に接続される。配線3005は陽極3305に所定の電圧を与えるための配線であり、導電性材料3307を介してFPC3006に電氣的に接続される。

## 【0135】

以上のようにして、画素電極(陰極)3302、EL層3304及び陽極3305からなるEL素子が形成される。このEL素子は、第1シール材3101及び第1シール材3101によって基板3001に貼り合わされたカバー材3102で囲まれ、充填材3103により封入されている。

## 【0136】

カバー材3102としては、ガラス板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。本実施例の場合、EL素子からの光の放射方向がカバー材3102の方へ向かうため透光性材料を用いる。

## 【0137】

10

20

30

40

50



但し、E L 素子からの光の放射方向がカバー材とは反対側に向かう場合には透光性材料を用いる必要はなく、金属板（代表的にはステンレス板）、セラミックス板、またはアルミニウムホイルをP V F フィルムやマイラーフィルムで挟んだ構造のシートを用いることができる。

#### 【0138】

また、充填材3103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、P V C（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、P V B（ポリビニルブチラル）またはE V A（エチレンビニルアセテート）を用いることができる。この充填材3103の内部に吸湿性物質（好ましくは酸化バリウム）を設けておくとE L 素子の劣化を抑制できる。なお、本実施例ではE L 素子からの光が充填材3103を通過できるように、透明な材料を用いる。

10

#### 【0139】

また、充填材3103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陽極3305上に樹脂膜を設けることも有効である。

#### 【0140】

また、配線3005は導電性材料3307を介してF P C 3006に電氣的に接続される。配線3005は画素部3002、ソース側駆動回路3003及びゲート側駆動回路3004に送られる信号をF P C 3006に伝え、F P C 3006により外部機器と電氣的に

20

#### 【0141】

また、本実施例では第1シール材3101の露呈部及びF P C 3006の一部を覆うように第2シール材3104を設け、E L 素子を徹底的に外気から遮断する構造となっている。こうして図12（B）の断面構造を有するE L 表示装置となる。

#### 【0142】

##### 〔実施例3〕

本実施例では、実施例10に示したE L 表示装置の画素部に用いることができ画素構造の例を図13（A）～（C）に示す。なお、本実施例において、3401はスイッチング用T F T 3402のソース配線、3403はスイッチング用T F T 3402のゲート配線、3404は電流制御用T F T、3405はコンデンサ、3406、3408は電流供給線、3407はE L 素子とする。

30

#### 【0143】

図13（A）は、二つの画素間で電流供給線3406を共通とした場合の例である。即ち、二つの画素が電流供給線3406を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

#### 【0144】

また、図13（B）は、電流供給線3408をゲート配線3403と平行に設けた場合の例である。なお、図13（B）では電流供給線3408とゲート配線3403とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線3408とゲート配線3403とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

40

#### 【0145】

また、図13（C）は、図13（B）の構造と同様に電流供給線3408をゲート配線3403と平行に設け、さらに、二つの画素を電流供給線3408を中心に線対称となるように形成する点に特徴がある。また、電流供給線3408をゲート配線3403のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

50

## 【 0 1 4 6 】

[ 実施例 4 ] 本発明を実施して作製された C M O S 回路や画素マトリクス回路は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E L ディスプレイ、アクティブマトリクス型 E C ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器に本発明を実施できる。

## 【 0 1 4 7 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 1 4、図 1 5 及び図 1 6 に示す。

10

## 【 0 1 4 8 】

図 1 4（A）はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を画像入力部 2 0 0 2、表示部 2 0 0 3 やその他の信号制御回路に適用することができる。

## 【 0 1 4 9 】

図 1 4（B）はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明を表示部 2 1 0 2 やその他の信号制御回路に適用することができる。

20

## 【 0 1 5 0 】

図 1 4（C）はモバイルコンピュータ（モビルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 やその他の信号制御回路に適用できる。

## 【 0 1 5 1 】

図 1 4（D）はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 等を含む。本発明は表示部 2 3 0 2 やその他の信号制御回路に適用することができる。

## 【 0 1 5 2 】

図 1 4（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として D V D（D i g t i a l V e r s a t i l e D i s c）、C D 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 4 0 2 やその他の信号制御回路に適用することができる。

30

## 【 0 1 5 3 】

図 1 4（F）はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部（図示しない）等を含む。本発明を表示部 2 5 0 2 やその他の信号制御回路に適用することができる。

## 【 0 1 5 4 】

図 1 5（A）はフロント型プロジェクターであり、投射装置 2 6 0 1、スクリーン 2 6 0 2 等を含む。本発明は投射装置 2 6 0 1 の一部を構成する液晶表示装置 2 8 0 8 やその他の信号制御回路に適用することができる。

40

## 【 0 1 5 5 】

図 1 5（B）はリア型プロジェクターであり、本体 2 7 0 1、投射装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 等を含む。本発明は投射装置 2 7 0 2 の一部を構成する液晶表示装置 2 8 0 8 やその他の信号制御回路に適用することができる。

## 【 0 1 5 6 】

なお、図 1 5（C）は、図 1 5（A）及び図 1 5（B）中における投射装置 2 6 0 1、2 7 0 2 の構造の一例を示した図である。投射装置 2 6 0 1、2 7 0 2 は、光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、プリズム

50

2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図15(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0157】

また、図15(D)は、図15(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図15(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

10

【0158】

ただし、図15に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びEL表示装置での適用例は図示していない。

【0159】

図16(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本発明を音声出力部2902、音声入力部2903、表示部2904やその他の信号制御回路に適用することができる。

20

【0160】

図16(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の信号回路に適用することができる。

【0161】

図16(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0162】

30

【発明の効果】

本発明は基板表面に形成される酸化シリコン膜のSi、O、Nの組成比を制御することにより、電気的特性が良好で、かつ高信頼性のTFTを作製することを可能にする。またこのようなTFTを用いた半導体装置の信頼性も向上させることができる。

【図面の簡単な説明】

【図1】 CMOS回路の作製工程を示す断面図。

【図2】 CMOS回路の作製工程を示す断面図。

【図3】 絶縁層101aの成膜条件、物性を示す表。

【図4】 TFTの電気的特性を示すグラフ図。

【図5】 BT試験後のTFTの電気的特性を示すグラフ図。

40

【図6】 アクティブマトリクス基板の断面図。

【図7】 アクティブマトリクス基板の作製工程を示す断面図。

【図8】 アクティブマトリクス基板の作製工程を示す断面図。

【図9】 アクティブマトリクス基板の作製工程を示す断面図。

【図10】 画素マトリクス回路の上面図。

【図11】 アクティブマトリクス型液晶パネルの概略図。

【図12】 アクティブマトリクス型EL表示装置の上面図及び断面図。

【図13】 アクティブマトリクス型EL表示装置の画素部の説明図。

【図14】 電子機器の説明図。

【図15】 プロジェクタ型表示装置の説明図。

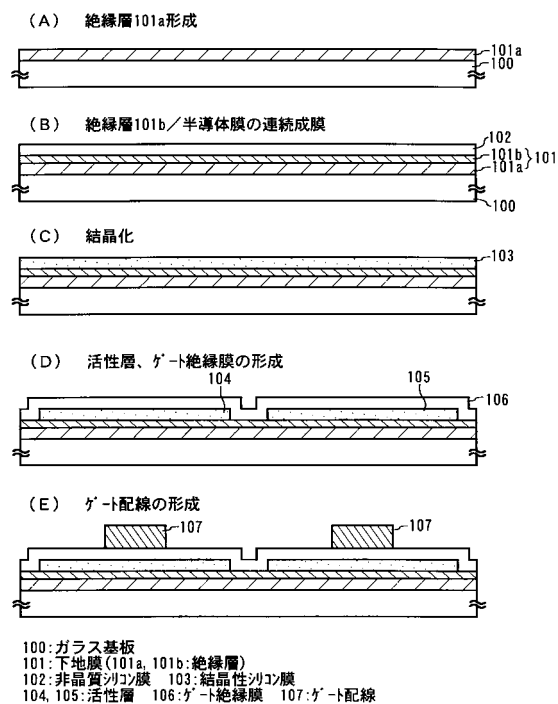
50

## 【図 16】 電子機器の説明図。

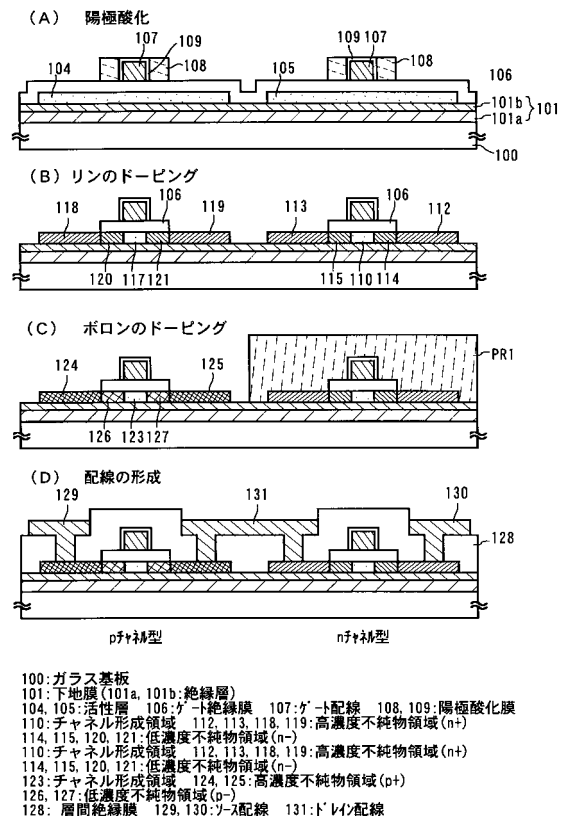
## 【符号の説明】

- 100 基板  
 101 下地膜  
 101a 絶縁層（酸化シリコン）  
 101b 絶縁層（酸化シリコン）  
 104, 105 半導体層

## 【図 1】



## 【図 2】

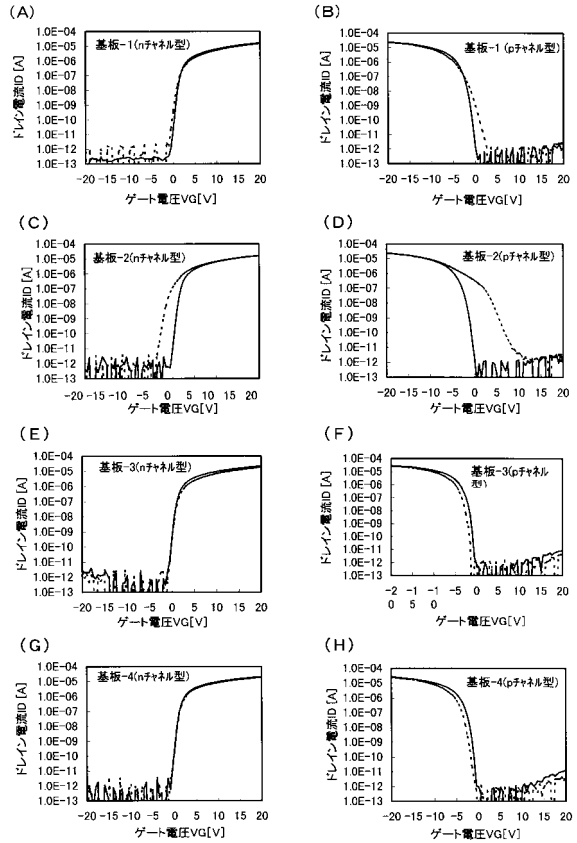


【図3】

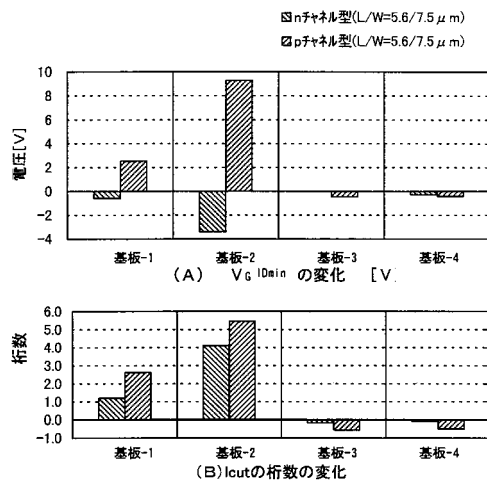
|              |                  | 基板-1   | 基板-2   | 基板-3   | 基板-4 |
|--------------|------------------|--------|--------|--------|------|
| 原料ガス流量       | SiH <sub>4</sub> | 4      | 10     | 15     |      |
|              | N <sub>2</sub> O | 400    | 20     | 20     |      |
|              | NH <sub>3</sub>  | 0      | 100    | 200    |      |
| 熱処理          | 有                | 無      | 無      | 無      |      |
|              | 無                | 有      | 有      | 有      |      |
| 組成比(atomic%) | N                | 7.0    | 24.0   | 44.1   |      |
|              | O                | 59.5   | 26.5   | 6.0    |      |
|              | Si               | 32.0   | 33.0   | 34.4   |      |
|              | H                | 1.5    | 16.5   | 15.5   |      |
| 屈折率          |                  | 1.4566 | 1.7468 | 1.7973 |      |
|              |                  |        |        |        |      |

絶縁層(酸化シリコン層)101aの成膜条件、物性

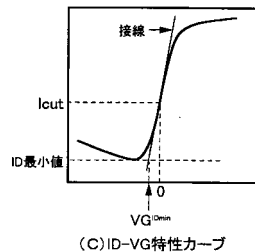
【図4】



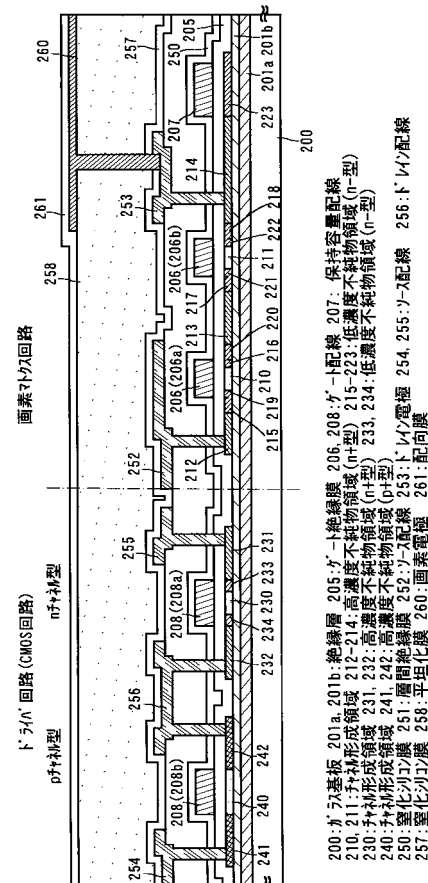
【図5】



※ストレス条件  
150°C, 1時間, VG:nチャネル型=20V, pチャネル型=-20V, VD=VS=0V



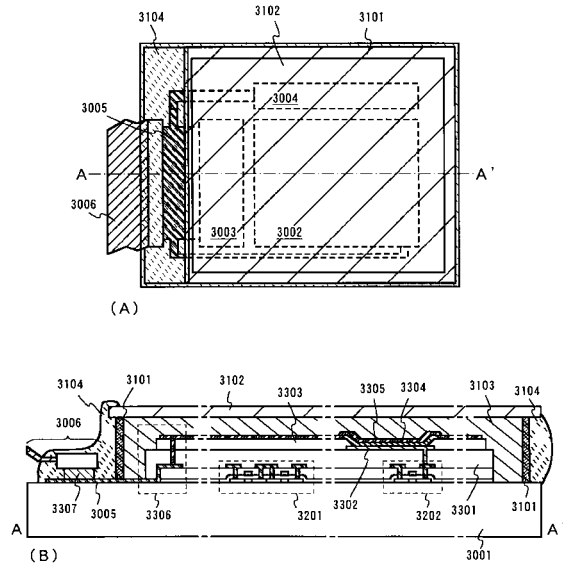
【図6】



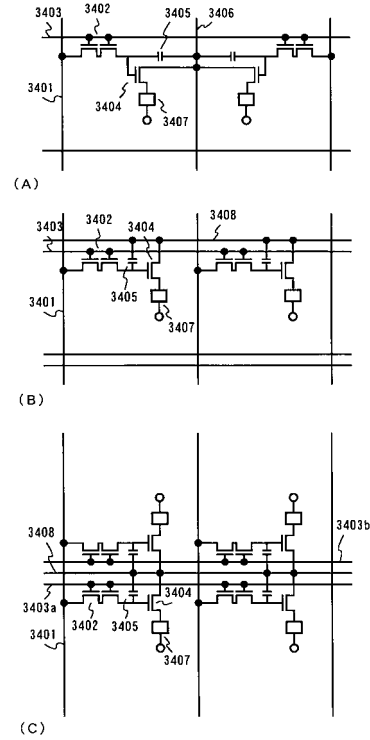
200: ガラス基板 201a: 絶縁層 205: n-型半導体領域 206: n-型半導体領域 207: 保持容量配線  
210: 211: n-型半導体領域 212: 高濃度不純物領域 (n-型) 215-223: 低濃度不純物領域 (n-型)  
230: n-型半導体領域 231: 232: 高濃度不純物領域 (n-型) 233, 234: 低濃度不純物領域 (n-型)  
240: n-型半導体領域 241: 242: 高濃度不純物領域 (p-型) 243: 低濃度不純物領域 (p-型)  
250: 酸化シリコン膜 251: 層間絶縁膜 252: n-型配線 254, 255: p-型配線 256: n-型配線  
257: 酸化シリコン膜 258: 平坦化膜 260: 画素電極 261: 配向膜



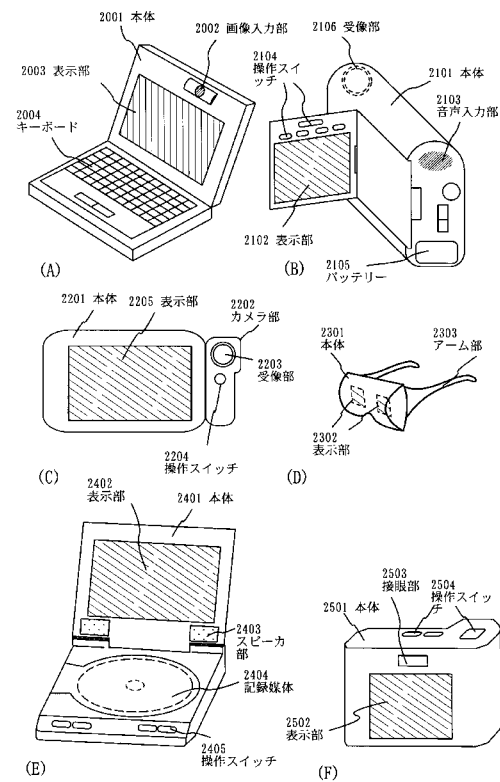
【図 12】



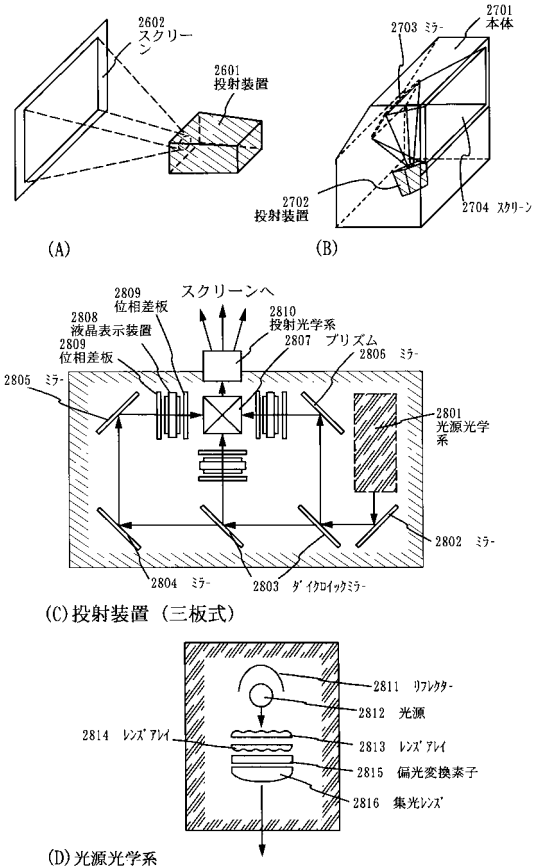
【図 13】



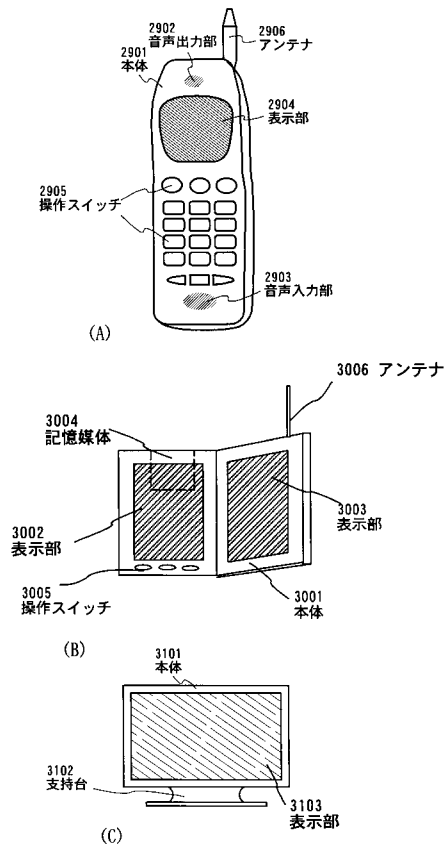
【図 14】



【図 15】



【図 16】





---

フロントページの続き

(51)Int.Cl. F I  
G 0 2 F 1/1368

(56)参考文献 特開平 0 9 - 1 6 2 4 0 5 ( J P , A )  
特開平 0 6 - 2 6 0 4 9 9 ( J P , A )  
特開平 0 8 - 0 3 2 0 8 0 ( J P , A )  
特開平 0 5 - 1 5 2 3 3 1 ( J P , A )  
特開平 0 9 - 0 1 7 7 2 9 ( J P , A )  
特開 2 0 0 0 - 2 6 9 5 0 6 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/786  
H01L 21/336  
H01L 21/318  
G09F 9/30  
G02F 1/1368