



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년09월20일
 (11) 등록번호 10-1657957
 (24) 등록일자 2016년09월09일

- (51) 국제특허분류(Int. Cl.)
 HO1L 27/12 (2006.01) G02F 1/1362 (2006.01)
 G02F 1/1368 (2006.01) HO1L 27/02 (2006.01)
 HO1L 29/786 (2006.01)
- (52) CPC특허분류
 HO1L 27/1214 (2013.01)
 G02F 1/13624 (2013.01)
- (21) 출원번호 10-2016-7011144(분할)
- (22) 출원일자(국제) 2009년08월24일
 심사청구일자 2016년04월27일
- (85) 번역문제출일자 2016년04월27일
- (65) 공개번호 10-2016-0054028
- (43) 공개일자 2016년05월13일
- (62) 원출원 특허 10-2011-7008336
 원출원일자(국제) 2009년08월24일
 심사청구일자 2014년07월08일
- (86) 국제출원번호 PCT/JP2009/065134
- (87) 국제공개번호 WO 2010/029866
 국제공개일자 2010년03월18일
- (30) 우선권주장
 JP-P-2008-235581 2008년09월12일 일본(JP)
- (56) 선행기술조사문헌
 JP09281525 A
 JP10161155 A
 KR1020010045688 A
 JP2007041096 A

- (73) 특허권자
 가부시키가이샤 한도오파이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 야마자키 순페이
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 아키토모 켄고
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 (뒷면에 계속)
- (74) 대리인
 장훈

전체 청구항 수 : 총 2 항

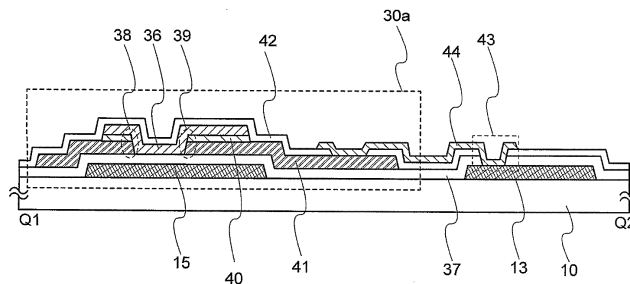
심사관 : 이옥우

(54) 발명의 명칭 표시 장치

(57) 요약

보호 회로는 게이트 전극; 게이트 전극을 피복하는 게이트 절연층; 게이트 절연층 위에서 게이트 전극에 의해 단부가 중첩되고, 도전층과 제 2 산화물 반도체층을 적층함으로써 형성되는 한쌍의 제 1 배선층과 제 2 배선층; 및 적어도 게이트 전극에 의해 중첩되고 게이트 절연층과 제 1 배선층과 제 2 배선층에서 도전층의 측면부들과 제 2 (뒷면에 계속)

대표도



산화물 반도체층의 측면부와 상면부와 접하는 제 1 산화물 반도체층을 포함한다. 게이트 절연층 위에, 상이한 속성들을 갖는 산화물 반도체층들이 서로 접합되어 쇼트키 접합에 비해 안정한 동작이 수행될 수 있다. 따라서, 접합 누설이 감소될 수 있으며 비선형 소자의 특성들이 향상될 수 있다.

(52) CPC특허분류

G02F 1/1368 (2013.01)

H01L 27/0266 (2013.01)

H01L 27/1225 (2013.01)

H01L 27/124 (2013.01)

H01L 29/7869 (2013.01)

(72) 발명자

고모리 시게키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

우치 히데키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

후타무라 토모야

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

가사하라 다카히로

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

표시 장치에 있어서,
 화소부 및 상기 화소부 외부의 보호 회로를 포함하고,
 상기 보호 회로는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 1 배선, 및 제 2 배선을 포함하고,
 상기 제 1 트랜지스터의 게이트는 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 제 2 단자는 상기 제 1 배선에 제 1 투명 도전막을 통해 전기적으로 접속되고,
 상기 제 2 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 제 2 단자는 상기 제 1 배선에 상기 제 1 투명 도전막을 통해 전기적으로 접속되고,
 상기 제 3 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 제 2 단자는 상기 제 1 배선에 제 2 투명 도전막을 통해 전기적으로 접속되고,
 상기 제 4 트랜지스터의 게이트는 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 4 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 4 트랜지스터의 제 2 단자는 상기 제 1 배선에 상기 제 2 투명 도전막을 통해 전기적으로 접속되고,
 상기 제 1 배선은 제 1 영역, 제 2 영역, 및 제 3 영역을 포함하고,
 상기 제 1 영역은 상기 제 1 투명 도전막과 중첩하고,
 상기 제 2 영역은 상기 제 2 투명 도전막과 중첩하고,
 상기 제 3 영역은 상기 제 1 투명 도전막 또는 상기 제 2 투명 도전막과 중첩하지 않고,
 상기 제 1 영역 및 상기 제 2 영역 각각은 상기 제 3 영역보다 더 넓은 부분을 갖고,
 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 상기 제 2 배선의 한 측에 배치되고,
 상기 제 1 트랜지스터는 상기 제 2 배선의 중심선으로부터 상기 제 2 트랜지스터보다 더 멀리 배치되고,
 상기 제 3 트랜지스터 및 상기 제 4 트랜지스터는 상기 제 2 배선의 다른 한 측에 배치되고,
 상기 제 4 트랜지스터는 상기 제 2 배선의 중심선으로부터 상기 제 3 트랜지스터보다 더 멀리 배치된, 표시 장치.

청구항 2

표시 장치에 있어서,
 화소부 및 상기 화소부 외부의 보호 회로를 포함하고,
 상기 보호 회로는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 1 배선, 및 제 2 배선을 포함하고,
 상기 제 1 트랜지스터의 게이트는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 제 2 단자는 상기 제 1 배선에 제 1 투명 도전막을 통해 전기적으로 접속되고,
 상기 제 2 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 제 2 단자는 상기 제 1 배선에 상기 제 1 투명 도전막을 통해 전기적으로 접속되고,
 상기 제 3 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 제 2 단자는 상기 제 1 배선에 제 2 투명 도전막을 통해 전기적으로 접속되고,
 상기 제 4 트랜지스터의 게이트는 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 4 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 4 트랜지스터의 제 2 단자는 상기 제 1 배선에 상기 제 2 투명 도전막을 통해 전기적으로 접속되고,
 상기 제 1 배선은 제 1 영역, 제 2 영역, 제 3 영역, 제 4 영역, 및 제 5 영역을 포함하고,
 상기 제 1 영역은 상기 제 1 투명 도전막과 중첩하고,
 상기 제 2 영역은 상기 제 2 투명 도전막과 중첩하고,
 상기 제 3 영역은 상기 제 1 투명 도전막 또는 상기 제 2 투명 도전막과 중첩하지 않고,
 상기 제 4 영역은 상기 제 2 트랜지스터의 상기 게이트로서 기능하고,
 상기 제 5 영역은 상기 제 3 트랜지스터의 상기 게이트로서 기능하고,
 상기 제 1 영역 및 상기 제 2 영역 각각은 상기 제 3 영역보다 더 넓은 부분을 갖고,
 상기 제 4 영역은 상기 제 1 영역보다 더 넓은 부분을 갖고,
 상기 제 5 영역은 상기 제 2 영역보다 더 넓은 부분을 갖고,
 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 상기 제 2 배선의 한 측에 배치되고,
 상기 제 1 트랜지스터는 상기 제 2 배선의 중심선으로부터 상기 제 2 트랜지스터보다 더 멀리 배치되고,
 상기 제 3 트랜지스터 및 상기 제 4 트랜지스터는 상기 제 2 배선의 다른 한 측에 배치되고,
 상기 제 4 트랜지스터는 상기 제 2 배선의 중심선으로부터 상기 제 3 트랜지스터보다 더 멀리 배치된, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 반도체(oxide semiconductor)를 포함하는 표시 장치(display device)에 관한 것이다.

배경 기술

[0002] 유리 기판과 같은 평판(flat plate) 위에 형성된 박막 트랜지스터(thin film transistor)는 액정 표시 장치(liquid crystal display device)에서 전형적으로 보여지는 바와 같이 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(polycrystalline silicon)을 이용하여 제조된다. 비정질 실리콘을 이용하여 제조된 박막 필름 트랜지스터는 낮은 전계 효과 이동도를 갖지만, 이러한 트랜지스터는 보다 넓은 영역을 갖는 유리 기판 위에 형성될 수 있다. 다른 한편, 다결정 실리콘을 이용하여 제조된 박막 트랜지스터는 높은 전계 효과 이동도를 갖지만, 레이저 어닐링과 같은 결정화 단계(crystallization step)가 필요하고 이러한 트랜지스터는 보다 넓은 유리 기판에 대해 항상 적합하지는 않다.

- [0003] 진술한 것을 고려하여, 처리는 박막 트랜지스터가 산화물 반도체를 이용하여 제조되고, 이러한 트랜지스터는 전자 장치(electronic device) 또는 광 장치(optical device)에 적용되는 기술이 주목된다. 예를 들어, 특허 문헌 1과 특허 문헌 2는 박막 트랜지스터가 산화물 반도체로서 산화 아연(ZnO) 또는 In-Ga-Zn-O계 산화물 반도체를 이용하여 제조되며 이러한 트랜지스터는 화상 표시 장치의 스위칭 소자(swimming element) 등으로서 사용된다.
- [0004] (선행기술문헌)
- [0005] (특허문헌)
- [0006] (특허문헌 1) 일본 공개 특허 출원 번호 제 2007-123861 호
- [0007] (특허문헌 2) 일본 공개 특허 출원 번호 제 2007-96055 호

발명의 내용

해결하려는 과제

- [0008] 채널 형성 영역이 산화물 반도체를 이용하여 형성되는 박막 트랜지스터는 다음과 같은 특성들을 갖는다: 동작 속도가 비정질 실리콘을 포함하는 박막 트랜지스터의 속도보다 높으며 제조 공정이 다결정 실리콘을 포함하는 박막 트랜지스터의 공정보다 단순하다. 즉, 산화물 반도체의 이용은 300℃ 이하의 저온에서도 높은 전계 효과 이동도를 갖는 박막 트랜지스터를 제조하는 것을 가능하게 한다.
- [0009] 동작 특성들이 뛰어나며 낮은 온도들에서 제조가 가능한 산화물 반도체를 포함하는 표시 장치의 특징들의 장점을 취하기 위해, 적절한 구성들을 포함하는 보호 회로(protective circuit) 등이 필요하다. 더욱이, 산화물 반도체를 포함하는 표시 장치의 신뢰성을 보장하는 것이 중요하다.
- [0010] 본 발명의 실시형태의 목적은 보호 회로로서 적합한 구조를 제공하는데 있다.
- [0011] 산화물 반도체에 더하여 절연막과 도전막을 적층함으로써 제조된 다양한 목적의 표시 장치에서, 본 발명의 실시형태의 목적은 보호 회로의 기능을 향상시키고 동작을 안정화시키는데 있다.

과제의 해결 수단

- [0012] 본 발명의 실시형태는 보호 회로가 산화물 반도체를 포함한 비선형 소자를 이용하여 형성되는 표시 장치이다. 이러한 비선형 소자는 상이한 산소 함유량을 갖는 산화물 반도체들의 조합을 포함한다.
- [0013] 본 발명의 예시적인 실시형태는 절연 표면을 갖는 기판 위에 서로 교차하도록 제공된 주사선들과 신호선들과 화소 전극들이 매트릭스로 정렬되는 화소부, 및 화소부 밖의 영역내 산화물 반도체로부터 형성된 비선형 소자를 포함하는 표시 장치이다. 화소부는 채널 형성 영역이 제 1 산화물 반도체층에 형성되는 박막 트랜지스터를 포함한다. 화소부내 박막 트랜지스터는 주사선에 접속된 게이트 전극, 신호선에 접속되고 제 1 산화물 반도체층과 접하는 제 1 배선층, 및 화소 전극에 접속되고 제 1 산화물 반도체층과 접하는 제 2 배선층을 포함한다. 더욱이, 비선형 소자는 기판의 주변에 배치된 신호 입력 단자와 화소부 간에 제공된다. 비선형 소자는 게이트 전극과 게이트 전극을 피복하는 게이트 절연층; 게이트 절연층 위에 게이트 전극에 의해 단부가 중첩되고, 도전층과 제 2 산화물 반도체층을 적층함으로써 형성되는 한 쌍의 제 1 배선층과 제 2 배선층; 및 적어도 게이트 전극에 의해 중첩되고 게이트 절연층과 제 1 배선층과 제 2 배선층내 도전층의 측면부들과 제 2 산화물 반도체층의 측면부와 상면부와 접하는 제 1 산화물 반도체층을 포함한다. 비선형 소자의 게이트 전극은 주사선 또는 신호선에 접속되고 비선형 소자의 제 1 배선층 또는 제 2 배선층은 제 3 배선층을 통해 게이트 전극에 접속되어 게이트 전극의 전위가 제 1 배선층 또는 제 2 배선층에 인가된다.
- [0014] 본 발명의 예시적인 실시형태는 절연 표면을 갖는 기판 위에 서로 교차하도록 형성된 주사선들과 신호선들, 매트릭스로 정렬된 화소 전극들을 포함하는 화소부, 및 화소부 외부의 영역내 보호 회로를 갖는 표시 장치이다. 화소부는 채널 형성 영역이 제 1 산화물 반도체내에 형성되는 박막 트랜지스터를 포함한다. 화소부내 박막 트랜지스터는 주사선에 접속된 게이트 전극, 신호선에 접속되고 제 1 산화물 반도체층과 접하는 제 1 배선층, 및 화소 전극에 접속되고 제 1 산화물 반도체층과 접하는 제 2 배선층을 포함한다. 화소부의 외부 영역에서, 주사선과 공통 배선을 서로 접속하기 위한 보호 회로 및 신호선과 공통 배선을 서로 접속하기 위한 보호 회로가 제공된다. 보호 회로는 게이트 전극; 게이트 전극을 피복하는 게이트 절연층; 게이트 절연층 위에서 게이트 전극에 의해 단부가 중첩되고, 도전층과 제 2 산화물 반도체층을 적층함으로써 형성되는 한쌍의 제 1 배선층과 제 2 배선층을 포함한다.

선층; 및 적어도 게이트 전극에 의해 증착되고 게이트 절연층과 제 1 배선층과 제 2 배선층내 도전층의 측면부들과 제 2 산화물 반도체층의 측면부와 상면부와 접하는 제 1 산화물 반도체층을 포함하는 비선형 소자를 포함한다. 더욱이, 비선형 소자의 게이트 전극은 제 3 배선층을 통해 제 1 배선층 또는 제 2 배선층에 접속된다.

[0015] 여기서, 제 1 산화물 반도체층은 제 2 산화물 반도체층보다 높은 농도의 산소를 포함한다. 즉, 제 1 산화물 반도체층은 산소-과다형(oxygen-excess type)인 반면에, 제 2 산화물 반도체층은 산소-결핍형(oxygen-deficiency type)이다. 제 1 산화물 반도체층은 제 2 산화물 반도체층보다 낮은 전기 전도도를 갖는다. 제 1 산화물 반도체층은 비정질 구조를 가지며, 제 2 산화물 반도체층은 몇몇 경우들에서 비정질 구조에 나노크리스탈(nanocrystal)을 포함한다.

[0016] 본 명세서에서 "제 1" 및 "제 2"와 같은 서수들은 편의성을 위해 사용되며 단계들의 순서와 층들의 적층을 표시하는 것이 아니라는 것을 주의해야 한다. 추가적으로, 본 명세서에서 서수들은 본 발명을 특징하는 고유한 명칭들을 표시하지 않는다.

[0017] 본 명세서에서, In, Ga, 및 Zn을 포함하는 산화물 반도체로 형성된 반도체막은 또한 "IGZO 반도체막"으로서 지칭되고 이러한 산화물 반도체로부터 형성된 반도체층은 또한 "IGZO 반도체층"으로서 지칭된다.

발명의 효과

[0018] 본 발명의 실시형태에 따르면, 보호 회로로서 적합한 구조를 갖는 표시 장치는 산화물 반도체를 포함한 비선형 소자를 사용하여 보호 회로를 형성함으로써 제공될 수 있다. 비선형 소자의 제 1 산화물 반도체층과 배선층들 간의 접속 구조에 있어서, 제 1 산화물 반도체층보다 높은 전기적 전도성을 갖는 제 2 산화물 반도체층과 접합되는 영역의 제공은 금속 배선들만을 이용한 경우에 비해 안정한 동작을 허용한다. 따라서, 보호 회로의 기능이 향상되고 동작이 안정될 수 있다.

도면의 간단한 설명

[0019] 도 1은 신호 입력 단자들, 주사선들, 신호선들, 비선형 소자들을 포함하는 보호 회로들, 및 표시 장치내 화소부의 위치적 관계를 예시하는 도면.

도 2는 보호 회로의 예를 예시하는 도면.

도 3은 보호 회로의 예를 예시하는 도면.

도 4a 및 도 4b는 보호 회로의 예를 예시하는 평면도.

도 5는 보호 회로의 예를 예시하는 단면도.

도 6a 내지 도 6c는 보호 회로를 제조하기 위한 프로세스를 예시하는 단면도.

도 7a 내지 도 7c는 보호 회로를 제조하기 위한 프로세스를 예시하는 단면도.

도 8a 내지 도 8c는 보호 회로를 제조하기 위한 프로세스를 예시하는 단면도.

도 9a 내지 도 9c는 보호 회로를 제조하기 위한 프로세스를 예시하는 단면도.

도 10은 전자 종이의 단면도.

도 11a 및 도 11b는 각각 반도체 장치의 블록도.

도 12는 신호선 구동 회로의 구조를 예시하는 도면.

도 13은 신호선 구동 회로의 동작의 타이밍도.

도 14는 신호선 구동 회로의 동작의 타이밍도.

도 15는 시프트 레지스터(shift register)의 구조를 예시하는 다이어그램.

도 16은 도 14의 플립-플롭의 접속 구조를 예시하는 도면.

도 17a 및 도 17b는 상면도들 및 도 17c는 단면도이고, 각각은 실시형태 6의 반도체 장치를 예시하는 도면.

도 18은 실시형태 6의 반도체 장치를 예시하는 단면도.

- 도 19는 실시형태 7의 반도체 장치내 화소의 등가 회로를 예시하는 도면.
- 도 20a 내지 도 20c는 실시형태 7의 반도체 장치를 각각 예시하는 도면.
- 도 21a는 상면도이고 도 21b는 단면도이며, 모두 실시형태 7의 반도체 장치를 기술하는 도면.
- 도 22a 및 도 22b는 전자 종이의 사용예들을 예시하는 도면.
- 도 23은 전자 서적 장치의 예를 예시하는 외관도.
- 도 24a는 텔레비전 장치의 예의 외관도이고 도 24b는 디지털 포토 프레임의 예의 외관도.
- 도 25a 및 도 25b는 게임기들의 예들을 예시하는 외관도.
- 도 26은 휴대전화의 예를 예시하는 외관도.
- 도 27a 및 도 27b는 보호 회로의 예를 예시하는 평면도.
- 도 28a 및 도 28b는 보호 회로의 예를 예시하는 평면도.

발명을 실시하기 위한 구체적인 내용

- [0020] 아래, 본 발명의 실시형태들이 도면들을 참조하여 기술된다. 본 발명은 이하의 설명에 제한되지 않으며 모드와 상세한 설명들이 본 발명의 범주 및 사상을 벗어남이 없이 다양하게 변화될 수 있다는 것이 당업자에 의해 쉽게 이해된다. 따라서, 본 발명은 이하 기술된 실시형태들에 기술되는 것으로 제한되는 것으로 해석되어서는 안된다. 모든 도면들내 동일한 부분을 표시하는 참조 번호는 이하 설명되는 본 발명의 구조들에서 공통으로 사용된다는 것을 주의한다.
- [0021] [실시형태 1]
- [0022] 실시형태 1에서, 화소부 및 화소부 주변에 제공된 비선형 소자를 포함하는 보호 회로를 포함하는 표시 장치의 예가 도면들을 참조하여 기술된다.
- [0023] 도 1은 표시 장치의 신호 입력 단자들, 주사선들, 신호선들, 비선형 소자들을 포함하는 보호 회로들, 및 화소부의 위치 관계를 예시한다. 절연 표면을 갖는 기판(10) 위에, 화소부(17)를 형성하기 위해 주사선들(13)과 신호선들(14)이 서로 교차한다.
- [0024] 화소부(17)는 매트릭스로 배열된 복수의 화소들(18)을 포함한다. 화소(18)는 주사선(13)과 신호선(14)에 접속된 화소 트랜지스터(19), 유지 용량부(20), 및 화소 전극(21)을 포함한다.
- [0025] 본 명세서에 예시된 화소 구성에서, 유지 용량부(20)의 한 전극은 화소 트랜지스터(19)에 접속되고 다른 전극은 용량선(22)에 접속된다. 더욱이, 화소 전극(21)은 (액정 소자, 발광 소자, 또는 콘트라스트 매체(전자 잉크)와 같은) 표시 소자를 구동하는 하나의 전극을 형성한다. 이러한 표시 소자의 다른 전극은 공통 단자(23)에 접속된다.
- [0026] 보호 회로는 화소부(17), 및 주사선 입력 단자(11)와 신호선 입력 단자(12) 사이에 제공된다. 실시형태 1에서, 복수의 보호 회로들이 제공된다. 따라서, 비록 정전기 등으로 인한 서지 전압이 주사선(13), 신호선(14), 및 용량 버스선(27), 등에 인가된다고 하더라도 화소 트랜지스터(19)가 파괴되지 않는다. 따라서, 보호 회로는 서지 전압이 보호 회로에 인가될 때 공통 배선(29) 또는 공통 배선(28)으로 전하를 방출하기 위한 구성을 갖는다.
- [0027] 실시형태 1에서, 보호 회로(24)는 주사선(13) 측에 제공되고, 보호 회로(25)는 신호선(14) 측에 제공되며, 및 보호 회로(26)는 용량 버스선(27) 측에 제공된다. 말할 필요없이, 보호 회로들의 구성들은 이들에 제한되지 않는다.
- [0028] 도 2는 보호 회로의 예를 예시한다. 이러한 보호 회로는 주사선(13)을 사이에 끼우고 서로 나란하게 배열되는 비선형 소자(30) 및 비선형 소자(31)를 포함한다. 각각의 비선형 소자(30)와 비선형 소자(31)는 다이오드와 같은 2-단자 소자(two-terminal element) 또는 트랜지스터와 같은 3-단자 소자를 포함한다. 예를 들어, 비선형 소자는 화소부의 화소 트랜지스터와 동일한 공정들을 통해 형성될 수 있다. 예를 들어, 다이오드의 특성들과 유사한 특성들은 비선형 소자의 게이트 단자를 드레인 단자에 접속함으로써 달성될 수 있다.
- [0029] 비선형 소자(30)의 제 1 단자(게이트)와 제 3 단자(드레인)는 주사선(13)에 접속되고, 비선형 소자(30)의 제 2 단자(소스)는 공통 배선(29)에 접속된다. 비선형 소자(31)의 제 1 단자(게이트)와 제 3 단자(드레인)는 공통 배

선(29)에 접속되고, 비선형 소자(31)의 제 2 단자(소스)는 주사선(13)에 접속된다. 즉, 도 2에 예시된 보호 회로는 정류 방향들이 주사선(13)에 대해 서로 반대이고 주사선(13)과 공통 배선(29)을 서로 접속하는 2개의 트랜지스터들을 포함한다. 즉, 주사선(13)과 공통 배선(29) 사이에, 정류 방향이 주사선(13)으로부터 공통 배선(29)인 트랜지스터와 정류 방향이 공통 배선(29)으로부터 주사선(13)인 트랜지스터가 존재한다.

[0030] 도 2에 예시된 보호 회로에 있어서, 주사선이 정전기 등으로 인해 공통 배선(29)에 대해 양 또는 음으로 대전되는 경우에 있어서, 전류는 전하를 상쇄시키는 방향으로 흐른다. 예를 들어, 주사선(13)이 양으로 대전되면, 전류는 양 전하가 공통 배선(29)으로 방출되는 방향으로 흐른다. 이러한 동작 덕분에, 대전된 주사선(13)에 접속된 화소 트랜지스터(19)의 정전기 절연과피 또는 임계 전압에서 시프트가 방지될 수 있다. 더욱이, 대전된 주사선(13)과 이들 사이에 삽입된 절연층을 갖고, 대전된 주사선(13)과 교차하는 다른 배선 간의 절연막의 절연과피를 방지할 수 있다.

[0031] 도 2에서 제 1 단자(게이트)가 주사선(13)에 접속되는 비선형 소자(30)와 제 1 단자(게이트)가 공통 배선(29)에 접속되는 비선형 소자(31)의 쌍이 사용된다는 것을 주의한다; 즉, 비선형 소자(30)와 비선형 소자(31)의 정류 방향들은 서로 반대이다. 공통 배선(29)과 주사선(13)은 각각의 비선형 소자의 제 2 단자(소스)와 제 3 단자(드레인)를 통해 서로 나란히 접속된다. 다른 구조로서, 비선형 소자는 나란히 접속되도록 더 추가될 수 있으며, 따라서 보호 회로의 동작 안정성이 향상될 수 있다. 예를 들어, 도 3은 주사선(13)과 공통 배선(29) 사이에 제공되는 비선형 소자(30a)와 비선형 소자(30b), 및 비선형 소자(31a)와 비선형 소자(31b)를 포함하는 보호 회로를 예시한다. 이러한 보호 회로는 전체로 4개의 비선형 소자들을 포함한다: 각각의 제 1 단자(게이트)가 공통 배선(29)에 접속된 2개의 비선형 소자들(30b와 31b), 각각의 제 1 단자(게이트)가 주사선(13)에 접속된 2개의 비선형 소자들(30a와 31a). 즉, 두 쌍의 비선형 소자들은 공통 배선(29)과 주사선(13) 간에 접속되고, 각각의 쌍은 이들의 정류 방향들이 서로 반대가 되도록 제공된 두 비선형 소자들을 포함한다. 즉, 주사선(13)과 공통 배선(29) 사이에, 각각의 정류 방향이 주사선(13)에서 공통 배선(29) 방향인 2개의 트랜지스터들과 각각의 정류 방향이 공통 배선(29)에서 주사선(13) 방향인 2개의 트랜지스터들이 존재한다. 공통 배선(29)과 주사선(13)은 이러한 방법으로 4개의 비선형 소자들에 의해 서로 접속되며, 서지 전압이 주사선(13)에 인가되고 더욱이 공통 배선(29)이 정전기 등에 의해 대전된다고 하더라도, 주사선(13)을 통해 전하가 직접 흐르는 것을 방지하는 것이 가능하다. 도 28a는 4개의 비선형 소자들(740a, 740b, 740c 및 740d)이 기관 위에 제공되며 도 28b가 이들의 등가 회로도인 예를 예시한다는 것을 주의한다. 도 28a와 도 28b의 참조 번호들(650과 651)은 주사선과 공통 배선을 각각 표시한다는 것을 주의한다.

[0032] 도 27a는 기관 위에 홀수의 비선형 소자들을 이용하여 형성되는 보호 회로를 제공하는 예를 예시하며, 도 27b는 이들의 등가 회로도이다. 이 회로에서, 비선형 소자(730b)와 비선형 소자(730a)는 스위칭 소자들로서 비선형 소자(730c)에 접속된다. 이러한 방법으로 비선형 소자들의 직렬 접속에 의해, 보호 회로의 비선형 소자에 인가된 순간적인 부하가 분산될 수 있다. 도 27a와 도 27b의 참조 번호들(650과 651)은 주사선과 공통 배선을 각각 표시한다는 것을 주의한다.

[0033] 도 2는 주사선(13) 측에 제공되는 보호 회로의 예를 예시한다; 그러나, 유사한 구조를 갖는 보호 회로가 신호선(14) 측에 제공될 수 있다.

[0034] 도 4a는 보호 회로의 예를 예시하는 평면도이고 도 4b는 이들의 등가 회로도이다. 도 5는 도 4a의 선 Q1-Q2을 따라서 취해진 단면도이다. 보호 회로의 구조 예는 도 4a와 도 4b 및 도 5를 참조하여 이하 기술된다.

[0035] 비선형 소자(30a)와 비선형 소자(30b)는 주사선(13)과 동일한층을 이용하여 형성되는 게이트 전극(15) 및 게이트 전극(16)을 각각 포함한다. 게이트 절연층(37)은 게이트 전극(15)과 게이트 전극(16) 위에 형성된다. 제 1 배선층(38)과 제 2 배선층(39)은 게이트 전극(15) 위에 서로 마주하도록 게이트 절연막(37) 위에 제공된다. 비선형 소자(30a)와 비선형 소자(31b)는 주요부에 있어서 동일한 구조를 갖는다는 것을 주의한다.

[0036] 제 1 산화물 반도체층(36)은 서로 마주하는 제 1 배선층(38)과 제 2 배선층(39)간의 영역을 피복하도록 제공된다. 즉, 제 1 산화물 반도체층(36)은 게이트 전극(15)과 중첩되고 게이트 절연층(37), 제 1 배선층(38)과 제 2 배선층(39)에 있어서 도전층(41)의 측면부들 및 제 2 산화물 반도체층(40)의 측면부들과 상면부들의 일부와 접하도록 제공된다. 여기서, 제 1 배선층(38)과 제 2 배선층(39)은 각각 도전층(41)과 제 2 산화물 반도체층(40)이 게이트 절연층(37) 측으로부터 그러한 순서로 적층되는 구조를 각각 갖는다. 게이트 절연층(37)은 산화 실리콘 또는 산화 알루미늄과 같은 산화물로 형성된다.

[0037] 제 1 산화물 반도체층(36)은 제 2 산화물 반도체층(40)보다 높은 산소 농도를 갖는다. 즉, 제 1 산화물 반도체

층(36)은 산소-과다형인 반면에, 제 2 산화물 반도체층(40)은 산소-결핍형이다. 도너형 결함들이 제 1 산화물 반도체층(36)의 산소 농도를 증가시킴으로써 감소될 수 있기 때문에, 보다 긴 캐리어 수명과 보다 높은 이동성의 유리한 효과들이 존재한다. 다른 한편, 제 2 산화물 반도체층(40)의 산소 농도가 제 1 산화물 반도체층(36)의 농도보다 낮게 만들어질 때, 캐리어 농도가 증가될 수 있고 제 2 산화물 반도체층(40)이 소스 영역과 드레인 영역을 형성하기 위해 이용될 수 있다.

[0038] 산화물 반도체의 구조에 대해, 제 1 산화물 반도체층(36)은 비정질 구조를 가지며 제 2 산화물 반도체층(40)은 비정질 구조내에 나노크리스탈을 포함하는 경우가 있다. 그 다음, 제 1 산화물 반도체층(36)은 이들의 전도성이 제 2 산화물 반도체층(40)의 전도성보다 낮은 특성을 갖는다. 따라서, 실시형태 1의 비선형 소자(30a)와 비선형 소자(30b)내 제 1 배선층(38)과 제 2 배선층(39)의 구성요소들로 사용된 제 2 산화물 반도체층들(40)은 트랜지스터의 소스 영역과 드레인 영역의 특성과 유사한 기능들을 가질 수 있다.

[0039] 제 1 산화물 반도체층(36)과 제 2 산화물 반도체층(40)은 전형적으로 산화 아연(ZnO)로 형성되거나, In, Ga, 및 Zn을 포함하는 산화물 반도체로 형성된다.

[0040] 제 1 산화물 반도체층(36)은 게이트 절연층(37)과 접한다. 더욱이, 제 1 산화물 반도체층(36)은 제 1 산화물 반도체층(36)보다 높은 전기 전도도를 갖는 제 2 산화물 반도체층(40)과 접한다. 비선형 소자(30a)와 비선형 소자(30b) 각각이 전술한 바와 같이 상이한 물리적 속성들을 갖는 산화물 반도체층들이 전술한 바와 같이 서로 접합되는 구조를 가질 때, 제 1 배선층(38)과 제 2 배선층(39)이 금속층들만을 이용하여 형성되는 경우에 있어서 형성된 쇼트키 접합(Schottky junction)과 비교하여 안정한 동작이 가능하게 된다. 즉, 금속 배선들만을 이용하는 경우에 비하여, 열적 안정성이 증가되어, 안정한 동작이 가능하게 된다. 따라서, 보호 회로의 기능이 향상되고 안정한 동작이 달성될 수 있다. 더욱이, 접합 누설의 양이 감소될 수 있으며 비선형 소자(30a)와 비선형 소자(30b)의 특성들이 향상될 수 있다.

[0041] 제 1 배선층(38)과 제 2 배선층(39) 각각이 제 2 산화물 반도체층(40)이 금속 재료로 형성된 도전층(41)위에 제공되고 제 1 산화물 반도체층(36)이 제 2 산화물 반도체층(40)의 상면과 접하는 구조를 가질 때, 접합부의 면적이 증가되어, 비선형 소자(30a)를 통해 전류가 쉽게 흐른다. 따라서, 비선형 소자(30a)가 보호 회로를 위해 사용되는 경우에 있어서, 비록 서지 전압이 신호선 등에 인가된다고 하더라도, 전하가 공통 배선으로 신속히 방전될 수 있다.

[0042] 층간 절연층(42)이 제 1 산화물 반도체층(36) 위에 제공된다. 층간 절연층(42)은 산화 실리콘 또는 산화 알루미늄과 같은 산화물로부터 형성된다. 질화 실리콘, 알루미늄 질화물, 실리콘 산질화물, 또는 산화질화 알루미늄이 산화 실리콘 또는 산화 알루미늄 위에 적층될 때, 보호막으로서의 기능이 향상될 수 있다.

[0043] 어떠한 경우에 있어서, 제 1 산화물 반도체층(36)과 접하는 층간 절연층(42)이 산화물일 때, 제 1 산화물 반도체층(36)으로부터 산소가 추출되는 것을 방지하고 제 1 산화물 반도체층(36)이 산소-결핍형으로 변하는 것을 방지할 수 있다. 더욱이, 제 1 산화물 반도체층(36)이 질화물을 포함한 절연층과 직접 접하지 않는 구조에 의해, 질화물내 수소가 확산되어 수산화 등으로 인해 제 1 산화물 반도체층(36)에 결함들이 발생하는 것을 방지할 수 있다.

[0044] 층간 절연층(42)은 게이트 전극(15)과 동일한층을 이용하여 형성된 주사선(13)이 비선형 소자(30a)의 제 3 단자(드레인)에 접속되는 콘택트 홀(contact hole)(43)을 제공한다. 이러한 접속은 화소부의 화소 전극과 동일한 재료로 형성된 제 3 배선층(44)에 의해 만들어진다. 제 3 배선층(44)은 예를 들어, 인듐 주석 산화물(ITO), 산화 아연(ZnO), 산화 주석(SnO₂) 등으로 투명 전극을 형성하기 위해 사용되는 재료로 형성된다. 따라서, 제 3 배선층(44)은 금속 재료로 형성된 배선보다 높은 저항을 갖는다. 보호 회로가 저항 성분을 포함하는 배선들을 포함할 때, 과도한 양의 전류가 비선형 소자(30a)와 비선형 소자(30a)를 통해 흐르는 것을 방지하여 파괴되는 것을 방지할 수 있다.

[0045] 비록 도 4a와 도 4b 및 도 5가 주사선(13)에 제공된 보호 회로의 예를 예시한다고 하더라도, 유사한 보호 회로가 신호선, 용량 버스선 등에 적용될 수 있다.

[0046] 실시형태 1에 따라서, 이러한 방법으로 산화물 반도체를 포함하는 비선형 소자를 포함하는 보호 회로의 제공에 의해, 보호 회로로서 적합한 구조를 갖는 표시 장치가 제공될 수 있다. 그 다음, 보호 회로의 기능이 향상될 수 있으며 동작이 산화물 반도체를 포함하는 비선형 소자의 사용에 의해 안정하게 될 수 있다.

[0047] [실시형태 2]

- [0048] 실시형태 2에서, 실시형태 1의 도 4a에 예시된 보호 회로가 도 6a 내지 도 6c 및 도 7a 내지 도 7c를 참조하여 기술된다. 도 6a 내지 도 6c 및 도 7a 내지 도 7c는 도 4a의 선 Q1-Q2를 따라 취해진 단면도들이다.
- [0049] 도 6a에서, 시판되는 바륨보로실리케이트 유리, 알루미늄보로실리케이트 유리, 알루미늄실리케이트 유리 등의 유리 기판이 투광성 특성을 갖는 기판(100)으로서 사용될 수 있다. 예를 들어, 조성비에서 붕산(B₂O₃)보다 산화 바륨(BaO)을 더 포함하고 변형점이 730℃ 또는 보다 높은 유리 기판이 바람직하다. 이것은 유리 기판이 산화물 반도체가 약 700℃의 높은 온도에서 열처리되는 경우에 있어서도 변형되지 않기 때문이다.
- [0050] 이어, 도전층은 기판(100) 위 전면에 형성된다. 그 후, 레지스트 마스크는 제 1 포토리소그래피 처리에 의해 형성되며, 불필요한 부분은 배선들과 전극(게이트 전극(101))을 포함하는 게이트 배선, 용량 배선, 및 단자와 같은)을 형성하기 위해 에칭에 의해 제거된다. 이 단계에서, 에칭은 적어도 게이트 전극(101)의 단부가 테이퍼 되도록 수행된다.
- [0051] 게이트 전극(101), 용량 배선, 및 단자부의 단자를 포함하는 게이트 배선은 알루미늄(Al) 또는 구리(Cu)와 같은 저저항 도전성 재료로 형성되는 것이 바람직하다; 그러나, 알루미늄 독자적으로는 낮은 내열성과 부식되려는 경향과 같은 단점을 갖기 때문에, 내열성을 갖는 도전성 재료와 조합하여 사용된다. 내열성을 갖는 도전성 재료로서, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 및 네오디뮴(Nd), 자신의 성분으로서 상기 원소를 포함하는 합금, 상기 원소들의 몇몇이 조합되는 합금막, 또는 자신의 성분으로서 상기 원소를 포함하는 질화물을 갖는 도전성 재료가 사용될 수 있다. 도 6a는 이러한 스테이지의 단면도이다.
- [0052] 이어서, 게이트 절연층(102)이 게이트 전극(101) 위 전면에 형성된다. 게이트 절연층(102)은 50 내지 250nm 두께로 스퍼터링법에 의해 형성된다.
- [0053] 예를 들어, 산화 실리콘막은 게이트 절연층(102)과 같이 스퍼터링법에 의해 100nm의 두께로 형성된다. 말할 필요없이, 게이트 절연층(102)은 산화 실리콘막으로 제한되지 않으며 산화질화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 또는 탄탈 산화물막과 같은 다른 절연막을 포함하는 층들의 단일층 또는 적층일 수 있다.
- [0054] 이어, 도전막은 스퍼터링법 또는 진공 증착법에 의해 게이트 절연층(102) 위에 금속 재료로 형성된다. 도전층의 재료로서, Al, Cr, Ta, Ti, Mo, 및 W로부터 선택된 원소, 상기 원소를 포함하는 합금, 상기 원소들의 몇몇이 조합되는 등의 합금막을 포함한다. 여기서, 도전막은 Ti막이 형성되고, 알루미늄(Al)이 Ti막 위에 적층되며, 및 다른 Ti막이 Al막 위에 적층되는 3층 구조를 갖는다. 대안으로, 도전막은 Ti막이 Al막 위에 적층되는 2층 구조를 가질 수 있다. 다른 대안으로, 도전막은 실리콘 또는 티타늄막을 포함하는 알루미늄막의 단층 구조를 가질 수 있다.
- [0055] 이어, 제 2 산화물 반도체막이 스퍼터링법에 의해 게이트 절연층(102)위에 형성된다. 여기서, 스퍼터링 증착은 타겟이 1:1:1(=In₂O₃:Ga₂O₃:ZnO)의 조성비로 산화 인듐(In₂O₃), 산화 갈륨(Ga₂O₃), 및 산화 아연(ZnO)을 포함하고, 증착 챔버내 압력이 0.4Pa로 설정되며, 전력이 500W로 설정되고, 증착 온도가 실온으로 설정되며, 아르곤 가스 유량이 40sccm으로 설정되는 조건하에서 수행된다. 따라서, In, Ga, Zn 및 산소를 포함하는 반도체막이 제 2 산화물 반도체막으로서 형성된다. 비록 조성비가 In₂O₃:Ga₂O₃:ZnO=1:1:1인 타겟이 의도적으로 사용된다 고 하더라도, 증착 직후 1nm 내지 10nm의 크기를 갖는 결정립을 포함하는 산화물 반도체막이 종종 획득된다. 타겟 조성비, 증착 압력(0.1Pa 내지 2.0Pa), 전력(250W 내지 3000W: 8인치 ϕ), 온도(실온에서 100℃) 등과 같은 반응 스퍼터링의 증착 조건을 적절히 조정함으로써 결정립들의 존재 또는 부재와 결정립들의 밀도가 제어될 수 있으며 결정립의 직경은 1nm 내지 10nm내로 조정될 수 있다. 제 2 산화물 반도체막의 두께는 5nm 내지 20nm로 설정된다. 말할 필요없이, 필름이 결정립들을 포함하는 경우에 있어서, 결정립의 크기는 필름 두께를 초과하지 않는다. 실시형태 2에서, 제 2 산화물 반도체막은 5nm의 두께를 갖는다.
- [0056] 게이트 절연층, 도전막, 및 제 2 산화물 반도체막은 챔버에 주입되는 가스를 변화시키고 챔버내 타겟 설정을 적절히 변경시킴으로써 공기에 노출되지 않고 연속적으로 스퍼터링법에 의해 형성될 수 있다. 공기에 노출되지 않는 연속적인 증착은 불순물 혼입을 방지할 수 있다. 공기 노출되지 않는 연속적인 증착의 경우에 있어서, 멀티 챔버형의 제조 장치가 바람직하다.
- [0057] 이어, 제 2 포토리소그래피 공정이 레지스트 마스크를 형성하기 위해 수행되고, 제 2 산화물 반도체막이 에칭된다. 여기서, 웨트 에칭이 불필요한 부분을 제거하기 위해 IT007N(Kanto Chemical Co., Inc.의 제품)을 이용하여 수행된다; 따라서, 제 2 산화물 반도체층들(111a와 111b)이 형성된다. 여기서 에칭은 웨트 에칭으로 제한되지 않으며 드라이 에칭일 수도 있다는 것을 주의해야 한다.

- [0058] 이어, 제 2 산화물 반도체막을 에칭하는데 사용된 레지스트 마스크가 에칭에 의해 게이트 절연층 위의 도전막의 불필요한 부분을 제거하기 위해 사용되며, 이에 의해 소스 전극층(105a)과 드레인 전극층(105b)이 형성된다. 에칭은 웨트 에칭 또는 드라이 에칭일 수 있다. 여기서, 드라이 에칭은 Ti막, Al막, 및 Ti막이 적층된 도전막을 에칭하기 위해 SiCl₄, Cl₂ 및 BCl₃의 혼합 가스를 이용하여 이용된다. 따라서, 소스 전극층(105a)과 드레인 전극층(105b)이 형성된다. 레지스트 마스크가 제거된 후 단면도가 도 6b에 도시되는 것을 주의한다.
- [0059] 이어 플라즈마 처리가 수행된다. 여기서, 증착 챔버내로 산소 gas와 아르곤 gas의 주입 후 플라즈마가 발생되는 역스퍼터링이 수행되며, 따라서 노출된 게이트 절연층이 산소 라디칼들 또는 산소에 의해 조사된다. 따라서, 표면에 달라붙은 먼지가 제거되고 더욱이 게이트 절연층의 표면이 산소-과다 영역으로 변경된다. 게이트 절연층의 표면에 산소 라디칼 처리를 수행하여, 표면이 산소-과다 영역이 되는 것은, 다음 단계에서 신뢰성을 증가시키기 위한 열처리(200℃ 내지 600℃)로 제 1 산화물 반도체층의 계면을 변경하기 위한 산소 공급원이 제작되기 때문에 유효하다. 이러한 단계가 완료될 때 단면도가 도 6c에 도시된다.
- [0060] (도시되지 않은)산화막이 플라즈마 처리의 조건에 따라서 소스 전극층(105a)과 드레인 전극층(105b)의 노출된 측면들에 형성된다는 것을 주의한다; 그러나, 이것은 문제가 되지 않는데, 이는 소스 전극층(105a)과 드레인 전극층(105b)이 실시형태 2의 이러한 구조에서 채널 형성 영역과 직접 접하기 때문이다. 오히려, 이러한 산화막의 형성에 의해, 소스 전극층(105a)과 드레인 전극층(105b)은 제 2 산화물 반도체층을 이용하여 형성되는 소스 영역과 드레인 영역을 개재하여 채널 형성 영역에 전기적으로 접속된다. 게다가, 제 2 산화물 반도체층을 포함하는 소스 영역과 드레인 영역이 소스 전극층과 드레인 전극층 위에 형성된 후 플라즈마 처리가 수행되기 때문에, 소스 전극층과 드레인 전극층의 노출된 단부들만이 산화된다. 다른 영역들이 산화되지 않기 때문에, 소스 전극층과 드레인 전극층이 낮은 저항을 유지할 수 있다. 더욱이, 제 1 반도체층이 제 2 산화물 반도체층을 포함하는 소스 영역 및 드레인 영역과 접촉하는 면적이 크기 때문에, 소스 영역과 드레인 영역은 반도체층과 바람직하게 전기적으로 접속될 수 있다.
- [0061] 이어, 제 1 산화물 반도체막은 플라즈마 처리가 수행된 기판이 공기 중에 노출되지 않는 방법으로 형성된다. 플라즈마 처리가 수행된 기판이 공기 중에 노출되지 않는 방법으로 형성된 제 1 산화물 반도체막은 먼지 또는 습기가 게이트 절연층과 반도체막 간의 계면에 부착되는 문제점을 피할 수 있다. 여기서, 제 1 산화물 반도체막은 타겟이 8인치의 직경을 갖는 In, Ga, 및 Zn(In₂O₃:Ga₂O₃:ZnO=1:1:1)을 포함하는 산화물 반도체 타겟이고, 기판과 타겟 간의 거리가 170mm로 설정되며, 압력이 0.4Pa로 설정되고, 직류(DC) 전원이 0.5kW로 설정되는 조건하에서 산소 분위기 중에서 형성된다. 먼지가 감소될 수 있으며 필름 두께가 균일할 수 있기 때문에 필드 직류(DC) 전원이 바람직하다는 것을 주의한다. 제 1 산화물 반도체층의 두께는 5nm 내지 200nm로 설정된다. 제 2 실시형태에서 제 1 산화물 반도체막의 두께는 100nm이다.
- [0062] 제 1 산화물 반도체막이 제 2 산화물 반도체막과 다른 조건하에서 형성될 때, 제 1 산화물 반도체막은 제 2 산화물 반도체막과 다른 조성을 갖는다; 예를 들어, 제 1 산화물 반도체막은 제 2 산화물 반도체막보다 많은 산소를 포함한다. 이러한 경우에, 예를 들어, 제 1 산화물 반도체막의 증착 조건에서 산소 gas 유량과 아르곤 gas 유량 간의 비는 제 2 산화물 반도체막의 비보다 높게 설정된다. 특히, 제 2 산화물 반도체막은 (아르곤 또는 헬륨과 같은)희가스 분위기(또는 10% 이하의 산소 및 90% 이상의 아르곤을 포함하는 가스)에서 형성되는 반면에, 제 1 산화물 반도체막은 산소 분위기(또는 아르곤의 유량보다 높은 산소의 유량을 갖는 산소와 아르곤의 혼합 가스)에서 형성된다. 제 1 산화물 반도체막은 제 2 산화물 반도체막보다 많은 산소를 포함하며, 제 1 산화물 반도체막은 제 2 산화물 반도체막보다 낮은 도전율을 가질 수 있다. 더욱이, 제 1 산화물 반도체막은 보다 많은 양의 산소를 포함하며, 오프 전류의 양이 감소될 수 있으며, 따라서 높은 온/오프 비를 갖는 박막 트랜지스터가 제공될 수 있다.
- [0063] 제 1 산화물 반도체막은 역스퍼터링이 앞서 수행되는 챔버와 동일한 챔버에서 형성될 수 있거나, 증착이 공기 중에 노출되지 않고 수행될 수 있는 한 역스퍼터링이 앞서 수행되는 챔버와 다른 챔버에서 수행될 수 있다.
- [0064] 이어, 200℃ 내지 600℃에서, 전형적으로 300℃ 내지 500℃에서 열 처리가 바람직하게 수행된다. 여기서, 열 처리는 질소 분위기에서 1 시간 동안 350℃의 노(furnace)에서 수행된다. 이러한 열 처리는 IGZO 반도체막들의 원자들이 재배열되도록 허용한다. 캐리어 이동을 방해하는 왜곡이 이러한 열처리에 의해 해방되기 때문에, 여기서 (광-어닐링을 포함하는)열 처리는 중요하다. 제 1 산화물 반도체막의 형성후에 열처리가 수행되는 한 열처리 수행에 대한 특별한 제한이 없다; 예를 들어, 열처리는 화소 전극의 형성 후에 수행된다.
- [0065] 이어, 제 3 포토리소그래피 공정이 레지스트 마스크를 형성하기 위해 수행되고, 불필요한 부분이 에칭에 의해

제거된다. 따라서, 제 1 산화물 반도체층(103)이 형성된다. 여기서, 웨트 에칭은 IT007N(Kanto Chemical Co., Inc.의 제품)을 이용하여 수행되고; 따라서, 제 1 산화물 반도체층(103)이 형성된다. 제 1 산화물 반도체막과 제 2 산화물 반도체막이 동일한 에천트에서 용해되기 때문에, 여기서 수행되는 에칭은 제 2 산화물 반도체막의 일부를 제거한다는 것을 주의한다. 즉, 레지스트 마스크와 제 1 산화물 반도체막에 의해 피복되는 제 2 산화물 반도체막의 일부(IGZO 반도체막)가 보호된다; 그러나, 제 2 산화물 반도체막의 노출된 부분은 에칭되어, 소스 영역(104a)과 드레인 영역(104b)을 형성한다. 제 1 산화물 반도체층(103)의 에칭은 웨트 에칭에 제한되지 않으며 드라이 에칭일 수 있다는 것을 주의한다. 그 다음, 레지스트 마스크가 제거된다. 이들 단계들을 통해, 제 1 산화물 반도체층(103)이 채널 형성 영역인 비선형 소자(30a)가 완성된다. 이 단계에서 단면도가 도 7a에 도시된다.

[0066] 이어, 비선형 소자(30a)를 피복하는 보호 절연막(107)이 형성된다. 보호 절연막(107)은 스퍼터링법 등에 의해 질화 실리콘막, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화 탄탈막 등을 이용하여 형성될 수 있다.

[0067] 이어, 제 4 포토리소그래피 공정이 레지스트 마스크를 형성하기 위해 수행되며, 보호 절연막(107)이 에칭된다. 따라서, 드레인 전극층(105b)에 이르는 콘택트 홀(125)이 형성된다. 더욱이, 게이트 전극에 이르는 콘택트 홀(126)을 형성하기 위해 동일한 레지스트 마스크를 이용하여 게이트 절연층(102)을 에칭하는 것은 포토마스크들의 수가 감소될 수 있기 때문에 바람직하다. 레지스트 마스크가 제거되고, 이 단계에서 단면도가 도 7b에 도시된다.

[0068] 그 다음, 제 3 배선층(128)이 형성된다. 투명 도전막이 사용될 때, 화소 전극이 제 3 배선층(128)과 함께 형성될 수 있다. 투명 도전막의 재료로서, 산화 인듐(In_2O_3), 산화 인듐-산화 주석 합금($In_2O_3-SnO_2$, 줄여서 ITO) 등이 제공될 수 있으며, 도전막은 스퍼터링법, 진공 증착법 등에 의해 형성될 수 있다. 이러한 재료들의 에칭 처리는 염산계 용액을 이용하여 수행된다. 그러나, 특히 ITO의 에칭은 잔사가 발생하려는 경향 때문에, 산화 인듐과 산화 아연의 합금(In_2O_3-ZnO)이 에칭 처리능력을 향상시키기 위해 사용될 수 있다. 따라서, 제 3 배선층(128)을 형성하기 위해 투명한 도전막이 이러한 방법으로 에칭된다.

[0069] 이어서, 제 5 포토리소그래피 공정이 레지스트 마스크를 형성하기 위해 수행되고, 투명 도전막의 불필요한 부분이 제거된다. 따라서, 화소 전극이 도시되지 않은 화소부에 형성된다.

[0070] 더욱이, 이러한 제 5 포토리소그래피 공정에서, 용량 배선과 화소 전극은 도시되지 않은 용량부에 유전체들로서 게이트 절연층(102)과 보호 절연막(107)을 이용하여 유지 용량을 형성한다.

[0071] 더욱이, 이러한 제 5 포토리소그래피 공정에서, 레지스트 마스크는 단자부를 피복하여, 단자부에 형성된 투명 도전막이 남겨진다. 투명 도전막은 FPC와 접속을 위한 전극 또는 배선, 소스 배선의 입력 단자로서 기능하는 접속 단자 전극이 된다.

[0072] 더욱이, 실시형태 2에서, 비선형 소자(30a)의 드레인 전극층(105b)은 투명 도전막을 이용하여 형성된 제 3 배선층(128)을 통해 콘택트 홀들(125와 126)내 주사선(108)에 접속된다.

[0073] 그 다음, 레지스트 마스크가 제거된다. 이 단계의 단면도가 도 7c에 도시된다.

[0074] 상기 방법으로 수행된 5회의 포토리소그래피 공정을 통해, 복수의 비선형 소자들(실시형태 2에서, 2개의 비선형 소자들(30a와 30b))을 갖는 보호 회로가 5개의 포토마스크들을 이용하여 완성될 수 있다. 실시형태 2에 따라서, 복수의 TFT들이 비선형 소자들과 함께 유사한 방법에 의해 완성될 수 있다. 따라서, 보텀-게이트 n-채널 TFT들을 포함하는 화소부와 보호 회로가 동시에 제조될 수 있다. 다시 말해, 보호 다이오드가 올려지는 능동 매트릭스 표시 장치를 위한 기판은 실시형태 2에서 기술된 단계들에 따라서 제조될 수 있다.

[0075] [실시형태 3]

[0076] 실시형태 3에서, 실시형태 1의 도 4a에 예시된 보호 회로는 실시형태 2에 기술된 것과 다른 구조를 갖는 비선형 소자를 이용하여 형성된다. 즉, 본 예의 비선형 소자에 있어서, 소스 영역들과 드레인 영역들은 소스 전극층과 드레인 전극층 위와 아래에 제공된다. 실시형태 2와 다른 구조를 갖는 박막 트랜지스터와 이의 제조 방법은 도 8a 내지 도 8c 및 도 9a 내지 도 9c를 참조하여 기술된다.

[0077] 실시형태 3에서, 도 6a 내지 도 6c 및 도 7a 내지 도 7c의 일부들과 동일한 부분들은 동일한 참조 번호들로 표시되고 동일한 단계들의 설명은 실시형태 3이 실시형태 1과 단지부적으로만 다르기 때문에 이루어지지 않는다.

- [0078] 첫째, 실시형태 2와 유사한 방법으로, 도전층은 기판(100) 위에 형성되며 그 다음 제 1 포토리소그래피 공정이 레지스트 마스크를 형성하기 위해 수행되며, 및 불필요한 부분이 에칭에 의해 제거된다. 따라서, 배선과 전극(게이트 전극(101)을 포함하는 게이트 배선, 용량 배선, 및 제 1 단자)이 형성된다. 이 단계에서 단면도가 도 8a에 도시된다.
- [0079] 이어, 실시형태 2와 유사한 방법으로, 게이트 절연층(102)이 게이트 전극(101) 위 전면에 형성된다. 게이트 절연층(102)은 스퍼터링법에 의해 50nm 내지 250nm의 두께로 형성된다. 예를 들어, 산화 실리콘막은 스퍼터링법에 의해 110nm의 두께로 게이트 절연층(102)으로서 형성된다.
- [0080] 이어, 제 3 산화물 반도체막은 스퍼터링법에 의해 게이트 절연층(102) 위에 형성된다. 여기서, 스퍼터링은 타겟이 1:1:1(=In₂O₃:Ga₂O₃:ZnO)의 조성비로 산화 인듐(In₂O₃), 산화 갈륨(Ga₂O₃), 및 산화 아연(ZnO)을 포함하고, 증착 챔버내 압력이 0.4Pa로 설정되며, 전력이 500W로 설정되고, 증착 온도가 실온으로 설정되며, 아르곤 가스 유량이 40sccm으로 설정되는 조건하에서 수행된다. 비록 조성비가 In₂O₃:Ga₂O₃:ZnO=1:1:1인 타겟이 의도적으로 사용된다고 하더라도, 증착 직후 1nm 내지 10nm의 크기를 갖는 결정립을 포함하는 IGZO 반도체막이 종종 획득된다. 타겟 조성비, 증착 압력(0.1Pa 내지 2.0Pa), 전력(250W 내지 3000W: 8인치 ϕ), 온도(실온에서 100℃) 등과 같은 반응성 스퍼터링의 증착 조건을 적절히 조정함으로써 결정립들의 존재 또는 부재와 결정립들의 밀도는 제어될 수 있으며 결정립의 직경은 1nm 내지 10nm내로 조정될 수 있다. 제 3 산화물 반도체막의 두께는 5nm 내지 20nm로 설정된다. 말할 필요없이, 필름이 결정립들을 포함하는 경우에 있어서, 결정립의 크기는 필름 두께를 초과하지 않는다. 실시형태 3에서, 제 3 산화물 반도체막은 5nm의 두께를 갖는다.
- [0081] 이어, 도전막은 스퍼터링법 또는 진공 증착법에 의해 제 3 산화물 반도체막 위에 금속 재료로 형성된다. 도전막의 재료로서, Al, Cr, Ta, Ti, Mo, 및 W로부터 선택된 원소, 상기 원소를 포함하는 합금, 상기 원소들중 몇몇이 조합되는 합금막이 존재한다. 여기서, 도전막은 실리콘을 포함한 알루미늄막의 단층 구조를 갖는다. 대안으로, 도전막은 티타늄막이 알루미늄막 위에 적층되는 적층 구조를 가질 수 있다. 다른 대안으로, 도전막은 Ti막이 형성되고, 알루미늄(Al)막이 Ti막 위에 적층되며, 및 다른 Ti막이 Al막 위에 적층되는 3층 구조를 가질 수 있다.
- [0082] 이어, 제 2 산화물 반도체막은 스퍼터링법에 의해 도전막 위에 형성된다. 이러한 제 2 산화물 반도체막은 제 3 산화물 반도체 필름의 증착 조건과 동일한 증착 조건하에 형성될 수 있다. 제 3 산화물 반도체막의 조건과 유사한 조건하에 형성된 제 2 산화물 반도체막에서, 1nm 내지 10nm의 크기를 갖는 결정립을 포함하는 IGZO 반도체막은 몇몇 경우들에 있어서 증착 직후 형성된다. 제 2 산화물 반도체막의 두께는 5nm 내지 20nm로 설정된다. 실시형태 3에서, 제 2 산화물 반도체막의 두께는 5nm이다.
- [0083] 게이트 절연층, 제 3 산화물 반도체막, 도전막, 및 제 2 산화물 반도체막은 챔버에 주입되는 가스 및 챔버내 타겟 설정을 적절히 변경함으로써 공기에 노출되지 않고 연속적으로 스퍼터링법으로 형성될 수 있다. 공기에 노출되지 않는 연속적인 증착은 불순물 혼합을 방지할 수 있다. 공기에 노출되지 않는 연속적인 증착의 경우에 있어서, 멀티챔버형의 제조 장치가 바람직하다.
- [0084] 이어서, 제 2 포토리소그래피 공정은 제 2 산화물 반도체막 위에 레지스트 마스크를 형성하기 위해 수행되며, 및 제 3 산화물 반도체층, 도전막, 및 제 2 산화물 반도체막의 불필요한 부분들이 에칭에 의해 제거된다. 따라서, 제 1 소스 영역(106a)과 제 1 드레인 영역(106b), 소스 전극층(105b)과 드레인 전극층(105b), 및 제 2 산화물 반도체층들(111a 와 111b)이 형성된다. 에칭은 웨트 에칭 또는 드라이 에칭일 수 있다. 여기서, 웨트 에칭은 제 2 산화물 반도체층들(111a 및 111b)을 형성하기 위해 IT007N(Kanto Chemical Co., Inc.의 제품)을 이용하여 수행되며, 그 다음, 드라이 에칭은, 실리콘을 포함하는 알루미늄막을 포함하는 도전막을 에칭하기 위해 반응 가스로서 SiCl₄, Cl₂, 및 BCl₃의 혼합 가스를 이용하여 수행된다. 따라서, 소스 전극층(105a)과 드레인 전극층(105b)이 형성된다. 그 후, 동일한 레지스트 마스크가 IT007N(Kanto Chemical Co., Inc.의 제품)을 이용하여 웨트 에칭을 수행하기 위해 사용되며, 이에 의해 제 1 소스 영역(106a)과 제 1 드레인 영역(106b)이 형성된다. 레지스트 마스크가 제거된 후의 단면도가 도 8b에 도시된다.
- [0085] 더욱이, 도시되지 않았다고 하더라도, 용량부내 용량 배선과 증첩하는 IGZO 반도체막의 일부가 제거된다. 단자 부에서, 제 3 산화물 반도체층이 남는다.
- [0086] 이어, 플라즈마 처리가 수행된다. 여기서, 증착 챔버내로 산소 gas와 아르곤 gas의 주입에 의해 플라즈마가 생성되는 역스퍼터링이 수행되어, 노출된 게이트 절연층이 산소 라디칼들 또는 산소에 의해 조사된다. 따라서 표면에 달라 붙는 먼지가 제거되고 더욱이 게이트 절연층의 표면이 산소-과다 영역으로 변경된다. 게이트 절연

층의 표면에 산소 라디칼 처리를 수행하여, 표면이 산소-과다 영역이 되는 것은, 다음 단계에서 신뢰성을 증가시키기 위한 열처리(200℃ 내지 600℃)로 제 1 산화물 반도체층의 계면을 변경하기 위한 산소 공급원이 제작되기 때문에 유효하다. 이러한 단계가 완료될 때 단면도가 도 8c에 도시된다.

- [0087] 제 1 소스 영역(106a)과 제 1 드레인 영역(106b)이 소스 전극층(105a)과 드레인 전극층(105b) 아래에 제공되기 때문에, 제 1 소스 영역(106a)과 제 1 드레인 영역(106b)에 대한 플라즈마 손상이 감소될 수 있다. 더욱이, 제 2 산화물 반도체층들(111a와 111b)은 소스 전극층(105a)과 드레인 전극층(105b) 위에 제공된다. 따라서, 소스 전극층(105a)과 드레인 전극층(105b)의 산화로 인한 배선 저항 증가가 억제될 수 있다.
- [0088] (도시되지 않은)산화물막이 플라즈마 처리의 조건에 따라서 소스 전극층(105a)과 드레인 전극층(105b)의 노출 측면들에 형성된다는 것을 주의한다; 그러나, 이것은 문제를 가져오지 않는데 이는 소스 전극층(105a)과 드레인 전극층(105b)이 실시형태 3의 이러한 구조에서 채널 형성 영역과 직접 접촉하지 않기 때문이다. 오히려, 이러한 산화물막의 형성에 의해, 소스 전극층(105a)과 드레인 전극층(105b)은 소스 영역과 드레인 영역을 개재하여 채널 형성 영역에 전기적으로 접속된다.
- [0089] 이어, 제 1 산화물 반도체막은 플라즈마 처리가 수행되었던 기판이 공기에 노출되지 않는 방법으로 형성된다. 플라즈마 처리가 수행되었던 기판이 공기에 노출되지 않는 방법으로 형성된 제 1 산화물 반도체막은 먼지 또는 습기가 게이트 절연층과 반도체막 사이의 계면에 부착되는 문제를 피할 수 있다. 여기서, 제 1 산화물 반도체막은 타겟이 8인치의 직경의 In, Ga, 및 Zn(In₂O₃:Ga₂O₃:ZnO=1:1:1)을 포함하는 산화물 반도체 타겟이고, 기판과 타겟 간의 거리가 170mm로 설정되며, 압력이 0.4Pa로 설정되고, 직류(DC) 전원이 0.5kW로 설정되는 조건하에서 산소 분위기 중에서 형성된다. 먼지가 감소될 수 있으며 필름 두께가 균일할 수 있기 때문에 펄스 직류(DC) 전원이 바람직하다는 것을 주의한다. 제 1 산화물 반도체막의 두께는 5nm 내지 200nm로 설정된다. 실시형태 3에서 제 1 산화물 반도체막의 두께는 100nm이다.
- [0090] 제 1 산화물 반도체막이 제 2 및 제 3 산화물 반도체막들의 조건과 다른 조건하에서 형성될 때, 제 1 산화물 반도체막은 제 2 및 제 3 산화물 반도체막들의 조성과 다른 조성을 갖는다; 예를 들어, 제 1 산화물 반도체막은 제 2 및 제 3 산화물 반도체막들의 산소 농도보다 높은 산소 농도를 가질 수 있다. 이러한 경우에 있어서, 예를 들어, 제 1 산화물 반도체막은 성막 분위기 중 산소 가스의 비율이 제 2 및 제 3 산화물 반도체막들의 비율보다 높은 조건하에서 형성된다.
- [0091] 특히, 제 2 및 제 3 산화물 반도체막들은 (아르곤 또는 헬륨과 같은)희가스 분위기(또는 10% 이하의 산소 및 90% 이상의 아르곤을 포함하는 가스)에서 형성되는 반면에, 제 1 산화물 반도체막은 산소 분위기(또는 아르곤의 유량보다 높은 산소의 유량을 갖는 산소와 아르곤의 혼합 가스 및 이들간의 비는 1:1 또는 그 이상)에서 형성된다.
- [0092] 제 1 산화물 반도체막으로서 제공되는 IGZO 반도체막이 제 2 및 제 3 산화물 반도체막들로서 제공되는 IGZO 반도체막들보다 많은 산소를 포함할 때, 제 1 산화물 반도체막으로서 제공되는 IGZO 반도체막은 제 2 및 제 3 산화물 반도체막들로서 제공되는 IGZO 반도체막들보다 낮은 도전율을 가질 수 있다. 더욱이, 제 1 산화물 반도체막이 다량의 산소를 포함할 때, 오프 전류의 양이 감소될 수 있다; 따라서, 높은 온/오프 비를 갖는 박막 트랜지스터가 제공될 수 있다.
- [0093] 제 1 산화물 반도체막은 역스퍼터링이 앞서 수행되는 챔버와 동일한 챔버에서 수행될 수 있거나, 증착이 공기에 노출되지 않고 수행될 수 있는 한 역스퍼터링이 앞서 수행되는 챔버와 다른 챔버에서 수행될 수 있다.
- [0094] 이어, 200℃ 내지 600℃에서, 전형적으로 300℃ 내지 500℃에서 열 처리가 바람직하게 수행된다. 여기서, 열 처리는 질소 분위기에서 1 시간 동안 350℃의 노에서 수행된다. 이러한 열 처리는 IGZO 반도체막들의 원자들이 재배열되도록 허용한다. 캐리어 이동을 방해하는 왜곡이 이러한 열처리에 의해 해방되기 때문에, 여기서 (광-어닐링을 포함하는)열 처리는 중요하다. 제 1 산화물 반도체막의 형성 후에 열처리가 수행되는 한 열처리 수행에 대한 특별한 제한이 없다; 예를 들어, 열처리는 화소 전극의 형성 후에 수행된다.
- [0095] 이어, 제 3 포토리소그래피 공정이 레지스트 마스크를 형성하기 위해 수행되고, 불필요한 부분이 에칭에 의해 제거된다. 따라서, 제 1 산화물 반도체층(103)이 형성된다. 여기서, 제 1 산화물 반도체막의 불필요한 부분을 제거하기 위한 웨트 에칭은 IT007N(Kanto Chemical Co., Inc.의 제품)을 이용하여 수행되고; 따라서, 제 1 산화물 반도체층(103)이 형성된다. 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 제 3 산화물 반도체막이 동일한 에칭에서 용해되기 때문에, 여기서 수행되는 에칭은 제 2 산화물 반도체막의 일부와 제 3 산화물 반도체막의 일부를 제거한다는 것을 주의한다. 즉, 레지스트 마스크와 제 1 산화물 반도체막에 의해 피복되는 제 2 산화

물 반도체막의 일부가 남아서 제 2 소스 영역(104a)과 제 2 드레인 영역(104b)으로서 기능한다. 제 1 산화물 반도체막에 의해 피복되는 제 3 산화물 반도체막의 일 측면이 보호된다; 그러나, 도 9a에 예시된 바와 같이, 제 3 산화물 반도체막의 다른 측면이 노출된다. 따라서, 다른 측면이 약간 에칭되어, 단면의 모양이 변하게 된다. 제 1 산화물 반도체층(103)의 에칭은 웨트 에칭으로 제한되지 않으며 드라이 에칭일 수 있다는 것을 주의한다. 이들 단계들을 통해서, 제 1 산화물 반도체층(103)이 채널 형성 영역인 비선형 소자(30a)가 완성된다. 이 단계에서 단면도가 도 9a에 도시된다.

[0096] 이어서, 비선형 소자(30a)를 피복하는 보호 절연막(107)이 형성된다. 이 후 단계들이 실시형태 2의 단계들과 동일하기 때문에, 설명이 간단히 이루어진다.

[0097] 보호 절연막(107)이 형성된 후, 제 4 포토리소그래피 공정이 레지스트 마스크를 형성하기 위해 수행되며, 보호 절연막(107)이 에칭된다. 따라서, 콘택트 홀들(125 및 126)이 형성된다. 레지스트 마스크가 제거된 후 단면도가 도 9b에 도시된다.

[0098] 이어, 투명 도전막이 형성된 후, 제 5 포토리소그래피 공정이 레지스트 마스크를 형성하기 위해 수행된다. 투명 도전막의 불필요한 부분이 에칭에 의해 제거되어, 도시되지 않은 화소 전극이 형성된다.

[0099] 더욱이, 실시형태 3에서, 비선형 소자(30a)의 드레인 전극층(105b)은 투명 도전막을 이용하여 형성된 제 3 배선층(128)에 의해 콘택트 홀들(125 및 126)내 주사선(108)에 접속된다. 이 단계에서 단면도가 도 9c에 도시된다.

[0100] 상기 방법으로 수행된 5회의 포토리소그래피 공정들을 통해, 복수의 비선형 소자들(실시형태 3에서, 2개의 비선형 소자들(30a 및 30b))을 갖는 보호 회로가 5개의 포토마스크들을 이용하여 완성될 수 있다. 실시형태 3에 따라서, 복수의 TFT들이 비선형 소자들과 함께 유사한 방법에 의해 완료될 수 있다. 따라서, 보텀-게이트 n-채널 TFT들과 보호 회로를 포함하는 화소부가 동시에 제조될 수 있다. 즉, 보호 다이오드가 탑재되는 능동 매트릭스 표시 장치를 위한 기관은 실시형태 3에서 기술된 단계들에 따라서 제조될 수 있다.

[0101] 게이트 절연층(102), 및 제 3 산화물 반도체층을 이용하여 형성되는 소스 영역(106a)과 드레인 영역(106b) 간의 접촉이 바람직하며 박막들은 쉽게 박리되지 않을 것이다. 즉, 소스 전극층(105a)과 드레인 전극층(105b)의 접촉이 알루미늄 등의 금속 배선이 게이트 절연층(102)에 접하여 직접 형성되는 경우에 비해 증가되기 때문에 박막들의 박리로 인한 보호 회로의 결함들을 방지할 수 있다.

[0102] [실시형태 4]

[0103] 실시형태 4는 본 발명의 실시형태가 적용되는 표시 장치로서 보호 회로와 화소부내 TFT가 하나의 기관 위에 제조되는 전자 종이의 예를 예시한다.

[0104] 도 10은 본 발명의 실시형태가 적용되는 표시 장치의 예로서 능동 매트릭스형의 전자 종이를 예시한다. 표시 장치를 위해 사용된 박막 트랜지스터(581)는 실시형태 2에 기술된 비선형 소자와 유사한 방법으로 제조될 수 있다. 박막 트랜지스터(581)는 높은 전기적 특성들을 가지며 플라즈마 처리가 수행된 게이트 절연층, 산소-결핍형의 IGZO 반도체막을 이용하여 형성되는 소스 영역 및 드레인 영역, 소스 영역 및 드레인 영역과 각각 접하는 소스 전극층과 드레인 전극층, 및 소스 영역 및 드레인 영역과 접하는 산소-과다형의 IGZO 반도체층을 포함한다.

[0105] 도 10의 전자 종이는 트위스트 볼 표시 시스템(twisting ball display system)이 이용되는 표시 장치의 예이다. 트위스트 볼 표시 시스템은 블랙과 화이트로 채색된 구형 입자들이 표시 소자로 사용된 전극층들인 제 1 전극층과 제 2 전극층 간에 배치되는 방법을 지칭하며, 전위차는 구형 입자들의 배향을 제어하기 위해 제 1 전극층과 제 2 전극층 사이에 발생되어, 표시가 수행된다.

[0106] 박막 트랜지스터(581)는 소스 전극층 또는 드레인 전극층이 절연층(585)에 형성된 개구 내 제 1 전극층(587)에 전기적으로 접속되는 보텀-게이트 구조를 갖는다. 제 1 전극층(587)과 제 2 전극층(588) 사이에, 구형 입자들(589)이 제공된다. 각각의 구형 입자들(589)은 블랙 영역(590a), 화이트 영역(590b), 및 블랙 영역(590a)과 화이트 영역(590b) 둘레에 액체로 채워진 공동(cavity)(594)을 포함한다. 구형 입자(589)의 주변은 수지 등과 같은(도 10 참조) 충전재(filler)(595)로 채워진다. 도 10의 참조 번호들(580, 583, 584 및 596)은 각각 기관, 층간 절연층, 보호막, 및 기관을 표시한다는 것을 주의한다.

[0107] 더욱이, 트위스트 볼 대신에, 전기영동 소자가 사용될 수 있다. 투명한 액체, 양으로 대전된 화이트 미립자들과 음으로 대전된 블랙 미립자들로 채워지고, 10 μ m 내지 200 μ m의 직경을 갖는 마이크로캡슐이 사용된다. 제 1 전극층과 제 2 전극층간에 제공되는 마이크로캡슐에서, 전계는 제 1 전극층과 제 2 전극층에 의해 인가되며, 화이트

미립자들과 블랙 미립자들은 서로 반대측으로 이동하여, 흑백이 표시될 수 있다. 이러한 입자를 이용한 표시 소자는 전기영동 표시 소자이고, 일반적으로 전자 종이로 불리운다. 전기영동 표시 소자는 액정 표시 소자보다 높은 반사율(reflectance)을 가지며, 따라서, 보조 광이 불필요하다. 더욱이, 전력 소모가 낮으며 표시부가 어스레한(dusky) 장소에서 인식될 수 있다. 게다가, 일단 표시된 이미지는 전원이 표시부에 공급되지 않을 때도 유지될 수 있다. 따라서, 표시된 이미지는 표시 기능(단순히 표시 장치로 지칭되거나 표시 장치를 구비한 반도체 장치)을 갖는 반도체 장치가 전원으로서는 기능하는 전파발신원(electric wave source)으로부터 이격되는 경우에도 저장될 수 있다.

- [0108] 실시형태 4에 따라서, 보호 회로로서 적합한 구조를 갖는 표시 장치는 산화물 반도체를 포함하는 비선형 소자를 사용하는 보호 회로를 형성함으로써 제공될 수 있다. 비선형 소자의 제 1 산화물 반도체층과 배선층들간의 접속 구조에서, 제 1 산화물 반도체층보다 높은 전기 전도도를 갖는 제 2 산화물 반도체층과 접합되는, 영역의 제공은 금속 배선들만을 이용한 경우에 비해 안정한 동작을 허용한다. 따라서, 보호 회로의 기능이 향상되고 동작이 안정하게 될 수 있다. 이러한 방법에 있어서, 실시형태 4에 따라서, 표시 장치로서 높은 신뢰성을 갖는 전자 종이 완성될 수 있다. 더욱이, 실시형태 3의 구조와 유사한 구조에 의해, 박막들의 박리로 인한 결함들이 쉽게 야기될 수 있는 비선형 소자들을 포함하는 보호 회로를 포함한 고신뢰성 표시 장치를 제조하는 것이 가능하다.
- [0109] 실시형태 4는 실시형태 1에 기술된 구조와 적절히 조합하여 구현될 수 있다.
- [0110] [실시형태 5]
- [0111] 실시형태 5는 본 발명의 실시형태에 따른 반도체 장치의 예인 표시 장치에 있어서, 하나의 기관 위의 적어도 보호 회로, 구동 회로의 일부, 및 화소부에 배치된 박막 트랜지스터를 제조하는 예를 기술한다.
- [0112] 화소부내 박막 트랜지스터는 실시형태 2 또는 3에 기술된 비선형 소자와 유사한 방식으로 형성된다. 박막 트랜지스터는 n-채널 TFT로 형성된다; 따라서, n-채널 TFT를 이용하여 형성될 수 있는 구동 회로의 일부는 화소부내 박막 트랜지스터와 동일한 기관 위에 형성된다.
- [0113] 도 11a는 본 발명의 실시형태에 따른 반도체 장치의 예인 능동 매트릭스 액정 표시 장치의 블록도의 예를 예시한다. 도 11a에 예시된 표시 장치는 기관(5300) 위에 각각 표시 소자가 구비된 복수의 화소들을 포함하는 화소부(5301); 각각의 화소를 선택하는 주사선 구동 회로(5302); 및 선택된 화소에 대한 비디오 신호 입력을 제어하는 신호선 구동 회로(5303)를 포함한다.
- [0114] 화소부(5301)는 신호선 구동 회로(5303)로부터 열 방향으로 연장되는 (도시되지 않은)복수의 신호선들(S1 내지 Sm)을 갖는 신호선 구동 회로(5303)에 접속되고 주사선 구동 회로(5302)로부터 행 방향으로 연장되는 (도시되지 않은)복수의 주사선들(G1 내지 Gn)을 갖는 주사선 구동 회로(5302)에 접속된다. 화소부(5301)는 신호선들(S1 내지 Sm)과 주사선들(G1 내지 Gn)에 대응하는 매트릭스 상으로 배치된 (도시되지 않은)복수의 화소들을 포함한다. 추가적으로, 각각의 화소들은 신호선(Sj)(신호선들(S1 내지 Sm) 중 어느 하나)과 주사선(Gi)(주사선들(G1 내지 Gn) 중 어느 하나)에 접속된다.
- [0115] 박막 트랜지스터는 실시형태 2 또는 3에 기술된 비선형 소자의 방법과 유사한 방법에 의해 n-채널 TFT로서 형성될 수 있으며, n-채널 TFT를 포함하는 신호선 구동 회로는 도 12를 참조하여 기술된다.
- [0116] 도 12의 신호선 구동 회로는 드라이버 IC(5601), 스위치군들(5602_1 내지 5602_M), 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613), 및 배선들(5621_1 내지 5621_M)을 포함한다. 스위치군들(5602_1 내지 5602_M)의 각각은 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 포함한다.
- [0117] 드라이버 IC(5601)는 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613), 및 배선들(5621_1 내지 5621_M)에 접속된다. 스위치군들(5602_1 내지 5602_M)의 각각은 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613), 및 스위치군들(5602_1 내지 5602_M)에 각각 대응하는 배선들(5621_1 내지 5621_M)중 하나에 접속된다. 배선들(5621_1 내지 5621_M)의 각각은 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 통해 3개의 신호선들에 접속된다. 예를 들어, J번째 열의 배선(5621_J)(배선들(5621_1 내지 5621_M)중 하나)은 신호선(Sj-1), 신호선(Sj), 및 신호선(Sj+1)에 스위치군(5602_j)의 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 통해 접속된다.
- [0118] 신호는 제 1 배선(5611), 제 2 배선(5612), 및 제 3 배선(5613)의 각각에 입력된다는 것을 주의한다.
- [0119] 드라이버 IC(5601)는 단결정 기관상에 형성되는 것이 바람직하다는 것을 주의한다. 스위치군들(5602_1 내지

5602_M)은 화소부와 동일한 기판 위에 형성되는 것이 바람직하다. 따라서, 드라이버 IC(5601)는 FPC 등을 통해 스위치군들(5602_1 내지 5602_M)에 접속되는 것이 바람직하다.

- [0120] 이어, 도 12에서 신호선 구동 회로의 동작이 도 13의 타이밍 도를 참조하여 기술된다. 도 13은 i 번째 행내 주사선 G_i 가 선택되는 타이밍 도를 예시한다. i 번째 행내 주사선 G_i 의 선택 기간은 제 1 서브-선택 기간 T_1 , 제 2 서브-선택 기간 T_2 , 및 제 3 서브-선택 기간 T_3 로 나누어진다. 또한, 도 12의 신호선 구동 회로는 다른 행의 주사선이 선택될 때도 도 13과 유사하게 동작한다.
- [0121] 도 13의 타이밍 도는 J 번째 열내 배선(5621_J)이 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 통해 신호선(S_{j-1}), 신호선(S_j), 및 신호선(S_{j+1})에 접속된다는 것을 주의한다.
- [0122] 도 13의 타이밍 도는 i 번째 행 내 주사선(G_i)이 선택될 때 타이밍, 제 1 박막 트랜지스터(5603a)가 턴 온/턴 오프될 때 타이밍(5703a), 제 2 박막 트랜지스터(5603b)가 턴 온/턴 오프될 때 타이밍(5703b), 제 3 박막 트랜지스터(5603c)가 턴 온/턴 오프될 때 타이밍(5703c), 및 J 번째 열내 배선(5621_J)으로 입력되는 신호(5721_J)를 도시한다.
- [0123] 제 1 서브-선택 기간(T_1), 제 2 서브-선택 기간(T_2), 및 제 3 서브-선택 기간(T_3)에서, 상이한 비디오 신호들이 배선들(5621_1 내지 5621_M)로 입력된다. 예를 들어, 제 1 서브-선택 기간(T_1)에 배선(5621_J)으로 입력된 비디오 신호는 신호선(S_{j-1})으로 입력되고, 제 2 서브-선택 기간(T_2)에 배선(5621_J)으로 입력된 비디오 신호는 신호선(S_j)으로 입력되고, 제 3 서브-선택 기간(T_3)에 배선(5621_J)으로 입력된 비디오 신호는 신호선(S_{j+1})으로 입력된다. 제 1 서브-선택 기간(T_1), 제 2 서브-선택 기간(T_2), 제 3 서브-선택 기간(T_3)에 배선(5621_J)으로 입력된 비디오 신호들은 각각 $Data_{j-1}$, $Data_j$, 및 $Data_{j+1}$ 로 표시된다.
- [0124] 도 13에 도시된 바와 같이, 제 1 서브-선택 기간(T_1)에서, 제 1 박막 트랜지스터(5603a)는 온이고, 제 2 박막 트랜지스터(5603b)와 제 3 박막 트랜지스터(5603c)는 오프이다. 이 단계에서, 배선(5621_J)으로 입력된 $Data_{j-1}$ 은 제 1 박막 트랜지스터(5603a)를 통해 신호선(S_{j-1})에 입력된다. 제 2 서브-선택 기간(T_2)에서, 제 2 박막 트랜지스터(5603b)는 온이고, 제 1 박막 트랜지스터(5603a)와 제 3 박막 트랜지스터(5603c)는 오프이다. 이 단계에서, 배선(5621_J)으로 입력된 $Data_j$ 은 제 2 박막 트랜지스터(5603b)를 통해 신호선(S_j)에 입력된다. 제 3 서브-선택 기간(T_3)에서, 제 3 박막 트랜지스터(5603c)는 온이고, 제 1 박막 트랜지스터(5603a)와 제 2 박막 트랜지스터(5603b)는 오프이다. 이 단계에서, 배선(5621_J)으로 입력된 $Data_{j+1}$ 은 제 3 박막 트랜지스터(5603c)를 통해 신호선(S_{j+1})에 입력된다.
- [0125] 전술한 바와 같이, 도 12의 신호선 구동 회로에서, 하나의 게이트 선택 기간은 3개로 나누어진다; 따라서, 비디오 신호들은 하나의 게이트 선택 기간동안 하나의 배선(5621)으로부터 3개의 신호선들로 입력될 수 있다. 따라서, 도 12의 신호선 구동 회로에서, 드라이버 IC(5601)가 형성된 기판과 화소부가 형성된 기판 사이의 접속들의 수는 신호선들의 수의 약 1/3까지 감소될 수 있다. 접속들의 수가 신호선들의 수의 약 1/3까지 감소될 때, 도 12의 신호선 구동 회로의 신뢰성, 수율(yield) 등이 개선될 수 있다.
- [0126] 하나의 게이트 선택 기간이 복수의 서브 선택 기간들로 나누어지고 비디오 신호들이 도 12에 도시된 바와 같이 각각의 복수의 서브-선택 기간들에 하나의 배선으로부터 복수의 신호선들로 입력된다는 것을 주의한다.
- [0127] 예를 들어, 비디오 신호들이 각각의 3개 이상의 서브-선택 기간들내 하나의 배선으로부터 3개 이상의 신호선들로 입력될 때, 박막 트랜지스터와 박막 트랜지스터를 제어하기 위한 배선이 추가될 수 있다. 하나의 게이트 선택 기간이 4개 이상의 서브-선택 기간들로 나누어지며, 하나의 서브-선택 기간이 짧아진다는 것을 주의한다. 따라서, 하나의 게이트 선택 기간은 2 또는 3 개의 서브-선택 기간들로 나누어지는 것이 바람직하다.
- [0128] 다른 예로서, 도 14의 타이밍 도에 도시된 바와 같이, 하나의 선택 기간은 프리차지 기간(T_p), 제 1 서브-선택 기간(T_1), 제 2 서브-선택 기간(T_2), 및 제 3 서브-선택 기간(T_3)으로 나누어질 수 있다. 도 14의 타이밍 차트는 i 번째 행내 주사선 G_i 가 선택될 때 타이밍, 제 1 박막 트랜지스터(5603a)가 턴 온/턴 오프될 때 타이밍(5803a), 제 2 박막 트랜지스터(5603b)가 턴 온/턴 오프될 때 타이밍(5803b), 제 3 박막 트랜지스터(5603c)가 턴 온/턴 오프될 때 타이밍(5803c), 및 J 번째 열내 배선(5621_J)으로 입력된 신호(5821_J)를 도시한다. 도 14에 도시된 바와 같이, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)가 프리차지 기간(T_p) 동안 온이다. 이 단계에서, 배선(5621_J)으로 입력된 프리차지 전압(V_p)은 각각 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 통해 신호선(S_{j-1}), 신호선(S_j), 및 신호선(S_{j+1})으로 입력된다. 제 1 서브-선택 기간(T_1)에서, 제 1 박막 트랜지스터

(5603a)는 온이고, 제 2 박막 트랜지스터(5603b)와 제 3 박막 트랜지스터(5603c)는 오프이다. 이 단계에서, 배선(5621_J)으로 입력된 Data_j-1은 제 1 박막 트랜지스터(5603a)를 통해 신호선(S_j-1)에 입력된다. 제 2 서브-선택 기간(T2)에서, 제 2 박막 트랜지스터(5603b)는 온이고, 제 1 박막 트랜지스터(5603a)와 제 3 박막 트랜지스터(5603c)는 오프이다. 이 단계에서, 배선(5621_J)으로 입력된 Data_j은 제 2 박막 트랜지스터(5603b)를 통해 신호선(S_j)에 입력된다. 제 3 서브-선택 기간(T3)에서, 제 3 박막 트랜지스터(5603c)는 온이고, 제 1 박막 트랜지스터(5603a)와 제 2 박막 트랜지스터(5603b)는 오프이다. 이 단계에서, 배선(5621_J)으로 입력된 Data_j+1은 제 3 박막 트랜지스터(5603c)를 통해 신호선(S_j+1)에 입력된다.

- [0129] 전술한 바와 같이, 도 12의 신호선 구동 회로에서, 도 14의 타이밍 도가 적용되며, 신호선은 서브-선택 기간들에 앞서 프리차지 기간을 제공함으로써 프리차지될 수 있다. 따라서, 비디오 신호는 고속으로 화소에 기록될 수 있다. 도 13의 일부와 유사한 도 14의 일부들은 동일한 참조 번호들로 표시되고, 동일한 부분들 또는 유사한 기능들을 갖는 부분들의 상세한 설명은 생략된다는 것을 주의한다.
- [0130] 이제, 주사선 구동 회로의 구성이 기술된다. 주사선 구동 회로는 시프트 레지스터와 버퍼를 포함한다. 또한, 레벨 시프터가 몇몇 경우들에서 포함될 수 있다. 주사선 구동 회로에서, 클럭 신호(CLK)와 스타트 펄스 신호(SP)가 시프트 레지스터로 입력될 때, 선택 신호가 발생된다. 발생된 선택 신호는 버퍼에 의해 버퍼되고 증폭되며, 결과 신호가 대응하는 주사선에 공급된다. 하나의 선에 대응하는 화소들내 트랜지스터들의 게이트 전극들은 주사선에 접속된다. 더욱이, 하나의 선의 화소들내 트랜지스터들이 동시에 턴온되어야 하기 때문에, 다량의 전류를 공급할 수 있는 버퍼가 사용된다.
- [0131] 주사선 구동 회로의 일부로서 사용된 시프트 레지스터의 예가 도 15와 도 16을 참조하여 기술된다.
- [0132] 도 15는 시프트 레지스터의 회로 구성을 예시한다. 도 15에 도시된 시프트 레지스터는 복수의 플립-플롭들(플립-플롭(5701_1 내지 5701_n))을 포함한다. 게다가, 시프트 레지스터는 제 1 클럭 신호, 제 2 클럭 신호, 스타트 펄스 신호, 및 리셋 신호를 입력함으로써 동작된다.
- [0133] 도 15의 시프트 레지스터의 접속 관계들이 기술된다. 도 15의 시프트 레지스터내 i번째 스테이지의 플립-플롭(5701_i)(플립-플롭(5701_1 내지 5701_n)중 하나)에서, 도 16에 도시된 제 1 배선(5501)은 7번째 배선(5717_i-1)에 접속되고; 도 16에 도시된 제 2 배선(5502)은 7번째 배선(5717_i+1)에 접속되며; 도 16에 도시된 제 3 배선(5503)은 7번째 배선(5717_i)에 접속되고; 및 도 16에 도시된 제 6 배선(5506)은 5번째 배선(5715)에 접속된다.
- [0134] 더욱이, 도 16에 도시된 제 4 배선(5504)은 홀수 스테이지들의 플립-플롭들내 제 2 배선(5712)에 접속되고, 짝수 스테이지들의 플립-플롭들내 제 3 배선(5713)에 접속된다. 도 16에 도시된 제 5 배선(5505)은 제 4 배선(5714)에 접속된다.
- [0135] 제 1 스테이지의 플립-플롭(5701_1)의 도 16에 도시된 제 1 배선(5501)은 제 1 배선(5711)에 접속되며, n번째 스테이지의 플립-플롭(5701_n)의 도 16에 도시된 제 2 배선(5502)은 제 6 배선(5716)에 접속된다는 것을 주의한다.
- [0136] 제 1 배선(5711), 제 2 배선(5712), 제 3 배선(5713), 및 제 6 배선(5716)은 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 및 제 4 신호선으로서 지칭될 수 있다. 제 4 배선(5714)와 제 5 배선(5715)은 각각 제 1 전원선과 제 2 전원선으로서 지칭될 수 있다.
- [0137] 도 16은 도 15에 도시된 플립-플롭의 상세를 예시한다. 도 16에 도시된 플립-플롭은 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577), 및 제 8 박막 트랜지스터(5578)를 포함한다. 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577), 및 제 8 박막 트랜지스터(5578)는 n-채널 트랜지스터들이고, 게이트와 소스간의 전압(V_{gs})이 임계 전압(V_{th})을 초과할 때 도통 상태가 된다는 것을 주의한다.
- [0138] 이제, 도 16에 도시된 플립-플롭의 접속 구조가 이하 기술된다.
- [0139] 제 1 박막 트랜지스터(5571)의 제 1 전극(소스 전극 또는 드레인 전극 중 하나)은 제 4 배선(5504)에 접속되고, 제 1 박막 트랜지스터(5571)의 제 2 전극(소스 전극 또는 드레인 전극의 나머지)은 제 3 배선(5503)에 접속된다.

- [0140] 제 2 박막 트랜지스터(5572)의 제 1 전극은 제 6 배선(5506)에 접속된다. 제 2 박막 트랜지스터(5572)의 제 2 전극은 제 3 배선(5503)에 접속된다.
- [0141] 제 3 박막 트랜지스터(5573)의 제 1 전극은 제 5 배선(5505)에 접속된다. 제 3 박막 트랜지스터(5573)의 제 2 전극은 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제 3 박막 트랜지스터(5573)의 게이트 전극은 제 5 배선(5505)에 접속된다.
- [0142] 제 4 박막 트랜지스터(5574)의 제 1 전극은 제 6 배선(5506)에 접속된다. 제 4 박막 트랜지스터(5574)의 제 2 전극은 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제 4 박막 트랜지스터(5574)의 게이트 전극은 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.
- [0143] 제 5 박막 트랜지스터(5575)의 제 1 전극은 제 5 배선(5505)에 접속된다. 제 5 박막 트랜지스터(5575)의 제 2 전극은 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제 5 박막 트랜지스터(5575)의 게이트 전극은 제 1 배선(5501)에 접속된다.
- [0144] 제 6 박막 트랜지스터(5576)의 게이트 전극은 제 6 배선(5506)에 접속된다. 제 6 박막 트랜지스터(5576)의 제 2 전극은 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제 6 박막 트랜지스터(5576)의 게이트 전극은 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.
- [0145] 제 7 박막 트랜지스터(5577)의 제 1 전극은 제 6 배선(5506)에 접속된다. 제 7 박막 트랜지스터(5577)의 제 2 전극은 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제 7 박막 트랜지스터(5577)의 게이트 전극은 제 2 배선(5502)에 접속된다. 제 8 박막 트랜지스터(5578)의 제 1 전극은 제 6 배선(5506)에 접속된다. 제 8 박막 트랜지스터(5578)의 제 2 전극은 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제 8 박막 트랜지스터(5578)의 게이트 전극은 제 1 배선(5501)에 접속된다.
- [0146] 제 1 박막 트랜지스터(5571)의 게이트 전극, 제 4 박막 트랜지스터(5574)의 게이트 전극, 제 5 박막 트랜지스터(5575)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 제 2 전극, 및 제 7 박막 트랜지스터(5577)의 제 2 전극이 접속되는 포인트는 노드(5543)로서 지칭된다는 것을 주목해야 한다. 제 2 박막 트랜지스터(5572)의 게이트 전극, 제 3 박막 트랜지스터(5573)의 제 2 전극, 제 4 박막 트랜지스터(5574)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 게이트 전극, 및 제 8 박막 트랜지스터(5578)의 제 2 전극이 접속되는 포인트는 노드(5544)로서 지칭된다.
- [0147] 제 1 배선(5501), 제 2 배선(5502), 제 3 배선(5503), 및 제 4 배선(5504)은 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 및 제 4 신호선으로서 지칭될 수 있다. 제 5 배선(5505)과 제 6 배선(5506)은 각각 제 1 전원선과 제 2 전원선으로 지칭될 수 있다.
- [0148] 대안으로, 신호선 구동 회로와 주사선 구동 회로는 n-채널 TFT들만을 이용하여 제조될 수 있으며, n-채널 TFT는 실시형태 2 또는 3에 기술된 비선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 제조될 수 있다. 실시형태 2 또는 3에 기술된 비선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 형성될 수 있는 n-채널 TFT들은 높은 이동성을 갖기 때문에, 구동 회로들의 구동 주파수는 증가될 수 있다. 게다가, 실시형태 2 또는 3에 기술된 비선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 형성될 수 있는 n-채널 TFT들은 인듐, 갈륨, 및 아연을 포함하는 산소-결핍 산화물 반도체층을 이용하여 형성되는 소스 영역들 또는 드레인 영역들을 포함한다. 따라서, 기생 용량이 감소되고 (f-특성으로 불리우는)주파수 특성이 증가된다. 예를 들어, 실시형태 2 또는 3에 기술된 비선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 형성될 수 있는 n-채널 TFT들을 포함하는 주사선 드라이버는 고속으로 동작될 수 있다; 따라서, 예를 들어, 프레임 주파수를 증가시키거나 또는 블랙 스크린의 삽입을 달성할 수 있다.
- [0149] 또한, 주사선 구동 회로내 트랜지스터의 채널 폭이 증가되거나 복수의 주사선 구동 회로들이 제공될 때, 예를 들어, 보다 높은 프레임 주파수가 실현될 수 있다. 복수의 주사선 구동 회로들이 제공될 때, 짝수 주사선들을 구동하기 위해 주사선 구동 회로는 한 측에 제공되며 홀수 주사선들을 구동하기 위해 주사선 구동 회로는 반대 측에 제공되며; 따라서, 프레임 주파수 증가가 실현될 수 있다.
- [0150] 본 발명의 실시형태가 적용되는 반도체 장치의 예인 능동 매트릭스형 발광 표시 장치를 제조하는 경우에 있어서, 복수의 주사선 구동 회로들이 배치되는 것이 바람직한데 이는 복수의 박막 트랜지스터들이 적어도 하나의 화소에 배치되기 때문이다. 능동 매트릭스 발광 표시 장치의 블록도의 예는 도 11b에 예시된다.
- [0151] 도 11b에 예시된 발광 표시 장치는 기판(5400) 위에 표시 소자가 형성된 복수의 화소들을 포함하는 화소부

(5401); 각각의 화소를 선택하는 제 1 주사선 구동 회로(5402)와 제 2 주사선 구동 회로(5404); 및 선택된 화소로 입력된 비디오 신호를 제어하는 신호선 구동 회로(5403)를 포함한다.

- [0152] 도 11b의 발광 표시 장치의 화소에 디지털 비디오 신호를 입력하는 경우에 있어서, 화소는 트랜지스터의 온/오프 스위칭에 의해 발광 상태 또는 비발광 상태에 놓인다. 따라서, 계조는 면적계조법 또는 시간계조법을 이용하여 표시될 수 있다. 면적계조법은 하나의 화소가 복수의 부화소들로 나누어지며 각각의 부화소들이 비디오 신호들에 기초하여 개별적으로 구동되어 계조가 표시되는 구동 방법을 지칭한다. 게다가, 시간계조법은 화소가 발광하는 기간을 제어하는 방식으로 계조가 표시되도록 하는 구동 방법을 지칭한다.
- [0153] 발광 소자들의 응답 시간이 액정 표시 소자들 등의 응답 시간보다 짧기 때문에, 발광 소자들은 시간계조법에 적합하다. 특히, 시간계조법에 의해 표시되는 경우에 있어서, 하나의 프레임 기간은 복수의 서브프레임 기간들로 나누어진다. 그 다음, 비디오 신호들에 따라서, 화소내 발광 소자는 각각의 서브프레임 기간 동안 발광 상태 또는 비발광 상태에 놓인다. 프레임을 복수의 서브프레임들로 나눔으로써, 화소들이 하나의 프레임 기간 동안 실제로 발광하는 기간의 전체 길이는 계조들을 표시하도록 비디오 신호들에 의해 제어될 수 있다.
- [0154] 도 11b의 발광 표시 장치에서, 하나의 화소가 스위칭 TFT와 전류 제어 TFT를 포함하는 경우에 있어서, 스위칭 TFT의 게이트 배선으로서 기능하는 제 1 주사선에 입력되는 신호는 제 1 주사선 구동 회로(5402)로부터 발생되고 전류 제어 TFT의 게이트 배선으로서 기능하는 제 2 주사선에 입력되는 신호는 제 2 주사선 구동 회로(5404)로부터 생성된다는 것을 주의한다. 그러나, 제 1 주사선에 입력되는 신호와 제 2 주사선에 입력되는 신호는 하나의 주사선 구동 회로로부터 함께 생성될 수 있다. 또한, 예를 들어, 스위칭 소자에 포함된 트랜지스터들의 수에 따라서 스위칭 소자의 동작을 제어하기 위해 사용된 복수의 제 1 주사선들이 각각의 화소에 제공될 수 있다. 이러한 경우에 있어서, 제 1 주사선들에 입력되는 신호들은 하나의 주사선 구동 회로로부터 모두 발생될 수 있거나 복수의 주사선 구동 회로들로부터 발생될 수 있다.
- [0155] 발광 표시 장치에서도, n-채널 TFT들을 이용하여 형성될 수 있는 구동 회로의 일부는 화소부의 박막 트랜지스터들과 함께 하나의 기판 위에 형성될 수 있다. 더욱이, 신호선 구동 회로와 주사선 구동 회로는 실시형태 2 또는 3에 기술된 비선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 형성될 수 있는 n-채널 TFT들만을 이용하여 제조될 수 있다.
- [0156] 전술한 구동 회로는 액정 표시 장치 또는 발광 표시 장치뿐만 아니라 스위칭 소자에 전기적으로 접속된 소자를 이용함으로써 전자 잉크가 구동되는 전자 종이에 사용될 수 있다. 전자 종이는 또한 전기영동 표시 장치(전기영동 디스플레이)로 불리우며 일반적인 종이와 동일한 신뢰성의 레벨을 갖는다는 점에서 유리하며, 다른 표시 장치들보다 덜 전력이 소모되며, 박형 경량으로 설정될 수 있다.
- [0157] 다양한 모드들의 전기영동 디스플레이들이 존재한다. 전기영동 표시는 양전하를 갖는 제 1 입자들과 음전하를 갖는 제 2 입자들을 각각 포함하는 복수의 마이크로캡슐들이 용매 또는 용질에 분산되고, 전계가 마이크로캡슐들에 인가되어, 마이크로캡슐내 입자들이 서로 반대 방향으로 이동하여 한 측에 모인 입자들의 색만이 표시된다. 제 1 입자들 또는 제 2 입자들이 착색제를 포함하고, 전계가 존재하지 않을 때 움직이지 않는다는 것을 주의한다. 또한, 제 1 입자들의 색은 제 2 입자들의 색과 다르다(입자들은 또한 색이 없을 수 있다).
- [0158] 따라서, 전기영동 표시는 소위 유전영동 효과를 이용하며, 높은 유전 상수를 갖는 물질이 높은 전계를 갖는 영역으로 이동한다. 전기영동 디스플레이는 액정 표시 장치에 필요한 편광판 및 대향 기판을 필요로 하지 않으며, 그에 따라서 이들의 두께 및 가중치는 반감된다.
- [0159] 마이크로캡슐들이 용매에서 분산되는 것은 전자 잉크로 불리우며, 이러한 전자 잉크는 유리, 플라스틱, 섬유, 종이 등의 표면에 프린트될 수 있다. 컬러 표시는 또한 포함하는 컬러 필터 또는 색소를 포함하는 입자들의 사용에 의해 가능하다.
- [0160] 게다가, 능동 매트릭스형 표시 장치는 두 전극들 사이에 배치되도록 능동 매트릭스 기판 위에 복수의 마이크로캡슐들을 적절히 배치함으로써 완성될 수 있으며, 마이크로캡슐들에 전계를 인가함으로써 표시를 수행할 수 있다. 예를 들어, 실시형태 2 또는 3에 기술된 비선형 소자를 제조하기 위한 방법에 유사한 방법에 의해 형성될 수 있는 박막 트랜지스터들을 이용하여 획득된 능동 매트릭스 기판이 사용될 수 있다.
- [0161] 마이크로캡슐내 제 1 입자들과 제 2 입자들은 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네선스 재료, 일렉트로크로믹 재료, 및 자기영동 재료 또는 이들의 합성 재료 중 하나로부터 형성될 수 있다는 것을 주의한다.

- [0162] 실시형태 5에 따라서, 보호 회로는 산화물 반도체를 포함하는 비선형 소자를 이용하여 형성된다. 따라서, 보호 회로로서 적합한 구조를 갖는 표시 장치가 제공될 수 있다. 비선형 소자의 제 1 산화물 반도체층과 배선층들 간의 접속 구조에서, 제 1 산화물 반도체층보다 높은 전기 전도도를 갖는 제 2 산화물 반도체층과 접합되는 영역의 제공은 금속 배선들만을 이용하는 경우에 비해 안정적인 동작이 가능하다. 따라서, 보호 회로의 기능은 향상되고 동작은 안정될 수 있다. 이러한 방법으로, 실시형태 5에 따라서, 높은 신뢰성을 갖는 표시 장치가 제조될 수 있다. 게다가, 실시형태 3의 구조와 유사한 구조에 의해, 박막들의 박리로 인한 결함들이 쉽게 야기되지 않기 때문에 비선형 소자를 포함한 보호 회로를 포함하는 높은 신뢰성의 표시 장치를 제조하는 것이 가능하다.
- [0163] 실시형태 5는 다른 실시형태에 개시된 구조와 조합될 수 있다.
- [0164] [실시형태 6]
- [0165] 박막 트랜지스터는 본 발명의 실시형태에 따라서 비선형 소자와 함께 제조될 수 있으며, 박막 트랜지스터는 화소부 및 드라이버 회로에 사용될 수 있으며, 이에 의해 표시 기능(표시 장치로 또한 불리우는)을 갖는 반도체 장치가 제조될 수 있다. 더욱이, 본 발명의 실시형태에 따라서 박막 트랜지스터와 비선형 소자를 구동 회로의 일부 또는 전체에 사용하여 화소부와 같은 기관 위에 형성하여, 이에 의해 시스템-온-패널이 형성될 수 있다.
- [0166] 표시 장치는 표시 소자를 포함한다. 표시 소자로서, 액정 소자(액정 표시 소자로서 또한 지칭됨) 또는 발광 소자(또한 발광 표시 장치로서 지칭됨)가 사용될 수 있다. 발광 소자는 휘도가 전류 또는 전압에 의해 제어되는 소자의 범위에 포함되고, 특히 무기 일렉트로루미네선스(EL) 소자 또는 유기 EL 소자 등을 포함한다. 게다가, 전자 잉크와 같이 콘트라스트가 전기 영향에 의해 변화되는 표시 매체가 사용될 수 있다.
- [0167] 또한, 표시 장치는 표시 소자가 밀봉되는 패널, 및 컨트롤러를 포함하는 IC 등이 패널상에 실장되는 모듈을 포함한다. 본 발명의 실시형태는 표시 장치를 제조하기 위한 공정에서 표시 소자가 완성되기에 전의 모드에 상당하는 소자 기관에 관련되며, 각각의 소자 기관은 표시 소자에 전류를 공급하기 위한 수단을 복수의 화소들에 구비한다. 특히, 소자 기관은 표시 소자의 화소 전극만 형성된 상태, 화소 전극이 되는 도전막이 형성된 후 및 도전막이 화소 전극을 형성하기 위해 에칭되기 전, 또는 어떠한 다른 상태들일 수 있다.
- [0168] 본 명세서에서 표시 장치는 이미지 표시 장치, 표시 장치, 또는 (광 장치를 포함하는) 광원을 지칭한다. 게다가, 표시 장치는 자신의 카테고리내 다음의 모듈들중 어떠한 모듈을 포함한다: 플렉시블 프린트드 회로(FPC), 테이프 자동화 본딩(TAB) 테이프, 또는 테이프 캐리어 패키지(TCP)와 같은 커넥터를 포함하는 모듈; TAB 테이프 또는 TCP의 끝단에 프린트드 배선 기관이 설치된 모듈; 및 칩-온-유리(COG) 방법에 의해 표시 소자 위에 직접 실장되는 집적 회로(IC)를 갖는 모듈.
- [0169] 본 발명의 실시형태에 따라서 표시 장치의 한 모드인 액정 표시 패널의 외관과 단면이 도 17a, 도 17b 및 도 17c를 참조하여 실시형태 6에 기술될 것이다. 도 17a 및 도 17b는 비선형 소자를 제조하기 위한 방법과 유사한 방법으로 제조될 수 있는 높은 전기적 특성들을 갖는 박막 트랜지스터들(4010 및 4011), 및 액정 소자(4013)가 제 1 기관(4001)과 제 2 기관(4006) 간의 절재(4005)에 의해 밀봉되는 패널의 상면도들이다. 도 17c는 도 17a 및 도 17b의 M-N을 따라서 이들의 단면에 대응한다.
- [0170] 절재(4005)는 제 1 기관(4001) 위에 제공되는 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸기 위해 제공된다. 제 2 기관(4006)은 화소부(4002)와 주사선 구동 회로(4004) 위에 제공된다. 따라서, 액정층(4008) 뿐만 아니라 화소부(4002)와 주사선 구동 회로(4004)는 제 1 기관(4001)과 제 2 기관(4006) 간의 절재(4005)에 의해 밀봉된다. 개별적으로 준비되는 기관 위의 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성되는 신호선 구동 회로(4003)는 제 1 기관(4001) 위에 절재(4005)에 의해 둘러싸여지는 영역과 다른 영역에 실장된다.
- [0171] 개별적으로 형성되는 구동 회로의 접속 방법에 대한 특별한 제한이 존재하지 않으며, 알려진 COG 방법, 배선 본딩 방법, TAB 방법 등이 사용될 수 있다는 점을 주의한다. 도 17a는 신호선 구동 회로(4003)가 COG 방법에 의해 실장되고 도 17b는 신호선 구동 회로(4003)가 TAB 방법에 의해 실장되는 예를 예시한다.
- [0172] 제 1 기관(4001) 위에 제공되는 각각의 화소부(4002)와 주사선 구동 회로(4004)는 복수의 박막 트랜지스터들을 포함한다. 도 17b는 화소부(4002)에 포함된 박막 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함된 박막 트랜지스터(4011)를 예시한다. 절연층들(4020 및 4021)은 박막 트랜지스터들(4010 및 4011) 위에 제공된다.
- [0173] 각각의 박막 트랜지스터들(4010 및 4011)은 높은 전기적 특성들을 가지며 플라즈마 처리가 수행된 게이트 절연층, 산소-결핍형의 IGZO 반도체막을 포함하는 소스 영역과 드레인 영역, 소스 영역과 드레인 영역과 접하는 소스 전극층과 드레인 전극층, 및 소스 영역과 드레인 영역과 접하는 산소-과다형의 IGZO 반도체층을 포함한다.

박막 트랜지스터들(4010 및 4011)은 실시형태 2에 기술된 비선형 소자를 제조하기 위한 방법과 유사한 방법으로 제조될 수 있다. 실시형태 6에서, 박막 트랜지스터들(4010 및 4011)은 n-채널 박막 트랜지스터들이다.

- [0174] 액정 소자(4013)에 포함된 화소 전극층(4030)은 박막 트랜지스터(4010)와 전기적으로 접속된다. 액정 소자(4013)의 대향 전극층(4031)은 제 2 기관(4006)상에 형성된다. 화소 전극층(4030), 대향 전극층(4031), 및 액정층(4008)이 서로 중첩하는 부분은 액정 소자(4013)에 대응한다. 화소 전극층(4030)과 대향 전극층(4031)은 각각 배향막들로서 기능하는 절연층(4032)과 절연층(4033)이 형성되며, 이들 사이에 배치된 절연층들(4032 및 4033)에 의해 액정층(4008)을 유지한다는 것을 주의한다.
- [0175] 제 1 기관(4001)과 제 2 기관(4006)은 유리, 금속(전형적으로, 스테인리스 스틸), 세라믹, 또는 플라스틱으로 형성될 수 있다. 플라스틱으로서, FRP 판, PVF 필름, 폴리에스터 필름 또는 아크릴 수지 필름이 사용될 수 있다는 것을 주의한다. 또한, 알루미늄 호일이 PVF 필름들 또는 폴리에스터 필름들 사이에 샌드위치되는 구조의 시트가 사용될 수 있다.
- [0176] 선택적으로 절연막을 에칭함으로써 형성되는 원주형 스페이서(columnar spacer)(4035)는 화소 전극층(4030)과 대향 전극층(4031)간의 거리(셀 갭)를 제어하기 위해 제공된다. 대안으로, 구형 스페이서가 사용될 수 있다.
- [0177] 대안으로, 배향막이 없는 블루상 액정이 사용될 수 있다. 블루상은 콜레스테릭 액정의 온도가 증가될 때 콜레스테릭 액정이 등방상으로 변화되기 직전에 나타나는 액정상의 유형이다. 블루상은 좁은 온도 범위내에서만 나타난다; 따라서, 액정층(4008)은 5wt.% 이상의 키랄제(chiral agent)가 온도 범위를 확장하기 위해 혼합되는 액정 조성물을 이용하여 형성된다. 블루상 액정과 키랄제를 포함하는 액정 조성물은 10 μ s 내지 100 μ s의 짧은 응답 속도를 가지며, 광학적으로 등방성이다; 따라서, 배향 처리가 불필요하며 시야각 의존이 작아진다.
- [0178] 실시형태 6은 투과형 액정 표시 장치의 예를 기술한다; 그러나, 본 발명의 실시형태는 반사형 액정 표시 장치 또는 반투과형 액정 표시 장치에 적용될 수 있다.
- [0179] 비록 실시형태 6의 액정 표시 장치가 기관(시야자 측)보다 바깥쪽에 제공된 편광판과 기관보다 안쪽에 제공된 착색층과 표시 소자의 전극층을 가지며, 이것은 그러한 순서로 정렬되며, 편광판은 기관보다 내부에 존재할 수 있다. 편광판과 착색층의 적층 구조는 실시형태 6에 도시된 구조에 제한되지 않으며 편광판의 재료들과 착색층 및 제조 공정의 조건에 따라서 적절히 설정될 수 있다. 게다가, 블랙 매트릭스로서 기능하는 차광막이 제공될 수 있다.
- [0180] 실시형태 6에서, 박막 트랜지스터들의 표면의 불균일성을 감소시키고 박막 트랜지스터들의 신뢰성을 향상시키기 위해, 실시형태 2에 기술된 비선형 소자와 비선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 형성될 수 있는 박막 트랜지스터들은 보호막들 또는 평탄화 절연막으로 기능하는 절연층들(절연층들(4020 및 4021))에 의해 피복된다. 보호막은 유기 물질, 금속 물질, 또는 대기중에 떠도는 습기와 같은 오염 불순물의 유입을 방지하기 위해 제공되며, 따라서 고밀도 필름이 바람직하다는 것을 주의한다. 보호막은 스퍼터링 법에 의해 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 또는 질화산화 알루미늄막의 단일층 또는 적층들을 이용하여 형성될 수 있다. 비록 보호막이 실시형태 6에서 스퍼터링 법에 의해 형성된다고 하더라도, 방법은 특별한 방법에 제한되지 않으며 다양한 방법들로부터 선택될 수 있다.
- [0181] 여기서, 보호막으로서 적층 구조의 절연층(4020)을 형성한다. 여기서, 산화 실리콘막은 절연층(4020)의 제 1층으로서 스퍼터링 법에 의해 형성된다. 보호막에 산화 실리콘막의 사용은 소스 전극층과 드레인 전극층을 위해 사용된 알루미늄막의 힐록(hillock)을 방지하는 유리한 효과를 제공한다.
- [0182] 더욱이, 질화 실리콘막은 절연층(4020)의 제 2층으로서 스퍼터링 법에 의해 형성된다. 질화 실리콘막이 보호막으로 사용하면, 나트륨과 같은 이동가능한 이온들이 TFT의 전기적 특성들을 바꾸기 위해 반도체 영역으로 진입하는 것을 방지할 수 있다.
- [0183] 게다가, 보호막이 형성된 후, IGZO 반도체층이 (300 $^{\circ}$ C 내지 400 $^{\circ}$ C에서)어닐될 수 있다.
- [0184] 게다가, 절연층(4021)은 평탄화 절연막으로서 형성된다. 절연층(4021)은 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리이미드, 또는 에폭시와 같은 내열성을 갖는 유기 재료로 형성될 수 있다. 이러한 유기 재료들에 대한 대안으로서, 낮은-유전 상수 재료(낮은-k 재료), 실록산계 수지, PSG(포스포실리케이트 유리), BPSG(보로포스포실리케이트 유리) 등을 이용할 수 있다. 실록산계 수지는 치환기로서 수소외에 불소, 알킬기, 및 아릴기 중 적어도 하나를 포함할 수 있다. 절연층(4021)은 이들 재료들로 형성된 복수의 절연막들을 적층함

으로써 형성될 수 있다는 것을 주의한다.

- [0185] 실록산-기반 수지는 출발 재료(starting material)로서 형성되고 Si-O-Si의 결합을 갖는 수지라는 것을 주의한다. 실록산계 수지는 수소외에 치환기로서 불소, 알킬족, 및 방향족 탄화수소를 포함한다.
- [0186] 절연층(4021)의 형성을 위한 방법은 특별한 방법에 제한되지 않으며 다음의 방법이 절연층(4021)의 재료에 따라서: 스퍼터링법, SOG 방법, 스핀 코팅, 딥 코팅, 스프레이 코팅, 액적도출 방법(예를 들어, 잉크젯 방법, 스크린 프린팅, 또는 오프셋 프린팅), 닥터 나이프, 롤 코터(roll coater), 커튼 코터, 나이프 코터 등이 사용될 수 있다. 재료 용액을 이용하여 절연층(4021)을 형성하는 경우에 있어서, 어닐링(300℃ 내지 400℃)은 베이킹 단계(baking step)로 동시에 IGZO 반도체층상에 수행될 수 있다. 절연층(4021)의 베이킹과 IGZO 반도체층의 어닐링은 동시에 수행되며, 반도체 장치가 효율적으로 제조될 수 있다.
- [0187] 화소 전극층(4030)과 대향 전극층(4031)은 산화 텅스텐을 포함한 산화 인듐, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 산화 인듐, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이후 ITO로 지칭됨), 인듐 아연 산화물, 또는 산화 실리콘이 첨가되는 인듐 주석 산화물과 같은 투광성 도전성 재료로 형성될 수 있다.
- [0188] (도전성 폴리머로서 또한 지칭되는)도전성 고분자를 포함하는 도전성 조성물이 화소 전극층(4030)과 대향 전극층(4031)으로 사용될 수 있다. 도전성 조성물로 형성된 화소 전극은 10000 Ω/□ 이하의 시트 저항과 70%의 투과율 또는 550nm의 파장을 갖는 것이 바람직하다. 게다가, 도전성 조성물에 포함된 도전성 고분자의 저항률은 0.1Ω·cm 이하인 것이 바람직하다.
- [0189] 도전성 고분자로서, 소위 π-전자 공액계 도전성 폴리머가 사용될 수 있다. 이들의 예들로서, 폴리아닐린 또는 이의 유도체, 폴리피롤 또는 이의 유도체, 폴리티오펜 또는 이의 유도체, 둘 이상의 이들의 공중합체 등이 제공될 수 있다.
- [0190] 게다가, 다양한 신호들과 전위들이 FPC(4018)로부터 개별적으로 형성되는 신호선 구동 회로(4003), 주사선 구동 회로(4004), 및 화소부(4002)로 공급된다.
- [0191] 실시형태 6에서, 접속 단자 전극(4015)은 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전막을 이용하여 형성된다. 단자 전극(4016)은 박막 트랜지스터들(4010 및 4011)에 포함된 소스 및 드레인 전극층들과 동일한 도전막을 이용하여 형성된다.
- [0192] 접속 단자 전극(4015)은 이방성 도전막(4019)을 통해 FPC(4018)의 단자에 전기적으로 접속된다.
- [0193] 비록 도 17a, 도 17b 및 도 17c가 신호선 구동 회로(4003)가 개별적으로 형성되고 제 1 기관(4001)상에 탑재되는 예를 도시하며, 실시형태 6은 이러한 구조에 제한되지 않는다. 주사선 구동 회로는 개별적으로 형성된 후 탑재될 수 있거나, 또는 신호선 구동 회로의 일부만 또는 주사선 구동 회로의 일부만이 개별적으로 형성된 후 장착될 수 있다.
- [0194] 도 18은 본 발명의 실시형태에 따라서 제조된 TFT 기관(2600)을 이용하여 액정 표시 모듈이 반도체 장치로서 형성되는 예이다.
- [0195] 도 18은 액정 표시 모듈의 예이며, 여기서 TFT 기관(2600)과 대향 전극(2601)은 절재(2602)에 의해 서로 고착되며, TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 및 착색층(2605)이 기관들 사이에 제공되어 표시 영역을 형성한다. 착색층(2605)은 컬러 표시를 수행하기 위해 필요하다. RGB 시스템의 경우에 있어서, 레드, 그린, 및 블루의 색들에 대응하는 각각의 착색층들이 각각의 화소들에 제공된다. 편광판들(2606 및 2607)과 확산판(diffuser plate)(2612)이 TFT 기관(2600) 및 대향 기관(2601) 외부에 형성된다. 광원은 냉음극관(2610) 및 반사판(2611)을 포함하고 회로 기관(2612)은 플렉시블 배선 기관(2609)을 통해 TFT 기관(2600)의 배선 회로부(2608)에 접속되며 제어 회로와 전원 회로와 같은 외부 회로를 포함한다. 편광판과 액정층은 이들 사이에 배치된 위상차판과 함께 적층될 수 있다.
- [0196] 액정 표시 모듈에 대해, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등이 사용될 수 있다.

- [0197] 실시형태 6에 따라서, 보호 회로는 산화물 반도체를 포함하는 비선형 소자를 이용하여 형성된다; 따라서, 보호 회로로서 적합한 구조를 갖는 표시 장치가 제공될 수 있다. 비선형 소자의 제 1 산화물 반도체층과 배선층들간의 접속 구조에서, 제 1 산화물 반도체층보다 높은 전기 전도도를 갖는 제 2 산화물 반도체층과 접합되는 영역의 제공은 금속 배선들만을 이용하는 경우에 비해 안정한 동작을 허용한다. 따라서, 보호 회로의 기능이 향상될 수 있으며 동작이 안정될 수 있다. 이러한 방법으로, 실시형태 6에 따라서, 표시 장치로서 높은 신뢰성을 갖는 액정 표시 패널이 제조될 수 있다. 게다가, 실시형태 3의 구조와 유사한 구조에 의해, 박막들의 박리로 인한 결함들이 쉽게 야기되지 않는 비선형 소자를 포함하는 보호 회로를 탑재한 높은 신뢰성을 갖는 액정 표시 패널을 제조할 수 있다.
- [0198] 실시형태 6은 적절히 다른 실시형태에서 개시된 구조에 의해 조합될 수 있다.
- [0199] [실시형태 7]
- [0200] 실시형태 7은 본 발명의 실시형태에 따라서 표시 장치로서 발광 표시 장치의 예를 기술한다. 여기서, 표시 장치의 표시 소자의 예로서, 일렉트로루미네선스를 이용한 발광 소자가 사용된다. 일렉트로루미네선스를 이용한 발광 소자들은 발광 재료가 유기 화합물 또는 무기 화합물인지에 따라서 분류된다. 일반적으로, 전자는 유기 EL 소자로서 지칭되고, 후자는 무기 EL 소자로서 지칭된다.
- [0201] 유기 EL 소자에서, 발광 소자로 전압의 인가에 의해, 전자들과 정공들이 한쌍의 전극들로부터 발광성 유기 화합물을 함유한 층으로 개별적으로 주입되며, 따라서 전류가 흐른다. 그 다음, 그들 캐리어들(즉, 전자들과 정공들)이 재조합되며, 따라서, 발광 유기 화합물이 여기된다. 발광성 유기 화합물이 여기 상태에서 기저 상태로 복귀될 때, 발광한다. 이러한 메카니즘 덕분에, 이러한 발광 소자는 전류-여기형 발광 소자로서 지칭된다.
- [0202] 무기 EL 소자들은 이들의 소자 구조들에 따라서 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자들이 바인더에서 분산되는 발광층을 가지며, 이의 발광 메카니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층이 유전체층들 사이에 샌드위치되는 구조를 가지며, 유전체층들은 전극들 사이에 더 샌드위치되며, 이의 발광 메카니즘은 금속 이온들의 내각 전자 전이를 이용하는 국제형 발광이다. 유기 EL 소자는 본 예에서 발광 소자로서 사용된다는 것을 주의한다.
- [0203] 도 19는 본 발명의 실시형태가 적용되는 반도체 장치의 예로서 디지털 시간 계조 구동이 적용될 수 있는 화소 구조의 예를 예시한다.
- [0204] 디지털 시간 계조 구동이 적용될 수 있는 화소의 구조와 동작이 기술된다. 본 예에서, 하나의 화소는 채널 형성 영역이 실시형태 2 또는 3에 기술된 비선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 형성될 수 있는 IGZO 반도체층을 포함하는 2개의 n-채널 트랜지스터들을 포함한다.
- [0205] 화소(6400)는 스위칭 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404), 및 용량소자(6403)를 포함한다. 스위칭 트랜지스터의 게이트(6401)는 주사선(6406)에 접속되고, 스위칭 트랜지스터(6401)의 제 1 전극(소스 전극과 드레인 전극중 하나)은 신호선(6405)에 접속되며, 스위칭 트랜지스터(6401)의 제 2 전극(소스 전극과 드레인 전극의 나머지)은 구동용 트랜지스터(6402)의 게이트에 접속된다. 구동용 트랜지스터(6402)의 게이트는 용량소자(6403)를 통해 전원선(6407)에 접속되며, 구동용 트랜지스터(6402)의 제 1 전극은 전원선(6407)에 접속되며, 구동용 트랜지스터(6402)의 제 2 전극은 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 대응한다.
- [0206] 발광 소자(6404)의 제 2 전극(공통 전극(6408))은 저전원 전위로 설정된다. 저전원 전위는 전원선(6407)으로 설정된 고전원 전위가 기준일 때 저전원 전위 < 고전원 전위를 만족시키는 전위이다. 저전원 전위로서, 예를 들어, GND, 0V 등이 이용될 수 있다. 고전원 전위와 저전원 전위 간의 전위차는 발광 소자(6404)로 인가되고 전류는 발광 소자(6404)로 공급되어, 발광 소자(6404)는 광을 방출한다. 여기서, 발광 소자(6404)가 발광하도록, 각각의 전위는 고전원 전위과 저전원 전위 간의 전위차가 순방향 임계 전압 이상이 되도록 설정된다.
- [0207] 구동용 트랜지스터(6402)의 게이트 용량은 용량소자(6403)의 대체로서 사용될 수 있으며, 이에 의해 용량소자(6403)가 생략될 수 있다. 구동용 트랜지스터(6402)의 게이트 용량은 채널 영역과 게이트 전극 사이에 형성될 수 있다.
- [0208] 전압-입력 전압 구동 방법의 경우에 있어서, 비디오 신호는 구동용 트랜지스터(6402)의 게이트에 입력되어 구동용 트랜지스터(6402)는 충분히 턴 온과 턴 오프되는 두 상태가 된다. 즉, 구동용 트랜지스터(6402)는 선형 영역

에서 동작한다. 구동용 트랜지스터(6402)가 선형 영역에서 동작하기 때문에, 전원 공급선(6407)의 전압보다 높은 전압은 구동용 트랜지스터(6402)의 게이트에 인가된다. (구동용 트랜지스터(6402)의 V_{th} + 전원선의 전압)이상의 전압이 신호선(6405)에 인가된다는 것을 주의한다.

- [0209] 디지털 시간 계조 구동 대신에 아날로그 계조 구동을 수행하는 경우에 있어서, 도 19와 동일한 화소 구성이 신호 입력을 변화시킴으로써 사용될 수 있다.
- [0210] 아날로그 계조 구동의 경우에 있어서, (구동용 트랜지스터(6402)의 V_{th} + 발광 소자(6404)의 순방향 전압)이상의 전압이 구동용 트랜지스터(6402)의 게이트에 인가된다. 발광 소자(6404)의 순방향 전압은 원하는 휘도가 획득되는 전압을 표시하고 적어도 순방향 임계 전압을 포함한다. 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호가 입력되어, 전류가 발광 소자(6404)로 공급될 수 있다. 구동용 트랜지스터(6402)가 포화 영역에서 동작하도록 하기 위해, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다 높게 설정된다. 아날로그 비디오 신호가 사용될 때, 비디오 신호에 따라서 발광 소자(6404)로 전류를 공급하고 아날로그 계조 구동을 가능하게 한다.
- [0211] 도 19에 도시된 화소 구성은 이에 제한되지 않는다. 예를 들어, 스위치, 레지스터, 용량소자, 트랜지스터, 논리 회로 등이 도 19에 도시된 화소에 추가될 수 있다.
- [0212] 이어, 발광 소자의 구조들은 도 20a 내지 도 20c를 참조하여 기술된다. 화소의 단면 구조가 예로서 n-채널 구동용 TFT를 취함으로써 기술된다. 도 20a, 도 20b, 및 도 20c에 예시되는 반도체 장치에 사용되는 구동용 TFT로서 기능하는 TFT들(7001, 7011, 및 7021)은 실시형태 2에 기술된 비선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 형성될 수 있다. TFT들(7001, 7011, 및 7021)은 높은 전기적 특성들을 가지며 각각은 플라즈마 처리가 수행된 게이트 절연층, 산소-결핍형의 IGZO 반도체막을 포함하는 소스 영역 및 드레인 영역, 소스 영역과 드레인 영역에 접하는 소스 전극층과 드레인 전극층, 및 소스 영역과 드레인 영역과 접하는 산소-과다형의 IGZO 반도체층을 포함한다.
- [0213] 또한, 발광 소자로부터 발광을 추출하기 위해, 애노드와 캐소드의 적어도 하나가 투광성이면 좋다. 박막 트랜지스터와 발광 소자는 기판 위에 형성된다. 발광 소자는 발광이 기판에 반대되는 표면을 통해 추출되는 상면사출 구조; 기판 측 상의 표면을 통해 발광이 추출되는 하면사출 구조; 또는 발광이 기판에 반대되는 표면과 기판 측 상의 표면을 통해 추출되는 양면사출 구조를 가질 수 있다. 본 발명의 실시형태에 따라서 화소 구조는 이들 사출 구조들 중 어느 것을 갖는 발광 소자에 인가될 수 있다.
- [0214] 상면사출 구조를 갖는 발광 소자가 도 20a를 참조하여 기술된다.
- [0215] 도 20a는 구동용 TFT(7001)가 n-채널 TFT이고 발광 소자(7002)에서 발생된 광이 발광층(7004)에 대하여 애노드(7005) 측(기판 측에 반대되는 측)으로 방출된다. 도 20a에서, 발광 소자(7002)의 캐소드(7003)는 구동용 TFT(7001)에 전기적으로 접속되며, 발광층(7004)과 애노드(7005)는 캐소드(7003) 위에 이러한 순서로 적층된다. 캐소드(7003)는 작은 일함수를 가지며 광을 반사하는 한 다양한 도전성 재료들 중 어느 것을 이용하여 형성될 수 있다. 예를 들어, Ca, Al, CaF, MgAg, AlLi 등이 사용되는 것이 바람직하다. 발광층(7004)은 단일층을 이용하거나 또는 복수의 층들을 적층함으로써 형성될 수 있다. 발광층(7004)이 복수의 층들을 이용하여 형성될 때, 발광층(7004)은 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 및 정공 주입층의 순서로 캐소드(7003) 위에 적층함으로써 형성된다. 이들 층들 모두를 형성할 필요가 없다. 애노드(7005)는 산화 텅스텐을 포함하는 산화 인듐막, 산화 텅스텐을 포함하는 산화 인듐 아연, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이후, ITO로서 지칭됨), 산화 인듐 아연, 또는 산화 실리콘이 첨가되는 인듐 주석 산화물과 같은 투광성 도전막을 이용하여 형성된다.
- [0216] 발광 소자(7002)는 캐소드(7003)와 애노드(7005)가 발광층(7004)을 샌드위치하는 영역에 대응한다. 도 20a에 도시된 화소의 경우에 있어서, 광은 화살표로 표시된 바와 같이 발광 소자(7002)로부터 애노드(7005) 측으로 방출된다.
- [0217] 이어, 하면사출 구조를 갖는 발광 소자가 도 20b를 참조하여 기술된다. 도 20b는 구동용 TFT(7011)가 n-채널이며, 광이 발광 소자(7012)로부터 발광층(7014)(기판 측)에 대해 캐소드(7013) 측으로 방출되는 경우의 화소의 단면도이다. 도 20b에서, 발광 소자(7012)의 캐소드(7013)는 구동용 TFT(7011)에 전기적으로 접속되는 투광 도전막(7017) 위에 형성되고, 발광층(7014)과 애노드(7015)는 이러한 순서로 캐소드(7013) 위에 적층된다. 광을 반사하거나 차단하기 위한 차광막(7016)은 애노드(7015)가 투광성을 가질 때 애노드(7015)를 피복하기 위해 형성될 수 있다. 캐소드(7013)에 대해, 캐소드(7013)가 작은 일함수를 갖는 도전막이라면 도 20a의 경우에서와 같

이 다양한 재료들이 사용될 수 있다. 캐소드(7013)는 광을 투과할 수 있는 두께(바람직하게, 약 5nm에서 30nm)를 갖도록 형성된다는 것을 주의한다. 예를 들어, 20nm의 두께를 갖는 알루미늄막이 캐소드(7013)로서 사용될 수 있다. 발광층(7014)은 단일층으로 형성되거나 도 20a의 경우에서와 같이 복수의 층들을 적층함으로써 형성될 수 있다. 애노드(7015)는 광을 투과할 필요는 없지만, 도 20a의 경우에서와 같이 투광성 도전막을 이용하여 형성될 수 있다. 차광막(7016)으로, 광을 반사하는 금속 등이 사용될 수 있다; 그러나, 금속막에 제한되지 않는다. 예를 들어, 블랙 색소가 첨가되는 수지 등이 사용될 수 있다.

[0218] 발광 소자(7012)는 캐소드(7013)와 애노드(7015)가 발광층(7014)을 샌드위치하는 영역에 대응한다. 도 20b에 도시된 화소의 경우에 있어서, 광은 발광 소자(7012)로부터 화살표로 표시된 바와 같이 캐소드(7013) 측으로 방출된다.

[0219] 이어, 양면사출 구조를 갖는 발광 소자가 도 20c를 참조하여 기술된다. 도 20c에서, 발광 소자(7022)의 캐소드(7023)는 구동용 TFT(7021)에 전기적으로 접속되는 투광성 도전막(7027) 위에 형성되고, 발광층(7024)과 애노드(7025)가 순서대로 캐소드(7023) 위에 적층된다. 도 20a의 경우에서와 같이, 캐소드(7023)는 도전성이고 작은 일함수를 갖는 한 다양한 도전성 재료들 중 임의의 재료로 형성될 수 있다. 캐소드(7023)는 광을 투과할 수 있는 두께를 갖도록 형성된다는 것을 주의한다. 예를 들어, 20nm의 두께를 갖는 Al막이 캐소드(7023)로서 사용될 수 있다. 발광층(7024)은 단일층을 이용하여 형성되거나 도 20a의 경우에서와 같이 복수의 층들을 적층함으로써 형성될 수 있다. 도 20a와 유사한 방법으로, 애노드(7025)는 투광성 도전성 재료를 이용하여 형성될 수 있다.

[0220] 발광 소자(7022)는 캐소드(7023), 발광층(7024), 및 애노드(7025)가 서로 중첩하는 영역에 대응한다. 도 20c에 예시된 화소에서, 광은 화살표로 표시된 바와 같이 발광 소자(7022)로부터 애노드(7025) 측과 캐소드(7013) 측의 양측으로 방출된다.

[0221] 유기 EL 소자가 발광 소자로서 여기에 기술된다고 하더라도, 무기 EL 소자가 발광 소자로서 대안적으로 제공될 수 있다.

[0222] 실시형태 7은 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)가 발광 소자에 전기적으로 접속되는 예를 기술하지만, 전류 제어 TFT가 구동용 TFT와 발광 소자 간에 접속되는 구성이 이용될 수 있다는 것을 주의한다.

[0223] 실시형태 7에 기술된 반도체 장치의 도 20a 내지 도 20c에 예시된 구조에 제한되지 않으며, 본 발명에 따른 기법들의 사상에 기초하여 다양한 방법들로 변경될 수 있다.

[0224] 이어, 본 발명에 따라서 반도체 장치의 한 모드에 대응하는 발광 표시 패널(발광 패널로서 또한 지칭되는)의 외관과 단면이 도 21a와 도 21b를 참조하여 기술될 것이다. 도 21a는 본 발명의 실시형태에 따라서 비선형 소자를 제조하기 위한 방법과 유사한 방법으로 제 1 기판 위에 제조될 수 있는 높은 전기적 특성들을 갖는 발광 소자와 박막 트랜지스터가 제 1 기판과 제 2 기판 사이에 절재에 의해 밀봉되는 패널의 상면도이며, 도 21b는 도 21a의 H-I를 따르는 단면도이다.

[0225] 절재(4505)는 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로들(4503a와 4503b), 및 주사선 구동 회로들(4504a와 4504b)을 둘러싸도록 제공된다. 또한, 제 2 기판(4506)은 화소부(4502), 신호선 구동 회로들(4503a와 4503b), 및 주사선 구동 회로들(4504a와 4504b) 위에 형성된다. 따라서, 화소부(4502), 신호선 구동 회로들(4503a와 4503b), 및 주사선 구동 회로들(4504a와 4504b)은 제 1 기판(4501), 절재(4505), 및 제 2 기판(4506)에 의해 충전재(4507)와 함께 밀봉된다. 이러한 방법으로, 화소부(4502), 신호선 구동 회로들(4503a와 4503b), 및 주사선 구동 회로들(4504a와 4504b)이 화소부(4502), 신호선 구동 회로들(4503a와 4503b), 및 주사선 구동 회로들(4504a와 4504b)이 외부 공기에 노출되지 않도록 높은 기밀성을 갖고, 탈가스가 적은 (부착 필름 또는 자외선 경화 수지 필름과 같은)보호막 또는 커버재에 의해 패키징(밀봉)된다.

[0226] 도 21b에 예로서 예시되는 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로들(4503a와 4503b), 및 주사선 구동 회로들(4504a와 4504b)은 각각 복수의 박막 트랜지스터들, 및 화소부(4502)에 포함된 박막 트랜지스터(4510) 및 신호선 구동 회로(4503a)에 포함된 박막 트랜지스터(4509)를 포함한다.

[0227] 각각의 박막 트랜지스터들(4509와 4510)은 높은 전기적 특성들을 가지며 플라즈마 처리가 수행된 게이트 절연층, 산소-결핍형의 IGZO 반도체막을 이용하여 형성되는 소스 영역과 드레인 영역, 소스 영역과 드레인 영역과 접하는 소스 전극층과 드레인 전극, 및 소스 영역과 드레인 영역과 접하는 산소-과다형의 IGZO 반도체층을 포함한다. 박막 트랜지스터들(4509와 4510)은 실시형태 2에 기술된 비선형 소자를 제조하기 위한 방법과 유사한

방법으로 제조될 수 있다. 실시형태 7에서, 박막 트랜지스터들(4509와 4510)은 n-채널 박막 트랜지스터들이다.

- [0228] 더욱이, 참조 번호(4511)는 발광 소자를 나타낸다. 발광 소자(4511)에 포함된 화소 전극인 제 1 전극층(4517)이 박막 트랜지스터(4510)의 소스 및 드레인 전극층들에 전기적으로 접속된다. 발광 소자(4511)가 제 1 전극층(4517), 전계발광층(4512), 및 제 2 전극층(4513)의 적층 구조를 가지지만, 발광 소자(4511)의 구성은 실시형태 7에 도시된 구조에 제한되지 않는다는 것을 주의한다. 발광 소자(4511)의 구성은 광이 발광 소자(4511)로부터 추출되는 방향 등에 따라서 적절히 변화될 수 있다.
- [0229] 격벽(4520)은 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 이용하여 형성된다. 격벽(4520)은 개구부의 측벽이 연속적인 굴곡을 갖는 경사진 표면으로서 형성되도록 제 1 전극층(4517) 상에 개구부를 갖도록 감광성 재료를 이용하여 형성되는 것이 특히 바람직하다.
- [0230] 전계발광층(4512)은 단층 또는 복수의 적층된 층들을 이용하여 형성될 수 있다.
- [0231] 산소, 수소, 습기, 이산화탄소 등이 발광 소자(4511)로 유입되는 것을 방지하기 위해, 보호막이 제 2 전극층(4513)과 격벽(4520) 위에 형성될 수 있다. 보호막으로서, 질화 실리콘막, 실리콘 질화 산화물막, DLC(Diamond Like Carbon) 등이 형성될 수 있다.
- [0232] 게다가, 다양한 신호들과 전위들이 FPC들(4518a와 4518b)로부터 신호선 구동 회로들(4503a와 4503b), 주사선 구동 회로들(4504a와 4504b) 또는 화소부(4502)로 공급된다.
- [0233] 실시형태 7에서, 접속 단자 전극(4515)은 발광 소자(4511)에 포함된 제 1 전극층(4517)과 동일한 도전막을 이용하여 형성된다. 단자 전극(4516)은 박막 트랜지스터들(4509와 4510)에 포함된 소스 전극과 드레인 전극층들과 동일한 도전막을 이용하여 형성된다.
- [0234] 접속 단자 전극(4515)은 이방성 도전막(4519)을 통해 FPC(4518a)내에 포함된 단자에 전기적으로 접속된다.
- [0235] 광이 발광 소자(4511)로부터 추출되는 방향에 위치한 제 2 기관(4506)은 투광성을 가져야 한다. 그러한 경우에, 유리판, 플라스틱판, 폴리에스터막, 또는 아크릴막과 같은 투광성 재료가 사용된다.
- [0236] 충전재(4507)로서, 질소 또는 아르곤과 같은 불활성 기체외에 자외선 경화성 수지(ultraviolet curable resin) 또는 열경화성 수지(thermosetting resin)가 사용될 수 있다. 예를 들어, 염화 폴리비닐(PVC), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB, 또는 EVA가 사용될 수 있다. 실시형태 7에서, 질소가 충전재(4507)로 사용된다.
- [0237] 게다가, 필요시, 편광판, (타원형 편광판을 포함하는)원형 편광판, 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 및 컬러 필터와 같은 광 필름들을 적절히 발광 소자의 사출면에 형성할 수 있다. 게다가, 편광판 또는 원형 편광판에 반사방지막이 형성될 수 있다. 예를 들어, 안티글레어(anti-glare) 처리는 반사된 광이 표면의 요철에서 확산됨으로써 수행되어 눈부심이 감소될 수 있다.
- [0238] 신호선 구동 회로들(4503a와 4503b)과 주사선 구동 회로들(4504a와 4504b)과 같이, 개별적으로 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 구동 회로들이 실장될 수 있다. 게다가, 신호선 구동 회로만 또는 이들의 일부만, 또는 주사선 구동 회로만 또는 이들의 일부만이 실장되도록 개별적으로 형성될 수 있다. 실시형태 7은 도 21a와 도 21b에 도시된 구성에 제한되지 않는다.
- [0239] 실시형태 7에 따라서, 보호 회로는 산화물 반도체를 포함한 비선형 소자를 이용하여 형성되며, 따라서, 보호 회로로서 적합한 구조를 갖는 표시 장치가 제공될 수 있다. 비선형 소자의 제 1 산화물 반도체층과 배선층들 간의 접속 구조에서, 제 1 산화물 반도체층보다 높은 전기 전도도를 갖는 제 2 산화물 반도체층과 접합되는 영역의 제공은 금속 배선들만을 이용하는 경우에 비해 안정한 동작을 허용한다. 따라서, 보호 회로의 기능이 향상되고 동작은 안정될 수 있다. 이러한 방법으로, 실시형태 7에 따라서, 표시 장치로서 높은 신뢰성을 갖는 발광 표시 장치(표시 패널)가 제조될 수 있다. 게다가, 실시형태 3와 유사한 구성에 의해, 박막들의 박리로 인한 결함들이 쉽게 야기되지 않는 비선형 소자들을 포함하는 보호 회로를 포함한 고신뢰성 발광 장치(표시 패널)이 제조될 수 있다.
- [0240] 실시형태 7은 다른 실시형태에 개시된 구조와 적절히 조합될 수 있다.
- [0241] [실시형태 8]
- [0242] 본 발명의 실시형태에 따른 표시 장치가 전자 종이로서 적용될 수 있다. 전자 종이는 정보를 표시하기 위한 모

든 분야의 전자 기기들에 사용될 수 있다. 예를 들어, 전자 종이는 전자 서적(e-북), 포스터들, 철판들과 같은 차량들에 있어서의 광고, 신용 카드 등과 같은 다양한 카드들에서의 표시를 위해 사용될 수 있다. 이러한 전자 기기들의 예들은 도 22a 및 도 22b 및 도 23에 예시된다.

- [0243] 도 22a는 전자 종이를 이용하여 형성된 포스터(2631)를 예시한다. 광고 매체가 프린트된 종이이면, 광고는 인력에 의해 교체된다; 그러나, 본 발명의 실시형태가 적용되는 전자 종이 사용될 때, 광고 표시는 짧은 시간 내에 변경될 수 있다. 더욱이, 안정한 이미지가 표시 악화 없이 획득될 수 있다. 게다가, 포스터는 무선으로 정보를 전송하고 수신할 수 있다.
- [0244] 도 22b는 기차와 같은 차량내 광고(2632)를 예시한다. 광고 매체가 프린트된 종이이면, 광고는 인력에 의해 교체된다; 그러나, 본 발명의 실시형태가 적용되는 전자 종이 사용될 때, 광고 표시는 많은 인력이 없이 짧은 시간 내에 변경될 수 있다. 더욱이, 안정한 이미지가 표시 악화 없이 획득될 수 있다. 게다가, 차량들내 광고는 무선으로 정보를 전송하고 수신할 수 있다.
- [0245] 도 23은 전자 서적 장치(2700)의 예를 예시한다. 예를 들어, 전자 서적 장치(2700)는 2개의 하우징들(2701과 2703)을 포함한다. 하우징들(2701과 2703)은 축부(2711)에 의해 일체로 되어 전자책 장치(2700)가 축부를 따라 개폐된다. 이러한 구성에 의해, 종이 책과 같은 동작이 달성된다.
- [0246] 표시부(2705)는 하우징(2701)내에 내장되고 표시부(2707)은 하우징(2703)내에 내장된다. 표시부(2705)와 표시부(2707)는 일련의 이미지들을 표시하거나, 또는 상이한 이미지들을 표시할 수 있다. 상이한 이미지들이 상이한 표시부들에 표시되는 구조에서, 예를 들어, 우측 표시부(도 23의 표시부(2705))는 텍스트를 표시할 수 있으며 좌측 표시부(도 23의 표시부(2707))는 이미지들을 표시할 수 있다.
- [0247] 도 23은 하우징(2701)이 조작부 등을 갖는 예를 예시한다. 예를 들어, 하우징(2701)은 전원(2721), 조작키(2723), 스피커(2725) 등을 갖는다. 페이지는 조작키(2723)에 의해 넘겨질 수 있다. 키보드, 포인팅 장치 등이 하우징의 표시부와 동일한 평면상에 제공될 수 있다는 것을 주의한다. 게다가, 하우징의 후면 또는 측면은 외부 접속 단자(이어폰 단자, USB 단자, AC 어댑터 또는 USB 케이블 등과 같은 다양한 케이블들과 접속될 수 있는 단자), 기록 매체 삽입부 등을 가질 수 있다. 더욱이, 전자 서적 장치(2700)는 전자 사전의 기능을 가질 수 있다.
- [0248] 게다가, 전자 서적 장치(2700)는 무선으로 정보를 전송하고 수신할 수 있다. 원하는 책 데이터 등은 무선으로 전자 서적 서버로부터 구입하거나 다운로드 될 수 있다.
- [0249] 실시형태 8에 기술된 바와 같이, 산화물 반도체를 포함하는 비선형 소자의 사용에 의해 향상된 기능을 갖고 배향이 안정된 보호 회로를 갖는 표시 장치가 전자 기기에 탑재될 때 높은 신뢰성을 갖는 전자 기기가 제공될 수 있다. 실시형태 3과 유사한 구성에 의해, 박막들의 박리로 인한 결함들이 쉽게 야기되지 않기 때문에 비선형 소자를 포함한 보호 회로가 탑재되는 높은 신뢰성의 표시 장치를 포함하는 전자 기기를 제조하는 것이 가능하다.
- [0250] 실시형태 8은 다른 실시형태에 개시된 구조와 적절히 조합될 수 있다 .
- [0251] [실시형태 9]
- [0252] 본 발명의 실시형태에 따른 반도체 장치는 (게임기들을 포함하는)다양한 전자 기기들에 적용될 수 있다. 전자 기기로서, 예를 들어, (TV 또는 텔레비전 수신기로 또한 불리우는)텔레비전 장치, 컴퓨터 등을 위한 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, (이동 전화 또는 휴대 전화 장치로 또한 불리우는)휴대전화, 휴대용 게임기, 휴대용 정보 단말기, 오디오 재생 장치, 및 파칭코 기계와 같은 큰 게임기가 존재한다.
- [0253] 도 24a는 텔레비전 장치(9600)의 예를 예시한다. 표시부(9603)는 텔레비전 장치(9600)의 하우징(9601)에 내장된다. 표시부(9603)는 이미지들을 표시할 수 있다. 여기서, 하우징(9601)은 스탠드(9605)상에 지지된다.
- [0254] 텔레비전 장치(9600)는 하우징(9601)의 조작 스위치 또는 개별적인 원격 제어기(9610)에 의해 조작될 수 있다. 채널과 볼륨은 원격 제어기(9610)의 조작키들(9609)에 의해 제어될 수 있으며 표시부(9603)에 표시된 이미지들이 제어될 수 있다. 더욱이, 원격 제어기(9610)는 원격 제어기(9610)로부터 나오는 정보가 표시되는 표시부(9607)를 가질 수 있다.
- [0255] 텔레비전 장치(9600)는 수신기, 모뎀 등을 가질 수 있다는 것을 주의한다. 수신기의 사용에 의해, 일반 텔레비전 방송이 수신될 수 있다. 더욱이, 표시 장치가 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속될 때, 일방(전송기로부터 수신기로) 또는 양방(전송기와 수신기 또는 수신기들 사이) 정보 통신이 수행될 수 있다.
- [0256] 도 24b는 디지털 포토 프레임(9700)의 예를 예시한다. 예를 들어, 표시부(9703)는 디지털 포토 프레임(9700)의

하우징(9701)에 내장된다. 표시부(9703)는 다양한 이미지들, 예를 들어, 디지털 카메라 등에 의해 얻어진 이미지 데이터를 표시하여, 디지털 포토 프레임은 일반 사진 프레임과 유사한 방법으로 기능할 수 있다.

- [0257] 디지털 포토 프레임(9700)은 조작부, (USB 단자 또는 USB 케이블을 포함하는 다양한 케이블들에 접속될 수 있는 단자와 같은)외부 접속 단자, 기록 매체 삽입부 등을 갖는다는 것을 주의한다. 이들 구조들은 표시부와 동일한 표면 상에 내장될 수 있다; 그러나, 이들은 표시부의 측면 또는 후면에 제공되어 디자인이 개선되는 것이 바람직하다. 예를 들어, 디지털 카메라에 의해 얻어진 이미지 데이터를 포함하는 메모리는 디지털 포토 프레임의 기록 매체 삽입부로 삽입되며 이미지 데이터가 입력된다. 그 다음, 입력된 이미지 데이터는 표시부(9703)에 표시될 수 있다.
- [0258] 디지털 포토 프레임(9700)은 무선으로 정보를 전송하고 수신할 수 있다. 이러한 경우에 있어서, 원하는 이미지 데이터는 디지털 포토 프레임(9700)내로 무선으로 입력될 수 있으며 거기에 표시될 수 있다.
- [0259] 도 25a는 개폐가능하게 연결부(9893)에 의해 연결되는 하우징(9881)과 하우징(9891)을 포함하는 휴대용 게임기를 예시한다. 표시부(9882)와 표시부(9883)는 각각 하우징(9881)과 하우징(9891)에 포함된다. 도 25a에 예시된 휴대용 게임기는 추가적으로 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작키(9885), 접속 단자(9887), (힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학물질, 음성, 시간, 경도, 전계, 전류, 전압, 전력, 방사, 유속, 습도, 경사각, 진동, 냄새, 또는 적외선을 측정하는 기능을 포함하는)센서(9888), 마이크로폰(9889) 등)을 포함한다. 말할 필요없이, 휴대용 게임기의 구성은 상기에 제한되지 않으며, 본 발명의 실시형태에 따른 반도체 장치가 제공되는 임의의 구조일 수 있다. 더욱이, 다른 액세서리가 적절히 제공될 수 있다. 도 25a에 도시된 휴대용 게임기는 기록 매체에 저장된 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능과, 무선 통신에 의해 다른 휴대용 게임기와 정보를 공유하는 기능을 갖는다. 도 25a의 휴대용 게임기는 상기 게임기들과 다른 다양한 기능들을 가질 수 있다.
- [0260] 도 25b는 대형 게임기인 슬롯 머신(9900)의 예를 예시한다. 표시부(9903)는 슬롯 머신(9900)의 하우징(9901)에 내장된다. 슬롯 머신(9900)은 부가적으로 스타트 레버(start lever) 또는 스톱 스위치와 같은 조작 수단, 코인 슬롯, 스피커 등을 포함한다. 말할 필요없이, 슬롯 머신(9900)의 구성은 상기에 제한되지 않으며, 적어도 본 발명의 실시형태에 따른 반도체 장치가 제공되는 한 어떠한 구조일 수 있다. 더욱이, 다른 액세서리가 적절히 제공될 수 있다.
- [0261] 도 26은 휴대전화(1000)의 예를 예시한다. 휴대전화(1000)은 표시부(1002)가 내장되는 하우징(1001)을 포함하며, 더욱이, 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크로폰(1006) 등을 포함한다.
- [0262] 정보는 손가락 등에 의해 표시부(1002)를 터치함으로써 도 26에 예시된 휴대전화(1000)에 입력될 수 있다. 더욱이, 전화 또는 문자 메시지는 손가락 등으로 표시부(1002)를 터치함으로써 수행될 수 있다.
- [0263] 표시부(1002)의 화면은 주로 3 개의 모드들을 갖는다. 제 1 모드는 주로 이미지를 표시하기 위한 표시 모드이다. 제 2 모드는 주로 텍스트와 같은 정보를 입력하기 위한 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 두 모드들이 혼합되는 표시+입력 모드이다.
- [0264] 예를 들어, 전화 또는 문자 메시지의 경우에 있어서, 표시부(1002)는 문자 입력이 주로 수행되는 문자 입력 모드로 설정되고, 텍스트 입력 동작이 스크린상에 수행될 수 있다. 이러한 경우, 표시부(1002)의 거의 전체 스크린에 키보드 또는 숫자 버튼들을 표시하는 것이 바람직하다.
- [0265] 자이로스코프 또는 가속도 센서와 같은 기울기를 검출하기 위한 센서를 포함하는 검출 장치가 휴대전화(1000)내에 제공될 때, 표시부(1002)의 스크린내 표시는 휴대전화(1000)의 방향을 판단함으로써(휴대전화(1000)가 풍경 모드 또는 인물 모드를 위해 수평 또는 수직으로 배치되는지) 자동적으로 스위치될 수 있다.
- [0266] 게다가, 스크린 모드들은 표시부(1002)를 터치하거나 하우징(1001)의 동작 버튼(1003)을 조작함으로써 스위치된다. 대안으로, 스크린 모드들은 표시부(1002)에 표시된 이미지들의 종류들에 따라서 스위치될 수 있다. 예를 들어, 표시부에 표시된 이미지를 위한 신호가 움직이는 이미지들의 데이터일 때, 스크린 모드는 표시 모드로 스위치된다. 신호가 텍스트 데이터일 때, 스크린 모드는 입력 모드로 스위치된다.
- [0267] 더욱이, 입력 모드에서, 표시부(1002)내 광 센서에 의해 검출된 신호가 검출되는 동안 특정한 기간 내에 표시부(1002)를 터치함으로써 입력이 수행되지 않을 때, 스크린 모드는 입력 모드가 표시 모드로 스위치되도록 하기 위해 제어될 수 있다.
- [0268] 표시부(1002)는 또한 이미지 센서로서 기능할 수 있다. 예를 들어, 장문, 지문 등의 이미지가 손바닥 또는 손가

락으로 표시부(1002)를 터치함으로써 얻어져, 개인 인증이 수행될 수 있다. 더욱이, 근적외광을 방출하는 백라이트 또는 근적외광을 방출하는 감광원이 표시부에 제공될 때, 손가락 정맥, 손바닥 정맥 등이 얻어질 수 있다.

[0269] 실시형태 9에 기술된 바와 같이, 높은 신뢰성을 갖는 전자 기기는 산화물 반도체를 포함하는 비선형 소자의 사용에 의해 개선된 기능을 가지며 안정된 동작을 갖는 보호 회로를 갖는 표시 장치가 전자 기기상에 탑재될 때 제공될 수 있다. 실시형태 3과 유사한 구성에 의해, 박막들의 박리로 인한 결함들이 쉽게 야기될 수 없는 비선형 소자들을 포함하는 보호 회로를 탑재 고신뢰성 표시 장치를 제조하는 것이 가능하다.

[0270] 실시형태 9는 다른 실시형태에 개시된 구조와 적절히 조합될 수 있다.

[0271] 본 출원은 일본 특허청에 2008년 9월 12일 출원된 일본 특허 출원 일련번호 제 2008-235581)에 기초하며, 이의 전체 내용들은 참조에 의해 본 명세서에 포함된다.

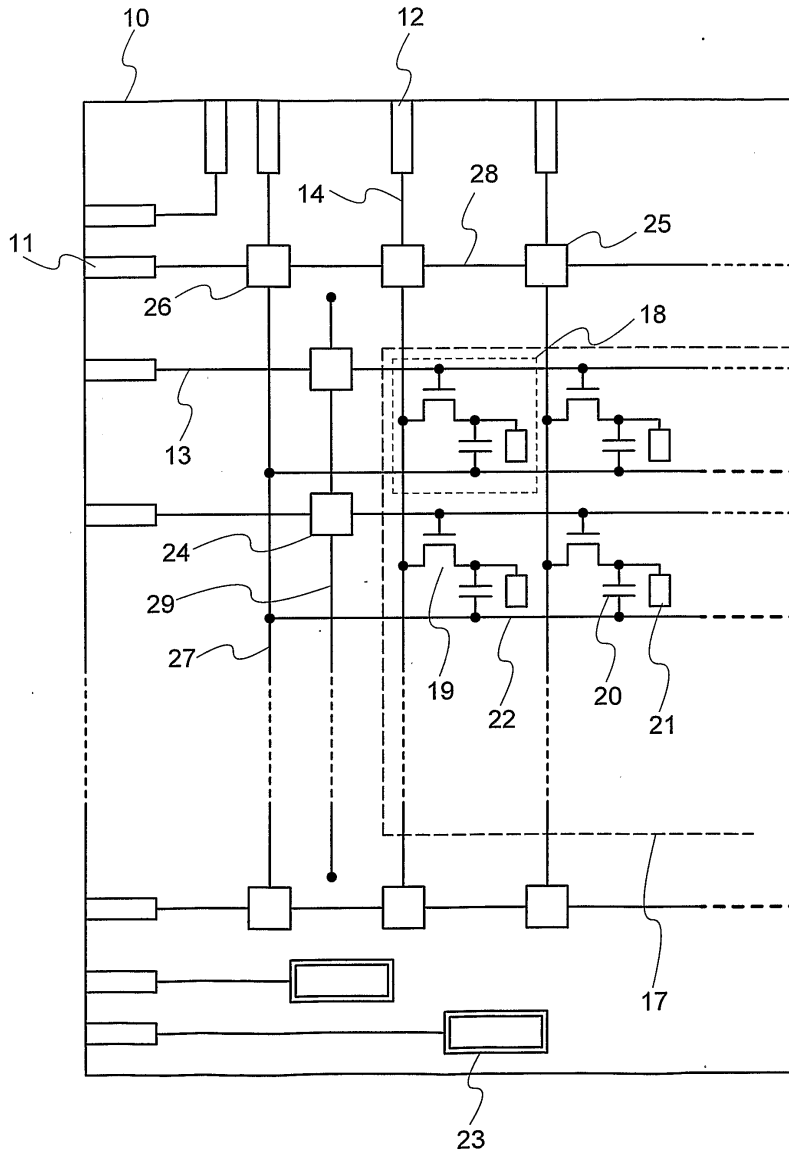
부호의 설명

[0272] 10 : 기관, 11: 주사선 입력 단자, 12: 신호선 입력 단자, 13 : 주사선, 14 : 신호선, 15: 게이트 전극, 16: 게이트 전극, 17: 화소부, 18: 화소, 19 : 화소 트랜지스터, 20: 유지 용량부, 21: 화소 전극, 22: 용량선, 23: 공통 단자, 24: 보호 회로, 25: 보호 회로, 26: 보호 회로, 27: 용량 버스선, 28: 공통 배선, 29: 공통 배선, 30: 비선형 소자, 30a: 비선형 소자, 30b: 비선형 소자, 31: 비선형 소자, 31a: 비선형 소자, 31b: 비선형 소자, 36: 산화물 반도체층, 37: 게이트 절연층, 38: 배선층, 39: 배선층, 40 : 산화물 반도체층, 41: 도전층, 42 :층간 절연층, 43: 콘택트 홀, 44: 배선층, 100: 기관, 101: 게이트 전극, 102: 게이트 절연층, 103: 산화물 반도체층, 104a: 소스 영역, 104b: 드레인 영역, 105a: 소스 전극층, 105b : 드레인 전극층, 106a: 소스 영역, 106b: 드레인 영역, 107: 보호 절연막, 108 : 주사선, 111a : 산화물 반도체층, 111b: 산화물 반도체층, 125: 콘택트 홀, 126: 콘택트 홀, 128 : 배선층, 580 : 기관, 581 : 박막 트랜지스터, 583 :층간 절연층, 584 : 보호막, 585: 절연층, 587 : 전극층, 588 : 전극층, 589 : 구형 입자, 590a: 흑색 영역, 590b: 백색 영역, 594: 공동, 595: 충전재, 596: 기관, 650: 주사선, 651: 공통 배선, 730a: 비선형 소자, 730b: 비선형 소자, 730c: 비선형 소자, 740a: 비선형 소자, 740b: 비선형 소자, 740c: 비선형 소자, 740d: 비선형 소자, 1000: 휴대전화, 1001: 하우징, 1002: 표시부, 1003: 조작 버튼, 1004: 외부 접속 포트, 1005: 스피커, 1006: 마이크로폰, 2600: TFT 기관, 2601: 대향 기관, 2602: 셀재, 2603: 화소부, 2604: 표시 소자, 2605: 착색층, 2606: 편광판, 2607: 편광판, 2608: 배선 회로부, 2609: 플렉시블 배선 기관, 2610: 냉음극관, 2611: 반사판, 2612: 회로 기관, 2613: 확산 판, 2631: 포스터, 2632: 차량내 광고, 2700: 전자책 디바이스, 2701: 하우징, 2703: 하우징, 2705: 표시부, 2707: 표시부, 2711: 축부, 2721: 전원, 2723: 조작 키, 2725: 스피커, 4001: 기관, 4002: 화소부, 4003: 신호선 구동 회로, 4004: 주사선 구동 회로, 4005: 셀재, 4006: 기관, 4008: 액정층, 4010: 박막 트랜지스터, 4011: 박막 트랜지스터, 4013: 액정 소자, 4015: 접속 단자 전극, 4016: 단자 전극, 4018: FPC, 4019: 이방성 도전막, 4020: 절연층, 4021: 절연층, 4030: 화소 전극층, 4031: 대향 전극층, 4032: 절연층, 4033: 절연층, 4035: 스페이서, 4501: 기관, 4502: 화소부, 4503a: 신호선 구동 회로, 4503b: 신호선 구동 회로, 4504a: 주사선 구동 회로, 4504b: 주사선 구동 회로, 4505: 셀재, 4506: 기관, 4507: 충전재, 4509: 박막 트랜지스터, 4510: 박막 트랜지스터, 4511: 발광 소자, 4512: 전계 발광층, 4513: 전극층, 4515: 접속 단자 전극, 4516: 단자 전극, 4517: 전극층, 4518a: FPC, 4518b: FPC, 4519: 이방성 도전막, 4520: 격벽, 5300: 기관, 5301: 화소부, 5302: 주사선 구동 회로, 5303: 신호선 구동 회로, 5400: 기관, 5401: 화소부, 5402: 주사선 구동 회로, 5403: 신호선 구동 회로, 5404: 주사선 구동 회로, 5501: 배선, 5502: 배선, 5503: 배선, 5504: 배선, 5505: 배선, 5506: 배선, 5543: 노드, 5544: 노드, 5571: 박막 트랜지스터, 5572: 박막 트랜지스터, 5573 : 박막 트랜지스터, 5574: 박막 트랜지스터, 5575: 박막 트랜지스터, 5576: 박막 트랜지스터, 5577: 박막 트랜지스터, 5578: 박막 트랜지스터, 5601: 드라이버 IC, 5602: 스위치군, 5603a: 박막 트랜지스터, 5603b: 박막 트랜지스터, 5603c: 박막 트랜지스터, 5611: 배선, 5612: 배선, 5613: 배선, 5621: 배선, 5701: 플립-플롭, 5703a: 타이밍, 5703b: 타이밍, 5703c: 타이밍, 5711: 배선, 5712: 배선, 5713: 배선, 5714: 배선, 5715: 배선, 5716: 배선, 5717: 배선, 5721: 신호, 5803a: 타이밍, 5803b: 타이밍, 5803c: 타이밍, 5821: 신호, 6400: 화소, 6401: 스위칭 트랜지스터, 6402: 구동용 트랜지스터, 6403: 용량 소자, 6404: 발광 소자, 6405: 신호선, 6406: 주사선, 6407: 전원선, 6408: 공통 전극, 7001: 구동용 TFT, 7002: 발광 소자, 7003: 캐소드, 7004: 발광층, 7005: 애노드, 7011: 구동용 TFT, 7012: 발광 소자, 7013: 캐소드, 7014: 발광층, 7015: 애노드, 7016: 차광막, 7017: 도전막, 7021: 구동용 TFT, 7022: 발광 소자, 7023: 캐소드, 7024: 발광층, 7025: 애노드, 7027: 도전막, 9600: 텔레비전 디바이스, 9601: 하우징, 9603: 표시부, 9605: 스탠드, 9607: 표시부, 9609: 조작 키, 9610: 원격 제어기, 9700: 디지털 포토 프레임, 9701: 하우징,

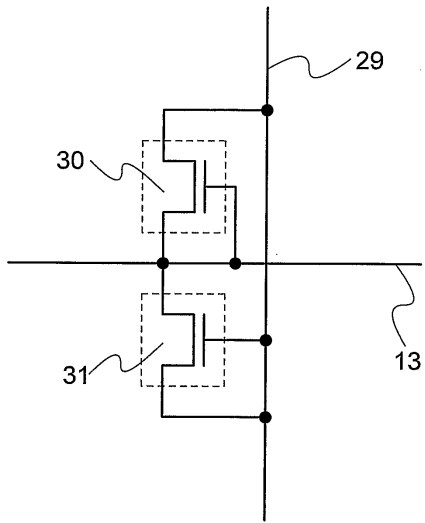
9703: 표시부, 9881: 하우징, 9882: 표시부, 9883: 표시부, 9884: 스피커부, 9885: 조작 키, 9886: 기록 매체 삽입부, 9887: 접속 단자, 9888: 센서, 9889: 마이크로폰, 9890: LED 램프, 9891: 하우징, 9893: 연결부, 9900: 슬롯 머신, 9901: 하우징, 9903: 표시부.

도면

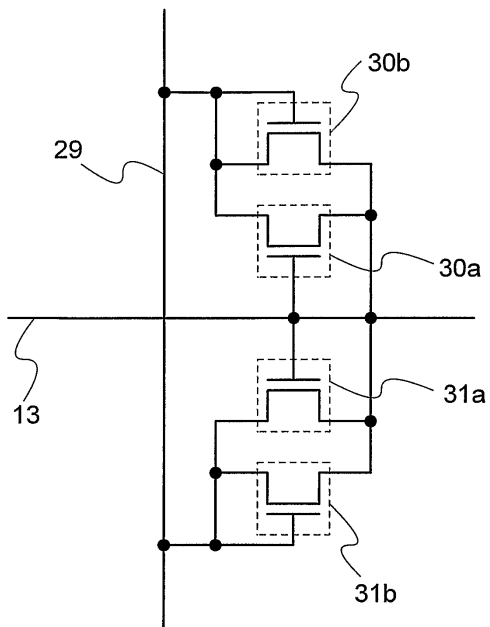
도면1



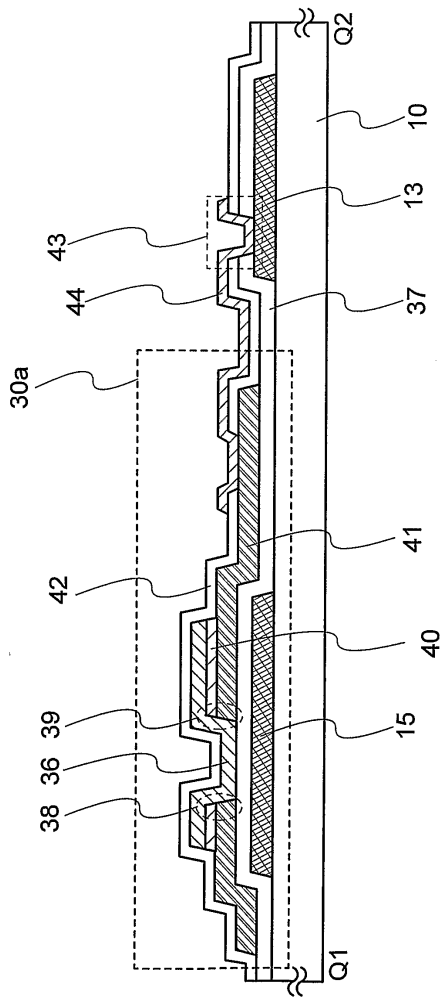
도면2



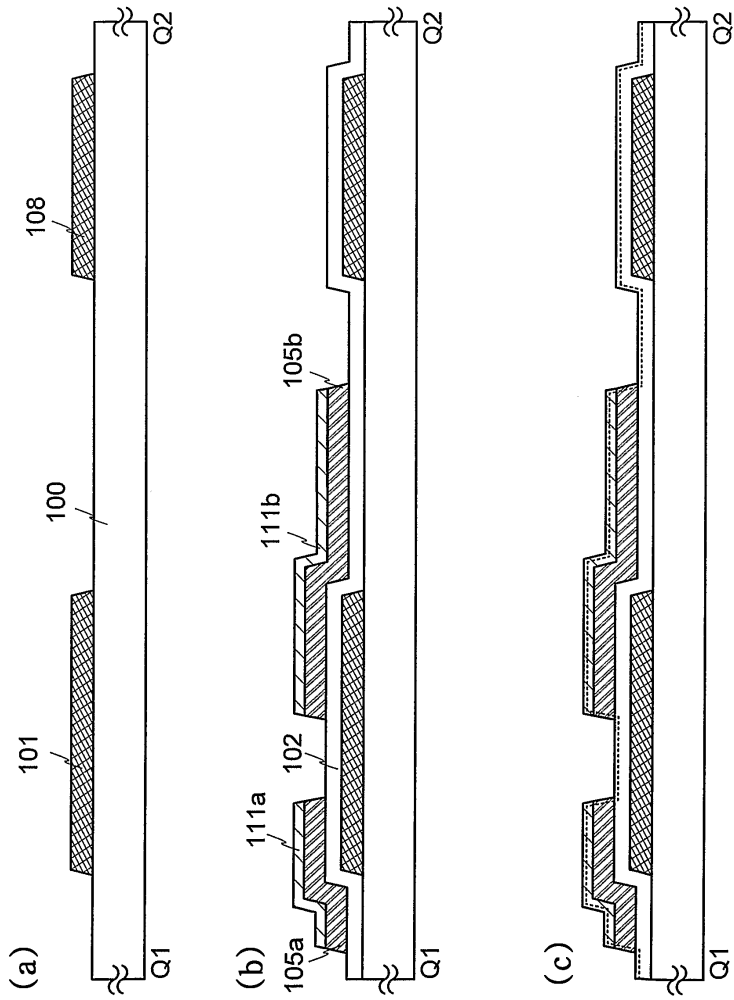
도면3



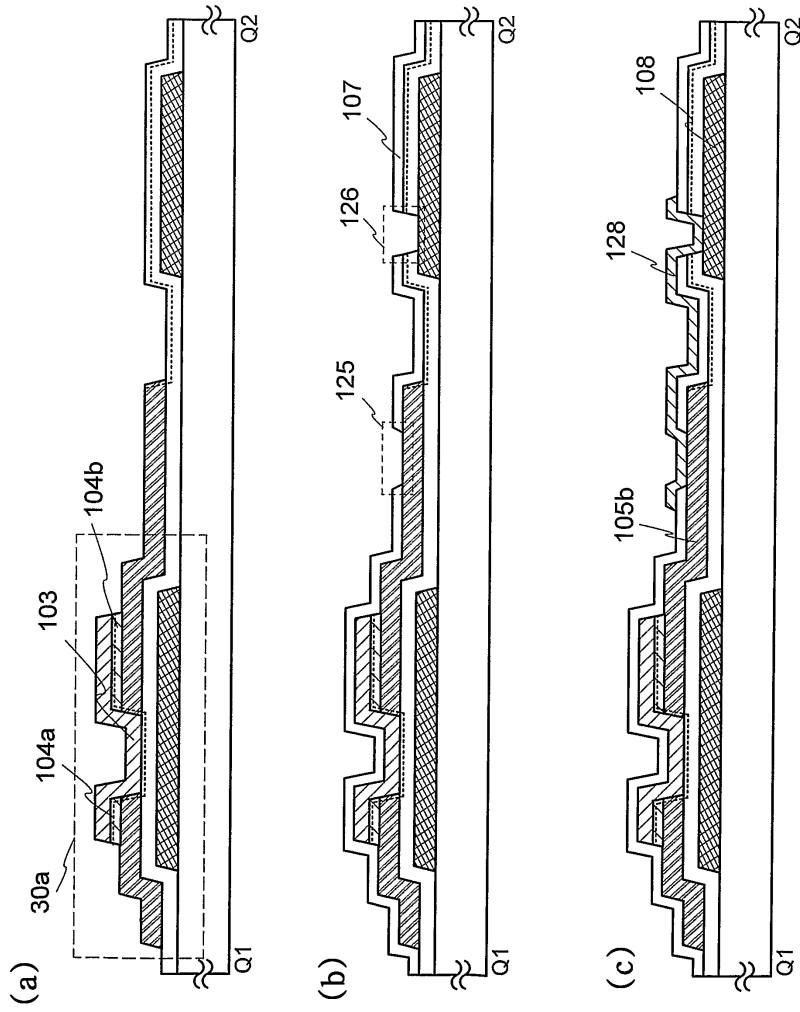
도면5



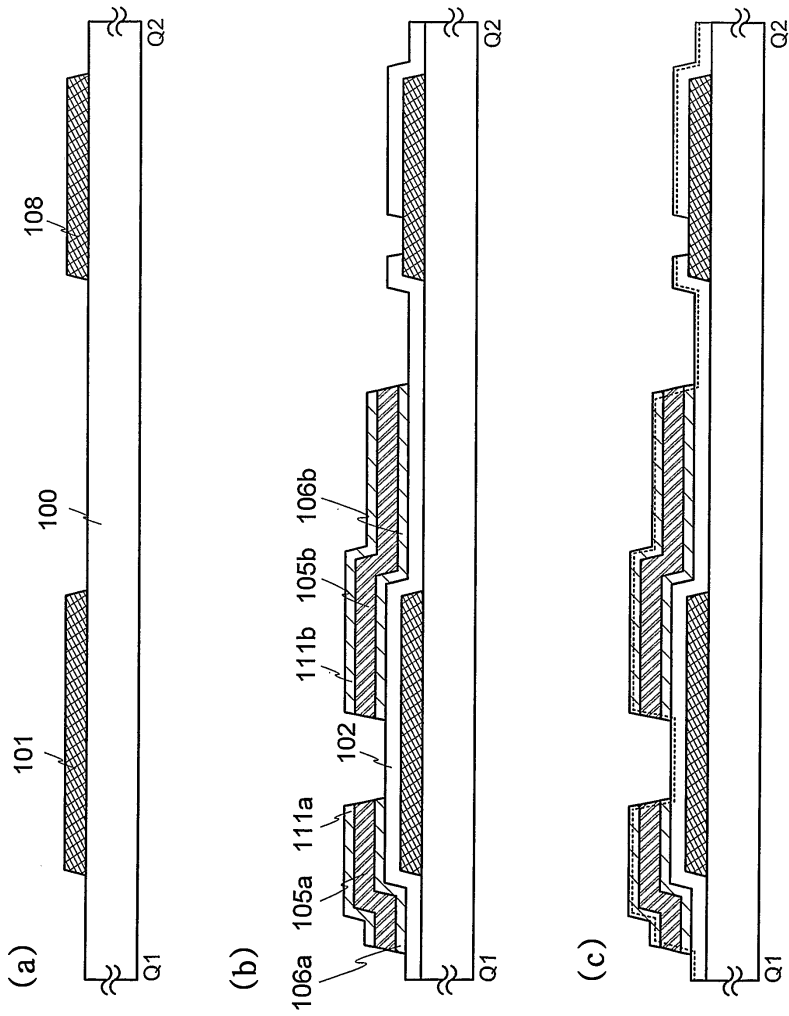
도면6



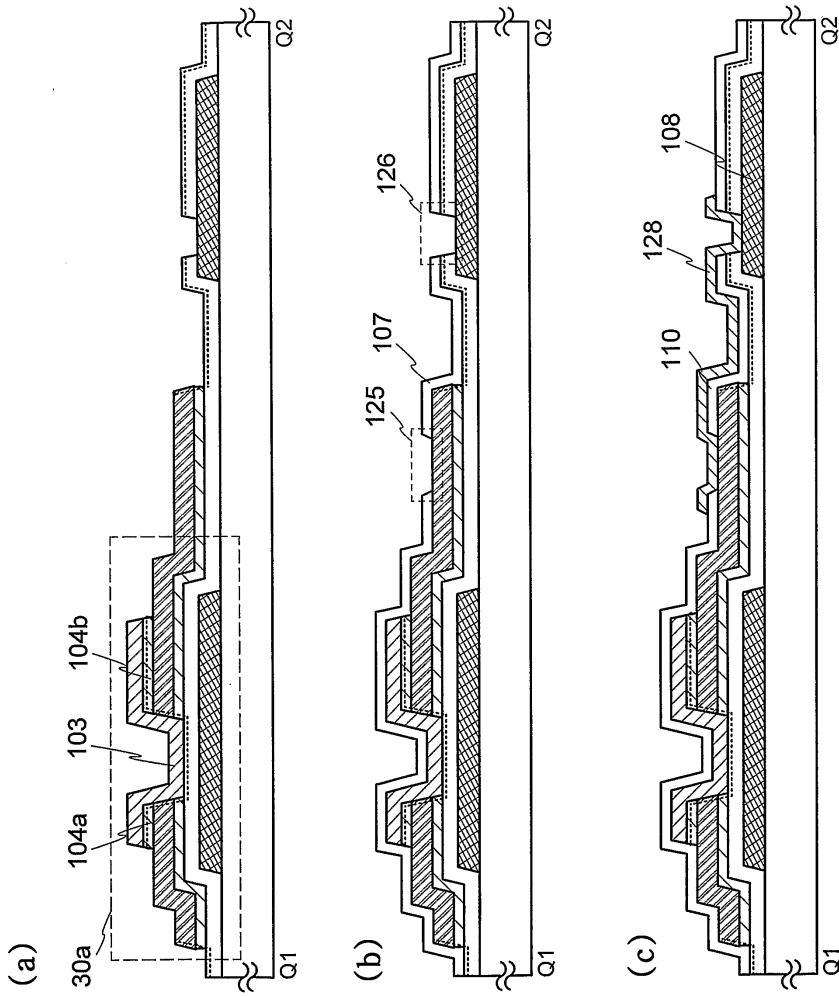
도면7



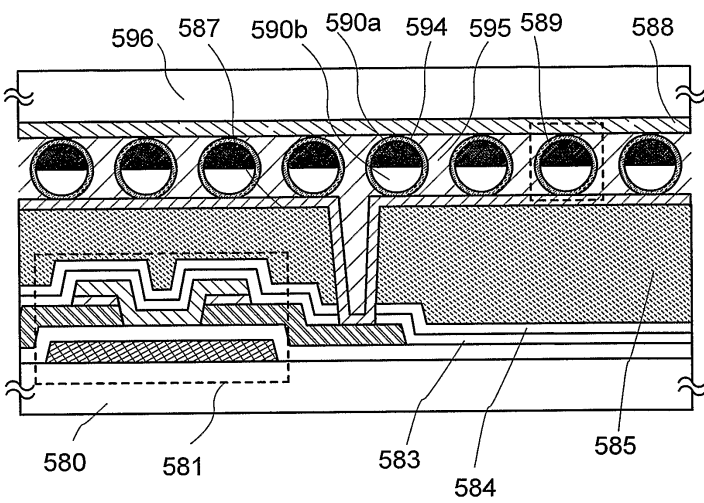
도면8



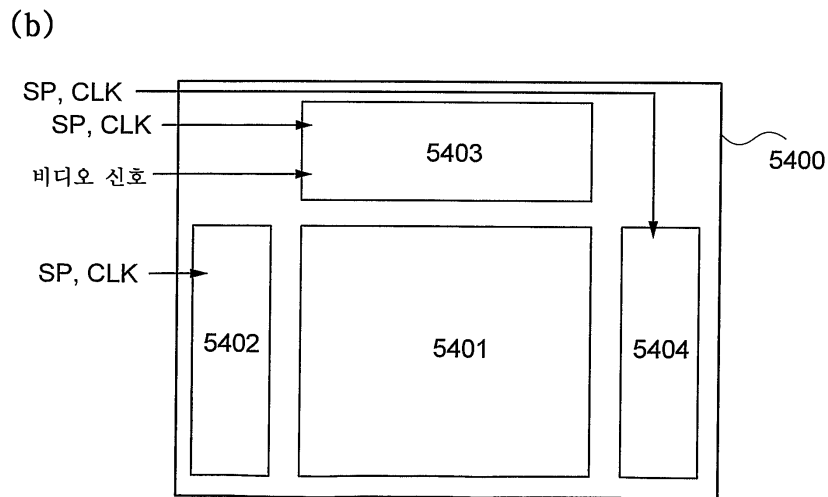
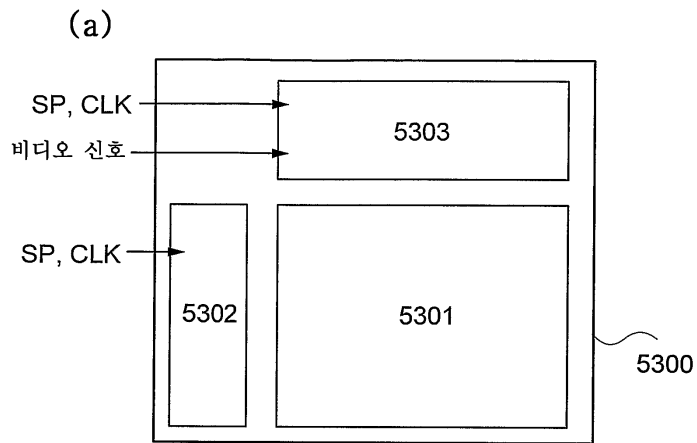
도면9



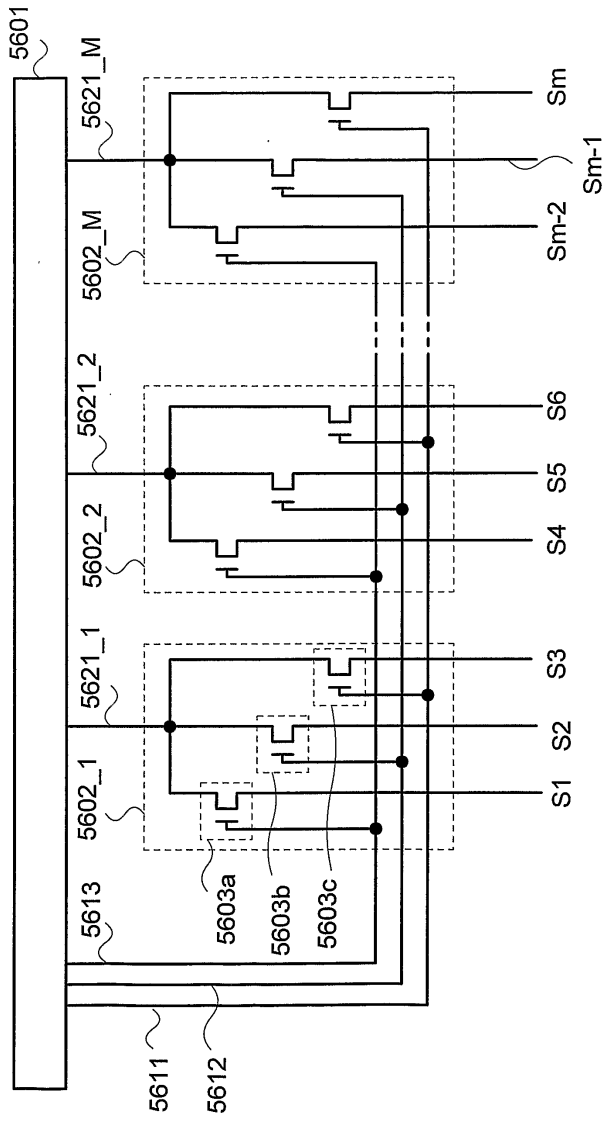
도면10



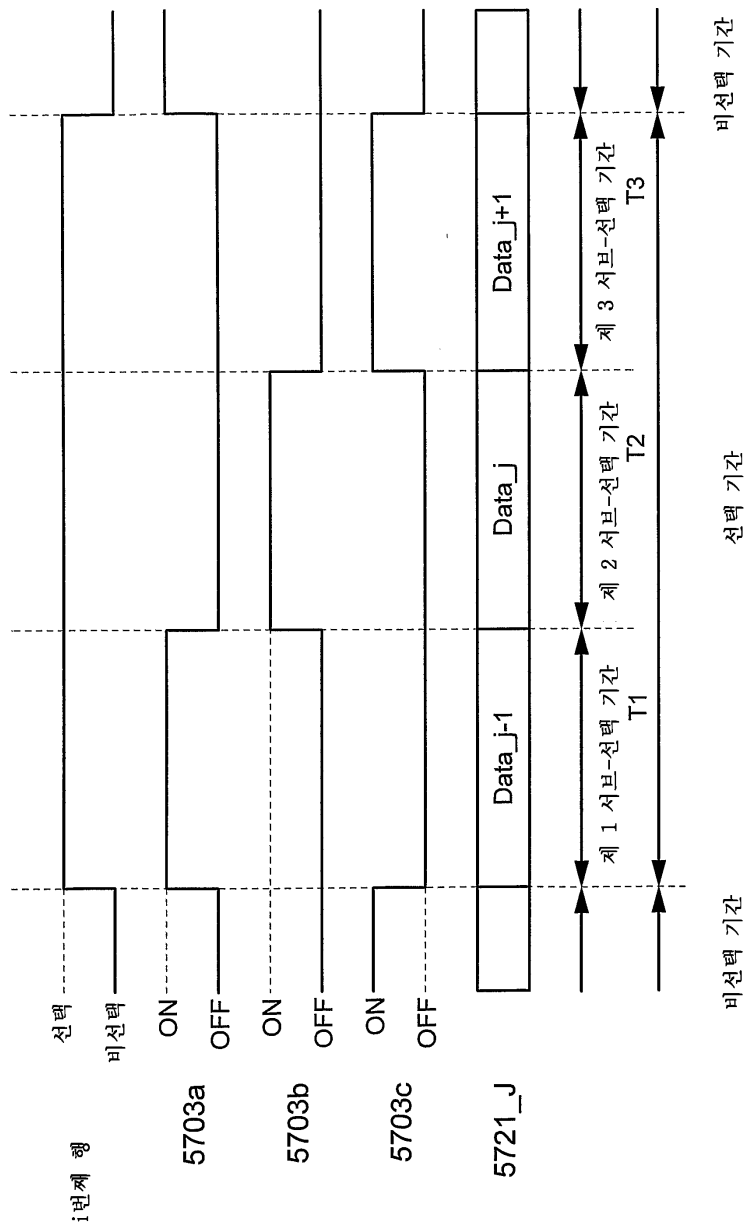
도면11



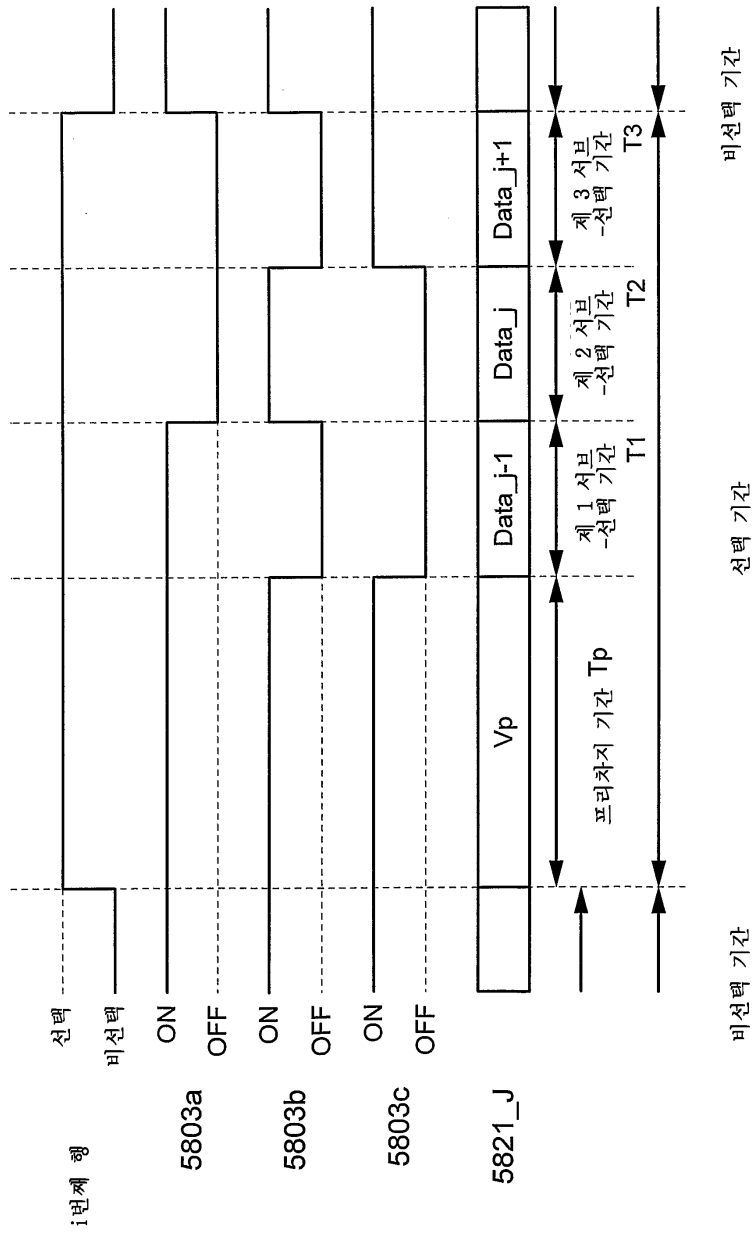
도면12



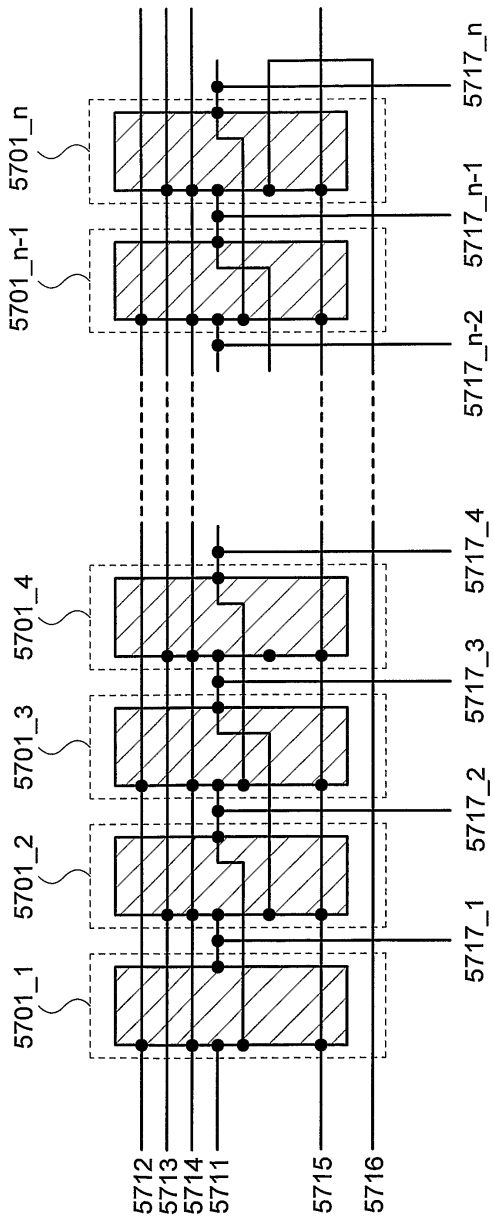
도면13



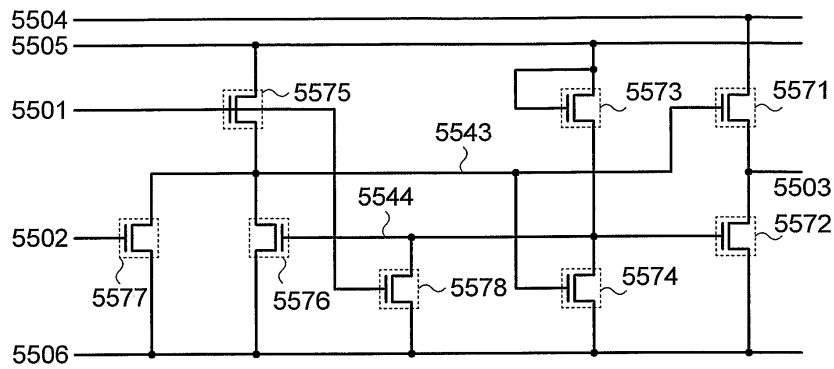
도면14



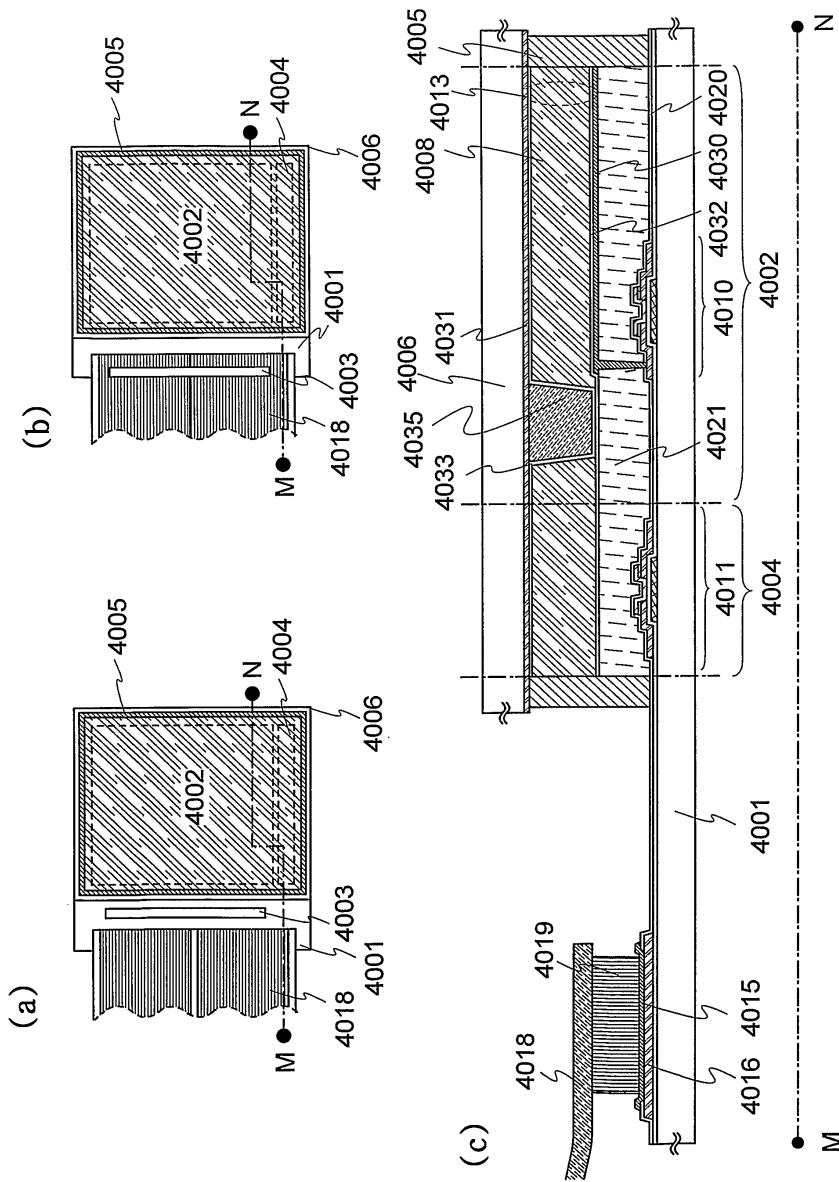
도면15



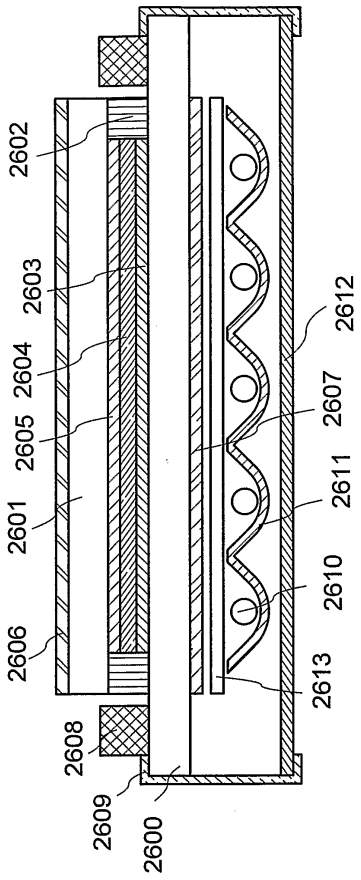
도면16



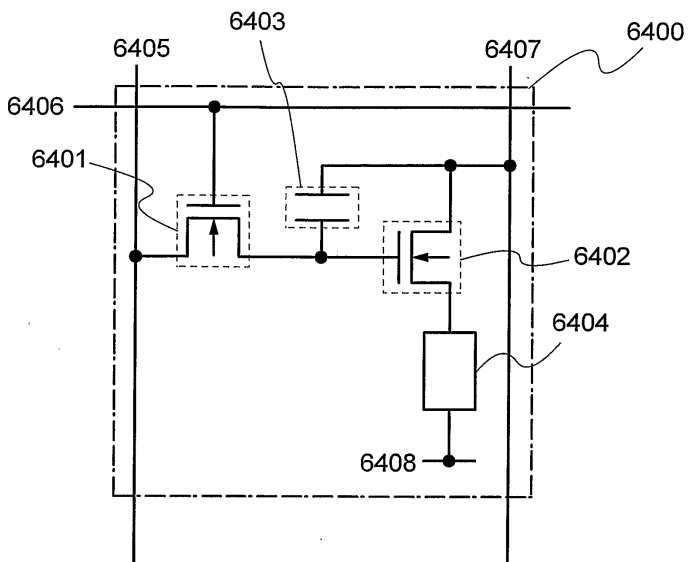
도면17



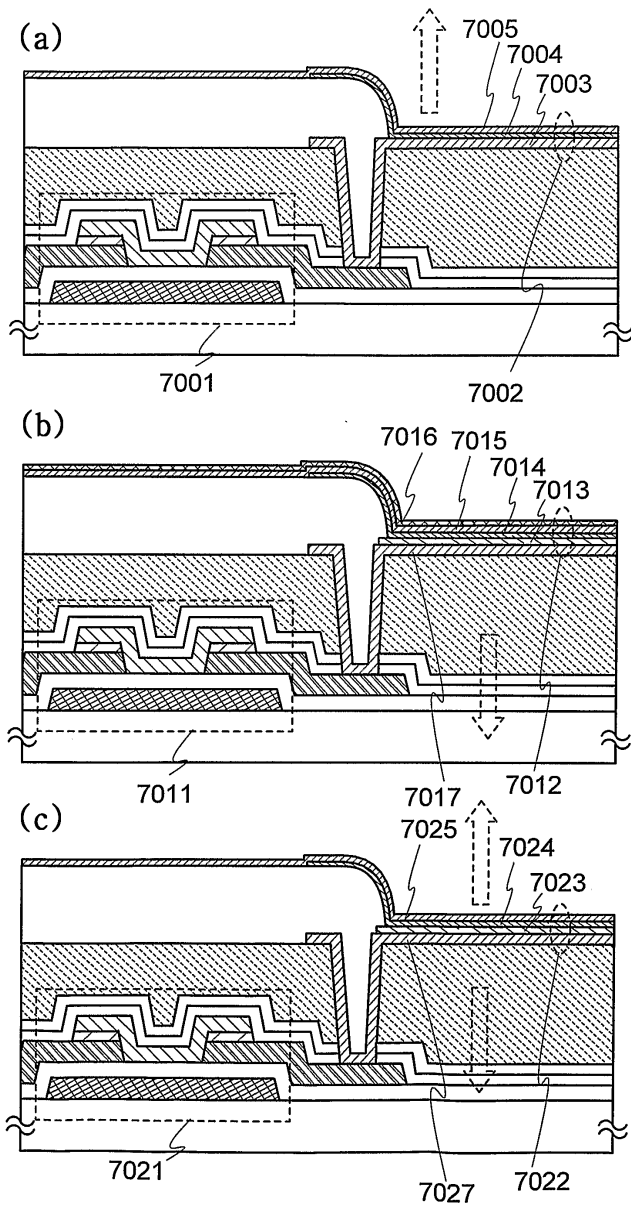
도면18



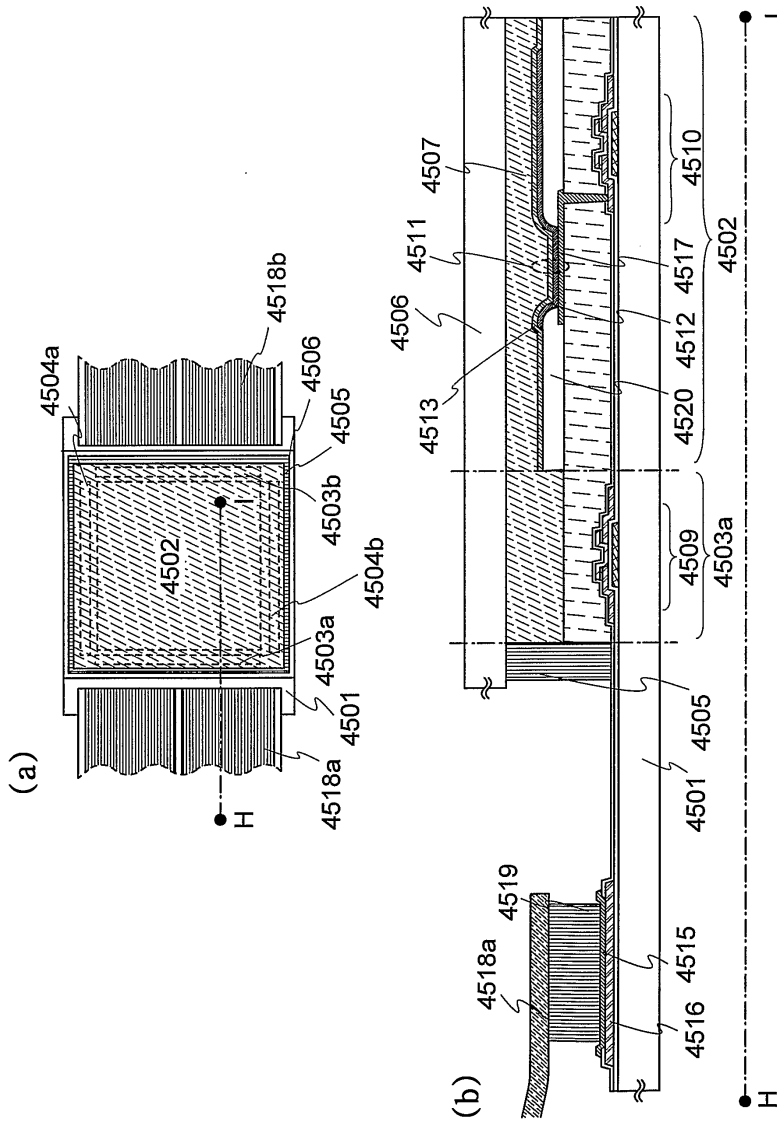
도면19



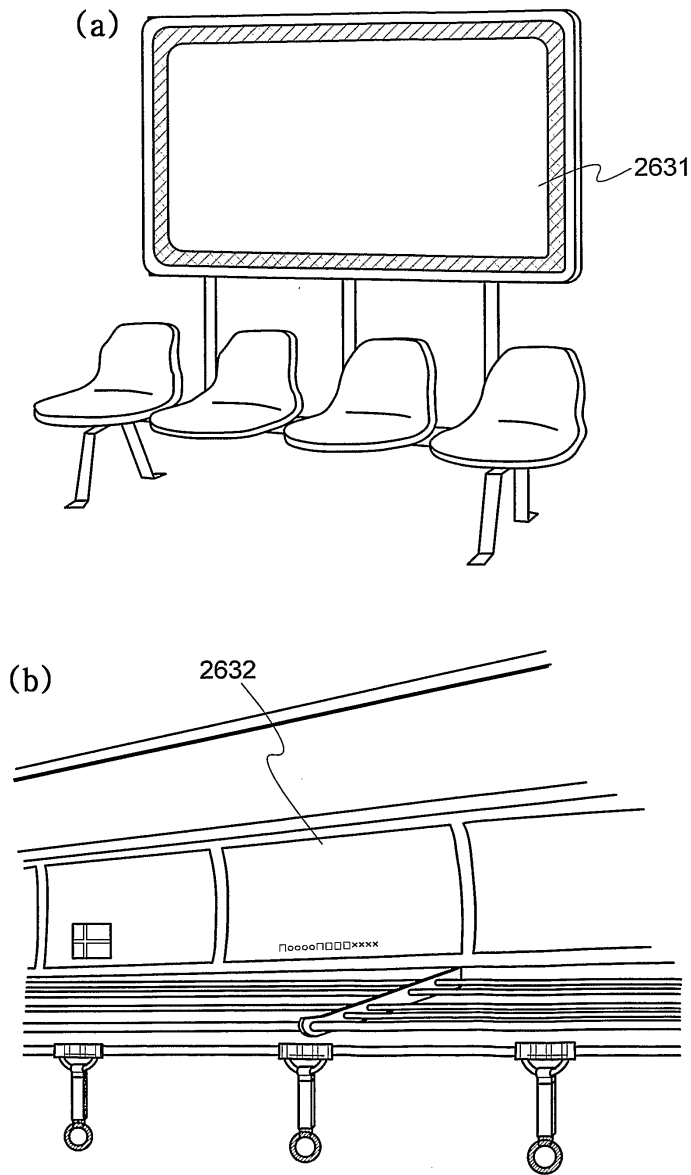
도면20



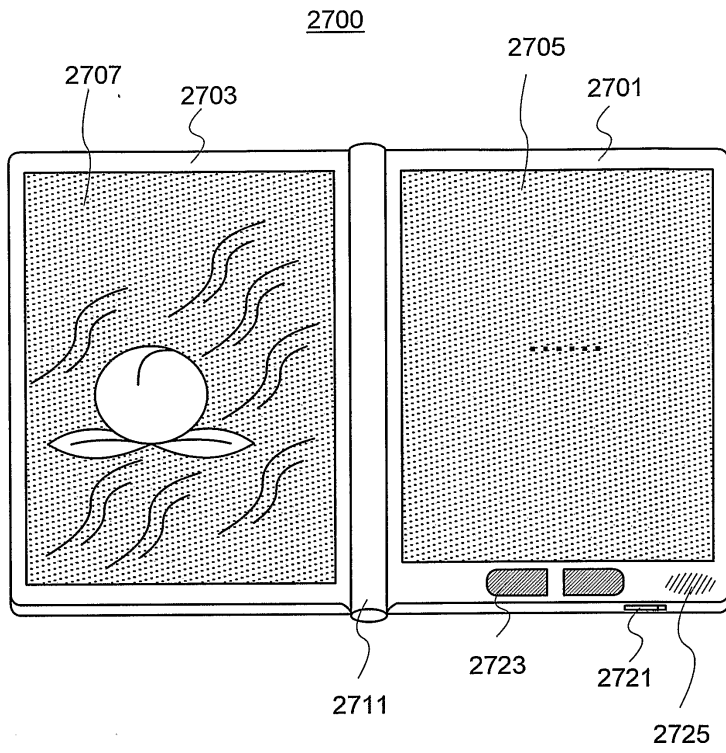
도면21



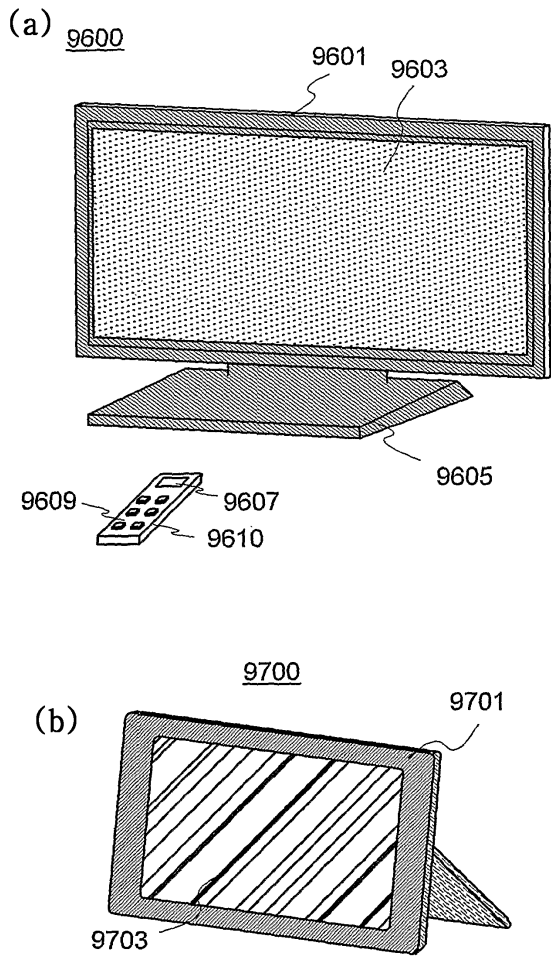
도면22



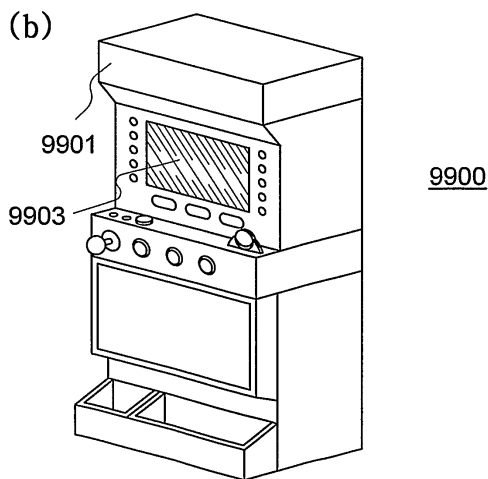
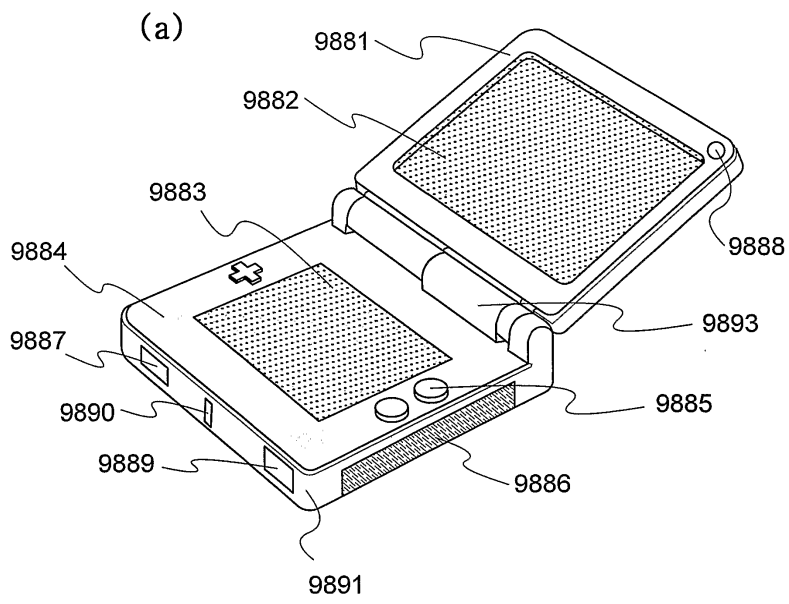
도면23



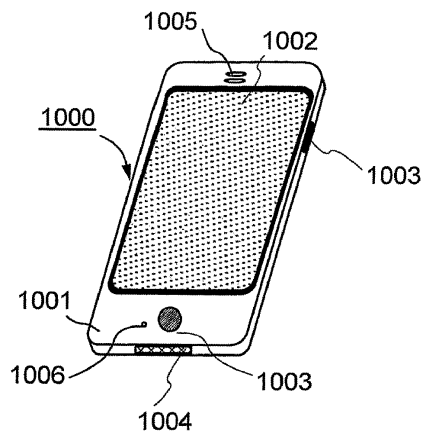
도면24



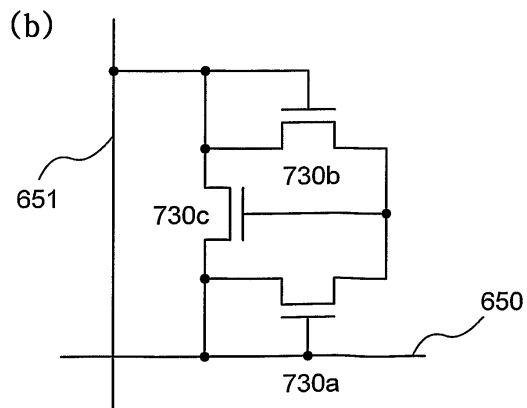
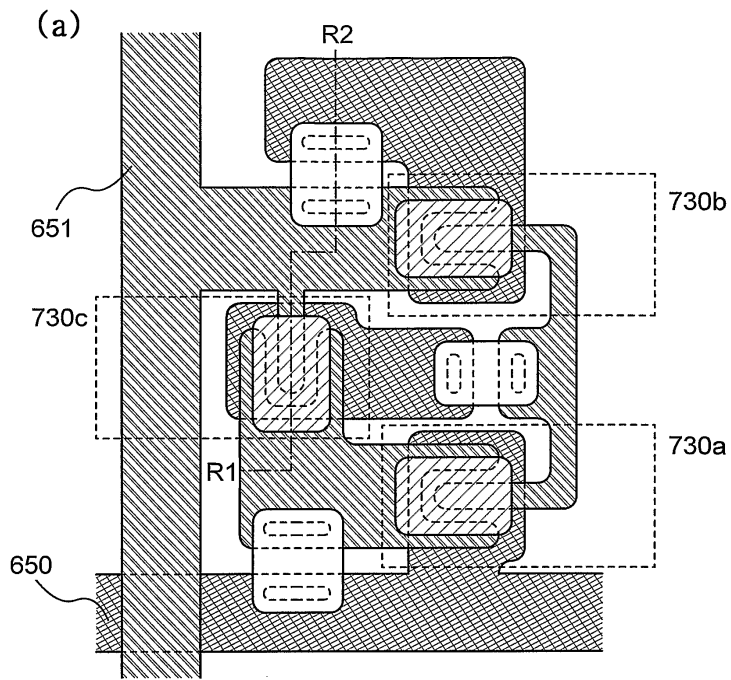
도면25



도면26



도면27



도면28

